

Praktikum

Entwicklung eines mobilen Auslesegeräts für digitale Tachographen
gemäß EU-Verordnung

Eingereicht am: 18. November 2025

von: Denis Schmidt
geboren am 27.12.2001
in Lübeck

Matrikelnummer: 401227

Betreuer: Prof. Dr. Olaf Hagendorf
Zweitbetreuer: Sem Ion

Aufgabenstellung

ACHTUNG!

Die ausgehändigte Originalaufgabenstellung (und bei jeder Kopie die entsprechenden Kopie) wird ohne Seitenzahlangabe eingebunden. Bei deutschsprachigen Aufgabenstellungen wird der Titel in englischer Sprache wiederholt.

Für die digitale Fassung der Arbeit ist eine Schilderung der Aufgabenstellung aber durchaus sinnvoll und kann an dieser Stelle verfasst werden.

Kurzfassung

Diese Arbeit beschreibt die Entwicklung eines universellen Auslesegeräts für digitale Tachographen, das RS-232- und K-Line-Schnittstellen nach ISO 9141/14230 unterstützt. Ziel ist ein robustes, Automotive-taugliches System zur sicheren und zuverlässigen Datenerfassung. Die Hardware basiert auf einem ESP32-S3-Mikrocontroller, gespeist aus dem 24 V-Bordnetz über einen MP1584-Abwärtswandler und lokale 3,3 V-Regler. Schutzmechanismen wie TVS-Dioden, Ferritfilter und MOSFET-Verpolschutz erhöhen die Störfestigkeit gegenüber Transienten und elektromagnetischen Einflüssen. Der Prototyp wurde als zweilagige Leiterplatte mit EMV-optimiertem Layout gefertigt und erfolgreich in Bezug auf Ripple, Signalqualität, thermisches Verhalten und EMV-Vorkompatibilität validiert. Auf Softwareseite implementiert eine modulare Firmware die Tachographenprotokolle und bietet sichere Kommunikation über TLS-Verschlüsselung und Token-Authentifizierung. Eine plattformübergreifende Anwendung (Android, iOS, Linux, macOS, Web, Windows) ergänzt die Hardware und ermöglicht eine intuitive Bedienung. Das System erfüllt Anforderungen an Zuverlässigkeit, Sicherheit und Interoperabilität und schafft eine Grundlage für Erweiterungen wie Cloud-Integration und OTA-Updates.

Abstract

This thesis presents the design of a universal tachograph reader supporting RS-232 and K-Line (ISO 9141/14230) interfaces. The goal is a robust, automotive-grade platform for reliable and secure data acquisition. The system is powered by a 24 V supply via an MP1584 buck converter and local 3.3 V regulation, with protection circuitry including TVS diodes, ferrite filters, and a MOSFET-based reverse polarity guard for resilience against automotive transients and EMI. The prototype was built on a two-layer PCB with EMI-conscious layout and validated through ripple, signal integrity, thermal, and pre-compliance EMI testing. A modular firmware stack supports tachograph communication and secure TLS- and token-based transmission. A cross-platform software suite (Android, iOS, Linux, macOS, Web, Windows) provides intuitive control and integration. The solution meets key requirements for reliability, security, and interoperability, offering a strong foundation for future features such as cloud services and OTA updates.

Inhaltsverzeichnis

1	Einleitung	6
1.1	Motivation und Problemstellung	6
1.2	Zielsetzung des Projekts	6
1.3	Abgrenzung und Schwerpunkt der Arbeit	7
1.4	Aufbau der Arbeit	7
2	Grundlagen	9
2.1	Rechtlicher Rahmen digitaler Tachographen	9
2.1.1	EU-Verordnung 2016/799	9
2.1.2	EU-Verordnung 2021/1228	9
2.2	Funktionsweise und Datenstrukturen digitaler Tachographen	9
2.3	Kommunikationsschnittstellen von Tachographen	10
2.3.1	UART	10
2.3.2	K-Line	12
2.4	Sicherheitsanforderungen (Authentifizierung, Autorisierung, Verschlüsselung)	15
2.5	Überblick Mikrocontroller-Plattform ESP32	15
2.5.1	Architektur und Leistungsdaten	15
2.5.2	Wi-Fi	15
2.5.3	Bluetooth low energy	16
2.6	Relevante Zusatzkomponenten	17
2.6.1	MAX3232 Pegelwandler	17
2.6.2	L9637D K-Line Transceiver	17
2.6.3	MP1584EN-LF-Z Step-Down Regler	18
3	Analyse der Anforderungen	20
3.1	Funktionale Anforderungen	20
3.2	Nicht-funktionale Anforderungen (Mobilität, Benutzerfreundlichkeit, Kosten)	20
3.3	Sicherheits- und Datenschutzanforderungen	21
3.4	Technische Spezifikationen gemäß Normen	21
3.5	Vergleich zu bestehenden Lösungen	21
4	Systementwurf	22
4.1	Hardware-Architektur	22
4.1.1	Schaltungsaufbau und Stromversorgung	22
4.2	Hardware-Architektur	22
4.2.1	Schaltungsaufbau und Stromversorgung	23
4.2.2	Schnittstellen- und Pegelkonzepte	25

5	Implementierung	27
5.1	Hardwareaufbau und Prototyping	27
5.1.1	THT-Prototypen	27
5.1.2	Leiterplatten-Design (EMV- und fertigungsorientiert)	28
5.1.3	Stückliste (BOM) – Kernkomponenten	29
5.1.4	Prototypenfertigung und Bestückung	29
5.1.5	Inbetriebnahme-Checkliste (Bring-Up)	29
5.1.6	Messmethodik und Bewertung	30
5.1.7	Normbezug und Konformitätsaspekte	31
6	Diskussion	32
6.1	Erfüllung der Anforderungen	32
6.2	Bewertung der Leistungsfähigkeit	32
6.3	Grenzen des Prototyps	32
6.4	Wirtschaftlichkeitsbetrachtung	32
7	fazit und ausblick	33
7.1	Zusammenfassung der Ergebnisse	33
7.2	Potenzielle Weiterentwicklungen	33
7.3	Einsatzmöglichkeiten in der Praxis	33
8	Zusammenfassung und Ausblick	34
	Anhang A Beispielanlage	35
	Abbildungsverzeichnis	36
	Tabellenverzeichnis	37
	Algorithmenverzeichnis	38
	Quellcodeverzeichnis	39
	Selbstständigkeitserklärung	40

1 Einleitung

Einleitung in die Arbeit.

1.1 Motivation und Problemstellung

Die Beachtung von Fahr- und Pausenzeiten ist für Speditionen in der Europäischen Union nicht bloß eine Frage des Geschäfts, sondern vor allem eine rechtliche Pflicht, die eingehalten werden muss. Digitale Fahrtenschreiber sind dabei die wichtigsten Werkzeuge, um die nötigen Informationen über die Fahrten zu sammeln und aufzuzeichnen. Das Analysieren dieser Daten ist sehr wichtig, sowohl für Firmen (um selbst zu prüfen und zu speichern) als auch für die Behörden (um zu sehen, ob die Gesetze eingehalten werden). In der Praxis zeigt sich jedoch, dass die bisher verfügbaren Lösungen zum Auslesen der Daten aus digitalen Fahrtenschreibern für viele Unternehmen sehr teuer sind. Außerdem sind die Geräte und Systeme oft so komplex, dass man sich intensiv damit auseinandersetzen muss, bevor man sie sicher und korrekt nutzen kann. Feste Anlagen sind in der Anschaffung besonders kostspielig, erfordern laufende Pflege und sind im Alltag häufig umständlich – vor allem dann, wenn LKWs nur selten zum Hauptsitz zurückkehren. Deshalb braucht man unbedingt mobile, günstige und einfach zu bedienende Lösungen, die trotzdem alle gesetzlichen Vorgaben erfüllen.

1.2 Zielsetzung des Projekts

Das Ziel dieser Arbeit besteht darin, ein portables Gerät zur Auswertung digitaler Tachographen zu konzipieren, das den EU-Verordnungen 2016/799 und 2021/1228 entspricht. Es wird eine kleine, autonome Lösung implementiert, die auf beiden Ebenen – Hardware und Software – eine sichere Datenauslesung ermöglicht. Ein Mikrocontroller (ESP32) fungiert als zentrales Element und ist mit geeigneten Schnittstellen ausgestattet, um die Kommunikation mit dem Tachographen zu ermöglichen. Zusätzlich wird eine Software entwickelt, die die Möglichkeit bietet, die extrahierten

Daten über diverse Kanäle (Web, PC, Smartphone) darzustellen und weiterzuverarbeiten. Die Studie befasst sich mit dem Fortschritt von der Analyse über den Hardwareentwurf und die Firmwareentwicklung bis zu dem Entwicklungsstand, der innerhalb des vorgesehenen Zeitrahmens erreicht werden kann. Es ist nicht das Ziel, eine vollständig entwickelte, einsatzbereite Endanwendung zu erstellen.

1.3 Abgrenzung und Schwerpunkt der Arbeit

Der wissenschaftliche Fokus der Arbeit liegt auf der Konzeption und Realisierung eines mobilen, autarken Lesegeräts für digitale Tachographen. Der Fokus liegt auf der hardwareseitigen Architektur (Leistungsversorgung, Schutzschaltungen sowie RS-232- und K-Line-Schnittstellen) und der zugehörigen Firmware, die auf dem ESP32 basiert und eine sichere und normkonforme Kommunikation gemäß den EU-Verordnungen 2016/799 und 2021/1228 ermöglicht. Die Studie umfasst den gesamten Prozess von der Anforderungsanalyse über den Systementwurf bis hin zur Implementierung eines funktionsfähigen Prototyps und illustriert, wie die gewonnenen Daten über webbasierte und mobile Kanäle weiterverteilt werden können.

Gleichzeitig wird eine deutliche Abgrenzung vorgenommen: Es wird weder eine vollständige Back-End-Infrastruktur für die langfristige Archivierung noch eine umfassende Datenanalyse- oder Berichterstellungsplattform entwickelt. Themen wie Zulassungs- und Zertifizierungsverfahren, Massenproduktion, Gehäuse- und Mechanikdesign oder eine produktionsreife Benutzeroberfläche fallen nicht in den Bearbeitungsbereich. Der Schwerpunkt liegt bewusst auf der technischen Realisierbarkeit eines kosteneffizienten, tragbaren Ausleseprototyps, der als Basis für nachfolgende Entwicklungsarbeiten fungieren kann.

1.4 Aufbau der Arbeit

Die Arbeit ist in acht Teile klar unterteilt. Nach dieser Einführung erklärt das zweite Kapitel die technischen und rechtlichen Dinge, die wichtig sind, um die spätere Ausführung zu verstehen. Kapitel drei konzentriert sich auf die Untersuchung dessen, was das geplante System können und technisch leisten muss. Danach, im vierten Kapitel, wird der technische Plan des Systems beschrieben – sowohl die Teile der Hardware als auch der Aufbau der Software. Kapitel fünf kümmert sich um die tatsächliche Ausführung, besonders den Bau des Prototyps und das Einsetzen der Kommunikationsabläufe sowie der Software. Kapitel sechs hält die durchgeführten Tests und ihre Resultate fest. In Kapitel sieben gibt es eine genaue Besprechung über das

Erreichen der Ziele, die Arbeitsweise und mögliche Fehler des entwickelten Systems. Zum Schluss werden im achten Kapitel die wichtigsten Einsichten zusammengefasst und ein Blick auf mögliche neue Entwicklungen und Anwendungsmöglichkeiten geworfen.

2 Grundlagen

2.1 Rechtlicher Rahmen digitaler Tachographen

Der Einsatz digitaler Tachographen in Nutzfahrzeugen innerhalb der Europäischen Union unterliegt strengen rechtlichen Vorgaben.

2.1.1 EU-Verordnung 2016/799

Grundlage bildet die Durchführungsverordnung (EU) 2016/799, die die technischen Vorschriften für digitale Kontrollgeräte gemäß der Verordnung (EG) Nr. 561/2006 konkretisiert. Ziel ist es, die Einhaltung von Lenk- und Ruhezeiten, die Verkehrssicherheit sowie den fairen Wettbewerb im Güter- und Personenverkehr zu gewährleisten.

2.1.2 EU-Verordnung 2021/1228

Mit der Einführung der Durchführungsverordnung (EU) 2021/1228 wurden ergänzende Anforderungen an intelligente Tachographen (Smart Tachographs) der zweiten Generation definiert, insbesondere im Hinblick auf Konnektivität, Fernabfrage und verschärfte Sicherheitsmechanismen. Unternehmen sind verpflichtet, die aufgezeichneten Daten regelmäßig auszulesen, zu archivieren und im Streitfall bereitstellen zu können. Diese gesetzlichen Anforderungen bilden den funktionalen Rahmen für das hier entwickelte Auslesegerät.

2.2 Funktionsweise und Datenstrukturen digitaler Tachographen

Ein digitaler Tachograph besteht im Wesentlichen aus drei Komponenten: dem Bordgerät, der Fahrzeug-Einheit sowie den Fahrerkarten. Das Bordgerät zeichnet kontinuierlich Informationen über Geschwindigkeit, Lenk- und Ruhezeiten, Ereignisse (z. B. Geschwindigkeitsüberschreitungen) und Positionsdaten auf. Die Daten werden

sowohl auf der internen Speichereinheit des Geräts als auch auf den smartcard-basierten Fahrerkarten abgelegt. Die Kommunikation erfolgt über eine serielle Datenschnittstelle, wobei spezifische Datenformate gemäß dem Continental VDO Format oder in XML/DDD-Strukturen genutzt werden. Für das Auslesen sind Zugriffsrechte auf Basis sogenannter Unternehmens- oder Kontrollkarten erforderlich. Daraus leitet sich ein erhöhtes Bedürfnis nach Datenintegrität, Verschlüsselung und Authentifizierung ab, was bei der Entwicklung eigener Auslesegeräte berücksichtigt werden muss.

2.3 Kommunikationsschnittstellen von Tachographen

Moderne Tachographen unterstützen mehrere physikalische Kommunikationsschnittstellen. Besonders relevant im Kontext dieser Arbeit sind:

2.3.1 UART

UART (Universal Asynchronous Receiver/Transmitter): UART Kommunikation oder Universal Asynchronous Receiver Transmitter bezeichnet ein grundlegendes Verfahren der seriellen Datenübertragung, das auf Hardwareebene implementiert ist und in nahezu allen Mikrocontrollern, Prozessoren und vielen elektronischen Systemen integriert wird. Sie arbeitet asynchron, das heißt ohne gemeinsame Taktleitung zwischen Sender und Empfänger, und setzt stattdessen eine genaue zeitliche Synchronisation über eine zuvor vereinbarte Baudrate voraus. Diese Baudrate ist die Anzahl der Symbole pro Sekunde und definiert die Bitzeit. Übliche Baudraten sind 300, 1200, 9600, 19200, 38400, 57600 oder 115200 Bits pro Sekunde. Moderne Systeme können deutlich höhere Raten wie 1 Megabit pro Sekunde und mehr erreichen, erfordern dafür jedoch präzisere Taktgeber. Die UART Schnittstelle ist auf Hardwareebene als Transceiver implementiert und besteht aus mehreren Hauptkomponenten. Dazu zählen ein Baudratengenerator, ein Sender bestehend aus Puffer und Schieberegister, ein Empfänger mit synchronisiertem Schieberegister und optionalen FIFO Puffern sowie eine Steuer und Statuslogik. Der Baudratengenerator ist ein programmierbarer Teiler, der aus einem höheren Systemtakt das Bitzeit Signal erzeugt. In klassischen Implementierungen wie dem 16550 UART wird eine Basisfrequenz, oft 1,8432 Megahertz, durch einen programmierbaren Teilerfaktor geteilt, um die gewünschte Baudrate zu erreichen. Der Sender nimmt Daten typischerweise in einem parallelen Datenformat vom Prozessor entgegen und speichert sie in einem Sendepuffer oder einer FIFO Warteschlange. Von dort werden die Daten seriell in das Sendeschie-

beregister geladen. Die Kontrolllogik fügt automatisch ein Startbit, optional ein Paritätsbit und ein oder mehrere Stoppbits hinzu. Die Übertragung beginnt stets mit einem Startbit, das durch das Setzen der Leitung auf logisch Null für die Dauer einer Bitzeit signalisiert wird. Anschließend werden die Datenbits, beginnend mit dem niederwertigsten Bit, seriell übertragen. Nach den Datenbits folgt optional ein Paritätsbit, das eine einfache Fehlererkennung ermöglicht, und schließlich ein oder zwei Stoppbits, die durch das Setzen der Leitung auf logisch Eins für eine oder zwei Bitzeiten gekennzeichnet sind. Der Sender stellt den Datenstrom kontinuierlich bereit, solange Daten im FIFO Speicher liegen. Der Empfänger arbeitet komplementär. Er überwacht die Empfangsleitung und erkennt ein Startbit durch einen Wechsel von logisch Eins in den Ruhezustand auf logisch Null. Nach der Erkennung des Startbits aktiviert der Baudratengenerator die Abtastung des Signals in festen Zeitintervallen. Viele moderne UART Implementierungen verwenden ein Oversampling Verfahren, bei dem jedes Bit mehrfach abgetastet wird, typischerweise sechzehnmal, um eine präzise Synchronisation und robuste Bitentscheidung zu gewährleisten. Das Empfängerschieberegister sammelt die Bits und stellt sie nach vollständigem Empfang eines Datenrahmens als parallelen Wert bereit. Nach erfolgreichem Empfang kann die Hardware Paritätsfehler oder Framingfehler melden, falls das Paritätsbit nicht mit der erwarteten Parität übereinstimmt oder wenn das Stoppbit nicht korrekt erkannt wird. Auf Registerebene besteht eine klassische UART Einheit aus mehreren Steuer und Statusregistern. Ein typisches Design wie der 16550 UART enthält ein Transmit Holding Register zum Schreiben von zu sendenden Daten und ein Receive Holding Register zum Lesen empfangener Daten. Ein Line Control Register definiert die Anzahl der Datenbits, Paritätseinstellungen und die Anzahl der Stoppbits. Ein Baudrate Divisor Register steuert den Teiler des Baudratengenerators. Ein Interrupt Enable Register und ein Interrupt Identification Register erlauben eine ereignisgesteuerte Datenübertragung, indem Interrupts ausgelöst werden, wenn ein Zeichen empfangen wurde, der FIFO Speicher leer ist oder Fehler erkannt wurden. Moderne Implementierungen enthalten zusätzliche FIFO Register mit typischerweise sechzehn Byte Tiefe, wodurch der Prozessor weniger häufig Interrupts verarbeiten muss und die Effizienz bei hohen Baudraten gesteigert wird. Die physikalische Signalisierung kann in verschiedenen Standards erfolgen. Bei direkter Verbindung von Mikrocontrollern wird UART üblicherweise mit TTL Pegeln betrieben, typischerweise 0 Volt für logisch Null und 3,3 Volt oder 5 Volt für logisch Eins. Für robustere Anwendungen wird UART häufig mit Schnittstellenstandards wie RS232, RS422 oder RS485 kombiniert. RS232 invertiert die Signalpegel und verwendet Spannungen von plus oder minus zwölf Volt, wodurch eine höhere Störsicherheit erreicht wird.

RS422 und RS485 implementieren differenzielle Signalübertragung über verdrehte Leitungen, wodurch größere Reichweiten und Datenraten bis zu mehreren Megabit pro Sekunde möglich sind. UART Kommunikation ist paketlos und ohne eingebaute Adressierungslogik. Daher wird sie oft als Grundlage für höhere Protokolle genutzt. Beispiele sind Modbus RTU, DMX512 in der Veranstaltungstechnik oder proprietäre Protokolle in Industrie und Automatisierung. In diesen Fällen dient UART als physikalische Transportschicht, während Fehlerkorrektur, Adressierung und Steuerung auf einer höheren Ebene implementiert werden. Auf Systemebene ist UART durch seine Einfachheit und Robustheit ein unverzichtbares Kommunikationsmittel. In Mikrocontrolleranwendungen wird sie häufig als Standard Debug Schnittstelle verwendet. Auch Bootloader Implementierungen nutzen UART aufgrund der geringen Komplexität und der Möglichkeit, Geräte mit minimaler Hardwareunterstützung zu programmieren. Trotz der Verfügbarkeit schnellerer serieller Schnittstellen wie SPI, I2C oder USB bleibt UART weit verbreitet, da sie für Punkt zu Punkt Verbindungen mit geringen Hardwareanforderungen optimiert ist. Timingdiagramme einer UART Übertragung zeigen den Wechsel der Leitung von Ruhezustand auf Startbit, gefolgt von den Datenbits in Little Endian Reihenfolge, optionalem Paritätsbit und Stoppbit. Der Empfänger synchronisiert sich auf die Flanke des Startbits und liest die Bits in der Mitte jeder Bitzeit aus. Eine präzise Taktauslegung ist entscheidend, da Toleranzen in der Baudrate kumulative Fehler verursachen können. Moderne Systeme spezifizieren eine maximale Baudratendifferenz von zwei bis fünf Prozent zwischen Sender und Empfänger. Zusammenfassend ist UART Kommunikation ein elementares, hardwareunterstütztes Verfahren für serielle Punkt zu Punkt Datenübertragung, das aus Sicht von Hardwarearchitektur, Timing und Registerebene gut definiert ist. Ihre Einfachheit, Flexibilität und universelle Unterstützung machen sie zu einem Basiselement digitaler Systeme, das in nahezu allen Bereichen von eingebetteter Elektronik, industrieller Automatisierung, Kommunikationsinfrastruktur und PC Peripherie Anwendung findet.

2.3.2 K-Line

K Line Kommunikation ist ein standardisiertes serielles Kommunikationsverfahren, das in der Automobilindustrie insbesondere für On Board Diagnose Systeme verwendet wird. Sie ist in mehreren internationalen Normen spezifiziert, darunter ISO 9141 und ISO 14230, auch bekannt als Keyword Protocol 2000. Die K Line dient als bidirektionale serielle Datenleitung zur Übertragung von Diagnosedaten zwischen Steuergeräten im Fahrzeug und externen Diagnosegeräten. Ihre Einführung diente

der Vereinheitlichung von Diagnoseschnittstellen, um Herstellern, Werkstätten und Prüfstellen den Zugriff auf fahrzeuginterne Informationen zu ermöglichen. Die K Line arbeitet als halbduplexe serielle Schnittstelle, das heißt, dass Senden und Empfangen über dieselbe Leitung erfolgt, jedoch nicht gleichzeitig. Die physikalische Signalübertragung erfolgt typischerweise mit einer Ruhespannung von etwa zwölf Volt, die bei aktiver Kommunikation auf Null Volt gezogen wird. Dadurch kann die K Line direkt in Fahrzeugsystemen mit Bordnetzspannungen von zwölf oder vierundzwanzig Volt eingesetzt werden. Eine optionale zweite Leitung, die sogenannte L Line, wurde in älteren Systemen für Initialisierungszwecke genutzt, ist jedoch in modernen Implementierungen entfallen. Auf Protokollebene basiert die K Line auf asynchroner serieller Kommunikation ähnlich wie bei UART. Die Daten werden in Frames mit einem Startbit, acht Datenbits, optionalem Paritätsbit und einem Stoppbit übertragen. Die Baudrate liegt typischerweise bei 10400 Bits pro Sekunde, kann aber je nach Fahrzeug und Norm variieren. ISO 9141 beschreibt ein festes Kommunikationsschema, während ISO 14230 zusätzliche Flexibilität durch verschiedene Initialisierungsverfahren und ein erweitertes Protokolldesign bietet. Die Initialisierung der Kommunikation kann auf zwei Arten erfolgen. Bei der sogenannten Fast Initialization wird die Leitung kurzzeitig auf logisch Null gezogen, um dem Steuergerät das Kommunikationsinteresse zu signalisieren, woraufhin mit fester Baudrate Daten gesendet werden. Bei der Five Baud Initialization sendet das Diagnosegerät zunächst eine fünf Bit lange Adressnachricht mit einer Geschwindigkeit von fünf Baud, also einem Bit alle zweihundert Millisekunden. Dieses Verfahren ermöglicht es älteren Steuergeräten, ohne dedizierte Hardware auf eine standardisierte Weise angesprochen zu werden. Nach erfolgreicher Initialisierung wird die Kommunikation mit der festgelegten Baudrate fortgesetzt. Der physikalische Aufbau einer K Line Schnittstelle erfolgt meist über einen Pull Up Widerstand von etwa 510 Ohm zur Bordnetzspannung, sodass die Leitung im Ruhezustand auf hohem Pegel liegt. Aktive Treiber ziehen die Leitung auf Null Volt, um logische Null zu signalisieren. Aufgrund der elektrischen Eigenschaften und der Leitungsführung in Fahrzeugen ist die K Line relativ robust gegenüber Störungen, arbeitet jedoch nur als Punkt zu Punkt Verbindung zwischen einem Steuergerät und einem Diagnosegerät. Mehrere Steuergeräte im Fahrzeug können über eine gemeinsame K Line verbunden sein, jedoch darf immer nur ein Steuergerät aktiv antworten, während alle anderen ihre Ausgangsstufe deaktivieren. Dieses Konzept wird als Open Collector oder Open Drain Ansteuerung bezeichnet und ermöglicht eine einfache Busstruktur ohne komplexe Kollisionserkennung. Auf Protokollebene unterstützt die K Line verschiedene Rahmenformate. ISO 9141 definiert einen einfachen Aufbau mit einem Startbyte, ei-

nem Steuerbyte, einem Datenfeld und einer Prüfsumme. ISO 14230 erweitert dieses Konzept um ein flexibles Headerformat mit Längenangaben, Zieladressen und Quelladressen, wodurch eine strukturierte Kommunikation mit mehreren Steuergeräten möglich ist. Die Prüfsumme wird meist als einfache Addition aller Bytes berechnet und modulo 256 übertragen. Dieses Verfahren bietet grundlegende Fehlererkennung, jedoch keine Fehlerkorrektur. Hardwareseitig besteht eine K Line Schnittstelle typischerweise aus einem Treiberchip, der Pegelanpassung, Schutzfunktionen und Send- und Empfangslogik implementiert. Beispiele für solche Bausteine sind die ISO 9141 Transceiver Chips wie der L9637D oder der MC33290. Diese Chips übernehmen das Umschalten zwischen Send- und Empfangsmodus und bieten Schutzfunktionen gegen Kurzschlüsse, Überstrom und Überspannung, die in der automobilen Umgebung mit hohen Störpegeln notwendig sind. Die K Line wurde über viele Jahre als Standard in der Fahrzeugdiagnose verwendet und ist ein zentraler Bestandteil der ersten und zweiten Generation von On Board Diagnose Systemen. Mit der Einführung von OBD II in den Vereinigten Staaten und EOBD in Europa wurde K Line Kommunikation flächendeckend implementiert. Sie ermöglicht den Zugriff auf Fehlercodes, Sensordaten und Steuergeräteinformationen. Ab etwa 2008 wurde sie zunehmend durch den CAN Bus verdrängt, bleibt jedoch in vielen Fahrzeugen als Diagnosezugang erhalten, insbesondere bei älteren Modellen. Ein wesentlicher Vorteil der K Line liegt in ihrer Einfachheit und niedrigen Kosten. Sie erfordert nur eine Datenleitung und einen einfachen Transceiver Chip. Allerdings sind die Datenraten im Vergleich zu modernen Bussystemen wie CAN oder FlexRay begrenzt. Die Halbduplex Kommunikation und der Punkt zu Punkt Charakter machen K Line vor allem für Diagnosezwecke geeignet, während sicherheitskritische Systeme auf schnellere und deterministischere Busse angewiesen sind. Zusammenfassend ist die K Line Kommunikation eine robuste, standardisierte serielle Schnittstelle, die durch ihre breite historische Verbreitung ein Schlüsselwerkzeug für die Diagnose und Wartung von Fahrzeugen darstellt. Sie kombiniert eine einfache elektrische Architektur mit definierten Protokollen nach ISO 9141 und ISO 14230 und bildet eine Brücke zwischen früheren fahrzeugspezifischen Diagnosesystemen und modernen On Board Diagnoseverfahren. Auch wenn sie heute durch CAN und andere Bussysteme ergänzt oder ersetzt wird, bleibt sie ein relevantes Element in der automobilen Elektronik und ein Beispiel für die Evolution standardisierter Schnittstellen in sicherheitskritischen technischen Umgebungen.

2.4 Sicherheitsanforderungen (Authentifizierung, Autorisierung, Verschlüsselung)

Da Tachographendaten sensible Informationen wie Lenkzeiten, Arbeitszeitprotokolle und Geschwindigkeitsverläufe enthalten, sind sie besonders schützenswert. Die Kommunikation mit Auslesegeräten unterliegt daher folgenden sicherheitsrelevanten Anforderungen: Authentifizierung: Nur autorisierte Geräte bzw. Karten dürfen Zugriff auf Tachograph-Daten erhalten. Dies wird durch Challenge-Response-Mechanismen und Sicherheitszertifikate sichergestellt. Autorisierung: Der Zugriff darf nur auf jene Daten gewährt werden, die im Rahmen des jeweiligen Benutzerprofils rechtlich erlaubt sind (Fahrer, Unternehmen, Kontrolle). Verschlüsselung: Die Datenübertragung – insbesondere bei drahtloser Kommunikation – erfolgt vorzugsweise verschlüsselt, häufig unter Nutzung von TLS (Transport Layer Security). Diese Punkte stellen hohe Anforderungen an das Firmware- und Kommunikationsdesign und waren zentraler Bestandteil im Entwicklungskonzept des hier vorgestellten Prototyps.

2.5 Überblick Mikrocontroller-Plattform ESP32

Die hardwareseitige Realisierung des Auslesegeräts basiert maßgeblich auf dem ESP32, einem leistungsfähigen Mikrocontroller von Espressif Systems.

2.5.1 Architektur und Leistungsdaten

Der ESP32 ist ein 32-Bit-Mikrocontroller mit zwei CPU-Kernen, arbeitet mit einer Taktfrequenz von bis zu 240 MHz und bietet je nach Modell bis zu 520 KB SRAM sowie mehrere Megabyte Flash-Speicher. Neben klassischen IO-Schnittstellen (GPIO, ADC, SPI, I²C) überzeugt er insbesondere durch die Integration von Wi-Fi (802.11 b/g/n) und Bluetooth (Classic & BLE), was ihn für smarte Embedded-Projekte – wie dieses – besonders attraktiv macht.

2.5.2 Wi-Fi

Wi-Fi dient der drahtlosen Verbindung zu Cloud-Systemen oder mobilen Endgeräten (z. B. dem Smartphone des Flottenbetreibers).

2.5.3 Bluetooth low energy

Bluetooth Low Energy (BLE) ist eine speziell für äußerst energieeffiziente Anwendungen entwickelte Funktechnologie, die im 2,4 GHz ISM-Band (2,402–2,480 GHz) arbeitet und dabei 40 Kanäle mit jeweils 2 MHz Kanalabstand nutzt, wovon drei als Werbekanäle und 37 als Datenkanäle definiert sind. Im Vergleich zu Bluetooth Classic, das 79 Kanäle mit 1 MHz Abstand verwendet, zeichnet sich BLE durch eine optimierte Kanalnutzung und Frequenzsprungverfahren (Frequency-Hopping Spread Spectrum, FHSS) aus, um Interferenzen zu minimieren und die Energieeffizienz zu steigern. Die Modulation erfolgt über GFSK (Gaussian Frequency-Shift Keying), während Bluetooth Classic zusätzlich komplexere Modulationsschemata wie $\pi/4$ -DQPSK oder 8DPSK verwendet. BLE bietet eine flexible Auswahl an physikalischen Datenraten: LE 2M PHY mit 2 Mbit/s, LE 1M PHY mit 1 Mbit/s sowie LE Coded PHY mit Datenraten von 500 kbit/s ($S=2$) oder 125 kbit/s ($S=8$), wodurch Reichweite und Robustheit der Verbindung anwendungsabhängig optimiert werden können. Die Empfindlichkeit der Empfänger reicht von -70 dBm bei 2M und 1M PHY bis hin zu -82 dBm bei $S=8$, was eine hohe Reichweite auch bei geringer Sendeleistung ermöglicht. BLE unterstützt eine maximale Sendeleistung von $+20$ dBm (100 mW). Neben klassischen Punkt-zu-Punkt-Verbindungen wie Piconets unterstützt BLE moderne Topologien wie Broadcast- und Mesh-Netzwerke, was es besonders attraktiv für IoT-Anwendungen und große Sensornetzwerke macht. Zudem hat sich BLE von einer reinen Kommunikationsschnittstelle zu einer Technologie für präzise Positionsbestimmung entwickelt. Über Verfahren wie RSSI-Messung, Channel Sounding und Richtungsbestimmung (Angle of Arrival/Angle of Departure, AoA/AoD) können Anwender Geräte nicht nur erkennen, sondern auch ihre Entfernung und Richtung bestimmen. Ergänzt wird dies durch Unterstützung verschiedener Datenübertragungsarten wie asynchroner, synchroner und isochroner Kommunikation, sowohl verbindungsorientiert als auch verbindungslos. Durch seine energiesparende Architektur, hohe Flexibilität und integrierte Positionierungsfunktionen ist BLE heute eine Schlüsseltechnologie für Wearables, Smart-Home- und Industrie-4.0-Anwendungen sowie für ortsbasierte Dienste mit hoher Genauigkeit. Zusätzlich besitzt der ESP32 mehrere UART-Schnittstellen, wodurch separate Kommunikationskanäle für Datenübertragung und Kalibrierung/Pegelkontrolle gegenläufiger Signale realisiert werden können.

2.6 Relevante Zusatzkomponenten

Zur Ergänzung des ESP32 kommen im Projektaufbau mehrere unterstützende Hardwarekomponenten zum Einsatz:

2.6.1 MAX3232 Pegelwandler

Der MAX3232 ist ein vielseitiger, dualer RS-232-Line-Treiber und -Empfänger, der speziell für den Betrieb an einzelnen Spannungsversorgungen im Bereich von 3 V bis 5,5 V ausgelegt ist und dadurch eine hohe Flexibilität für verschiedenste Anwendungen bietet. Das IC integriert zwei Treiber und zwei Empfänger sowie eine Dual-Charge-Pump-Schaltung, die mit vier externen 0,1- μ F-Kondensatoren arbeitet, um die zur Pegelanpassung nötigen höheren Spannungen zu generieren. Charakteristisch ist außerdem ein niedriger Stromverbrauch von typischen 300 μ A, wodurch das Bauteil auch für battery-powered systems besonders geeignet ist. Der MAX3232 erfüllt die Anforderungen der TIA/EIA-232-F- und ITU-V.28-Standards und bietet darüber hinaus eine robuste ESD-Schutz-Zertifizierung von ± 15 kV (Human-Body-Model), was ihn sehr widerstandsfähig gegen elektrostatische Entladungen macht. Technisch kann er Datenübertragungsraten bis zu 250 kbit/s bewältigen und die Treiber weisen eine maximale Slew-Rate von 30 V/ μ s auf. Ein weiteres nützliches Feature ist die Fähigkeit, 5-V-Logikpegel auf den Eingängen mit einer Versorgung von 3,3 V zu akzeptieren, was die Integration mit gängigen Mikrocontroller-Boards vereinfacht. Erhältlich ist der MAX3232 in verschiedenen Gehäusevarianten wie SOIC, SSOP oder TSSOP (jeweils 16 Pins), was eine einfache Integration in unterschiedlich platzierte Leiterplattendesigns erlaubt.

2.6.2 L9637D K-Line Transceiver

Der L9637D ist ein monolithischer Bus-Treiber, der speziell für den Einsatz in automobilen Diagnosesystemen mit ISO 9141-Kompatibilität entwickelt wurde. Er verarbeitet Versorgungsspannungen im weiten Bereich von 4,5 V bis 36 V (Transientes bis 40 V erlaubt) und schützt gegen eine umgekehrte Versorgung bis zu -24 V. Im Standby-Modus weist der Baustein einen äußerst geringen Stromverbrauch auf, besonders bei $V_{CC} \leq 0,5$ V, und auch im ausgeschalteten Zustand liegt der typische Ruhestrom bei lediglich 120 μ A. Der TX-Eingang ist TTL-kompatibel, während die bidirektionale K-I/O-Leitung eine schwellenwertabhängige Eingangscharakteristik

besitzt, die sich mit der Versorgungsspannung ändert. Ein integrierter Übertemperaturschutz schaltet selektiv die K-Leitung ab, falls kritische Temperaturen erreicht werden. Widerstandsfähigkeit und Störfestigkeit werden durch definierte Ausschaltzustände bei Unterspannung oder bei Unterbrechung von VS oder GND sowie durch kontrollierte Ausgangsflanken zur Minimierung elektromagnetischer Emissionen gewährleistet. Weiterhin bietet der Baustein Eingangsimpedanzabsicherung bei offenem Versorgungspotenzial und definiert klare Zustände für LO oder RX bei offenem LI- bzw. K-Eingang sowie K-Ausschaltverhalten bei offenem TX-Eingang. Die Ein- und Ausgänge (TX, RX, LO) verfügen über interne Pull-up-Widerstände zur weiteren Stabilisierung. Der Ausgangsstrom der K-Leitung ist auf etwa 60 mA begrenzt, und die Schnittstelle zeichnet sich durch hohe Eingangsimpedanzen sowie EMI-optimiertes Design aus. Funktional erlaubt der Baustein bidirektionale Kommunikation über die Diagnoseleitung (K-Line) und verfügt über ausreichende Hysterese zur Unterdrückung von Leitungsspannungsspitzen. Schutzmechanismen umfassen Überlastung, Kurzschluss gegen GND oder VS sowie Über- und Unterspannung. Timing-Eigenschaften bei Versorgungsspannungen zwischen 9 und 16 V zeigen typische Werte: maximal 50 kHz Übertragungsfrequenz, $2\text{ }\mu\text{s}$ Anstiegs- und Abfallzeiten (bei spezifiziertem Lastglied) sowie definierte Einschaltzeiten (t_{ON}) von bis zu $17\text{ }\mu\text{s}$ und Ausschaltzeiten (t_{OFF}) bis $17\text{ }\mu\text{s}$. Die Ausgangsflanken sind so gesteuert, dass EMI gering bleibt. Temperaturbereichsfähigkeit reicht von $-40\text{ }^{\circ}\text{C}$ bis $+150\text{ }^{\circ}\text{C}$, und das Bauteil ist im platzsparenden SO-8-Gehäuse erhältlich. Insgesamt bietet der L9637D eine robuste, energieeffiziente und gut geschützte Lösung für ISO-9141-basierte Fahrzeugnetzwerkschnittstellen.

2.6.3 MP1584EN-LF-Z Step-Down Regler

Der MP1584 ist ein leistungsstarker, hochfrequenter Step-Down-Schaltregler mit integriertem Hochspannungs-Power-MOSFET, der bis zu 3 A Ausgangsstrom liefert und mittels Strommodusregelung eine schnelle Regelantwort sowie einfache Kompensation ermöglicht. Der Eingangsspannungsbereich ist mit 4,5 V bis 28 V äußerst breit und eignet sich damit ideal für vielfältige Anwendungen – etwa in der Automobilindustrie oder bei batteriegespeisten Systemen – wobei der Ruhestrom bei lediglich etwa $100\text{ }\mu\text{A}$ liegt, was die Energieeffizienz im Leerlauf deutlich optimiert. Um hohe Umwandlungseffizienz über verschiedene Lastbereiche hinweg zu gewährleisten, wird die Schaltfrequenz bei geringer Last reduziert, wodurch Schalt- und Treiberverluste minimiert werden. Dieser Mechanismus verhindert zudem, dass der Stromfluss im Induktor beim Start instabil wird (“frequency foldback”), und in Kom-

bination mit einem thermischen Abschaltenschutz sorgt er für eine zuverlässige und ausfallsichere Betriebsweise. Mit einer programmierten Schaltfrequenz von bis zu 1,5 MHz werden elektromagnetische Störungen, insbesondere im Bereich von AM-Radio oder ADSL, vermieden. Der Regler verfügt über eine integrierte Soft-Start-Funktion und eine präzise Strombegrenzung, die ohne externen Shunt-Widerstand auskommt. Die Schaltfrequenz lässt sich flexibel zwischen 100 kHz und 1,5 MHz per externem Widerstand einstellen. Das Bauteil ist in einem thermisch verbesserten SOIC-8E-Gehäuse mit Exposed Pad erhältlich, was zur effektiven Wärmeableitung beiträgt. Die elektrischen Eigenschaften beinhalten eine genaue Referenz-Feedback-Spannung von ca. 0,8 V, eine MOSFET-On-Resistance von etwa 150 m Ω , sowie eine Strombegrenzung um 4–4,7 A. Weitere Merkmale sind ein UVLO-Startschwellenwert bei ungefähr 3 V, ein Soft-Start-Intervall von ca. 1,5 ms, minimale On- und Off-Zeiten von je 100 ns, ein Shutdown-Strom von rund 20 μ A, sowie thermischen Schutz bei etwa 150 °C mit einer Hysterese von 15 K. Der Enable-Pin lässt sich mit etwa 1,5 V aktivieren bzw. bei 1,2 V deaktivieren, über den Feedback-Pin wird die Ausgangsspannung über einen Widerstandsteiler präzise geregelt. Dabei beeinflusst die Einstellung der Frequenz am FREQ-Pin über einen externen Widerstand die Schaltfrequenz des Reglers. Das MP1584-Modul kann Ausgangsspannungen im Bereich von 0,8 V bis max. 25 V erzeugen und ist stabil gegen Keramikkondensatoren. Typische Anwendungen umfassen Hochspannungskonversion, Automobil- und Industrie-Stromversorgungen sowie verteilte oder batteriegestützte Systeme. Die kompakte Bauform und thermische Optimierung machen dieses Bauteil zu einer effizienten und robusten Lösung für anspruchsvolle Gleichstrom-Versorgungsdesigns.

3 Analyse der Anforderungen

Um eine funktionale, sichere und wirtschaftlich sinnvolle Lösung zu entwickeln, ist vorab eine strukturierte Analyse der projektbezogenen Anforderungen notwendig. Diese lassen sich in funktionale, nicht-funktionale, technische sowie sicherheitsrelevante Anforderungen gliedern. Darüber hinaus wird ein kurzer Vergleich zu bestehenden Lösungen vorgenommen, um die Positionierung des geplanten Systems klar abzugrenzen.

3.1 Funktionale Anforderungen

Die zentralen Funktionen des zu entwickelnden Auslesegeräts ergeben sich direkt aus den gesetzlichen Vorgaben sowie aus den praktischen Anforderungen von Transportunternehmen. Im Einzelnen ergeben sich folgende funktionale Anforderungen:

- Auslesen von Tachographendaten gemäß den EU-Verordnungen 2016/799 und 2021/1228
- Unterstützung der seriellen Kommunikationsprotokolle des Tachographen (UART, K-Line)
- Sichere Authentifizierung über Unternehmenskarte oder vorab registrierte Geräteidentitäten
- Datenverschlüsselung während der Übertragung und ggf. Speicherung
- Bereitstellung der Daten zur Anzeige, Archivierung oder Export
- Plattformunabhängiger Datenzugriff, z. B. über Webanwendung oder mobile App
- Energieeffizienter, mobiler Betrieb ohne stationäre Infrastruktur

Diese Funktionen bilden den sogenannten „Minimal Viable Product“-Kern des Systems und müssen prioritär umgesetzt werden.

3.2 Nicht-funktionale Anforderungen (Mobilität, Benutzerfreundlichkeit, Kosten)

Nicht-funktionale Anforderungen betreffen qualitative Merkmale des Systems, die nicht direkt durch eine einzelne technische Funktion abgedeckt sind, aber für die Akzeptanz und den praktischen Einsatz entscheidend sind:

- Mobilität: Kompakte Baugröße, Batteriebetrieb möglich
- Benutzerfreundlichkeit: Einfache Bedienung

auch für technisch nicht geschulte Anwender • Robustheit: Geeignet für den Außeneinsatz im Fahrzeugumfeld • Kosteneffizienz: Komponentenwahl abgestimmt auf niedrige Materialkosten • Modularität: Erweiterbarkeit durch Software oder zusätzliche Schnittstellen • Zukunftsfähigkeit: Berücksichtigung künftiger Tachograph-Generationen (z. B. Smart Tachographs Version 2)

3.3 Sicherheits- und Datenschutzanforderungen

Die Arbeit mit personenbezogenen und unternehmenskritischen Daten erfordert besondere Vorkehrungen im Design: • Vertraulichkeit: Schutz der ausgelesenen Daten vor unbefugtem Zugriff • Integrität: Sicherstellung, dass Daten vollständig und unverändert übertragen werden • Authentifizierung/Autorisierung: Zugriff nur durch berechtigte Nutzer oder Systeme • Speichersicherheit: Daten sollen entweder temporär im Gerät oder sicher extern (z. B. Cloud) abgelegt werden – Speicherung im Klartext im Gerät ist zu vermeiden • Datenschutzrechtliche Konformität: Umsetzung gemäß DSGVO und IT-Sicherheitsstandards Insbesondere TLS/SSL-Verschlüsselung, tokenbasierte Autorisierung und rollenbezogene Zugriffskontrolle (z. B. Fahrer vs. Unternehmen) werden als technische Mittel berücksichtigt.

3.4 Technische Spezifikationen gemäß Normen

Die Kommunikation mit dem digitalen Tachographen muss normenkonform erfolgen. Relevante technische Richtlinien sind u. a.: • ISO 16844 (Teil 1–6): definiert die physikalischen und Protokoll-Schichten für Tachographenschnittstellen • ISO 9141-2: Kommunikationsprotokoll für K-Line-Diagnoseschnittstellen • Continental VDO Datenformate (z. B. DDD/XML-Files): strukturierte Fahrerdatenformate • EU-Verordnung 2016/799, Anhang 1C: Vorgaben zu Authentifizierungsprozessen, Protokollformaten und Sicherheitsmechanismen Die Umsetzung muss kompatibel mit diesen Spezifikationen erfolgen, um rechtssichere Daten zu gewährleisten.

3.5 Vergleich zu bestehenden Lösungen

Der Markt für mobile Tachographen-Auslesesysteme ist zwar vorhanden, jedoch meist auf professionelle Großlösungen oder fest verbaute Telematikeinheiten be-

schränkt. Kritische Einschränkungen der am Markt befindlichen Lösungen:

Kriterium	Bestehende Systeme	Zielsystem in dieser Arbeit
Hardware	Steuergerät oder separ. HIL-Lösung	Steuerungsgangbar (Microcontroller-basiert)
Normen	Nicht konforme Lösungen, z. B. ISO 16844	Normkonform (ISO 16844, ISO 9141-2)
Plattformunabhängigkeit	Ergebnisorientiert	Offen und plattformübergreifend
Benutzerschnittstelle	Grafisch	Text, Audio, Haptik
Benutzerschnittstelle	Grafisch	Microcontroller-Plattform
Benutzerschnittstelle	Grafisch	Microcontroller-Plattform
Benutzerschnittstelle	Grafisch	Microcontroller-Plattform

4 Systementwurf

4.1 Hardware-Architektur

Ziel der Hardware-Architektur ist eine robuste, EMV-verträgliche und normkonforme Auslese-Plattform für digitale Tachographen in 12/24-V-Bordnetzen. Der Aufbau gliedert sich in vier Funktionsblöcke: Energiepfad ($24\text{ V} \rightarrow 5\text{ V} \rightarrow 3,3\text{ V}$) mit Eingangs- und Transientenschutz, Schaltregler (MP1584) und lokaler 3,3-V-Versorgung. Mikrocontroller-Kern (ESP32-S3-WROOM-1) inkl. Takt/Reset, USB-C-Debug und Status-LED. Schnittstellen-Transceiver für RS-232 (MAX3232) und K-Line (L9637D). Signalintegrität/EMV: Entstörglieder (Ferritperlen, RC-Netzwerke), ESD-Schutz (z. B. USBLC6-2SC6) und Leiterplatten-Layoutregeln. Die folgenden Unterabschnitte beschreiben die Architektur systematisch von der Speisung bis zur Protokollebene.

4.1.1 Schaltungsaufbau und Stromversorgung

4.2 Hardware-Architektur

Ziel der Hardware-Architektur ist eine robuste, EMV-verträgliche und normkonforme Auslese-Plattform für digitale Tachographen in 12/24-V-Bordnetzen. Der Aufbau gliedert sich in vier Funktionsblöcke:

1. Energiepfad ($24\text{ V} \rightarrow 5\text{ V} \rightarrow 3,3\text{ V}$) mit Eingangs- und Transientenschutz,
2. Mikrocontroller-Kern (ESP32-S3-WROOM-1) inkl. Takt/Reset, USB-C-Debug und Statusanzeigen,
3. Schnittstellen-Transceiver für RS-232 (MAX3232) und K-Line (L9637D),
4. Maßnahmen zur Signalintegrität/EMV (Ferritperlen, Snubber, ESD-Arrays, Layoutregeln).

4.2.1 Schaltungsaufbau und Stromversorgung

(A) Bordnetzeingang und Schutzstufen

Das Gerät wird direkt aus dem Fahrzeugbordnetz (nominal 24 V, kompatibel zu 12 V) gespeist. Der Energiepfad ist mehrstufig aufgebaut:

Primärschutz und Inrush-Begrenzung. Eine Gerätesicherung **F1** (z. B. 5 A träge) schützt gegen Kurzschlüsse. Eine bidirektionale TVS-Diode **D3** (Automotive-Serie, SMA/SMBJ) klemmt transiente Überspannungen gemäß ISO 7637-2/ISO 16750-2 (Pulse 1/2/3a/3b, Load-Dump). Ein P-Kanal-MOSFET-Hochseiten-Schalter **Q2** in Ideal-Dioden-Topologie realisiert Verpolschutz bei minimalem Spannungsabfall und wirkt zugleich als sanfter Einschaltpfad (begrenzter *inrush*).

Eine Ferritperle **FB1** ($600 \Omega @ 100 \text{ MHz}$) in Kombination mit einem π -ähnlichen Vorfilter (Eingangs-MLCC \rightarrow Ferrit \rightarrow Stützkondensator) unterdrückt leitungsgebundene HF-Störungen in beide Richtungen.

Abwärtswandlung 24 V \rightarrow 5 V (MP1584). Der Step-Down-Regler **MP1584** (U4) arbeitet strommodengeregelt mit externer Taktvorgabe (100 kHz ... 1,5 MHz) und liefert bis 3 A. Der zulässige Eingangsspannungsbereich (4,5 ... 28 V), Soft-Start, Überstrom- und thermischer Schutz sind für den Automotive-Einsatz geeignet.

Dimensionierung (lehrbuchartig hergeleitet):

Zielgrößen: $V_{\text{OUT}} = 5,0 \text{ V}$, $I_{\text{OUT,max}} = 1,0 \text{ A}$, $f_{\text{S}} = 500 \text{ kHz}$ (Kompromiss aus Wirkungsgrad/EMV), $V_{\text{IN}} = 12 \dots 28 \text{ V}$.

- Idealer Duty-Cycle:

$$D \approx \frac{V_{\text{OUT}}}{V_{\text{IN}}}.$$

- Induktorstrom-Rippel:

$$\Delta I_L = \frac{(V_{\text{IN}} - V_{\text{OUT}}) D}{L f_{\text{S}}} = \frac{V_{\text{OUT}} \left(1 - \frac{V_{\text{OUT}}}{V_{\text{IN}}}\right)}{L f_{\text{S}}}.$$

Das Maximum tritt bei hohem V_{IN} auf.

- Auslegung mit 30–40 % Rippel (Faustregel): Ziel $\Delta I_L \approx 0,3 \text{ A}$ bei $I_{\text{OUT,max}} = 1 \text{ A}$.

Einsetzen für den *worst case* $V_{\text{IN}} = 28 \text{ V}$:

$$L \approx \frac{V_{\text{OUT}} \left(1 - \frac{V_{\text{OUT}}}{V_{\text{IN}}}\right)}{\Delta I_L f_S} = \frac{5 \left(1 - \frac{5}{28}\right)}{0,30 \cdot 5 \cdot 10^5} \approx 27 \mu\text{H}.$$

Gewählt wird ein **22 ... 33 μH** Automotive-Induktor ($I_{\text{SAT}} \geq I_{\text{OUT,max}} + \frac{\Delta I_L}{2} \approx 1,2 \text{ A}$; thermische Reserve $\geq 2 \text{ A}$).

Freilaufpfad. Der MP1584 ist nicht synchron; eine externe Schottky-Diode (mind. $40 \text{ V}/3 \text{ A}$, kleines t_{rr}) von SW nach GND ist vorzusehen.

Ausgangskapazität. Überschlägig (kapazitiv dominiertes Ripple)

$$C_{\text{OUT}} \gtrsim \frac{\Delta I_L}{8 f_S \Delta V_{\text{OUT}}}.$$

Bei $\Delta I_L \approx 0,37 \text{ A}$ (z. B. $L = 22 \mu\text{H}$) und $\Delta V_{\text{OUT}} = 50 \text{ mV}$ ergibt sich rechnerisch $C_{\text{OUT}} \approx 1,9 \mu\text{F}$. In der Praxis (Lastsprünge, DC-Bias-Derating von MLCC) werden **2–3 \times 22 μF X7R** nahe am Regler platziert; ggf. mit ESR-Dämpfung (kleiner Serien-R/C bzw. mehrere MLCC parallel).

Feedback-Teiler.

$$V_{\text{OUT}} = V_{\text{REF}} \left(1 + \frac{R_{\text{HIGH}}}{R_{\text{LOW}}}\right), \quad V_{\text{REF}} \approx 0,8 \text{ V}.$$

Für 5 V z. B. $R_{\text{LOW}} = 10 \text{ k}\Omega$, $R_{\text{HIGH}} \approx 52 \text{ k}\Omega$ (E96: $52,3 \text{ k}\Omega$). Der Abgriff erhält die Kompensationsnetzwerke; Leitungsführung kurz und fern vom SW-Knoten.

Wirkungsgrad und Verlustleistung. Bei $I_{\text{OUT}} = 0,5 \text{ A}$ und $\eta \approx 88 \%$ gilt

$$P_{\text{LOSS}} = P_{\text{OUT}} \left(\frac{1}{\eta} - 1\right) \approx 2,5 \text{ W} \cdot 0,136 \approx 0,34 \text{ W}.$$

Mit $\theta_{\text{JA}} \sim 50 \text{ K/W}$ ergibt sich eine moderate Erwärmung (ca. 17 K über Umgebung).

Sekundärversorgung $5 \text{ V} \rightarrow 3,3 \text{ V}$. Der ESP32-S3-WROOM-1 wird mit $3,3 \text{ V}$ betrieben (lokal je Versorgungspin $0,1 \mu\text{F}$, ergänzt um $10 \mu\text{F}$ Bulk pro Subsystem). Sende-Peaks des WLAN/BT-Blocks ($200\text{--}300 \text{ mA}$) werden durch eng platzierte Puffer-MLCC abgefangen.

Leistungsbudget (*worst case*). ESP32 aktiv (WLAN-TX-Peaks) $\approx 240\text{ mA}$; Schnittstellen/ESD/LEDs $30 \dots 60\text{ mA}$; Reserve/K-Line-Lastfälle $100 \dots 200\text{ mA}$ \Rightarrow gesamt $\approx 0,5 \dots 0,7\text{ A}$ @ 5 V . Der MP1584 (3 A) bietet komfortable Reserve.

(B) Masse- und EMV-Konzept

- **Sternförmige Masseführung:** Rückströme der Leistungsstufe (SW-Loop MP1584, Schottky, L , C_{OUT}) verbleiben in einem kompakten „Power-Island“. Digitale Masse (ESP32, Transceiver) koppelt erst am *einzigsten* Massestern nahe C_{OUT} .
- **Kleiner SW-Knoten:** kurze, breite Leiterbahnen; Abschirmung gegenüber sensiblen Netzen; Kupfer-Keep-Out unter dem Antennenbereich des ESP32-Moduls.
- **Eingangsfiler/ESD:** ($\text{FB1} + C$) direkt am Geräteeingang; ESD-Arrays unmittelbar an Steckverbindern (z. B. USBLC6-2SC6 an D+/D-).
- **Trennung „schmutzig/sauber“:** K-Line/RS-232 führen Störungen ein; deren Transceiver peripher platzieren, Logikseite nah am ESP32; falls nötig, Serien-RC bzw. Snubber zur Flankenberuhigung.

4.2.2 Schnittstellen- und Pegelkonzepte

(A) RS-232 (V.28) über MAX3232

Der **MAX3232** (U2) bildet die Pegelwandlung zwischen 3,3-V-TTL des ESP32 und $\pm(5 \dots 12)\text{ V}$ nach RS-232. Das IC enthält zwei Treiber und zwei Empfänger inkl. Dual-Charge-Pump (vier $\times 100\text{ nF}$ nahe an den Pins). Datenraten bis 250 kbit/s sind spezifiziert; ESD-Robustheit bis $\pm 15\text{ kV}$ (HBM).

Topologie & Leitungsführung:

- ESP32 UART_x.TX \rightarrow T1IN; T1OUT \rightarrow DB9-TX,
- DB9-RX \rightarrow R1IN; R1OUT \rightarrow ESP32 UART_x.RX,
- optional RTS/CTS über T2/R2.

Schirm/GND des DB9 wird am Gehäuse aufgelegt; vor dem MAX3232 wird ein ESD-Array platziert. PCB-Leitungen auf der TTL-Seite möglichst kurz führen; die RS-232-Seite darf kabelgebunden länger sein.

(B) K-Line (ISO 9141/14230) über L9637D

Der **L9637D** (U1) ist ein Automotive-Transceiver für die halbduplexe K-Line. Versorgung bis 36 V, integrierter Übertemperatur-, Überstrom- und Unterspannungsschutz.

Schaltungsprinzip:

- K-Pin des L9637D führt zur Fahrzeug-K-Leitung; typischer Pull-Up $510\ \Omega$ auf Bordnetz (12/24 V).
- TX/RX sind TTL-kompatibel \Rightarrow direkte Anbindung an den ESP32 (3,3 V). INH/EN erlaubt Transceiver-Shutdown.
- Pegel/Timing: Ruhespannung $K \approx V_{\text{Bord}}$, „dominant“ = Low (auf GND gezogen), baudtypisch 10,4 kBd; *Fast-Init* (25 ms-Low) und *5-Baud-Init* werden firmwareseitig erzeugt.
- Schutz/EMV: Serienwiderstand (ca. $100\ \Omega$) direkt am K-Pin gegen Überschwinger; TVS an K gegen ESD/ISO-Pulsereignisse; sternförmige Masseeinbindung.

(C) USB-C-Geräteschnittstelle (Debug/Versorgung)

Der USB-C-Stecker (U5) ist *Device-seitig* beschaltet ($2 \times 5,1\ \text{k}\Omega$ an CC1/CC2). Ein ESD-Array (USBLC6-2SC6) schützt D+/D−. Die differentielle Impedanz von $90\ \Omega$ ist im Layout einzuhalten (symmetrische Führung, keine scharfen Knicke). Die USB-5 V wird nicht direkt ins Bordnetz zurückgespeist, sondern über die interne 5-V-Schiene mit ideal-diode/Schalter entkoppelt.

5 Implementierung

5.1 Hardwareaufbau und Prototyping

Dieses Kapitel dokumentiert den Übergang vom Schaltbild zur erprobten Hardware – inklusive Layoutprinzipien, Fertigung, Inbetriebnahme-Checkliste und Messmethodik.

5.1.1 THT-Prototypen

Zunächst habe ich vorgefertigte Komponenten ausgewählt und diese auf einer Lochrasterplatine verlötet. Dieses Vorgehen wurde gewählt, da es einerseits einfach umzusetzen war und andererseits schnelle Ergebnisse ermöglichte. Zudem konnten wir auf diese Weise die Funktionalität der einzelnen Bauteile überprüfen, bevor wir mit dem Design der Leiterplatte begonnen haben.

Prototyp 1

Zu Beginn wurde eine Variante realisiert, bei der sämtliche Bauteile fest verlötet wurden. Es zeigte sich jedoch, dass dieses Vorgehen für die Fehlerdiagnose nicht ideal war. Darüber hinaus wies der Prototyp anfänglich die Eigenschaft auf, dass er nur in Verbindung mit dem Labornetzteil zuverlässig funktionierte. Beim Betrieb am Tachographen startete der ESP nicht ordnungsgemäß, da der Tachograph nicht ausreichend Strom bereitstellte. Er schaltete in einen Sicherheitsmodus und stellte lediglich eine Spannung von weniger als 3 V zur Verfügung.

Prototyp 2

Der zweite Prototyp zeichnete sich durch einen modularen Aufbau aus, der es ermöglicht, alle Komponenten einfach an- und abzustecken. Dieses Konzept wurde durch den Einsatz von einfachen Jumper-Kabeln sowie weiblichen Dupont-Steckern realisiert. Selbst einzelne LEDs, Widerstände und Kondensatoren sind abnehmbar

gestaltet. Mit dieser Variante gelang es uns, eine funktionsfähige Version zu entwickeln, bei der sämtliche Akku-Komponenten zuverlässig arbeiteten.

5.1.2 Leiterplatten-Design (EMV- und fertigungsorientiert)

Lagenaufbau. Zweilagige Leiterplatte (2-Lagen), 1 oz Cu. *Top:* Leistungs- und HF-kritische Knoten (MP1584-Power-Loop, SW-Knoten, USB-Differenzpaar). *Bottom:* großflächige GND-Plane mit möglichst wenigen Unterbrechungen und kontrollierten Rückstrompfaden.

Power-Island. Eingang (TVS, Q2, FB1) \rightarrow MP1584 \rightarrow L/Diode/ C_{OUT} in einem kompakten Rechteck anordnen. *Ziel:* minimale Schleifenfläche der kritischen Stromschleife

$$VIN \rightarrow SW \rightarrow D \rightarrow GND \rightarrow C_{OUT} \rightarrow VIN.$$

Signaltrennung. Schnittstellen-Transceiver (RS-232, K-Line) nahe den jeweiligen Steckverbindern platzieren. Die Logikseite (3,3 V) erhält an RX/TX kurze Leiterbahnen und Serienwiderstände (22–68 Ω) zur Dämpfung von Überschwingern (Ring).

ESP32-Antenne. Kupfer-*Keep-Out* unter dem Antennenbereich des ESP32-Moduls sowie ≈ 15 mm Freiraum seitlich vor der Modulantenne (Randmontage bevorzugen).

USB-Datenführung. Differenzpaarführung mit Zielimpedanz $Z_{diff} = 90 \Omega$; Längen- und Skew-Differenz < 150 mil. Keine Stichleitungen/T-Abgriffe; ESD-Arrays unmittelbar an der Buchse platzieren.

Entkopplung. Pro IC-VDD ein 0,1 μ F-Kondensator (X7R, 0402/0603) mit < 2 mm Leiterlänge zum Pin; pro Subsystem 10–22 μ F Bulk (X7R) zur Lastsprungpufferung.

Masseführung. Single-Point-Connection zwischen Leistungs- und Digitalmasse (Massestern nahe C_{OUT}). Thermische Anbindung des MP1584 über Vias-in-Pad (SOIC-8EP) zur Wärmeabfuhr.

Mechanik. Alle I/O-Steckverbinder entlang einer Platinkante vorsehen; Befestigungsbohrungen in der Nähe massiver Bauteile (Induktivität, Steckverbinder), um mechanische Belastungen zu minimieren.

5.1.3 Stückliste (BOM) – Kernkomponenten

- **U4 MP1584** (3 A Step-Down) + L 22–33 μH , Schottky $\geq 3 \text{ A}/40 \text{ V}$, $C_{\text{IN}} \geq 10 \mu\text{F}$, $C_{\text{OUT}} \geq 2 \times 22 \mu\text{F}$.
- **U1 L9637D** (ISO-9141 K-Line-Transceiver) + TVS an K, $R_{\text{PU}} \approx 510 \Omega$ nach V_{BAT} .
- **U2 MAX3232** (RS-232-Pegelwandler) + $4 \times 100 \text{ nF}$ Charge-Pump-Kondensatoren.
- **ESP32-S3-WROOM-1** + 3,3-V-Versorgung/Entkopplung ($0,1 \mu\text{F}$ je VDD, $10\text{--}22 \mu\text{F}$ Bulk).
- **U3 USBLC6-2SC6** (USB-ESD-Schutz), **FB1** $600 \Omega @ 100 \text{ MHz}$, **Q2** P-MOSFET (Reverse-Polarity/Ideal-Diode), **D3** TVS (Load-Dump).

5.1.4 Prototypenfertigung und Bestückung

Fertigung. Standard-FR4, min. Leiterbahnbreite/-abstand 6/6 mil (oder konservativer). Lötstopp dunkel (bessere optische Kontrolle), Oberflächenfinish HAL/ENIG nach Verfügbarkeit.

Bestückungsreihenfolge. (1) kleinste/kritische Bauteile (ESD-Arrays, 0402-MLCC), (2) Leistungsstufe (MP1584, Induktivität, Diode, Bulk-Caps), (3) Steckverbinder und Mechanik.

Vorinspektion. Optische Kontrolle (Lunker, Lotbrücken, Abstand am SW-Knoten), DMM-Messung auf Kurzschluss zwischen 5 V/GND und 3,3 V/GND.

5.1.5 Inbetriebnahme-Checkliste (Bring-Up)

Netzteil-Vortest (ohne μC).

1. Speisen mit einstellbarem Labor-NT (Strombegrenzung 100 mA).
2. EN-Pin des MP1584 auf Low \Rightarrow Ruhestrom prüfen.

3. EN aktivieren: 5,0 V verifizieren; Ripple mit Oszilloskop (20 MHz-Bandbreite, *ground spring*) messen, Ziel $V_{pp} < 30\text{--}50\text{ mV}$.
4. Laststaffelung $0,1\text{ A} \rightarrow 0,5\text{ A} \rightarrow 1,0\text{ A}$; Temperatur von MP1584/Induktor beobachten ($< 70^\circ\text{C}$).

3,3-V-Ebene & ESP32.

1. 3,3 V messen; Reset-Schaltung prüfen.
2. Minimal-Firmware flashen (UART/USB-CDC *alive*, LED-Blinktest).
3. WLAN-Peakstrom gezielt provozieren (z. B. Ping-Traffic); Transienten auf dem 3,3-V-Rail beobachten.

RS-232-Strecke (MAX3232).

1. Loopback (T1OUT \leftrightarrow R1IN) setzen; mit 115200 Bd testen.
2. Externer PC-Adapter: Byte-Fehlerquote ≈ 0 ; korrekte Invertierung prüfen.

K-Line (L9637D).

1. Dummy-Last an K ($1\text{ k}\Omega$ nach V_{BAT}), Idle-Level $\approx V_{\text{Bord}}$ prüfen.
2. *Fast-Init* (25 ms Low) erzeugen; Flanken ($\sim 2\text{ }\mu\text{s}$) und Pegel oszilloskopisch verifizieren.
3. Störfestigkeit: Puls-Injection (z. B. $1\text{ }\mu\text{s}$ Burst) \Rightarrow keine Fehltrigger am RX.

USB-C.

1. Enumeration am PC; D+/D−-Signalform ($90\text{ }\Omega$ diff.) kontrollieren.
2. ESD-Schnelltest ($\pm 8\text{ kV}$ Kontakt) am USB-Shield – keine Resets (nur mit geeigneter Ausrüstung/Laborfreigabe).

5.1.6 Messmethodik und Bewertung

Versorgungsripple. Messspitze mit *spring ground*, 20 MHz-Bandlimit; Messpunkt direkt an C_{OUT} . Dokumentation von V_{pp} und ggf. Spektrum (FFT).

Regelkreis-Stabilität. Lastsprünge $0,1 \rightarrow 0,5\text{ A}$; Überschwingen und Abklingzeit beobachten (Ziel: $t_{\text{settle}} < 200\text{ }\mu\text{s}$ auf $\pm 2\%$).

Schnittstellensignale. UART-Augendiagramm (RS-232 nach MAX3232), K-Line-Pegel relativ zu V_{BAT} ; Bitzeiten prüfen ($10,4 \text{ kBd} \Rightarrow 96 \mu\text{s}/\text{Bit}$).

Thermik. IR-Kamera oder Thermoelement; *steady state* nach 10 min bei 0,5 A Last dokumentieren.

EMV-Vorkompatibilität. Nahfeldsonde über dem SW-Knoten; Oberwellen bei f_S und $n \cdot f_S$ bewerten; falls erforderlich Snubber ergänzen ($R\text{--}C$ 5–22 Ω / 330–680 pF).

5.1.7 Normbezug und Konformitätsaspekte

Schnittstellen. ISO 9141/14230 (K-Line), RS-232 (TIA/EIA-232-F).

Automotive-Elektrik/EMV. ISO 7637-2 / ISO 16750-2 (Transiente), ISO 10605 (ESD), CISPR 25 (Störaussendung) wurden im Design berücksichtigt (TVS, Filter, Layoutführung).

Projektkontext. Die Architekturauswahl und der Prototypenaufbau sind konsistent zu den in Kapitel 3 formulierten Anforderungen und den in Kapitel 2 beschriebenen Komponenten.

6 Diskussion

6.1 Erfüllung der Anforderungen

6.2 Bewertung der Leistungsfähigkeit

6.3 Grenzen des Prototyps

6.4 Wirtschaftlichkeitsbetrachtung

7 fazit und ausblick

7.1 Zusammenfassung der Ergebnisse

7.2 Potenzielle Weiterentwicklungen

7.3 Einsatzmöglichkeiten in der Praxis

8 Zusammenfassung und Ausblick

Rückblick, Bewertung, Ausblick über mögliches Fortführen der Arbeit

A Beispielanlage

Beispieltext.

Abbildungsverzeichnis

Tabellenverzeichnis

Algorithmenverzeichnis

Quellcodeverzeichnis

Selbstständigkeitserklärung

Hiermit erkläre ich, dass ich die vorliegende Arbeit selbständig verfasst und keine anderen als die angegebenen Hilfsmittel benutzt habe. Die Stellen der Arbeit, die anderen Quellen im Wortlaut oder dem Sinn nach entnommen wurden, sind durch Angaben der Herkunft kenntlich gemacht. Dies gilt auch für Zeichnungen, Skizzen, bildliche Darstellungen sowie für Quellen aus dem Internet.

Ich erkläre ferner, dass ich die vorliegende Arbeit in keinem anderen Prüfungsverfahren als Prüfungsarbeit eingereicht habe oder einreichen werde.

Die eingereichte schriftliche Arbeit entspricht der elektronischen Fassung. Ich stimme zu, dass eine elektronische Kopie gefertigt und gespeichert werden darf, um eine Überprüfung mittels Anti-Plagiatssoftware zu ermöglichen.

Ort, Datum

Unterschrift

Datenträger

```
/.....Wurzelverzeichnis
├── OrdnerA ..... Ein Ordner auf dem Datenträger
│   ├── OrdnerB..... Ein Unterordner auf dem Datenträger
│   │   └── datei.xyz..... Eine Datei
│   └── thesis.pdf..... PDF-Datei dieser Bachelor-Thesis
```

Im Unterverzeichnis `tools` des Projekts findet sich das Perl-Skript `dirtree.pl`, mit welchem Inhalte für das `dirtree`-Environment (siehe oberhalb) semiautomatisch erstellt werden können.

Die Nutzung aus der Kommandozeile ist wie folgt:

```
perl dirtree.pl /path/to/top/of/dirtree
```

Quelle des Skripts:

<https://texblog.org/2012/08/07/semi-automatic-directory-tree-in-latex/>

Thesen

Praktikum

Entwicklung eines mobilen Auslesegeräts für digitale Tachographen gemäß EU-Verordnung

Eingereicht am: 18. November 2025

von: Denis Schmidt
geboren am 27.12.2001
in Lübeck

Matrikelnummer: 401227

Betreuer: Prof. Dr. Olaf Hagendorf
Zweitbetreuer: Sem Ion

- These 1
- These 2
- ...