FPGA Lab01 homework

組員: E24041810陳珈因

E24046755 陳韻如

E24046307 鄭中凱

2018/10/01

Q1:

1. 請問Synthesis 產生了一個有關 led[3] 的 warning，此 warning 是什麼意思? 是否會影響 FPGA 呈現的結果?
2. Implementation 產生了 *"place\_design is not in timing mode"* 的 warning，為什麼會產生此 warning?

A1:

1. 因為led[3]沒有使用到，但是我們有宣告這個port，所以產生warning，不過執行不會影響結果。
2. 因為一般的電路為時序電路，而我們這次使用的為組合電路，沒有加入clk，因此系統檢查時會警告我們。

Q2:

本實驗所加入的 Constraints 有個 virCLK.xdc 的檔案，若將此檔案移除在重新做一次本實驗，會有什麼不一樣的地方?

A2:

多了許多warning建議我們使用clk，但是結果沒有影響。

Programming:

1. 目標:改用板子上的四個按鈕來控制 LED。
2. 實驗結果:按下BTN0則LD0亮燈，按下BTN1則LD1亮燈，按下BTN2則LD2亮燈，按下BTN3則LD3亮燈。
3. 遇到的問題: 使用github時，我們原本直接到網站將要下載的檔案按右鍵[另存連結]，結果在vivado操作時，它的程式碼會出現類似html的內容，導致compile失敗。後來找到電腦裡面的github資料夾，直接使用裡面的檔案，變成功compile!