

# **Logos 系列产品 HMEMC 应用实例**

## **用户指南**

**(UG020011, Version 1.2)**

**(2019.11.4)**

**深圳市紫光同创电子有限公司**

**版权所有 侵权必究**

## 文档版本修订记录

版本号	发布日期	修订记录
V1.0	2018/1/18	初始版本
V1.1	2018/12/18	封面增加最新的版本更新时间；页脚去掉版本信息
V1.2	2019/11/4	1. 修改 UG 编号； 2. 修改 PGL22 的 DQ 信号连接说明

## 名词术语解释

HMEMC: Hard Memory Controller

DDR: Double Data Rate

IOL: IO Logic

IOB: IO Buffer

qos: quality of service

## 目录

一、概述 .....	1
二、HMEMC 功能说明 .....	2
(一) HMEMC 结构描述 .....	2
(二) HMEMC 接口描述 .....	3
(三) 用户端口选择 .....	8
(四) 低功耗模式 .....	8
三、HMEMC DDR3 实例介绍 .....	11
(一) 设计说明 .....	11
(二) 参数说明 .....	12
(三) 信号说明 .....	12
(四) 仿真说明 .....	15
(五) 使用资源说明 .....	15
四、PCB 设计说明 .....	16

## 图目录

图 1 HMEMC 与其他硬件资源的互连 .....	2
图 2 突发写时序图 .....	4
图 3 突发读时序图 .....	5
图 4 APB 接口写时序图 .....	6
图 5 APB 接口读时序图 .....	6
图 6 HMEMC 的时钟和复位信号 .....	7
图 7 进入和退出 AXI 低功耗模式的时序图 .....	8
图 8 拒绝进入 AXI 低功耗模式的时序 .....	9
图 9 由 CACTIVE_X 发起的退出 AXI 低功耗模式请求 .....	9
图 10 进入 DDR3 低功耗模式 .....	10
图 11 退出 DDR3 低功耗模式 .....	10
图 12 DDR3 设计实例逻辑框图 .....	11

## 表目录

表 1 存储接口的数据率和峰值带宽 .....	1
表 2 AXI4 总线信号说明 .....	3
表 3 APB 总线信号说明 .....	5
表 4 HMEMC 的时钟信号 .....	7
表 5 HMEMC 的复位信号 .....	7
表 6 用户端口屏蔽信号 .....	7
表 7 HMEMC 低功耗模式信号 .....	8
表 8 DDR3 设计实例参数说明 .....	12
表 9 HMEMC DDR3 设计实例顶层信号说明 .....	12
表 10 DDR3 主模块用户侧信号说明 .....	13
表 11 DDR3 实例资源列表 .....	15
表 12 FPGA 引脚与 DDR 存储器信号的映射关系 .....	16

## 一、概述

本文档主要描述了 HMEMC 的主要功能以及使用 HMEMC 实现 DDR3 存储器读写的应用实例。

HMEMC 是 Logos 系列 FPGA 芯片所拥有的高性能嵌入式硬核内存控制器,它简化了芯片与当前流行的内存标准的接口互联操作。与规模相当的 IP 相比, HMEMC 能提供更好的性能,并降低了功耗和开发时间。HMEMC 保留了宝贵的 FPGA 资源,让开发者更专注于其他 FPGA 设计工作。

主要特性:

- 支持LPDDR, DDR2, DDR3
- 支持x8, x16 DDR存储器
- 支持标准的AXI4总线协议
- 一共三个AXI4 用户端口, 1个128-bit, 两个64-bit, 支持可读可写
- 支持AXI4 read reordering
- 支持BANK Management
- 支持各种low power mode, self\_refresh, power down, deep power down
- 支持bypass DDRC
- 支持DDR3 write leveling和DQS gate training
- DDR3最高传输率达到1066Mb/s

性能参数:

表 1 存储接口的数据率和峰值带宽

存储类型	数据率: Mb/s DDR (MHz Clock)		每个HMEMC的峰值带宽 (Gb/s)	
	最小值	最大值	8-bit	16-bit
DDR2	250 Mb/s (125 MHz)	800 Mb/s (400 MHz)	6.4 Gb/s	12.8 Gb/s
DDR3	606 Mb/s (303 MHz)	1066 Mb/s (533 MHz)	8.528 Gb/s	17.056Gb/s
LPDDR	200 Mb/s (100 MHz)	400 Mb/s (200 MHz)	3.2 Gb/s	6.4 Gb/s

## 二、HMEMC 功能说明

HMEMC 实现了 FPGA fabric 与 DDR 存储器的连接，主要功能是通过 AXI4 总线接口接收 FPGA fabric 上层用户逻辑发来的访问请求，并根据请求的优先级进行调度，按照存储器的时序要求，转换成存储器可以识别的各种命令，发送到存储器，最终完成对存储器数据的读写操作。下图描述了 HMEMC 与 FPGA fabric 及 DDR 存储器的连接情况。

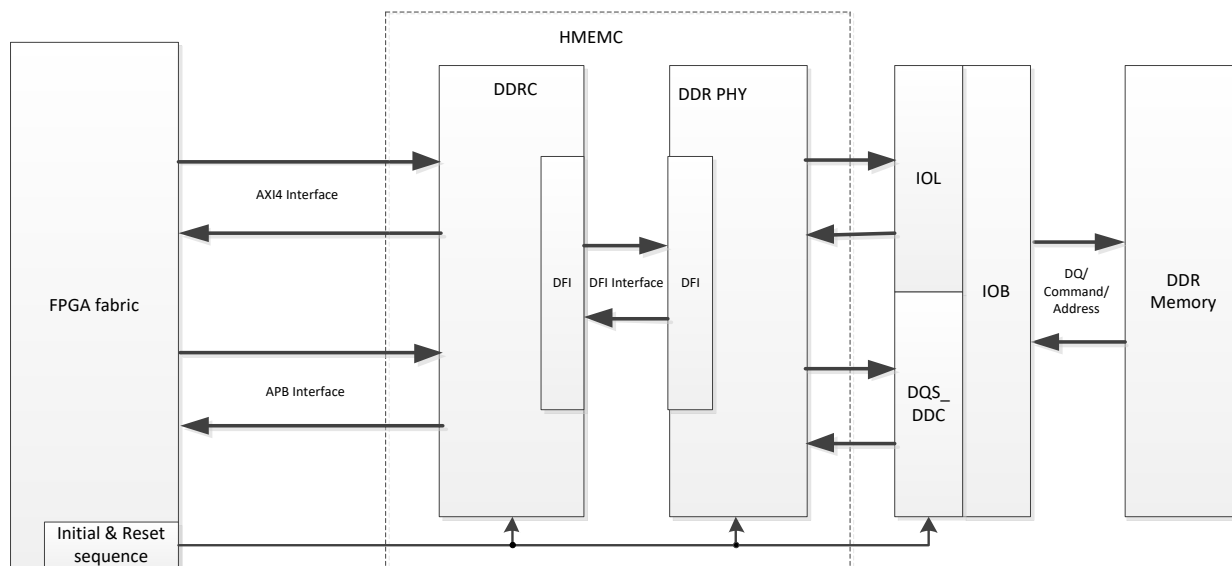


图 1 HMEMC 与其他硬件资源的互连

### （一）HMEMC 结构描述

HMEMC 主要由 DDR Controller 和 DDR PHY 组成。

DDRC 模块主要对用户读写请求进行仲裁，完成 AXI4 命令到 DFI 读写命令和操作时序的转换，同时对 DDR 存储器读写操作进行调度。

DDR PHY 完成不同类型的 DDR 存储器的初始化，完成 DDR3 的 write leveling，完成不同 DDR 类型的 DQS gate training 以及 read data eye leveling 等工作。接收 DDRC 发送的 DFI 命令并进行协议转换后发送到 DDR 存储器。

除此之外，为了能使 HMEMC 正常工作，还需要初始化和复位模块，负责整个系统上电初始化和所有模块的复位控制。为了减少风险，这部分功能放在 FPGA fabric 里，通过软逻辑来实现。

## (二) HMEMC 接口描述

### 1. AXI4 总线接口

#### 1) 信号说明

下表描述了 HMEMC 的 AXI4 总线信号。每个信号的后缀“\_X”代表 0~2 不同的 AXI4 用户端口。

表 2 AXI4 总线信号说明

信号名称	I/O	信号说明
CSYSREQ_X	I	退出AXI低功耗模式请求，高电平有效
CSYSACK_X	O	退出AXI低功耗模式响应，高电平有效
CACTIVE_X	O	外围设备时钟请求，高电平有效。
ACLK_X	I	输入时钟信号
AWID_X [7:0]	I	写地址ID
AWADDR_X [31:0]	I	写地址
AWLEN_X [7:0]	I	突发写的长度
AWSIZE_X [2:0]	I	突发写的大小
AWBURST_X [1:0]	I	突发写的类型，不支持fixed的突发类型
AWVALID_X	I	写地址有效，高电平有效
AWREADY_X	O	写地址准备好信号，高电平有效
AWURGENT_X	I	一旦使能则该端口具有最高优先级，如果使能PCFGW_n.wr_port_urgent_en寄存器，则仲裁器PA立刻进入写命令仲裁。当相应的端口和地址队列请求为空时，PA会忽略该信号
WDATA_X [127:0]	I	写数据信号
WSTRB_X[15:0]	I	写数据阀门信号，高电平有效
WLAST_X	I	写最后一个数据的标识信号，高电平有效
WVALID_X	I	写有效信号，高电平有效
WREADY_X	O	写就绪信号，高电平有效
BID_X [7:0]	O	写响应ID
BRESP_X [1:0]	O	写响应，指明写事务的状态。可有的响应：OKAY，EXOKAY，SLVERR，DECERR
BVALID_X	O	写响应有效，高电平有效
BREADY_X	I	写响应就绪，高电平有效
ARID_X [7:0]	I	读地址ID
ARADDR_X [31:0]	I	读地址
ARLEN_X [7:0]	I	突发读的长度
ARSIZE_X [2:0]	I	突发读的大小
ARBURST_X[1:0]	I	突发读的类型
ARLOCK_X	I	锁类型。AXI4中：0-normal access，1-exclusive access。关于exclusive access请查阅AXI4协议中的相关说明
ARVALID_X	I	读地址有效，高电平有效
ARREADY_X	O	读地址就绪，高电平有效
ARURGENT_X	I	一旦使能则该端口具有最高优先级，如果使能PCFGR_n.rd_port_urgent_en寄存器，则仲裁器PA立刻进入读命令仲裁，当相应的Port和地址queue请求为空时，PA会忽略该信号



信号名称	I/O	信号说明
RID_X [7:0]	O	读ID
RDATA_X [127:0]	O	读数据
RRESP_X [1:0]	O	读响应
RLAST_X	O	读事务中的最后一个数据，高电平有效
RVALID_X	I	读数据有效，高电平有效
RREADY_X	O	读数据就绪，高电平有效

## 2) 时序说明

下面逐一介绍 AXI4 总线的接口时序。

### ➤ 写通道时序

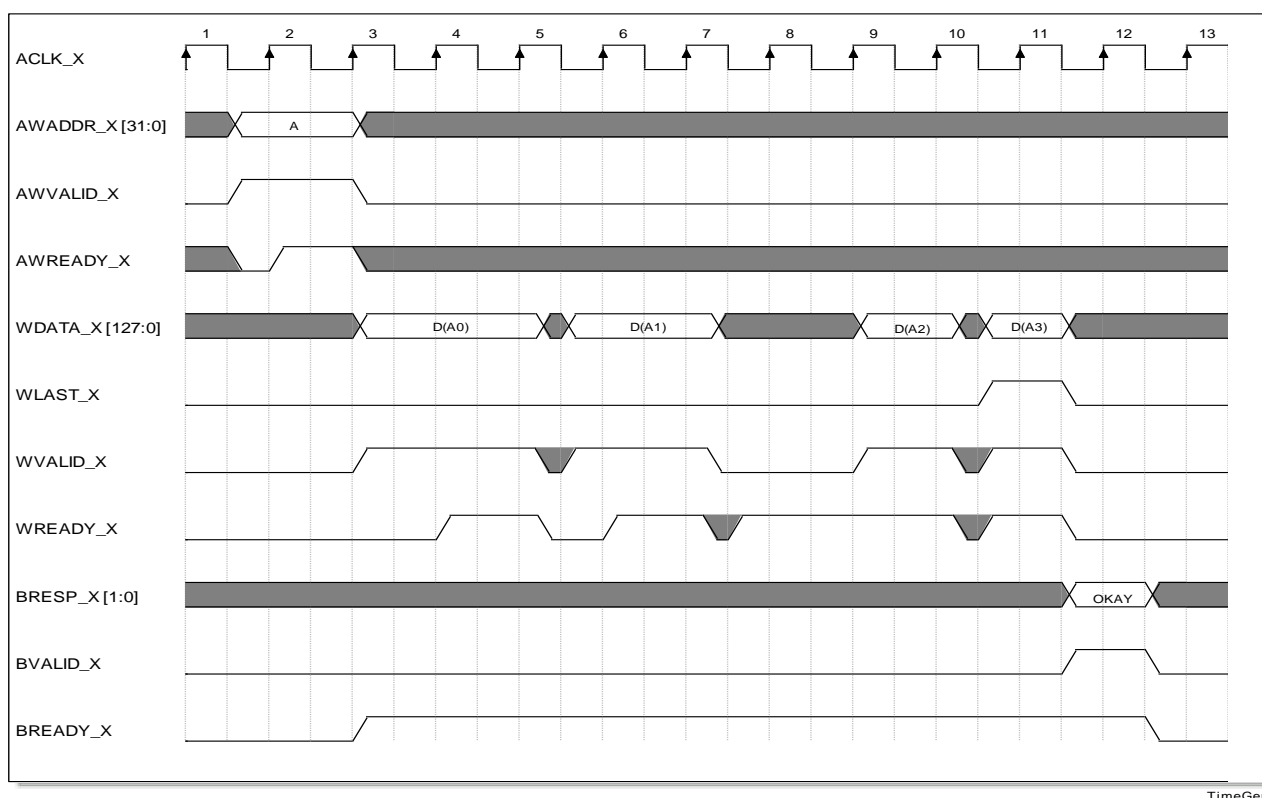


图 2 突发写时序图

### ➤ 读通道时序

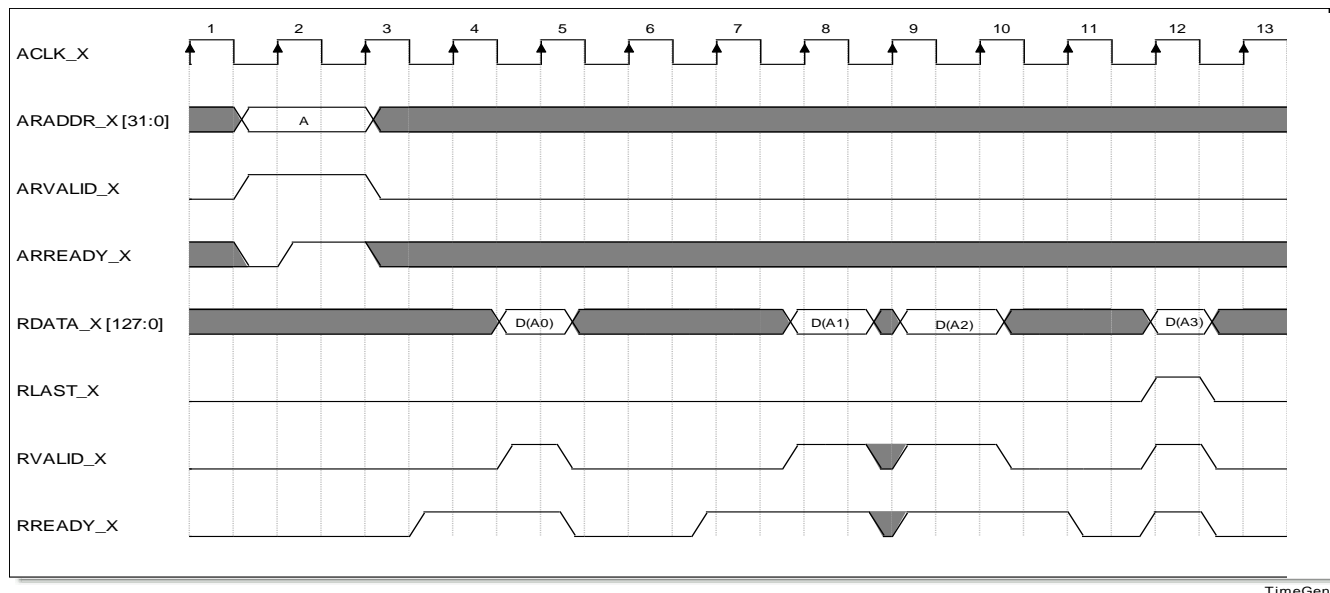


图 3 突发读时序图

## 2. APB 总线接口

### 1) 信号说明

下表描述了 HMEMC 的 APB 总线信号。

表 3 APB 总线信号说明

信号名称	I/O	信号说明
PCLK	I	APB时钟信号
PRESET	I	APB复位信号，高电平有效
PADDR[11:0]	I	APB地址
PWDATA[31:0]	I	APB写数据
PWRITE	I	APB读写方向，高电平为写操作
PSEL	I	APB选择信号，高电平有效
PENABLE	I	APB使能信号，高电平有效
PREADY	O	APB ready信号，高电平有效
PRDATA [31:0]	O	APB读数据
PSLVERR	O	APB错误信号，高电平有效

### 2) 时序说明

#### ➤ APB接口写时序

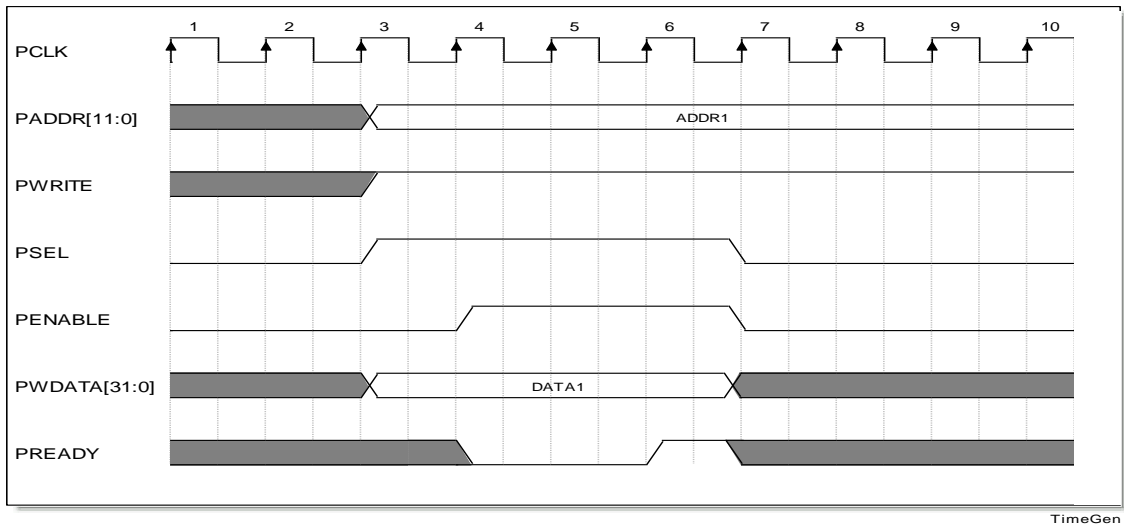


图 4 APB 接口写时序图

### ➤ APB接口读时序

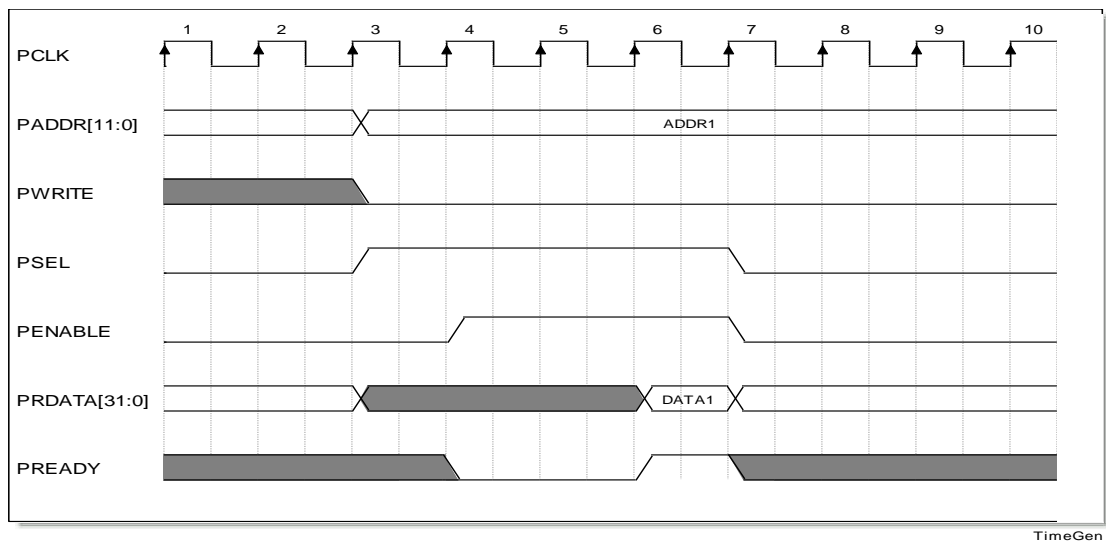


图 5 APB 接口读时序图

## 3. 时钟和复位信号

图 6 HMEMC 的时钟和复位信号描述了 HMEMC 主要的时钟和复位信号的逻辑框图。

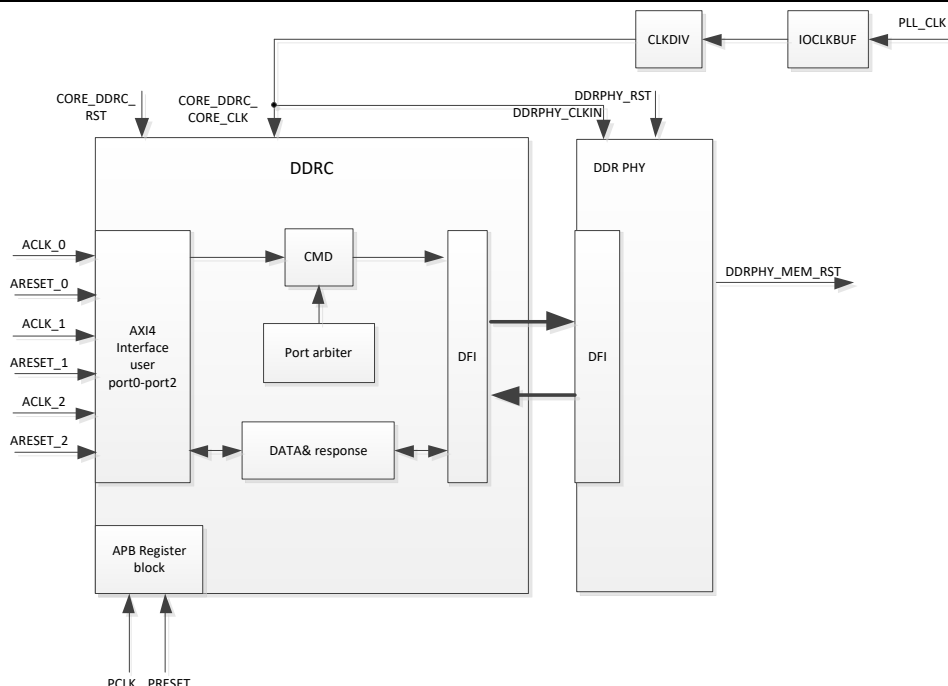


图 6 HMEMC 的时钟和复位信号

HMEMC 的时钟信号如表 4 HMEMC 的时钟信号所示。这些时钟都是异步的。

表 4 HMEMC 的时钟信号

信号名称	I/O	信号说明
CORE_DDRC_CORE_CLK	I	DDRC系统时钟，来自pll即PLL_CLK。最大时钟频率是266.5MHz。
ACLK_X	I	AXI4总线接口时钟，由pll产生。最大时钟频率是133MHz。X取值范围为0-2，代表不同的用户端口。
PCLK	I	APB总线接口时钟，由pll产生。PCLK的频率必须小于或者等于CORE_DDRC_CORE_CLK的频率。最大时钟频率是100MHz。

HMEMC 的复位信号如表 5 HMEMC 的复位信号所示。

表 5 HMEMC 的复位信号

信号名称	I/O	信号说明
DDRPHY_RST	I	DDR PHY的复位信号，来自FPGA fabric，高电平有效
PRESET	I	APB总线接口的复位信号，来自FPGA fabric，高电平有效
CORE_DDRC_RST	I	DDRC的复位信号，来自FPGA fabric，高电平有效
ARESET_X	I	AXI4总线接口的复位信号，来自FPGA fabric，高电平有效
DDRPHY_MEM_RST	O	DDR PHY输出给外部DDR存储器的复位信号，高电平有效

#### 4. 用户端口屏蔽信号

表 6 用户端口屏蔽信号

信号名称	I/O	信号说明
pa_rmask[2:0]	I	屏蔽相应端口到PA中读地址请求。0~2对应port0~port2
pa_wmask[2:0]	I	屏蔽相应端口到PA中写地址请求。0~2对应port0~port2

## 5. 低功耗模式信号

表 7 HMEMC 低功耗模式信号

信号名称	I/O	信号说明
csysreq_ddrc	I	DDRC低功耗请求信号
csysack_ddrc	O	DDRC低功耗请求响应信号
cactive_ddrc	O	DDRC低功耗时钟有效信号，低电平表示去除时钟
CSYSREQ_X	I	退出AXI低功耗模式请求，高电平有效
CSYSACK_X	O	退出AXI低功耗模式响应，高电平有效
CACTIVE_X	O	外围设备时钟请求，高电平有效。

### （三） 用户端口选择

HMEMC 支持 3 个 AXI4 总线接口，1 个 128-bit 和 2 个 64-bit。用户可根据实际需要选择合适的端口。没有用到的端口中，其复位信号最好配置高电平，其他信号可悬空。若用户端需要更多的端口，则需自行开发软核。

当多个 AXI4 端口被使用时，可以通过屏蔽功能筛选出唯一的端口进行读写操作。相关信号说明如表 6 用户端口屏蔽信号所示。

### （四） 低功耗模式

#### 1. AXI 低功耗模式

HMEMC 总共有 3 组 AXI 端口，因此一共有 3 组 AXI 低功耗端口信号，它们分别是 CSYSREQ\_X，CACTIVE\_X 和 CSYSACK\_X，如表 7。外部设备可以通过 CSYSREQ\_X 发起进入或退出 AXI 低功耗模式请求，而 HMEMC 通过 CACTIVE\_X 表明接受还是拒绝该请求，HMEMC 通过 CSYSACK\_X 响应外部设备请求。

当外部设备提出申请时，AXI 端口没有未完成的读写请求并且写数据队列中没有被接收的数据，则可以进入低功耗状态，否则请求会被拒绝。进入和退出 AXI 低功耗模式的时序关系如下图所示：

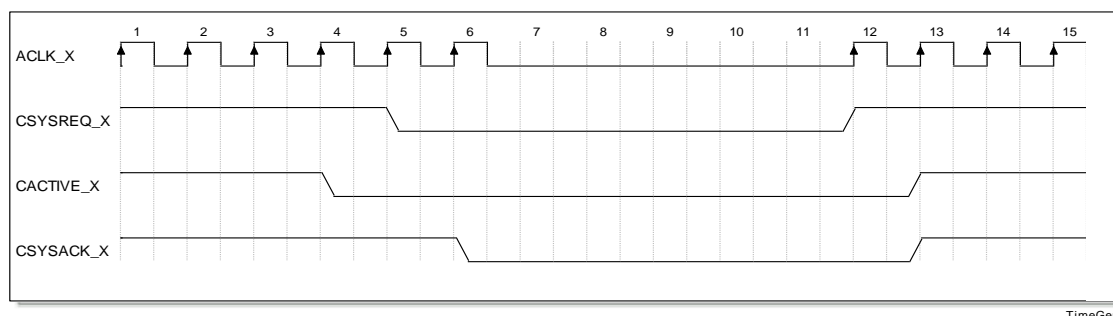


图 7 进入和退出 AXI 低功耗模式的时序图

由图 7 所示，当某个 AXI 端口申请进入 AXI 低功耗模式时 CSYSREQ\_X 拉低，经过一个时钟周期后 CSYSACK\_X 拉低，如果此时 CACTIVE\_X 也是低电平，则此端口的时钟被取消，进入 AXI 低

功耗模式；当申请退出 AXI 低功耗模式时，CSYSREQ\_X 拉高，时钟信号恢复，经过一个时钟周期 CSYSACK\_X 拉高，这个端口进入正常的工作状态。

图 8 拒绝进入 AXI 低功耗模式的时序给出了拒绝进入 AXI 低功耗模式的情况。

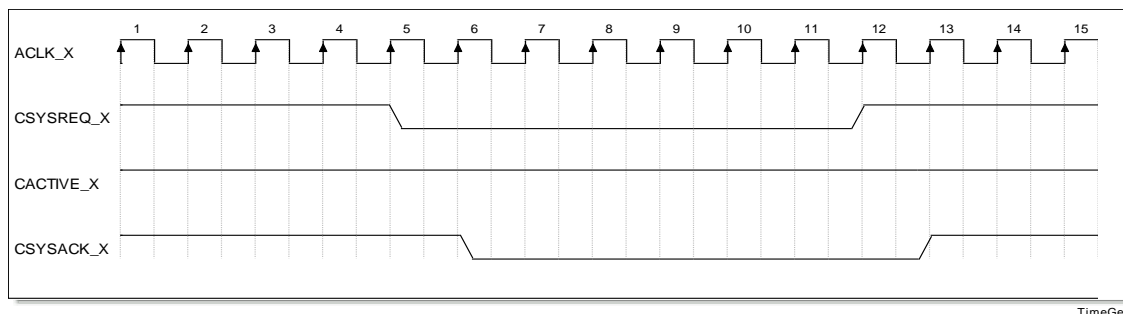


图 8 拒绝进入 AXI 低功耗模式的时序

当 AXI 端口有数据读写请求时，也可通过 CACTIVE\_X 退出 AXI 低功耗模式。其时序图如下所示：

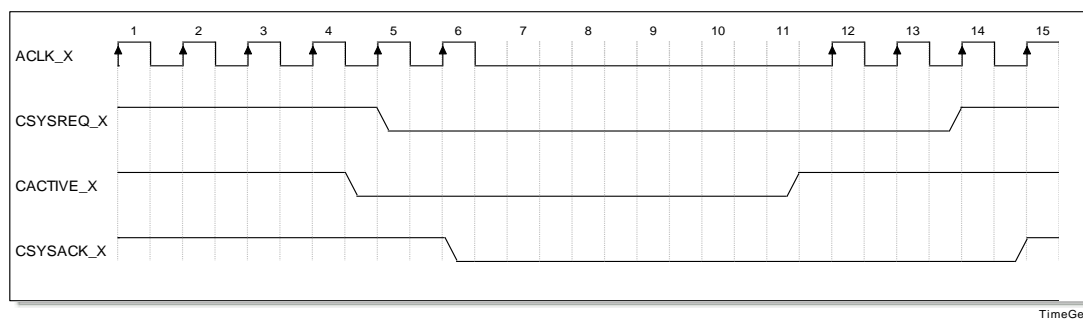


图 9 由 CACTIVE\_X 发起的退出 AXI 低功耗模式请求

如图 9 由 CACTIVE\_X 发起的退出 AXI 低功耗模式请求所示，外部设备也可以通过 CACTIVE\_X 状态来发起退出 AXI 低功耗模式请求。CACTIVE\_X 为低表明该 AXI 端口没有未完成的读写请求并且写数据队列没有被接收的数据，该端口处于空闲状态，此时可以发起进入低功耗请求；当有读写请求时，此时 CACTIVE\_X 为高，系统重新唤起时钟信号，当 CSYSACK\_X 为高时，端口开始正常工作。

## 2. DDRC 低功耗模式

DDRC 处于空闲状态时，可以申请进入低功耗模式。DDRC 低功耗接口信号有 CSYSREQ\_DDRC，CSYSACK\_DDRC 和 CACTIVE\_DDRC，如表 7 所示，通过这些信号可以让 DDRC 进入低功耗模式。通过 CSYSREQ\_DDRC 触发 DDRC 进入自刷新状态。在进入自刷新状态前会将 DDRC 中存在的命令执行完。进入 DDRC 低功耗模式的时序图如下所示：

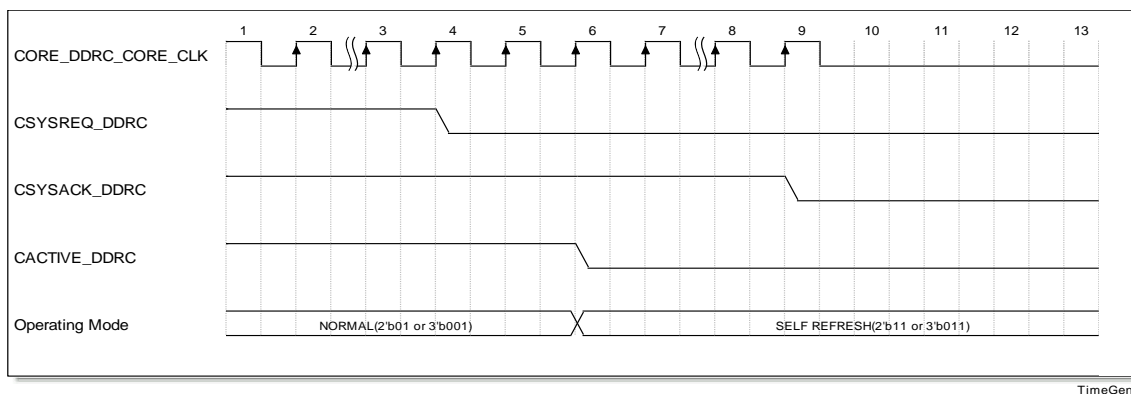


图 10 进入 DDRC 低功耗模式

退出 DDRC 低功耗模式的时序如下图所示。FPGA fabric 通过拉高 CSYSREQ\_DDRC 请求退出 DDRC 低功耗模式，当 CACTIVE\_DDRC 为高时并且 CSYSACK\_DDRC 拉高后，退出 DDRC 低功耗模式，此时 HMEMC 从自刷新状态转换到正常工作模式。

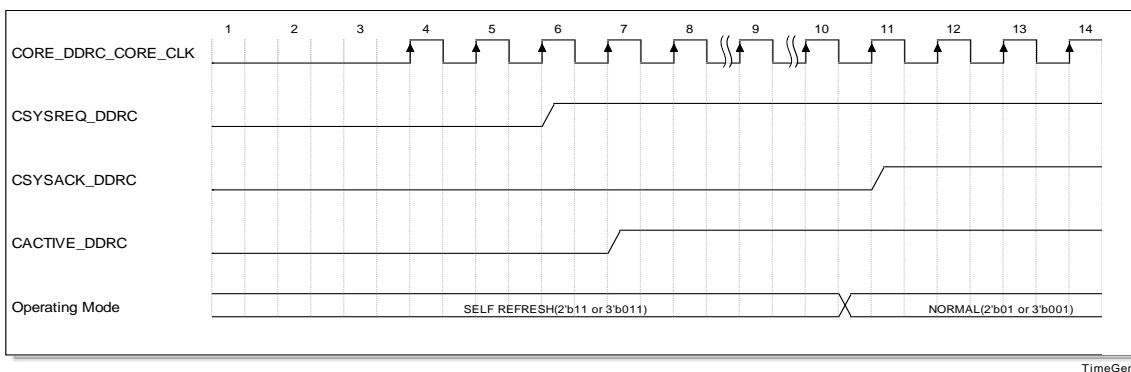


图 11 退出 DDRC 低功耗模式

### 三、HMEMC DDR3 实例介绍

本实例是基于 HMEMC 的 DDR3 存储器随机读写用例，主要模块 DDRC 和 DDR\_PHY 是通过调用相应的 GTP 来实现。读写控制以及初始化和复位模块通过 RTL 代码来实现。本实例使用一个 AXI 端口。外部采用 1 片 X16 DDR3 存储器，镁光，MT41K512M16HA。

#### (一) 设计说明

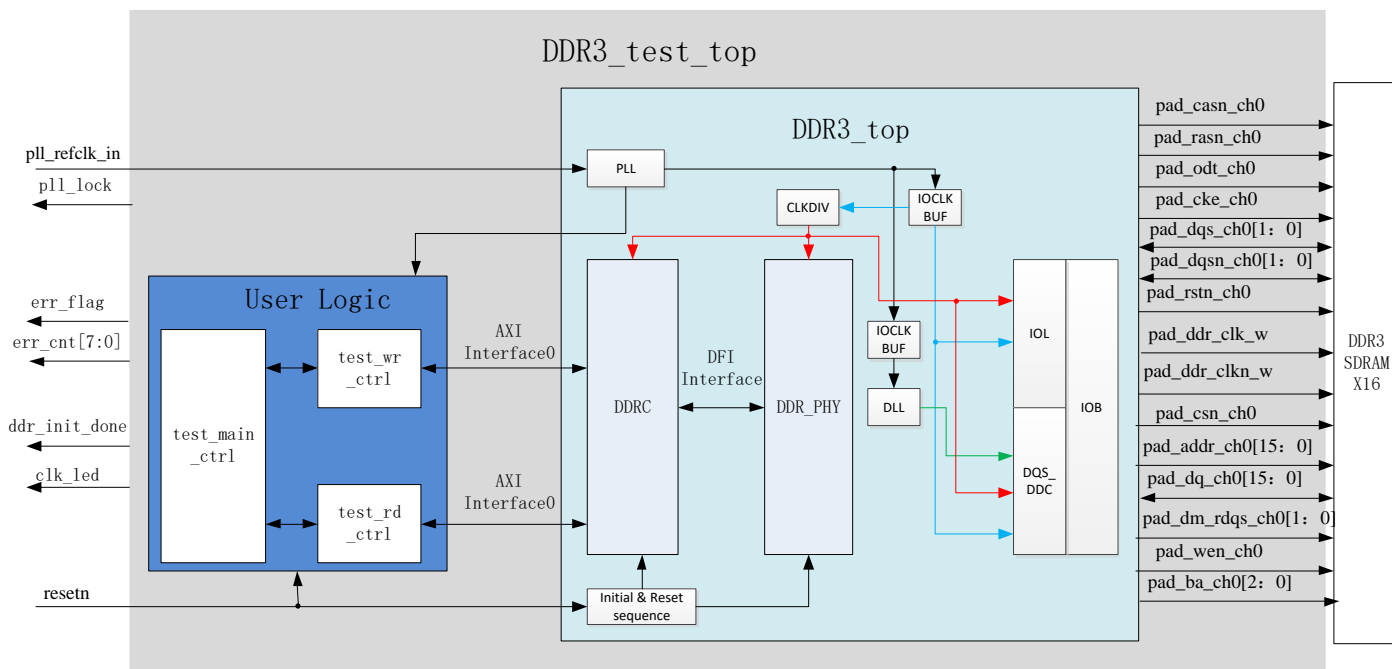


图 12 DDR3 设计实例逻辑框图

本实例的逻辑框图如图 12 DDR3 设计实例逻辑框图所示，主要包含用户逻辑模块 User Logic 和 DDR3 主模块 DDR3\_top。其中，用户逻辑模块可由用户根据需要自行开发，HMEMC 包裹在 DDR3 主模块里，无需更改。

用户逻辑模块包括 test\_main\_ctrl, test\_wr\_ctrl 以及 test\_rd\_ctrl。

- test\_main\_ctrl: DDR3读写主控模块，控制对DDR3 SDRAM的初始化，控制读写切换；
- test\_wr\_ctrl: 写控制模块，执行burst写操作；
- test\_rd\_ctrl: 读控制模块，执行burst读操作；

DDR3 主模块包括 HMEMC (DDRC 和 DDR PHY)，初始化和复位模块，PLL，IOL，DQS\_DDC 和 IOB。

- DDRC: 完成AXI4命令到DFI读写命令和操作时序的转换，同时对DDR3存储器读写操作进行调度；
- DDR PHY: 完成DDR3存储器的初始化，完成write leveling和DQS gate training以及read leveling等工作，同时接收DDRC发送的DFI命令并进行协议转换后发送到外部DDR3存储器；



- 初始化和复位模块：完成整个系统上电初始化和所有模块的复位控制；
- PLL：外部参考时钟进入PLL，产生AXI4接口时钟，再通过IOCLKBUF、CLKDIV和DLL，分别产生DDRC系统时钟、DDR PHY系统时钟以及IOL和DQS\_DDC所需时钟；
- DLL：提供DQS\_DDC调整延迟所需的延迟调整码ctrl\_code；
- IOL：完成高速数据的串并转化；
- IOB：完成各种DDR memory device 电平的转换，提供FPGA与DDR3存储器的接口；
- DQS\_DDC：完成对输入的DQS的门控操作，去除噪声影响，将门控后的DQS相移1/4时钟周期，控制IOL IFIFO的读写指针等功能。

HMEMC 首先对 DDR3 存储器进行初始化，初始化完成后，ddr\_init\_done 信号拉高。此后，用户就可以通过用户侧的 AXI4 端口对 DDR3 主模块进行控制。

本实例先对 DDR3 存储器的所有地址进行顺序写操作，写完后开始第一次随机写操作。这个写操作是随机长度的写，向随机地址写入随机数据。完成第一次写操作后，开始进行随机读写操作。此后的操作是读还是写，取决于伪随机数生成模块的输出。进行读操作时，对读回的数据进行校验，若错误，输出 error。

本实例通过 AXI4 接口的 write 通道写入数据，在 AXI4 接口的 read 通道接收数据。

## （二）参数说明

表 8 DDR3 设计实例参数说明

参数名称	参数说明
DDR_TYPE	DDR类型，支持“DDR3”，“DDR2”，“LPDDR”
DQ_WIDTH	DDR的数据位宽，支持“8”，“16”
SPEED	DDR的速率，支持“600Mbps”，“800Mbps”，“1066Mbps”
DDR_SIZE	DDR 存储器的容量，支持“512Mb”，“1Gb”，“2Gb”，“4Gb”，“8Gb”

## （三）信号说明

下表是HMEMC DDR3 设计实例的顶层信号说明，主要包含了FPGA与DDR存储器的接口信号。

表 9 HMEMC DDR3 设计实例顶层信号说明

信号名称	I/O	信号说明
pll_refclk_in	I	FPGA外部输入参考时钟，50MHz
resetsn	I	系统复位信号，低电平有效
clk_led	O	系统正常工作指示信号，高低电平变化
pll_lock	O	PLL LOCK信号，高电平有效
ddr_init_done	O	HMEMC初始化完成信号，高电平有效
pad_loop_in	I	DQS_GATE温漂补偿输入信号，对应DQS低8位
pad_loop_in_h	I	DQS_GATE温漂补偿输入信号，对应DQS高8位
pad_rstn_ch0	O	DDR存储器的复位信号

信号名称	I/O	信号说明
pad_ddr_clk_w	O	DDR存储器时钟p端
pad_ddr_clkn_w	O	DDR存储器时钟n端
pad_csn_ch0	O	DDR存储器片选信号，低有效
pad_addr_ch0[15: 0]	O	DDR存储器地址
pad_dq_ch0[15: 0]	I/O	DDR存储器数据
pad_dqs_ch0[1: 0]	I/O	DDR存储器数据阀门信号p端
pad_dqsn_ch0[1: 0]	I/O	DDR存储器数据阀门信号n端
pad_dm_rdqs_ch0[1: 0]	O	数据屏蔽信号，高有效
pad_cke_ch0	O	DDR存储器时钟使能信号，高有效
pad_odt_ch0	O	DDR存储器片上终端使能信号，高表示打开片上终端
pad_rasn_ch0	O	row地址有效信号，低有效
pad_casn_ch0	O	column地址有效信号，低有效
pad_wen_ch0	O	DDR存储器写使能信号，低有效
pad_ba_ch0[2: 0]	O	DDR存储器bank地址
pad_loop_out	O	DQS_GATE温漂补偿输出信号，对应DQS低8位
pad_loop_out_h	O	DQS_GATE温漂补偿输出信号，对应DQS高8位
err_flag	O	数据校验错误标识
err_cnt[7: 0]	O	数据校验错误统计

DDR3 主模块用户侧信号说明如下所示（仅列出 AXI4 port0）:

表 10 DDR3 主模块用户侧信号说明

信号名称	I/O	信号说明
pll_refclk_in	I	FPGA外部输入参考时钟，50MHz
rstn	I	系统复位信号，低电平有效
pll_lock	O	PLL LOCK信号，高电平有效
axi_clk_fast	O	输出给AXI4总线的高速时钟，最高支持133MHz
axi_clk_slow	O	输出给AXI4总线的低速时钟
pclk	O	输出给APB总线的时钟信号，50MHz
ddr_init_done	O	HMEMC初始化完成信号，高电平有效
ddrc_rst	I	DDRC复位信号，高电平有效
pa_rmask[2:0]	I	屏蔽相应端口到PA中的读地址请求。0~2对应port0~port2
pa_wmask[2:0]	I	屏蔽相应端口到PA中的写地址请求。0~2对应port0~port2
csysreq_ddrc	I	DDRC低功耗请求信号
csysack_ddrc	O	DDRC低功耗请求响应信号
cactive_ddrc	O	DDRC低功耗时钟有效信号，低电平表示去除时钟
RAQ_PUSH_0	O	读地址fifo的写事务，脉冲信号
RAQ_SPLIT_0	O	读地址fifo中读指令的执行，脉冲信号
WAQ_PUSH_0	O	写地址fifo的写事务，脉冲信号
WAQ_SPLIT_0	O	写地址fifo中写指令的执行，脉冲信号
AWQOS_0[3:0]	I	写通道的优先级指示，数值越大优先级越高；默认值是4'b0000，不执行qos
ARQOS_0[3:0]	I	读通道的优先级指示，数值越大优先级越高；默认值是4'b0000，不执行qos
CSYSREQ_0	I	退出AXI低功耗模式请求，高电平有效
CSYSACK_0	O	退出AXI低功耗模式响应，高电平有效
CACTIVE_0	O	外围设备时钟请求，高电平有效
ARPOISON_0	I	读通道上的有害事务，高电平有效，表示读优先级最高
ARLOCK_0	I	不支持

信号名称	I/O	信号说明
AWPOISON_0	I	写通道上的有害事务，高电平有效，表示写优先级最高
AWLOCK_0	I	不支持
ACLK_0	I	输入时钟信号
ARESET_0	I	AXI4总线接口的复位信号，高电平有效
AWID_0 [7:0]	I	写地址ID
AWADDR_0 [31:0]	I	写地址
AWLEN_0[7:0]	I	突发写的长度
AWSIZE_0 [2:0]	I	突发写的大小
AWBURST_0 [1:0]	I	突发写的类型，不支持fixed的突发类型
AWVALID_0	I	写地址有效，高电平有效
AWREADY_0	O	写地址准备好信号，高电平有效
AWURGENT_0	I	一旦使能则该端口具有最高优先级，如果使能PCFGW_n.wr_port_urgent_en寄存器，则仲裁器PA立刻进入写命令仲裁。当相应的端口和地址队列请求为空时，PA会忽略该信号
WDATA_0[127:0]	I	写数据信号
WSTRB_0[15:0]	I	写数据阀门信号，高电平有效
WLAST_0	I	写最后一个数据的标识信号，高电平有效
WVALID_0	I	写有效信号，高电平有效
WREADY_0	O	写就绪信号，高电平有效
BID_0[7:0]	O	写响应ID
BRESP_0[1:0]	O	写响应，指明写事务的状态。可有的响应：OKAY，EXOKAY，SLVERR，DECERR
BVALID_0	O	写响应有效，高电平有效
BREADY_0	I	写响应就绪，高电平有效
ARID_0[7:0]	I	读地址ID
ARADDR_0[31:0]	I	读地址
ARLEN_0[7:0]	I	突发读的长度
ARSIZE_0[2:0]	I	突发读的大小
ARBURST_0[1:0]	I	突发读的类型
ARLOCK_0	I	锁类型。AXI4中：0-normal access，1-exclusive access。关于exclusive access请查阅AXI4协议中的相关说明
ARVALID_0	I	读地址有效，高电平有效
ARREADY_0	O	读地址就绪，高电平有效
ARURGENT_0	I	一旦使能则该端口具有最高优先级，如果使能PCFGR_n.rd_port_urgent_en寄存器，则仲裁器PA立刻进入读命令仲裁，当相应的Port和地址queue请求为空时，PA会忽略该信号
RID_0[7:0]	O	读ID
RDATA_0[127:0]	O	读数据
RRESP_0[1:0]	O	读响应
RLAST_0	O	读事务中的最后一个数据，高电平有效
RVALID_0	I	读数据有效，高电平有效
RREADY_0	O	读数据就绪，高电平有效
PRESET	I	APB复位信号，高电平有效
PADDR[11:0]	I	APB地址
PWDATA[31:0]	I	APB写数据

信号名称	I/O	信号说明
PWRITE	I	APB读写方向，高电平为写操作
PSEL	I	APB选择信号，高电平有效
PENABLE	I	APB使能信号，高电平有效
PREADY	O	APB ready信号，高电平有效
PRDATA [31:0]	O	APB读数据
PSLVERR	O	APB错误信号，高电平有效

#### （四）仿真说明

HMEMC 的仿真模型是已经被加密的，相关的仿真文件存放在路径 \arch\vendor\pango\verilog\simulation 下的 modelsim10.2c 和 vcs2014.03 目录中，用户在仿真时按照此路径添加仿真库。

PDS 支持以下仿真工具：

- Modelsim 10及以上版本
- Debussy 5.4及以上版本

本实例进行仿真时，首先进入路径\scripts，按下shift的同时在文件夹空白处点击鼠标右键，在弹出的命令框中输入source\_prj，回车，再输入sim.bat demo\_test FSDB\_DUMP\_ON，回车，开始进行功能仿真，用户也可以在Debussy中观察波形。

#### （五）使用资源说明

表 11 DDR3 实例资源列表

资源类型	x16 模式下的资源使用情况
HMEMC	1, 50%
IO	70, 38%
LUT	1044, 6%
PLL	1, 17%

## 四、PCB 设计说明

PGL22G 芯片内部有两个 HMEMC（左右各一个），如果使用右边的硬核，DDR 存储器与 FPGA 连接时，DQ 引脚的连接在每组内（8 个为 1 组，比如 DQ0-DQ7 为一组）可以交换，但由于是硬核，软件约束时，需严格按照表 12 约束。其他引脚需要根据表 12 严格对应。（必需项）。

DQSU\_GATE\_OUT 在芯片外部绕线后与 DQSU\_GATE\_IN 相连，绕线长度大致等于 CK 走线长度 + DQS 走线长度即可。DQSL\_GATE\_OUT 和 DQSL\_GATE\_IN 做同样的处理。（非必需项，未连接也能使用）

CK 的走线长度需稍大于 DQS 的走线长度，以保证 CK 和 DQS 信号到达 DDR 存储器的时间相差在一个时钟周期内。例如 DDR 速率为 800Mbps，则时间差不超过 2.5ns，如果 PCB 走线的延时为 152mm/ns，则 CK 的走线长度不能超过 DQS 的长度 380mm。（必需项）

在 FPGA 的引脚 DQSU\_P 和 DQSL\_P 加下拉电阻，在 FPGA 的引脚 DQSU\_N 和 DQSL\_N 加上拉电阻，电阻值为 500-1000 欧。上拉电阻接的电压为 DDR 存储器的电压，比如 DDR3，则接 1.5V。（非必需项，用于改善信号质量）。

下表给出了 FPGA 引脚与 DDR 存储器信号的映射关系。

表 12 FPGA 引脚与 DDR 存储器信号的映射关系

FPGA 引脚位号	引脚说明	DDR 存储器信号
E2	DIFFIO_L1_10_N/CLK3_L1/DIFFCLK1_L1_N/PLL3_CLKIN1	L_A14
E1	DIFFIO_L1_10_P/CLK2_L1/DIFFCLK1_L1_P/PLL3_CLKIN0	L_A15
G3	DIFFIO_L1_11_N/PLL3_CLKIN3	L_A12
G4	DIFFIO_L1_11_P/PLL3_CLKIN2	L_A13
F1	DIFFIO_L1_12_P/	L_A11
H6	DIFFIO_L1_13_N/	L_A10
G2	DIFFIO_L1_14_N/	L_RESET_N
G1	DIFFIO_L1_14_P/	L_A9
H3	DIFFIO_L1_15_N/	L_CKE
H4	DIFFIO_L1_15_P/	L_A8
H2	DIFFIO_L1_16_N/	L_A6
H1	DIFFIO_L1_16_P/	L_A7
J4	DIFFIO_L1_17_N/	L_A4
J3	DIFFIO_L1_17_P/	L_A5
J2	DIFFIO_L1_18_N/	L_A2
J1	DIFFIO_L1_18_P/	L_A3
K7	DIFFIO_L1_19_N/	L_A0
J7	DIFFIO_L1_19_P/	L_A1
L3	DIFFIO_L2_0_N/	L_DQSU_GATE_IN
K3	DIFFIO_L2_0_P/	L_DQSU_GATE_OUT
K2	DIFFIO_L2_1_N/	L_DQ15

FPGA 引脚位号	引脚说明	DDR 存储器信号
K1	DIFFIO_L2_1_P/	L_DMU
R2	DIFFIO_L2_10_N/CLK3_L2/DIFFCLK1_L2_N/PLL5_CLKIN1	L_ODT
R1	DIFFIO_L2_10_P/CLK2_L2/DIFFCLK1_L2_P/PLL5_CLKIN0	L_WE_N
N4	DIFFIO_L2_11_N/PLL5_CLKIN3	L_CK_N
N3	DIFFIO_L2_11_P/PLL5_CLKIN2	L_CK
T7	DIFFIO_L2_13_N/	L_DQ7
T4	DIFFIO_L2_14_N/	L_DQ5
R4	DIFFIO_L2_14_P/	L_DQ6
P6	DIFFIO_L2_15_N/	L_DQSL_N
P5	DIFFIO_L2_15_P/	L_DQSL
T5	DIFFIO_L2_16_N/	L_DQ3
R5	DIFFIO_L2_16_P/	L_DQ4
T8	DIFFIO_L2_17_N/	L_DQ1
R8	DIFFIO_L2_17_P/	L_DQ2
T6	DIFFIO_L2_18_N/	L_DML
R6	DIFFIO_L2_18_P/	L_DQ0
M5	DIFFIO_L2_19_N/	L_DQSL_GATE_IN
N5	DIFFIO_L2_19_P/	L_DQSL_GATE_OUT
K6	DIFFIO_L2_2_N/	L_DQ13
J6	DIFFIO_L2_2_P/	L_DQ14
L2	DIFFIO_L2_3_N/	L_DQ11
L1	DIFFIO_L2_3_P/	L_DQ12
M2	DIFFIO_L2_4_N/	L_DQSU_N
M1	DIFFIO_L2_4_P/	L_DQSU
L4	DIFFIO_L2_5_N/	L_DQ9
K4	DIFFIO_L2_5_P/	L_DQ10
K5	DIFFIO_L2_6_P/	L_DQ8
N2	DIFFIO_L2_7_N/	L_RAS_N
N1	DIFFIO_L2_7_P/	L_CS_N
T3	DIFFIO_L2_8_N/PLL4_CLKOUT_N	L_BA2
R3	DIFFIO_L2_8_P/PLL4_CLKOUT_P	L_CAS_N
P2	DIFFIO_L2_9_N/CLK1_L2/DIFFCLK0_L2_N/PLL4_CLKFB_N/XTALB_L2	L_BA0
P1	DIFFIO_L2_9_P/CLK0_L2/DIFFCLK0_L2_P/PLL4_CLKFB_P/XTALA_L2	L_BA1
D15	DIFFIO_R1_10_N/CLK3_R1/DIFFCLK1_R1_N/PLL3_CLKFB_N	R_A14
D16	DIFFIO_R1_10_P/CLK2_R1/DIFFCLK1_R1_P/PLL3_CLKFB_P	R_A15
G13	DIFFIO_R1_11_N/PLL3_CLKOUT_N	R_A12
F13	DIFFIO_R1_11_P/PLL3_CLKOUT_P	R_A13
E16	DIFFIO_R1_12_P/	R_A11
H14	DIFFIO_R1_13_N/	R_A10
F15	DIFFIO_R1_14_N/	R_RESET_N
F16	DIFFIO_R1_14_P/	R_A9
J13	DIFFIO_R1_15_N/	R_CKE
J14	DIFFIO_R1_15_P/	R_A8
G15	DIFFIO_R1_16_N/	R_A6
G16	DIFFIO_R1_16_P/	R_A7

FPGA 引脚位号	引脚说明	DDR 存储器信号
J10	DIFFIO_R1_17_N/	R_A4
H10	DIFFIO_R1_17_P/	R_A5
H15	DIFFIO_R1_18_N/	R_A2
H16	DIFFIO_R1_18_P/	R_A3
J11	DIFFIO_R1_19_N/	R_A0
J12	DIFFIO_R1_19_P/	R_A1
K13	DIFFIO_R2_0_N/	R_DQSU_GATE_IN
K14	DIFFIO_R2_0_P/	R_DQSU_GATE_OUT
J15	DIFFIO_R2_1_N/	R_DQ15
J16	DIFFIO_R2_1_P/	R_DMU
P15	DIFFIO_R2_10_N/CLK3_R2/DIFFCLK1_R2_N/PLL5_CLKFB_N	R_ODT
P16	DIFFIO_R2_10_P/CLK2_R2/DIFFCLK1_R2_P/PLL5_CLKFB_P	R_WE_N
R16	DIFFIO_R2_11_N/PLL5_CLKOUT_N	R_CK_N
R15	DIFFIO_R2_11_P/PLL5_CLKOUT_P	R_CK
T11	DIFFIO_R2_13_N/	R_DQ7
T14	DIFFIO_R2_14_N/	R_DQ5
R14	DIFFIO_R2_14_P/	R_DQ6
T10	DIFFIO_R2_15_N/	R_DQSL_N
R10	DIFFIO_R2_15_P/	R_DQSL
T13	DIFFIO_R2_16_N/	R_DQ3
R13	DIFFIO_R2_16_P/	R_DQ4
T9	DIFFIO_R2_17_N/	R_DQ1
R9	DIFFIO_R2_17_P/	R_DQ2
T12	DIFFIO_R2_18_N/	R_DML
R12	DIFFIO_R2_18_P/	R_DQ0
N11	DIFFIO_R2_19_N/	R_DQSL_GATE_IN
N12	DIFFIO_R2_19_P/	R_DQSL_GATE_OUT
K12	DIFFIO_R2_2_N/	R_DQ13
K11	DIFFIO_R2_2_P/	R_DQ14
K15	DIFFIO_R2_3_N/	R_DQ11
K16	DIFFIO_R2_3_P/	R_DQ12
L16	DIFFIO_R2_4_N/	R_DQSU_N
L15	DIFFIO_R2_4_P/	R_DQSU
L12	DIFFIO_R2_5_N/	R_DQ9
L11	DIFFIO_R2_5_P/	R_DQ10
L14	DIFFIO_R2_6_P/	R_DQ8
M15	DIFFIO_R2_7_N/	R_RAS_N
M16	DIFFIO_R2_7_P/	R_CS_N
P13	DIFFIO_R2_8_N/PLL4_CLKIN1	R_BA2
N13	DIFFIO_R2_8_P/PLL4_CLKIN0	R_CAS_N
N15	DIFFIO_R2_9_N/CLK1_R2/DIFFCLK0_R2_N/PLL4_CLKIN3/XTALB_R2	R_BA0
N16	DIFFIO_R2_9_P/CLK0_R2/DIFFCLK0_R2_P/PLL4_CLKIN2/XTALA_R2	R_BA1