

# **Logos 系列 FPGA 算术处理模块（APM）**

## **用户指南**

**(UG020003, Version1.1)**

**(2018.12.18)**

**深圳市紫光同创电子有限公司**

**版权所有侵权必究**

## 文档版本修订记录

版本号	发布日期	修订记录
V1.0	2018/4/3	初始版本
V1.1	2018/12/18	封面增加最新的版本更新时间；页脚去掉版本信息

## 名词术语解释

**APM: Arithmetic Process Module**

**SRB : Signal Relay Block**

## 目录

一、 总体介绍 .....	1
二、 功能描述 .....	2
(一) APM 结构框图 .....	2
(二) GTP_APM_E1 单元介绍 .....	4
(三) APM 工作模式 .....	7
三、 附录 .....	17

## 图目录

图 1 APM 结构框图.....	2
图 2 GTP_APM_E1 单元.....	4
图 3 乘法模式应用示意图 .....	7
图 4 带预加的乘法模式应用示意图 .....	7
图 5 乘法模式的典型时序图 .....	9
图 6 通用乘加模式应用示意图 .....	9
图 7 通用乘加模式的典型时序 .....	11
图 8 乘累加模式应用示意图 .....	11
图 9 带预加的乘累加应用示意图 .....	11
图 10 乘累加模式的典型时序 .....	13
图 11 Systolic FIR 功能示意图 .....	14
图 12 APM 级联示意图.....	14
图 13 Systolic FIR 仿真波形图 .....	16

## 表目录

表 1 GTP_APM_E1 端口列表.....	4
表 2 GTP_APM_E1 参数列表.....	5
表 3 MODE 端口功能说明 .....	6
表 4 MODEZ[2:1]功能说明 .....	6
表 5 GTP_APM_E1 乘法模式 I/O 列表说明 .....	7
表 6 GTP_APM_E1 乘法模式参数列表说明.....	8
表 7 GTP_APM_E1 通用乘加模式 I/O 列表说明 .....	9
表 8 GTP_APM_E1 通用乘加模式参数列表说明.....	10
表 9 GTP_APM_E1 乘累加模式 I/O 列表说明 .....	12
表 10 GTP_APM_E1 乘累加模式参数列表说明.....	12
表 11 GTP_APM_E1 Systolic FIR 模式 I/O 列表说明 .....	14
表 12 GTP_APM_E1 Systolic FIR 模式参数列表说明.....	15
表 13 典型 FIR 滤波器实现 .....	16
表 14 APM 级联可实现功能描述.....	17

## 一、 总体介绍

Logos 系列产品支持 APM (Arithmetic Process Module, 算术处理单元), 为 Logos 系列产品提供了高效的数字信号处理能力。

APM 在 Logos 系列产品中按列分布, 其主要特性有:

- 支持宽位乘运算, 单个 APM 支持 1 个 18\*18 和 2 个 9\*9 运算
- 可灵活配置, 支持乘、乘累加以及通用乘加等模式
- 可选的 Preadd (预加) 功能
- 可选的输入、输出及两级内部流水寄存器
- 支持部分输入源和操作符的动态选择, 可以通过对 APM 级联获得更高位宽运算
- 支持 48bit Postadd (累加) 功能

APM的实现可通过深圳市紫光同创电子有限公司的软件Pango Design Suite (后文简称为PDS) 来完成。为方便用户使用, Pango Design Suite内嵌的IP Compiler工具提供IP的生成, 根据配置生成各种模式的APM, 详见“Logos系列Module IP用户指南”之APM。

## 二、 功能描述

### (一) APM 结构框图

APM 主要由 I/O Unit (I/O 单元)、Preadd Unit (预加单元)、Mult Unit (乘法单元) 和 Postadd Unit (累加单元) 四个功能单元组成, 整个 APM 逻辑结构如图 1 所示。

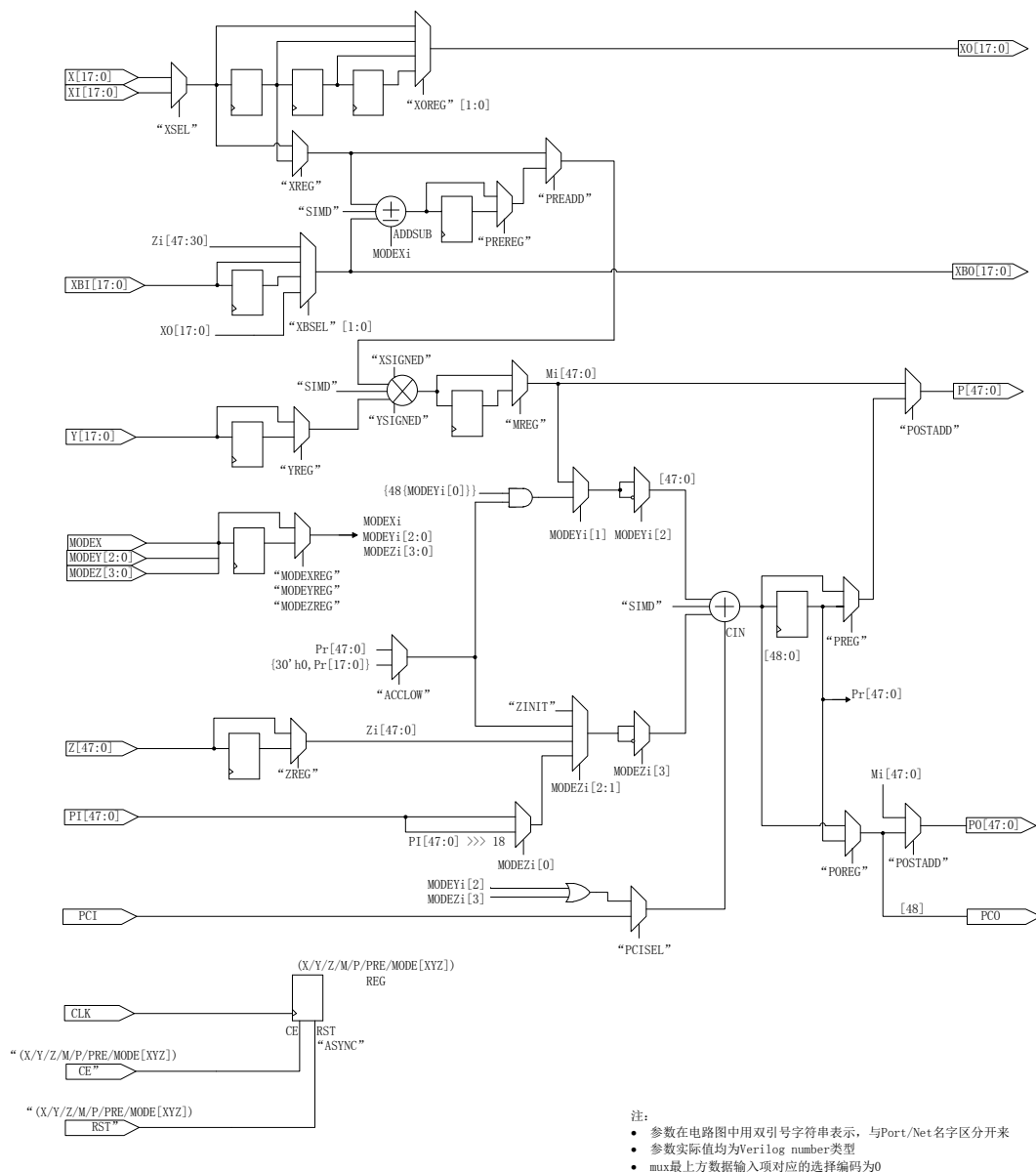


图 1 APM 结构框图

#### 1. I/O 单元

- 实现数据输入/输出寄存。
- 各个寄存器的 CE 信号 (高有效) 和 RST 信号 (高有效) 都有其各自独立的 CE 和 RST 输入来控制。RST 异步/同步性质由共享参数 ASYNC 决定。
- 模式端口按逻辑归属分成三组 MODEX, MODEY[2:0], MODEZ[3:0]。每组模式端口控



制由各自的独立的 REG, RST, CE 参数控制。

- 实现 APM 正向级联( $PO \Rightarrow PI$ ,  $XO \Rightarrow XI$ )和反向级联( $XBO \Rightarrow XBI$ )。APM 级联用于实现滤波器以及高位宽乘法器如  $36 \times 36$ 。
- 实现对常数输入和重复的符号位简化接线。

## 2. 预加单元

- 硬件实现为  $18+/-18$ , 输出 18 位结果; 或两个  $9+/-9$ , 各输出 9 位结果(当  $SIMD=1$ )。
- 结果的符号性(signedness)由软件判定并存放在 XSIGNED 参数中, 供乘法单元使用。
- 在 18 位运算模式下, 为确保结果无溢出(符号性判定正确), 软件里需限制最大输入位宽为 17 位(即无符号数  $bit[17]=0$ , 有符号数  $bit[17]=bit[16]$ ); 当一个输入为无符号数而另一输入为有符号数时, 无符号数的有效位数需进一步缩小为 16 位(即  $bit[17]=bit[16]=0$ )。在 9 位运算模式下( $SIMD=1$ ), 为确保结果无溢出(符号性判定正确), 软件里需限制最大输入位宽为 8 位(即无符号数  $bit[8]=0$ , 有符号数  $bit[8]=bit[7]$ ); 当一个输入为无符号数而另一输入为有符号数时, 无符号数的有效位数需进一步缩小为 7 位(即  $bit[8]=bit[7]=0$ )。
- 仅当 unsigned + unsigned 情况下, Preadder 输出结果为 unsigned (XSIGNED=0), 其余情形的 Preadder 结果均判定为 signed (XSIGNED=1)。
- Preadder 可被旁路 (PREADD=0)。

## 3. 乘法单元

- 实现一个  $18 \times 18$ , 结果带符号扩展为 48 位; 或两个  $9 \times 9$  (当  $SIMD=1$ ),  $9 \times 9$  结果带符号扩展为 24 位。
- X/Y 输入操作数的符号性(signedness)由参数 XSIGNED/YSIGNED 决定, 该参数为两个  $9 \times 9$  乘法器共享。

## 4. 累加单元

- 实现一个 48 位加减法/累加器; 或两个 24 位加减法/累加器 (当  $SIMD=1$ ), 两者共享一个 carryin (进位)。
- Postadder 的两个主要输入端为乘法器和 Zmux, 两者之一可任选取负值。
- 为减少 APM 端口数, 节约布线资源, Z 端口高 18 位也可以为 Preadder 所复用, 原则上 Postadder 此时不应再从 Z 端口取操作数。
- Postadder 可被旁路 (当 POSTADD=0), 此时 APM 输出乘法器结果。

## (二) GTP\_APM\_E1 单元介绍

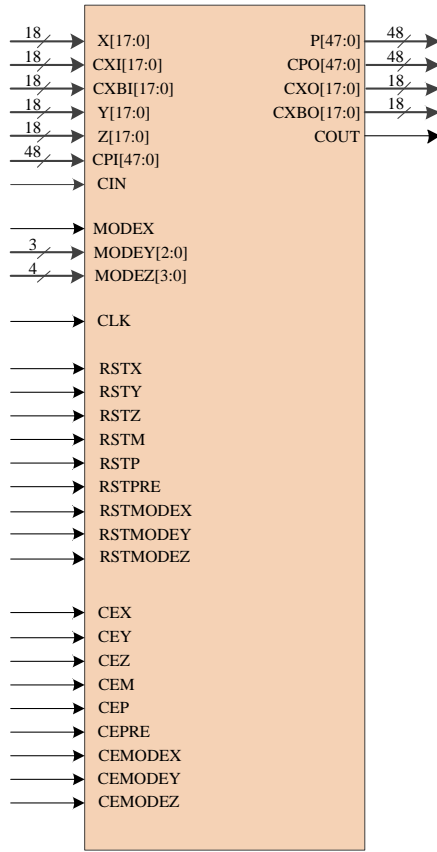


图 2 GTP\_APM\_E1 单元

GTP\_APM\_E1 单元集成了 APM 的各种工作模式，用户可通过对接口和参数的配置，实现各种模式的选择和 APM 功能实现。

表 1 GTP\_APM\_E1 端口列表

端口名	I/O	Src	Dest	描述
X[17:0]	I	SRB		并行数据输入 X
XI[17:0]	I	下方 APM		级联 X 输入
XBI[17:0]	I	上方 APM		级联 Z 输入
Y[17:0]	I	SRB		并行数据输入 Y
Z[47:0]	I	SRB		并行数据输入 Z
PI[47:0]	I	下方 APM		级联 P 输入
PCI	I	下方 APM		级联 CIN 输入
MODEX	I	SRB		APM 动态 X 端控制操作符
MODEY[2:0]	I	SRB		APM 动态 Y 端控制操作符
MODEZ[3:0]	I	SRB		APM 动态 Z 端控制操作符
CLK	I	SRB		Register 时钟信号
CEX	I	APMMUX		Register X 使能信号，高有效
RSTX	I	APMMUX		Register X 复位信号，高有效
CEY	I	APMMUX		Register Y 使能信号，高有效
RSTY	I	APMMUX		Register Y 复位信号，高有效
CEZ	I	APMMUX		Register Z 使能信号，高有效
RSTZ	I	APMMUX		Register Z 复位信号，高有效

端口名	I/O	Src	Dest	描述
CEPRE	I	APMMUX		preadder 使能信号, 高有效
RSTPRE	I	APMMUX		preadder 复位信号, 高有效
CEM	I	APMMUX		multiplier 使能信号, 高有效
RSTM	I	APMMUX		multiplier 复位信号, 高有效
CEP	I	APMMUX		postadder 使能信号, 高有效
RSTP	I	APMMUX		postadder 复位信号, 高有效
CEMODEX	I	APMMUX		MODEX 使能信号, 高有效
RSTMODEX	I	APMMUX		MODEX 复位信号, 高有效
CEMODEY	I	APMMUX		MODEY 使能信号, 高有效
RSTMODEY	I	APMMUX		MODEY 复位信号, 高有效
CEMODEZ	I	APMMUX		MODEZ 使能信号, 高有效
RSTMODEZ	I	APMMUX		MODEZ 复位信号, 高有效
P[47:0]	O		SRB	并行数据输出
PO[47:0]	O		上方 APM	级联 P 输出
PCO	O		上方 APM	级联 CIN 输出
XO[17:0]	O		上方 APM	级联 X 输出
XBO[17:0]	O		下方 APM	级联 Z 输出
GRS_N	I	Global		全局复位信号
GLOGEN	I	Global		全局逻辑使能信号

表 2 GTP\_APM\_E1 参数列表

参数名	描述	默认值	设置值
GRS_EN	全局复位信号使能	TRUE	FALSE: 不使能 TRUE: 使能
ASYNCRST	复位选择	0	0: 同步复位 1: 异步复位
X_SIGNED	X 的符号性	0	0: 无符号 1: 有符号
Y_SIGNED	Y 的符号性	0	0: 无符号 1: 有符号
USE_PREADD	preadder 选择	0	0: 不使用 1: 使用
USE_POSTADD	postadder 选择	0	0: 不使用 1: 使用
X_REG	X Register 选择	0	0: 不使用 1: 使用
CXO_REG	X 输出寄存器延迟	0	2'b00: 0 个周期 2'b01: 1 个周期 2'b10: 2 个周期 2'b11: 3 个周期
Y_REG	Y Register 选择	0	0: 不使用 1: 使用
Z_REG	Z Register 选择	0	0: 不使用 1: 使用
PREADD_REG	preadder Register 选择	0	0: 不使用 1: 使用

参数名	描述	默认值	设置值
P_REG	postadder Register 选择	0	0: 不使用 1: 使用
MULT_REG	multiplier Register 选择	0	0: 不使用 1: 使用
MODEX_REG	MODEX Register 选择	0	0: 不使用 1: 使用
MODEY_REG	MODEY Register 选择	0	0: 不使用 1: 使用
MODEZ_REG	MODEZ Register 选择	0	0: 不使用 1: 使用
CPO_REG	PO、PCO Register 选择	0	0: 不使用 1: 使用
X_SEL	X 输入选择	0	0: X 1: XI
XB_SEL	级联 preadder 输入选择	0	2'b00: Zi[47:30] 2'b01: XBI 2'b10: XBI_reg 2'b11: XO
Z_INIT	Z 静态输入	0	用户自定义
USE_ACCLOW	累加器仅使用低 18 位反馈输入选择	0	0: 不使用 1: 使用
USE_SIMD	模式选择	0	0: 模式 18 1: 模式 9
CIN_SEL	postadder 进位输入选择	0	0: (MODEZ[3] MODEY[2]) 1: CIN

控制 APM 工作模式的为 MODEX, MODEY[2:0], MODEZ[3:0]三组信号，它们的端口说明如表 3 所示：

表 3 MODE 端口功能说明

信号	说明
MODEX	preadder 加减选择 0: 加 1: 减
MODEZ[3]	对 Zmux 输出取负值，高有效
MODEZ[2:1]	Zmux 输入选择
MODEZ[0]	对上一级级联输出算术右移 18 位，高有效，用于实现大位宽乘法器如 36*36
MODEY[2]	对 Mult 输出取负值，高有效
MODEY[1]	乘法器输出到 Postadder，低有效
MODEY[0]	0: 短路乘法器输出 1: 使用累加器反馈

Zmux 输入有多种选择，具体由 MODEZ[2:1]决定。

表 4 MODEZ[2:1]功能说明

MODEZ[2:1]	说明
00	“ZINIT”[47:0] 累加器初始化常数

01	累加器反馈
10	Z 输入端
11	上一级 APM 结果级联输出

### (三) APM 工作模式

#### 1. 乘法模式

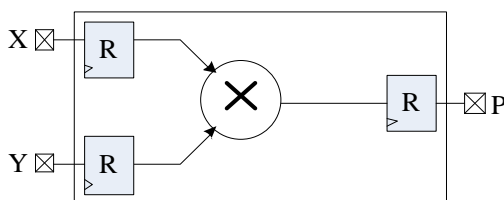


图 3 乘法模式应用示意图

如图3所示，APM配置成乘法模式时，其等效算术表达式为：

$$P=X*Y$$

APM配置成乘法模式时主要特性有：

- 每个APM可实现两个9\*9运算或一个18\*18运算
- 支持有符号数和无符号数
- 输入/输出寄存器可选

使能APM中的Preadd Unit后，APM可配置成带预加的乘法模式，其算术表达式为：

$$P=Y*(X+/-Z)$$

该模式下，每个APM可实现两个9\*（9+/-9）运算，或1个18\*（18+/-18）运算。除了可选的输入/输出寄存器，带预加的乘法模式还可选择使能内部流水寄存器，其应用示意图如图4所示：

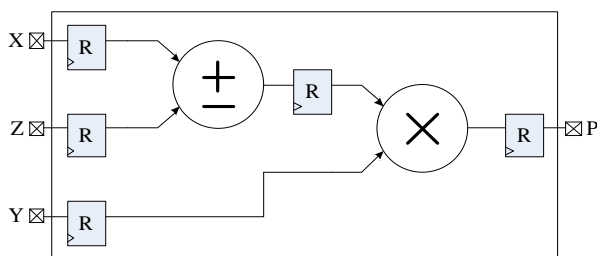


图 4 带预加的乘法模式应用示意图

乘法模式可以使用Logos Simple Multiplier IP进行例化（参见“Logos系列Module IP用户指南”之APM），也可以使用GTP\_APM\_E1单元进行例化。表5表6仅列出在GTP\_APM\_E1单元中与乘法模式相关的接口和参数说明，供用户在使用时进行参考配置。

表 5 GTP\_APM\_E1 乘法模式 I/O 列表说明

端口名	输入/输出	描述
X	输入	X 端口数据输入
Y	输入	Y 端口数据输入

端口名	输入/输出	描述
Z	输入	Z 端口数据输入（仅限 PREADD_MULT 模式，高 18 位可用）
MODEX	输入	preadder 加减选择（仅限 PREADD_MULT 模式） 0: 加 1: 减
CLK	输入	Register 时钟信号
RSTX	输入	Register X 复位信号，高有效
RSTY	输入	Register Y 复位信号，高有效
RSTZ	输入	Register Z 复位信号，高有效（仅限 PREADD_MULT 模式）
CEX	输入	Register X 使能信号，高有效
CEY	输入	Register Y 使能信号，高有效
CEZ	输入	Register Z 使能信号，高有效（仅限 PREADD_MULT 模式）
CEM	输入	Register multiplier 使能信号，高有效
P	输出	乘法器结果输出

表 6 GTP\_APM\_E1 乘法模式参数列表说明

参数名	描述	设置值
GRS_EN	全局复位信号使能	FALSE: 不使能 TRUE: 使能
ASYNCRST	复位选择	0: 同步复位 1: 异步复位
X_SIGNED	X 的符号性	0: 无符号 1: 有符号
Y_SIGNED	Y 的符号性	0: 无符号 1: 有符号
USE_PREADD	preadder 选择(仅限 PREADD_MULT 模式)	0: 不使用 1: 使用
X_REG	X Register 选择	0: 不使用 1: 使用
Y_REG	Y Register 选择	0: 不使用 1: 使用
Z_REG	Z Register 选择（仅限 PREADD_MULT 模式）	0: 不使用 1: 使用
PREADD_REG	preadder Register 选择（仅限 PREADD_MULT 模式）	0: 不使用 1: 使用
MULT_REG	multiplier Register 选择	0: 不使用 1: 使用
MODEX_REG	MODEX Register 选择（仅限 PREADD_MULT 模式）	0: 不使用 1: 使用
XB_SEL	preadder 输入选择（仅限 PREADD_MULT 模式）	0: Zi[47:30] 1: XBI 2: XBI_reg 3: XO
USE_SIMD	模式选择	0: 模式 18 1: 模式 9

乘法模式的典型时序如下，其中 $P=Y(X+Z)$ ，P在CEM有效时才能输出。

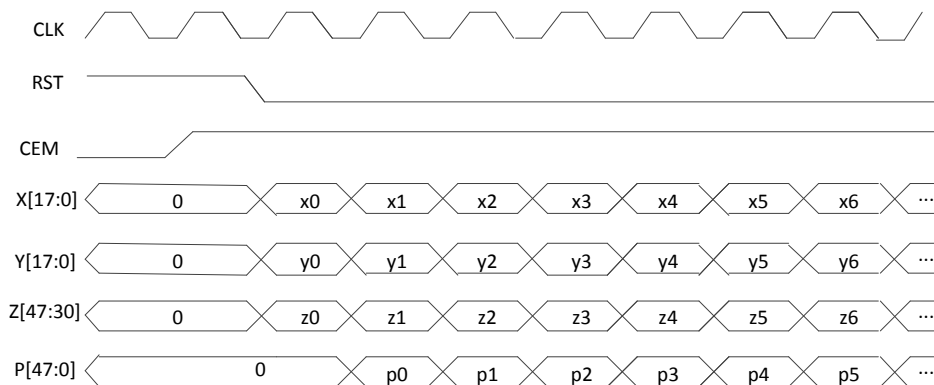


图 5 乘法模式的典型时序图

## 2. 通用乘加模式

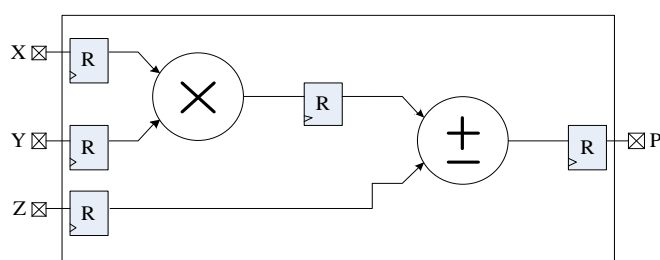


图 6 通用乘加模式应用示意图

如图6所示，APM配置成通用乘加模式时，其算术表达式为：

$$P = X * Y \pm Z$$

通用乘加模式的主要特性有：

- 每个APM可实现两个9\*9+/-24运算或一个18\*18+/-48的乘加运算
- 支持有符号数和无符号数
- 可选的输入/输出寄存器

通用乘加模式可以使用Logos Multiply-Adder IP进行例化（参见“Logos系列Module IP用户指南”之APM），也可以使用GTP\_APM\_E1单元进行例化。表7表8仅列出在GTP\_APM\_E1单元中与通用乘加模式相关的接口和参数说明，供用户在使用时进行参考配置。

表 7 GTP\_APM\_E1 通用乘加模式 I/O 列表说明

端口名	输入/输出	描述
X	输入	X 端口数据输入
Y	输入	Y 端口数据输入
Z	输入	Z 端口数据输入
MODEY[1]	输入	乘法器输出到 postadder，低有效
MODEY[2] MODEZ[3]	输入	APM 运算结果 2'b00: $P = Z + X * Y$ 2'b01: $P = Z - X * Y$ 2'b10: $P = X * Y - Z$
MODEZ[2:1]	输入	ZMUX 输入选择

端口名	输入/输出	描述
		2'b00: Z_INIT 2'b01: P 2'b10: Z 2'b11: CPI
CLK	输入	Register 时钟信号
RSTX	输入	Register X 复位信号，高有效
RSTY	输入	Register Y 复位信号，高有效
RSTZ	输入	Register Z 复位信号，高有效
CEX	输入	Register X 使能信号，高有效
CEY	输入	Register Y 使能信号，高有效
CEZ	输入	Register Z 使能信号，高有效
P	输出	乘法器结果输出

表 8 GTP\_APM\_E1 通用乘加模式参数列表说明

参数名	描述	设置值
GRS_EN	全局复位信号使能	FALSE: 不使能 TRUE: 使能
ASYNC_RST	复位选择	0: 同步复位 1: 异步复位
X_SIGNED	X 的符号性	0: 无符号 1: 有符号
Y_SIGNED	Y 的符号性	0: 无符号 1: 有符号
USE_POSTADD	postadder 选择	0: 不使用 1: 使用
X_REG	X Register 选择	0: 不使用 1: 使用
Y_REG	Y Register 选择	0: 不使用 1: 使用
Z_REG	Z Register 选择	0: 不使用 1: 使用
P_REG	postadder Register 选择	0: 不使用 1: 使用
MULT_REG	multiplier Register 选择	0: 不使用 1: 使用
MODEY_REG	MODEY Register 选择	0: 不使用 1: 使用
MODEZ_REG	MODEZ Register 选择	0: 不使用 1: 使用
Z_INIT	Z 静态输入	用户自定义
USE_SIMD	模式选择	0: 模式 18 1: 模式 9

通用乘加模式的典型时序如下，其中 $P=X*Y+Z$ ，P在CEP有效时才能输出。



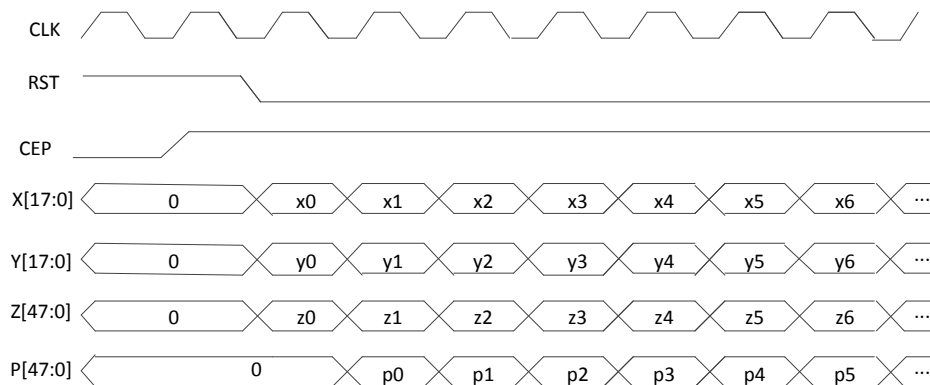


图 7 通用乘加模式的典型时序

### 3. 乘累加模式

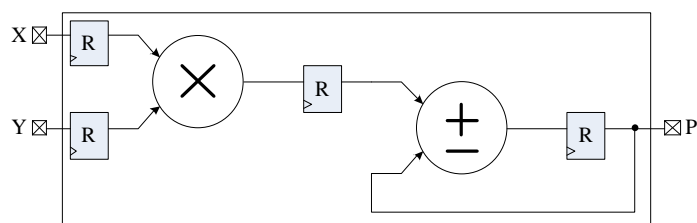


图 8 乘累加模式应用示意图

如图8所示，APM配置成乘累加模式时，其等效算术表达式为：

$$P = P \pm X * Y$$

乘累加模式的主要特性有：

- 一个APM可实现一个18\*18的乘累加运算(P为48bit)或两个9\*9的乘累加运算(P为24bit)
- 支持有符号数和无符号数
- 可选的输入/输出寄存器
- P值可预置

使能 APM 中的 Preadd Unit 后，APM 可配置成带预加的乘累加模式，其算术表达式为：

$$P = P \pm Y * (X \pm Z)$$

该模式下一个 APM 可实现一个(18+/-18)\*18 的带预加的乘累加运算(P 为 48bit)或两个(9+/-9)\*9 的带预加的乘累加运算(P 为 24bit)。带预加的乘累加模式有两级内部流水寄存器可供选择，其应用示意图如图 9 所示：

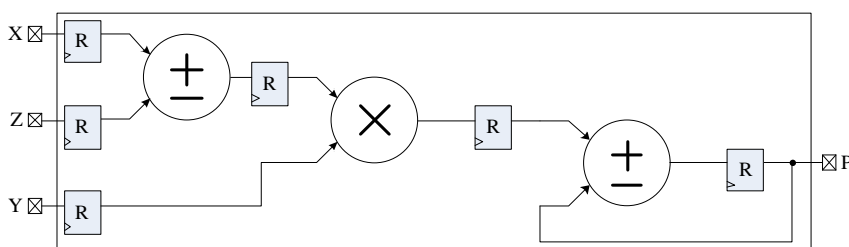


图 9 带预加的乘累加应用示意图

乘累加模式可以使用Logos Multiply-Accumulator IP进行例化（参见“Logos系列Module IP用户指南”）

南”之APM)，也可以使用GTP\_APM\_E1单元进行例化。表9表10仅列出在GTP\_APM\_E1单元中与乘累加模式相关的接口和参数说明，供用户在使用时进行参考配置。

表 9 GTP\_APM\_E1 乘累加模式 I/O 列表说明

端口名	输入/输出	描述
X	输入	X 端口数据输入
Y	输入	Y 端口数据输入
Z	输入	Z 端口数据输入（仅限 PREADD_MULTACC 模式）
MODEX	输入	preadder 加减选择 0: 加 1: 减
MODEY[1]	输入	乘法器输出到 postadder, 低有效
MODEY[2] MODEZ[3]	输入	APM 运算结果 2'b00: $P = P + X * Y$ 2'b01: $P = P - X * Y$ 2'b10: $P = X * Y - P$
MODEZ[2:1]	输入	ZMUX 输入选择 2'b00: Z_INIT 2'b01: P 2'b10: Z 2'b11: CPI
CLK	输入	Register 时钟信号
RSTX	输入	Register X 复位信号, 高有效
RSTY	输入	Register Y 复位信号, 高有效
RSTZ	输入	Register Z 复位信号, 高有效（仅限 PREADD_MULTACC 模式）
RSTP	输入	postadder 复位信号, 高有效
CEX	输入	Register X 使能信号, 高有效
CEY	输入	Register Y 使能信号, 高有效
CEZ	输入	Register Z 使能信号, 高有效（仅限 PREADD_MULTACC 模式）
CEP	输入	postadder 使能信号, 高有效
P	输出	乘法器结果输出

表 10 GTP\_APM\_E1 乘累加模式参数列表说明

参数名	描述	设置值
GRS_EN	全局复位信号使能	FALSE: 不使能 TRUE: 使能
ASYNC_RST	复位选择	0: 同步复位 1: 异步复位
X_SIGNED	X 的符号性	0: 无符号 1: 有符号
Y_SIGNED	Y 的符号性	0: 无符号 1: 有符号
USE_PREADD	preadder 选择（仅限 PREADD_MULTACC 模式）	0: 不使用 1: 使用
USE_POSTADD	postadder 选择	0: 不使用

参数名	描述	设置值
		1: 使用
X_REG	X Register 选择	0: 不使用 1: 使用
Y_REG	Y Register 选择	0: 不使用 1: 使用
Z_REG	Z Register 选择（仅限 PREADD_MULTACC 模式）	0: 不使用 1: 使用
PREADD_REG	preadder Register 选择（仅限 PREADD_MULTACC 模式）	0: 不使用 1: 使用
P_REG	postadder Register 选择	0: 不使用 1: 使用
MULT_REG	multiplier Register 选择	0: 不使用 1: 使用
MODEX_REG	MODEX Register 选择（仅限 PREADD_MULTACC 模式）	0: 不使用 1: 使用
MODEY_REG	MODEY Register 选择	0: 不使用 1: 使用
MODEZ_REG	MODEZ Register 选择	0: 不使用 1: 使用
Z_INIT	Z 静态输入	用户自定义
USE_ACLOW	累加器仅使用低 18 位反馈输入	0: 不使用 1: 使用
USE_SIMD	模式选择	0: 模式 18 1: 模式 9

乘累加模式的典型时序如下，其中X=1，Y=1，P=P+X\*Y，P在CEP有效时才能输出。

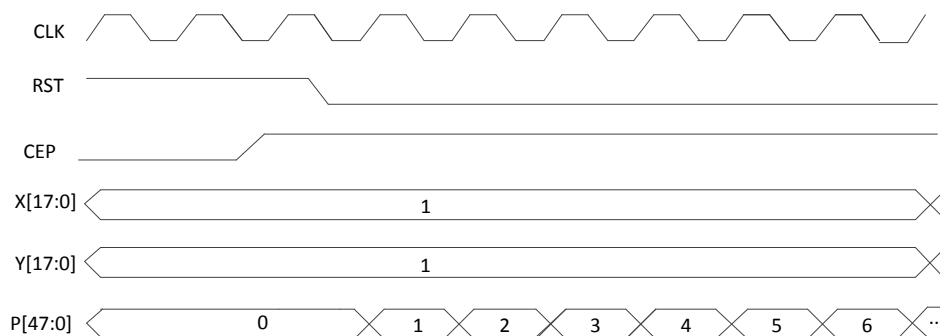


图 10 乘累加模式的典型时序

#### 4. FIR 模式

通过APM级联也可实现FIR运算，典型的FIR filter可以描述为以下表达式：

$$y_n = \sum_{i=0}^{N-1} x_{n-i} h_i = x_n h_0 + x_{n-1} h_1 + \dots + x_{n-N+1} h_{N-1}$$

x为输入的数据流，y为输出的数据流，h为系数。Logos APM最多能实现30个APM级联，图11为采用24个APM级联实现的24阶Systolic FIR运算的功能实现图。

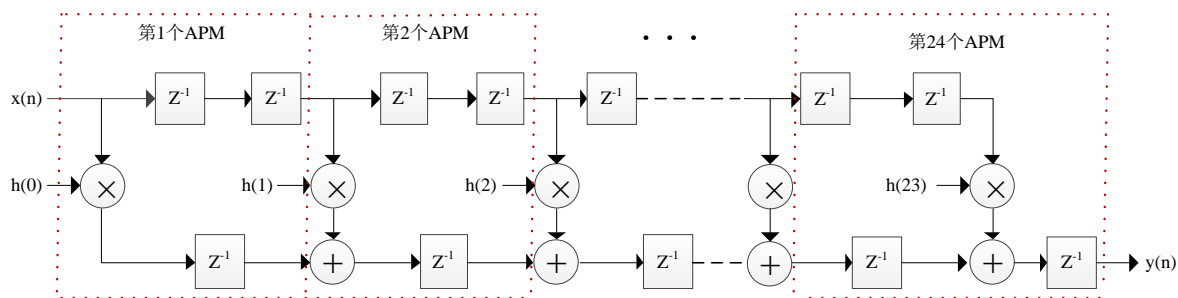


图 11 Systolic FIR 功能示意图

24个APM实现级联的方式如图12所示:

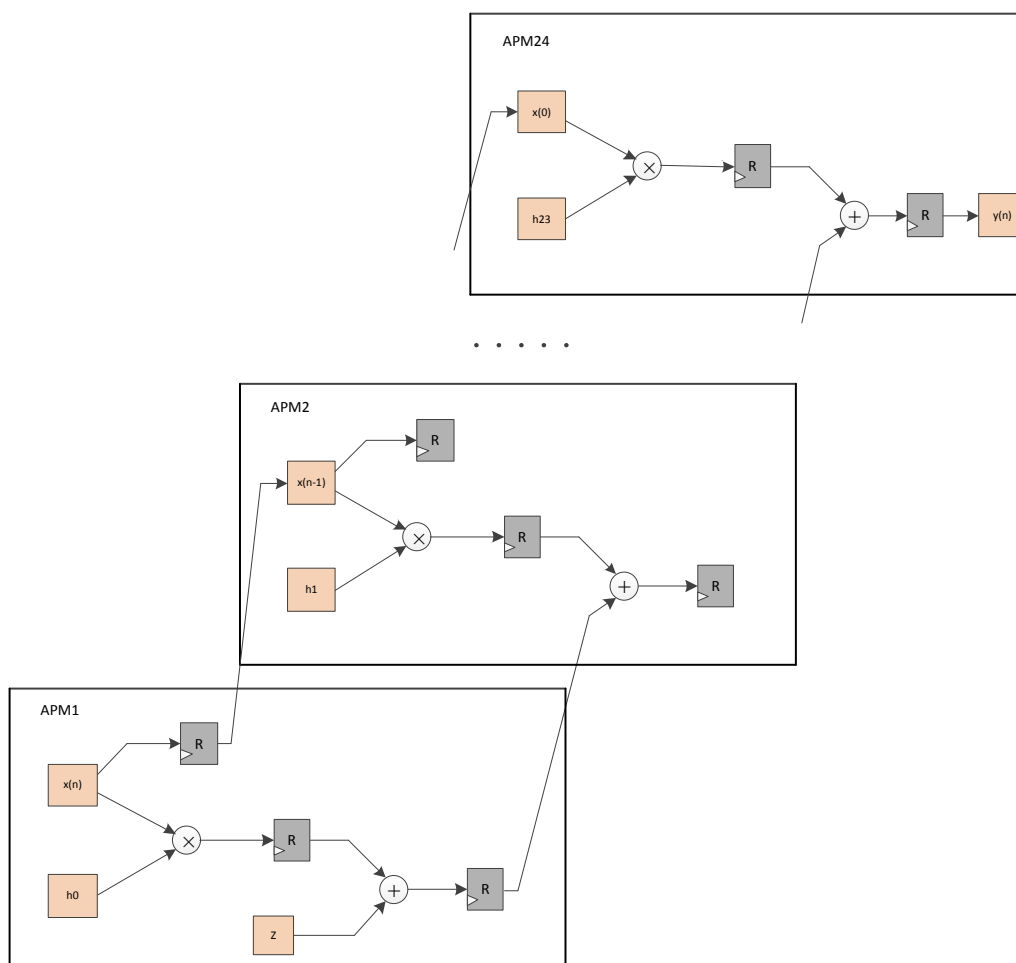


图 12 APM 级联示意图

FIR模式需要通过GTP\_APM\_E1单元进行级联后例化生成，表11表12仅列出在GTP\_APM\_E1单元中与Systolic FIR相关的接口和参数说明，供用户在使用时进行参考配置。

表 11 GTP\_APM\_E1 Systolic FIR 模式 I/O 列表说明

端口名	输入/输出	描述
X	输入	X 端口数据输入（第一级输入）
CXI	输入	X 级联输入
Y	输入	Y 端口数据输入
CPI	输入	P 级联输入
CIN	输入	CIN 级联输入

端口名	输入/输出	描述
MODEY[1]	输入	乘法器输出到 postadder, 低有效
MODEY[2] MODEZ[3]	输入	APM 运算结果 2'b00: $P = P + X * Y$ 2'b01: $P = P - X * Y$ 2'b10: $P = X * Y - P$
MODEZ[2:1]	输入	ZMUX 输入选择 2'b00: Z_INIT 2'b01: P 2'b10: Z 2'b11: CPI
CLK	输入	Register 时钟信号
RSTX	输入	Register X 复位信号, 高有效
RSTY	输入	Register Y 复位信号, 高有效
RSTP	输入	postadder 复位信号, 高有效
CEX	输入	Register X 使能信号, 高有效
CEY	输入	Register Y 使能信号, 高有效
CEP	输入	postadder 使能信号, 高有效
CPO	输出	P 级联输出
COUT	输出	CIN 级联输出
CXO	输出	X 级联输出
P	输出	并行数据输出 (最后一级输出)

表 12 GTP\_APM\_E1 Systolic FIR 模式参数列表说明

参数名	描述	设置值
GRS_EN	全局复位信号使能	FALSE: 不使能 TRUE: 使能
ASYNC_RST	复位选择	0: 同步复位 1: 异步复位
X_SIGNED	X 的符号性	0: 无符号 1: 有符号
Y_SIGNED	Y 的符号性	0: 无符号 1: 有符号
USE_POSTADD	postadder 选择	0: 不使用 1: 使用
X_REG	X Register 选择	0: 不使用 1: 使用
CXO_REG	X 级联输出寄存器延迟	2'b00: 0 个周期 2'b01: 1 个周期 2'b10: 2 个周期 2'b11: 3 个周期
X_SEL	X 端口输入选择	0: X (第一级输入) 1: XI (级联输入)
CPO_REG	CPO、COUT Register 选择	0: 不使用 1: 使用
CIN_SEL	进位选择	0: (MODEZ[3] MODEY[2]) 1: PCI 输入

假设所设计的 Systolic FIR 滤波器为 24 阶低通滤波器，采样频率为 50MHz，通道频率 2MHz，通道衰减为 1.2dB，阻带频率为 6MHz，阻带衰减为 60dB，在 Modelsim 中进行仿真验证，结果如图 13 所示。

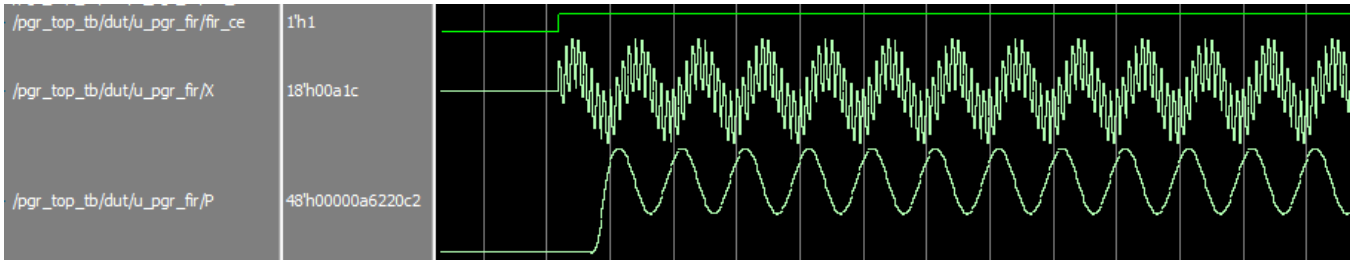


图 13 Systolic FIR 仿真波形图

通过对 GTP\_APM\_E1 单元的配置，可以实现多种形式的 FIR 运算，具体的实现类型及配置方法如表 13 所示。

表 13 典型 FIR 滤波器实现

滤波器类型	第一级 APM	中间级 APM	最后一级 APM
Common setting:	POREG=1		
Systolic FIR	XOREG=2 XREG=1 XSEL=0	XOREG=2 XREG=1 XSEL=1	XREG=1 XSEL=1
2-Channel Systolic FIR	XOREG=3 XREG=1 XSEL=0	XOREG=3 XREG=1 XSEL=1	XREG=1 XSEL=1
Transposed FIR	XOREG=1 XREG=1 XSEL=0	XOREG=0 XREG=0 XSEL=1	XREG=0 XSEL=1
Symmetrical FIR (偶数 tap)	PREADD=1 XOREG=2 XREG=1 XSEL=0 XBSEL=2'b01	PREADD=1 XOREG=2 XREG=1 XSEL=1 XBSEL=2'b01	PREADD=1 XOREG=2 XREG=1 XSEL=1 XBSEL=2'b11
Symmetrical FIR (奇数 tap)	PREADD=1 XOREG=2 XREG=1 XSEL=0 XBSEL=2'b01	PREADD=1 XOREG=2 XREG=1 XSEL=1 XBSEL=2'b01	PREADD=0 XOREG=1 XREG=1 XSEL=1 XBSEL=2'b11
2-Channel Symmetrical FIR (偶数 tap)	PREADD=1 XOREG=3 XREG=1 XSEL=0 XBSEL=2'b10	PREADD=1 XOREG=3 XREG=1 XSEL=1 XBSEL=2'b10	PREADD=1 XOREG=3 XREG=1 XSEL=1 XBSEL=2'b11
2-Channel Symmetrical FIR (奇数 tap)	PREADD=1 XOREG=3 XREG=1 XSEL=0 XBSEL=2'b10	PREADD=1 XOREG=3 XREG=1 XSEL=1 XBSEL=2'b10	PREADD=0 XOREG=1 XREG=1 XSEL=1 XBSEL=2'b11

### 三、 附录

通过对 APM 级联可以获得更高位宽运算，下表描述了 APM 级联可实现的功能，具体的配置方式及实现方法可参考《“Logos 系列 Module IP 用户指南”之 APM》。

表 14 APM 级联可实现功能描述

APM 级联	可实现功能
2 个 apm 级联	两个 apm 可实现 2 个 $(9*9+9*9)$ 运算
	两个 apm 可实现 2 个 $(9+9)*9+(9+9)*9$ 运算
	两个 apm 可实现 1 个输出位宽为 66 位的 $P=P+/-18*18$ 运算
	两个 apm 可实现 1 个输出位宽为 96 位的 $P=P+/-18*18$ 运算
	两个 apm 可实现 1 个 $(18*18+18*18)$ 运算
	两个 apm 可实现 1 个 $(18+18)*18+(18+18)*18$ 运算
	两个 apm 可实现 1 个输出位宽为 66 位的 $P=P+/(18+18)*18$ 运算
	两个 apm 可实现 1 个输出位宽为 96 位的 $P=P+/(18+18)*18$ 运算
	两个 apm 可实现 1 个 $18*36$ 运算
3 个 apm 级联	三个 apm 可实现 2 个输出位宽为 24 位的 $P=P+(9*9+9*9)$ 运算
	三个 apm 可实现 1 个输出位宽为 48 位的 $P=P+(9*9+9*9)$ 运算
	三个 apm 可实现 2 个输出位宽为 24 位的 $P=P+((9+9)*9+(9+9)*9)$ 运算
	三个 apm 可实现 1 个输出位宽为 48 位的 $P=P+((9+9)*9+(9+9)*9)$ 运算
	三个 apm 可实现 1 个输出为 48 位的 $P=P+(18*18+18*18)$ 运算
	三个 apm 可实现 1 个输出为 48 位的 $P=P+((18+18)*18+(18+18)*18)$ 运算
	三个 apm 可实现 1 个输出为 66 位的 $P=P+18*36$ 运算
	三个 apm 可实现 1 个输出为 66 位的 $P=P+(18+18)*36$ 运算
4 个 apm 级联	四个 apm 可实现 2 个 $(9*9+9*9)+(9*9+9*9)$ 运算
	四个 apm 可实现 2 个 $((9+9)*9+(9+9)*9)+((9+9)*9+(9+9)*9)$ 运算
	四个 apm 可实现 1 个输出为 66 位的 $P=P+(18*18+18*18)$ 运算
	四个 apm 可实现 1 个输出为 66 位的 $P=P+((18+18)*18+(18+18)*18)$ 运算
	四个 apm 可实现 1 个 $(18*18+18*18)+(18*18+18*18)$ 运算
	四个 apm 可实现 1 个 $((18+18)*18+(18+18)*18)+((18+18)*18+(18+18)*18)$ 运算
	四个 apm 可实现 1 个 $27*27$ 运算
	四个 apm 可实现 1 个 $36*36$ 运算
	四个 apm 可实现 1 个 $36*18+36*18$ 运算
	四个 apm 可实现 1 个 $36*(18+18)+36*(18+18)$ 运算
6 个 apm 级联	六个 apm 可实现 1 个 $P=P+27*27$ 运算
8 个 apm 级联	八个 apm 可实现 1 个 $27*27+27*27$ 运算

## 免责声明

### 版权声明

本文档版权归深圳市紫光同创电子有限公司所有，并保留一切权利。未经书面许可，任何公司和个人不得将此文档中的任何部分公开、转载或以其他方式披露、散发给第三方。否则，公司必将追究其法律责任。

### 免责声明

1、本文档仅提供阶段性信息，所含内容可根据产品的实际情况随时更新，恕不另行通知。如因本文档使用不当造成的直接或间接损失，本公司不承担任何法律责任。

2、本文档按现状提供，不负任何担保责任，包括对适销性、适用于特定用途或非侵权性的任何担保，和任何提案、规格或样品在他处提到的任何担保。本文档在此未以禁止反言或其他方式授予任何知识产权使用许可，不管是明示许可还是暗示许可。

3、公司保留任何时候在不事先声明的情况下对公司系列产品相关文档的修改权利。