

PK0202_PGL22G_MBG324

(版本号: Version1.3)

(2019.03.01)

深圳市紫光同创电子有限公司

文档版本修订记录

版本号	发布日期	修订记录
V1.0	2018/01/02	初次发行
V1.1	2018/05/24	更新表 1 里 D1 和 E 的数据
V1.2	2019/01/15	增加 User IO 数
V1.3	2019/03/01	更新文件编号和页脚格式

名词术语解释

POD : Package Outline Drawing

目 录

一、 封装介绍	1
二、 封装尺寸和管脚	2
(一) 封装外形尺寸	2
(二) 管脚说明	4
1. Pinout Diagram	10
2. IO Banks	12
3. Memory GROupings	13
4. Power and GND Placement.....	14
5. Ball name list.....	15

图目录

图 1 外形尺寸图 (POD)	3
图 2 Pinout Diagram	10
图 3 IO Banks	12
图 4 Memory GR0upings.....	13
图 5 Power and GND Placement	14

表目录

表 1 外形尺寸数值表.....	2
表 2 产品管脚定义.....	4
表 3 Ball name list.....	15

一、 封装介绍

PGL22G_MBG324 产品采用 Wire bond 打线球栅阵列封装形式。其封装尺寸均为 15x15mm，植球数量为 324，植球间距为 0.8mm，最大封装厚度为 1.36mm。

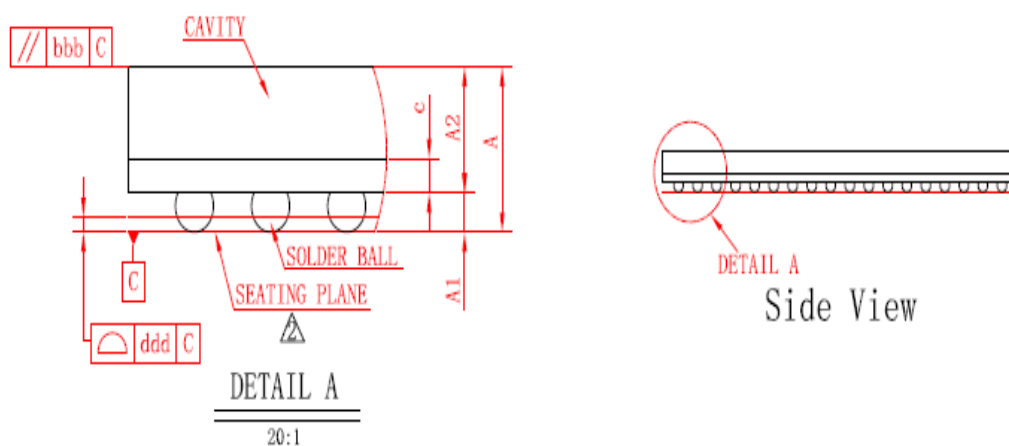
二、 封装尺寸和管脚

(一) 封装外形尺寸

表 1 外形尺寸数值表

单位为毫米

尺寸符号	数 值			尺寸符号	数 值		
	最 小	典型值	最 大		最 小	典型值	最 大
D	14.9	15.0	15.1	A	1.16	1.26	1.36
D1	n/a	13.6	n/a	A1	0.25	0.30	0.35
E	14.9	15.0	15.1	A2	0.91	0.96	1.01
E1	n/a	13.6	n/a	c	0.22	0.26	0.3
b	0.35	0.4	0.45	e	n/a	0.8	n/a



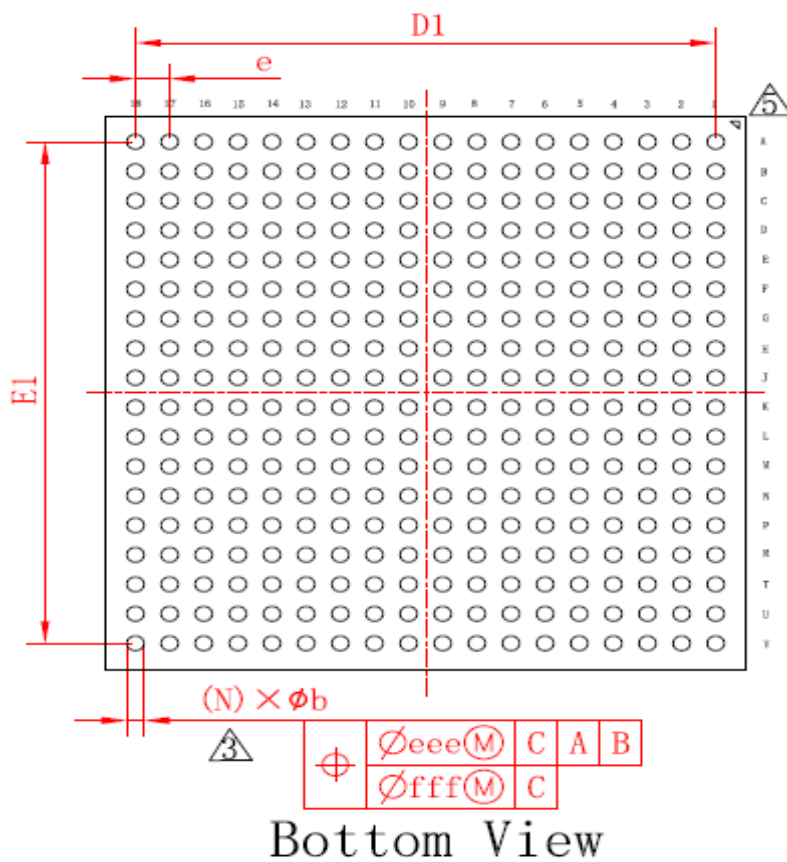
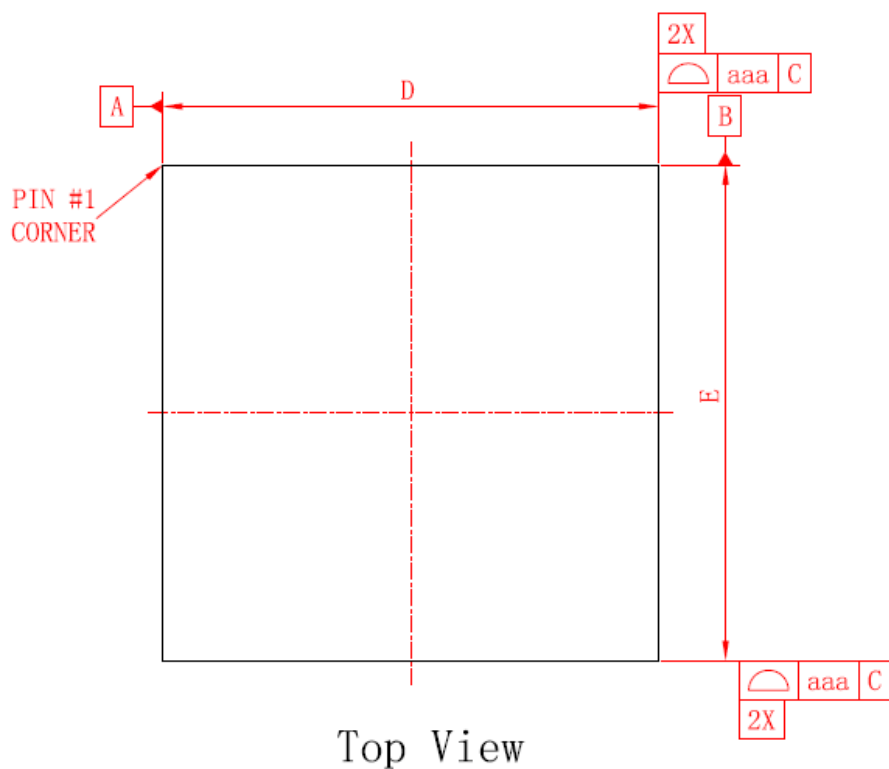


图 1 外形尺寸图(POD)

(二) 管脚说明

表 2 产品管脚定义

PIN name	PIN type	PIN description
USER IO PIN		
DIFFIO_[L0,L1,L2,R0,R1,R2]_[0…n]_[N,P]	Input/Output	所有普通 USER IO 被标记为 DIFFIO_[L0,L1,L2,R0,R1,R2]_[0…n]_[N,P]。 DIFFIO: 表示所有用户 IO 支持差分输入输出, 如 LVDS; [L0、L1、L2、R0、R1、R2]:表示 BANK 名 [0…n]: 表示 BANK 内唯一的差分对编号; [N, P]:N 表示差分对的负端, P 表示差分对的正端。
复用 PIN		
DIFFIO_[L0,L1,L2,R0,R1,R2]_[0…n]_[N,P]/XXX	...	复用 PIN 被标记为 DIFFIO_[L0,L1,L2,R0,R1,R2]_[0…n]_[N,P]/XXX, 其中 XXX 表示如下描述的一种或者几种功能。当复用 PIN 不做特殊应用时, 其可以作为普通 USER IO
--配置 PIN		
MODE_2, MODE_1, MODE_0	input	配置时, 用于配置模式选择, 如下: 000: JTAG 001: 主 SPI (X1, X2, X4, X8) 010: 主 BPI (X8、X16) 011: 从串 (X1) 100: 从并 (X8, X16, X32) 101: 从 SPI (X1) 111: 内部主 SPI (X1, X2, X4)
INIT_FLAG_N	Bidirectional (open-drain)	配置时, 当 FPGA 上电完成, 驱动该 PIN 为低电平。当 FPGA 初始化完成后, 释放对该 PIN 的驱动。在配置过程中, 该 PIN 作为配置错误的指示状态输出。同时, 在配置过程中或者初始化过程中, 该 PIN 可以由外部输入低电平, 用于指示错误或者延迟配置。
CFG_CLK	Input/Output	配置时钟 PIN。在从模式, 该 PIN 作为时钟输入以从外部获取配置数据; 在主模式, 该 PIN 作为时钟输出以从外部获取配置数据。

D[31、30…1、0]	Input/Output	<p>32 位配置数据总线输入输出管脚：</p> <p>(1) 主 SPI X1 配置模式时，管脚 D[0]作为命令输出连接到 SPI flash 的数据输入端，管脚 D[1]作为数据输入连接到 SPI flash 的数据输出端。</p> <p>(2) 主 SPI X2 配置模式时，管脚 D[1:0]为数据总线。</p> <p>(3) 主 SPI X4 配置模式时，管脚 D[3:0]为数据总线。</p> <p>(4) 主 SPI X8 配置模式时，管脚 D[3:0]为第 1 片 SPI FLASH 的数据总线，管脚 D[7:4]为第 2 片 SPI FLASH 的数据总线。</p> <p>(5) 从串行配置模式时，管脚 D[1]为数据总线。</p> <p>(6) 从 SPI 配置模式时，管脚 D[0]为主设备输出从设备输入，管脚 D[1]为主设备输入从设备输出，管脚 D[3]为芯片保持。</p> <p>(7) 主 BPI 配置 X8 异步模式时，管脚 D[7:0]为 8 位数据总线。</p> <p>(8) 主 BPI 配置 X16 异步/同步模式时，管脚 D[15:0]为 16 位数据总线。</p> <p>(9) 从并行 X8 配置模式时，管脚 D[7:0]为 8 位数据总线。</p> <p>(10) 从并行 X16 配置模式时，管脚 D[15:0]为 16 位数据总线。</p> <p>(11) 从并行 X32 配置模式时，管脚 D[31:0]为 32 位数据总线。</p>
CS_N	input	<p>复用配置 PIN。片选输入，低电平有效。</p> <p>(1) 为低电平使能从并模式配置接口。</p> <p>(2) 在其他配置模式下，该 PIN 为高阻态。</p> <p>(3) 如果在配置结束后，要继续作为配置功能，需要进行设置配置寄存器，选择保留为配置功能。</p>
RWSEL	input	<p>复用配置 PIN。从并行配置模式读写选择输入，高为读，低为写。</p> <p>(1) 为高电平，从并行配置模式从数据总线读取数据；</p> <p>(2) 为低电平，从并行配置模式向数据总线写数据；</p> <p>(3) 读写之间的切换只能在 CS_N 为高电平期间才可以切换。</p> <p>(4) 如果在配置结束后，要继续作为配置功能，需要进行设置配置寄存器，选择保留为配置功能。</p> <p>(5) 在其他配置模式下，该 PIN 为高阻态。</p>
BUSY	output	<p>复用配置 PIN。</p> <p>(1) 使用并行从模式回读期间，输出为高表示从总线读取的数据是无效数据。</p> <p>(2) 如果在进入用户模式后，要继续作为配置功能，需要设置配置寄存器，选择保留为配置功能。</p> <p>(3) 在其他配置模式下，该 PIN 为高阻态。</p>

CSO_DOUT	output	复用配置 PIN。在级联时需要使用。 (1) 主 SPI, X1 模式, 作为级联数据输出; (2) 从串模式配置, 作为级联数据输出; (3) 从并模式配置, 作为片选信号输出;
FCS_N	output	复用配置 PIN, 外部主 SPI 配置模式使用。 (1) 主 SPI 模式下, 低有效输出片选信号给外部 flash;
VS1, VS0	input	复用配置 PIN, 主 SPI 或者内部主 SPI 模式使用。 (1) 数据流版本选择, 00, 选择第一套数据流, 01, 选择第二套数据流, 10, 选择第三套数据流, 11, 选择第四套数据流; (2) 在配置期间, 使能内置下拉电阻。
IO_STATUS_C	input	复用 PIN, 输入信号, 控制配置过程中所有用户 IO 的状态。 (1) “1”, 配置过程中让所有用户 IO 处于上拉状态。 (2) “0”, 配置过程中让所有用户 IO 处于三态。
ADR[25:0]	output	复用配置 PIN, BPI 配置模式使用, BPI 配置模式的地址输出
BFOE_N	output	复用配置 PIN, BPI 配置模式使用; 为并行 NOR FLASH 提供低电平输出使能控制信号 (1) BPI 配置模式下, 该 PAD 需要连接到 flash 的输出使能输入并且还需要连接一个 4.7K 的电阻到 VCCIO。
BADRVO_N	output	复用配置 PIN, BPI 配置模式使用; 为并行 NOR FLASH 提供低电平地址有效控制信号; (1) BPI 配置模式下, 如果外接 FLASH 支持地址有效信号输入, 那么该 PAD 需要连接到 flash 的地址有效输入引脚并且还需要连接一个 4.7K 的电阻到 VCCIO。如果外接 flash 不支持地址有效信号输入, 那么该 PAD 不需要连接。
BFWE_N	output	复用配置 PIN, BPI 配置模式使用; 为并行 NOR FLASH 提供低电平写使能信号。 (1) BPI 配置模式, 该 PAD 需要连接到 flash 的写使能输入并且需要连接一个 4.7K 的电阻到 VCCIO;
BFCE_N	output	复用配置 PIN, BPI 配置模式使用; 为并行 NOR FLASH 提供低电平片选控制信号; (1) BPI 配置模式下, D 需要连接到 flash 的片选输入并且还需要连接一个 4.7K 的电阻到 VCCIO。
FCS2_N	output	复用配置 PIN, 外部主 SPI X8 配置模式使用。 (1) 主 SPI X8 模式下, 低有效输出片选信号给外部 flash; 需要外接上拉电阻不大于 4.7K 到 VCCIO
ECCLKIN	input	复用配置 PIN, 输入信号, 内部主配置模式的时钟输入

--时钟、PLL、晶振复用 PIN		
CLK[0,1,2,3]_[L0,L1,L2,R0,R1,R2]	input	专用全局时钟输入 PIN,每个 bank 提供 4 个 PIN
DIFFCLK[0,1]_[L0,L1,L2,R0,R1,R2]_[N,P]	input	专用全局差分时钟输入 PIN,每个 bank 提供 2 对
PLL[0,1,2, ..., 10]_CLKOUT_[P,N]	output	可直接选择 PLL[0, 1, ...,19]的输出到 PAD
PLL[0,1,2, ..., 10]_CLKIN[0,1,2,3]	input	可选的 PLL 输入, PLL 可以选择从这些 PAD 直接输入时钟
PLL[0,1,2, ..., 10]_CLKFB_[P,N]	input	可选的 PLL 反馈时钟输入, PLL 可以选择从这些 PAD 来外部反馈时钟
XTALA_[L0,L1,L2,R0,R1,R2]	input	专用外置晶体 A 端输入。是片内反相器的输入,每个 bank 提供 1 个 PIN
XTALB_[L0,L1,L2,R0,R1,R2]	output	专用外置晶体 B 端输出。是片内反相器的输出,每个 bank 提供 1 个 PIN
--外部存储器接口 PIN		
DQS[0,1,2][#]_[L0,L1,L2,R0,R1,R2]	Input/Output	用于与外部存储器的 DQS/DQS#信号引脚连接
DQ[0,1,2]_[L0,L1,L2,R0,R1,R2]	Input/Output	可用于与外部存储器的 DQ 信号引脚连接
--HMEMC 存储器接口 PIN		
[R,L]_A[0,...,15]	output	DDR 存储器的地址
[R,L]_CS_N	output	DDR 存储器的片选信号, 低有效, 取决于存储器是否使用。
[R,L]_RAS_N	output	RAS, 低有效
[R,L]_CAS_N	output	CAS, 低有效
[R,L]_WE_N	output	写使能, 低有效
[R,L]_BA[0,1,2]	output	ddr sdram BANK 地址
[R,L]_ODT	output	ODT, 片上终端
[R,L]_CK	output	ddr 存储器时钟 P
[R,L]_CK_N	output	ddr 存储器时钟 N
[R,L]_CKE	output	ddr 存储器时钟使能, 高有效
[R,L]_RESET_N	output	ddr 存储器复位, 低有效
[R,L]_DML	output	DQ0-DQ7 的写数据 mask 信号
[R,L]_DQSL	Input/Output	DQ0-DQ7 相关的 DQS 信号
[R,L]_DQSL_N	Input/Output	DQ0-DQ7 相关的 DQS#信号
[R,L]_DQ[0,...,15]	Input/Output	存储器数据总线
[R,L]_DMU	output	DQ8-DQ15 的写数据 mask 信号
[R,L]_DQSU	Input/Output	DQ8-DQ15 相关的 DQS 信号
[R,L]_DQSU_N	Input/Output	DQ8-DQ15 相关的 DQS#信号
[R,L]_DQSL_GATE_IN	input	补偿读命令通路延时后反馈回来的 DQS gate 窗口信号 (低位)
[R,L]_DQSL_GATE_OU	output	补偿读命令通路延时后输出的 DQS gate 窗口信号

T		(低位)
[R,L]_DQSU_GATE_IN	input	补偿读命令通路延时后反馈回来的 DQS gate 窗口信号 (高位)
[R,L]_DQSU_GATE_OUT	output	补偿读命令通路延时后输出的 DQS gate 窗口信号 (高位)
--参考 PIN		
RRP_[L0,L1,L2,R0,R1,R2]	input	外接参考电阻 PIN, 每个 bank 一个。用于片内终端电阻调整提供对电源的参考电阻。
RRN_[L0,L1,L2,R0,R1,R2]	input	外接参考电阻 PIN, 每个 bank 一个。用于片内终端电阻调整提供对地的参考电阻。
VREF_[L0,L1,L2,R0,R1,R2]	input	外接参考电源 PIN, 每个 bank 一个。用于每个 BANK 提供参考电压输入
--ADC PIN		
VAUX[9,8,7,..0]	input	输入的模拟信号
专用 PIN		
--配置、JTAG PIN		
CFG_DONE	Bidirectional (open-drain)	配置状态专用 PIN。作为状态输出, 在配置之前或者配置过程中该 PIN 被驱动为低电平。一旦所有的配置数据被正确的接收并且启动了启动时序, 释放对该 PIN 的控制。
RST_N	input	专用配置输入 PIN, 内部弱上拉, 用于重新启动配置流程, 低有效。建议用户在使用过程中在芯片外部用电阻上拉 RST_N。当该 PIN 为低电平, FPGA 进入复位状态, 所有的 IO 处于 HighZ 态。
TCK	input	专用 JTAG 测试时钟输入 PIN
TMS	input	专用 JTAG 测试模式选择输入 PIN
TDI	input	专用 JTAG 测试数据输入 PIN。
TDO	output	专用 JTAG 测试数据输出 PIN。
--参考 PIN		
REXT	input	专用外接高精度电阻管脚, 电阻值 10k, 精度 1%。给 bandgap 提供电阻。
--ADC PIN		
VA[1,0]	input	专用模拟输入信号
VREF_EXT	input	专用外部参考 2.5V 电压。
电源、地 PIN		
VCC	POWER	内核电源, 1.1V。给内核逻辑提供电源
VCCAUX	POWER	辅助 3.3V 电源, 给 IOB、LDO 等模块提供辅助电源
VDDIO[L0,L1,L2,R0,R1,R2]	POWER	IO BANK 电源, 左边 bank 从上到下为 BANKL0、BANKL1、BANKL2、以此类推; 右边 BANK, 从上到下为 BANKR0、BANKR1、BANKR2、
VCCAUX_A	POWER	ADC、BANDGAP、POR 的供电电源
VSS	GROUND	GND relative to VCC&VCCAUX

VSSA	GROUND	GND relative to VCCAUX_A
VDDEFUSE	POWER	EFUSE 编程电压
VDDIOCFG	POWER	BANKCFG 电源

备注：PGL22G_MBG324 产品的 user IO 数为 240。

1. Pinout Diagram

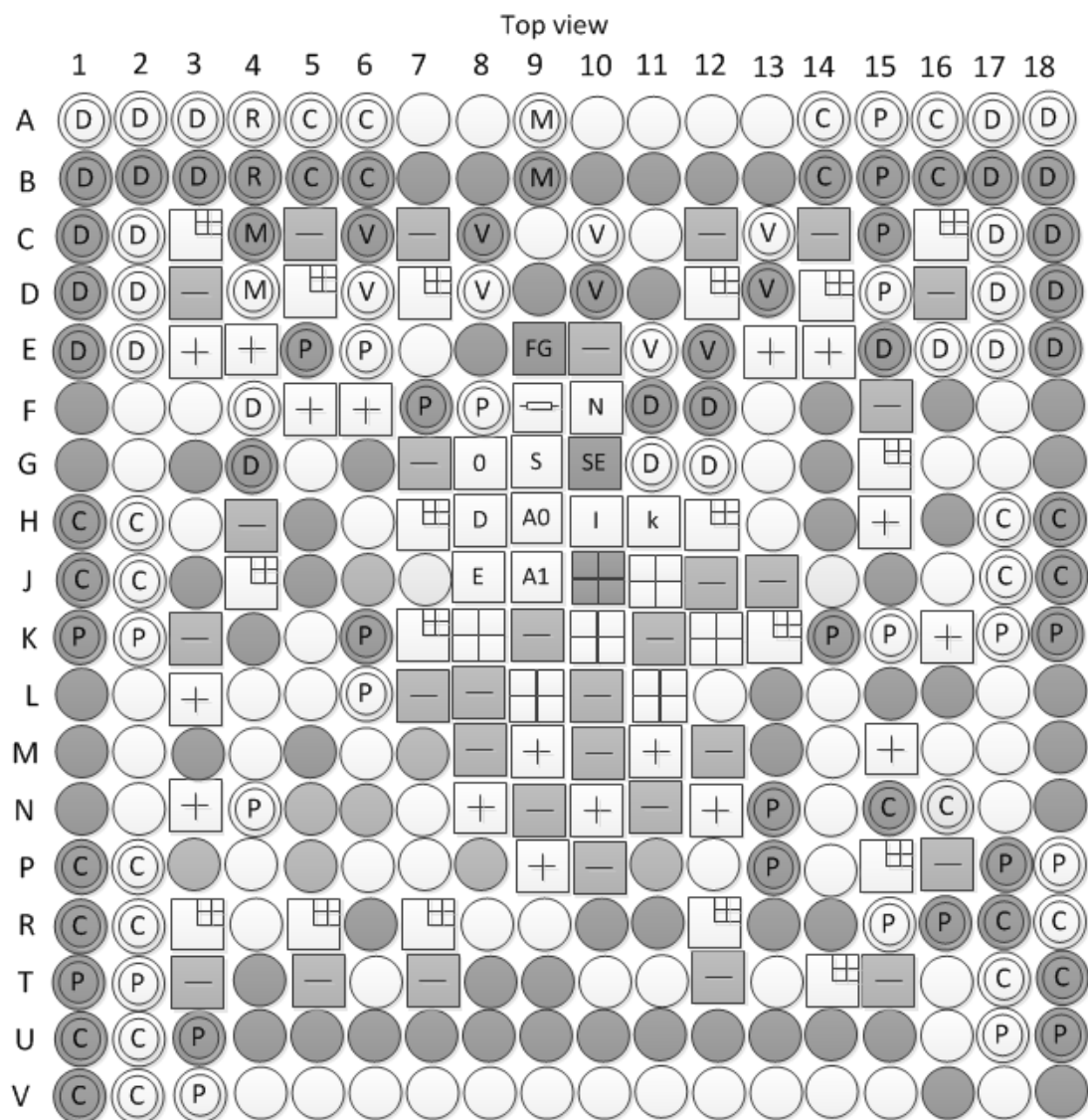










































图 2 Pinout Diagram

备注：Pinout 符号代表说明如下：

普通IO	DIFFIO*	COMP(N) TRUE(P)	专用IO		其他	
		 				
复用IO	DIFFIO*/D0~D31	 	REST_N		VSS	
	DIFFIO*/MODE*	 	CFG_DONE		VCC	
	DIFFIO*/MODE*	 	VREF_EXT		VCCAUX	
	DIFFIO*/BUSY	 	VA1		VDDIO*	
	DIFFIO*/CS_N	 	VA0		VSSA	
	DIFFIO*/FCS_N	 	REXT		VDDEFUSE	
	DIFFIO*/VREF	 	TMS		VCCAUX_A	
	DIFFIO*/CLK*	 	TCK		VDDIOCFG	
	DIFFIO*/PLL*	 	TDI			
	DIFFIO*/RR*	 	TDO			

2. IO Banks

Top view

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
A	L0	L0	L0	L0	L0	L0	L0	L0	L0	R0	R0	R0	R0	R0	R0	R0	R0	R0
B	L0	L0	L0	L0	L0	L0	L0	L0	L0	R0	R0	R0	R0	R0	R0	R0	R0	R0
C	L0	L0		L0		L0		L0	L0	R0	R0		R0		R0		R0	R0
D	L0	L0		L0		L0		L0	L0	R0	R0		R0		R0		R0	R0
E	L0	L0			L0	L0	L0	L0			R0	R0			R0	R0	R0	R0
F	L1	L1	L1	L0			L0	L0			R0	R0	R1	R1		R1	R1	R1
G	L1	L1	L1	L0	L1	L1					R0	R0	R1	R1		R1	R1	R1
H	L1	L1	L1		L1	L1							R1	R1		R1	R1	R1
J	L1	L1	L1		L1	L1	L1							R1	R1	R1	R1	R1
K	L1	L1		L1	L1	L1								R1	R1		R1	R1
L	L1	L1		L1	L1	L1						R1	R1	R1	R1	R1	R1	R1
M	L1	L1	L1	L1	L1	L1	L1						R1	R1		R1	R1	R1
N	L1	L1		L2	L2	L2	L2						R2	R2	R1	R1	R1	R1
P	L1	L1	L2	L2	L2	L2	L2	L2			R2	R2	R2	R2			R2	R2
R	L2	L2		L2		L2		L2	L2	R2	R2		R2	R2	R2	R2	R2	R2
T	L2	L2		L2		L2		L2	L2	R2	R2		R2			R2	R2	R2
U	L2	L2	L2	L2	L2	L2	L2	L2	L2	R2	R2	R2	R2	R2	R2	R2	R2	R2
V	L2	L2	L2	L2	L2	L2	L2	L2	L2	R2	R2	R2	R2	R2	R2	R2	R2	R2

图 3 IO Banks

3. Memory GR0upings

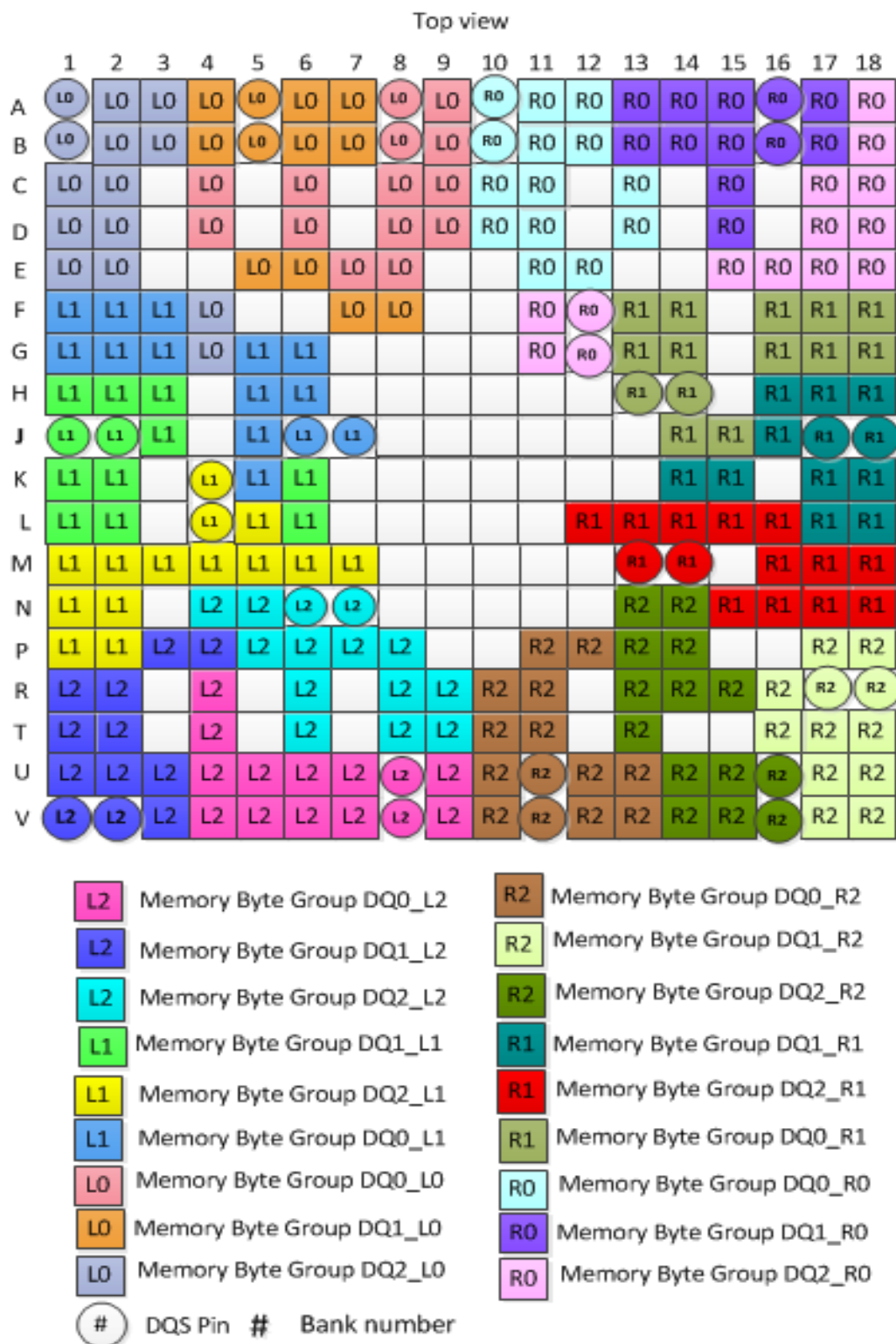


图 4 Memory GR0upings

4. Power and GND Placement

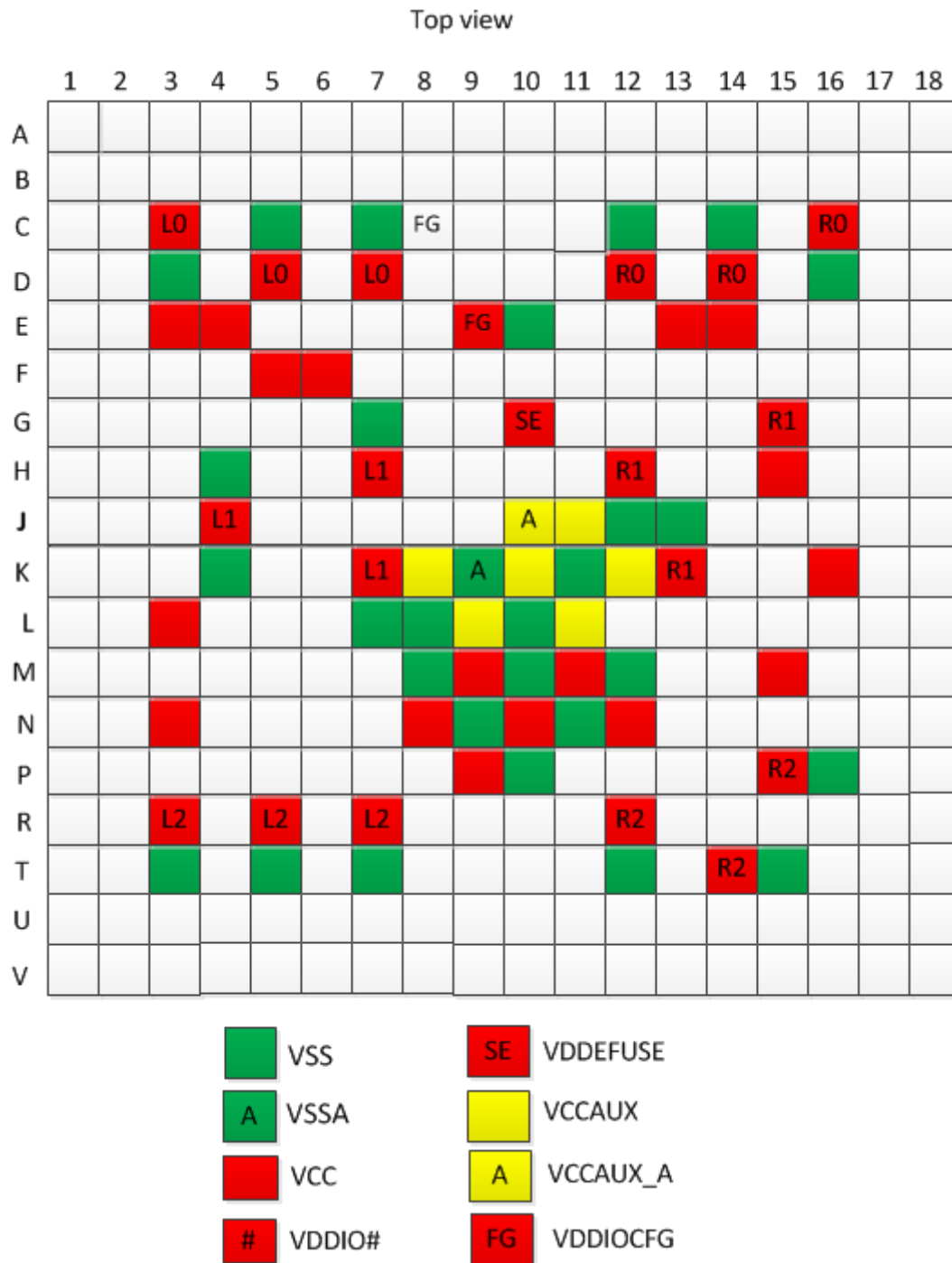


图 5 Power and GND Placement

5. Ball name list

表 3 Ball name list

Bank Name	Ball Name (Function name)	Ball Number	DQS 组	Memory byte Group	Time Delay (ps)
BANKCF G	RST_N	F10			
BANKCF G	CFG_DONE	H8			
BANKCF G	TCK	H11			
BANKCF G	TMS	G9			
BANKCF G	TDI	H10			
BANKCF G	TDO	G8			
BANKCF G	VREF_EXT	J8			
BANKCF G	VA0	H9			
BANKCF G	VA1	J9			
BANKCF G	REXT	F9			
BANKLO	DIFFIO_L0_0_P/BUSY	E8	DQ0_L0		49.55
BANKLO	DIFFIO_L0_0_N	E7	DQ0_L0		51.57
BANKLO	DIFFIO_L0_1_P/VAUX9	C8	DQ0_L0		87.22
BANKLO	DIFFIO_L0_1_N/VAUX8	D8	DQ0_L0		88.99
BANKLO	DIFFIO_L0_2_P/VAUX7	C6	DQ0_L0		49.46
BANKLO	DIFFIO_L0_2_N/VAUX6	D6	DQ0_L0		49.16
BANKLO	DIFFIO_L0_3_P/IO_STATUS_C	D9	DQ0_L0		101.29
BANKLO	DIFFIO_L0_3_N/CFG_CLK	C9	DQ0_L0		98.05
BANKLO	DIFFIO_L0_4_P/FCS_N	B8	DQS0_L0		90.75
BANKLO	DIFFIO_L0_4_N/CS_N	A8	DQS0#_L0		92.98
BANKLO	DIFFIO_L0_5_P/MODE_0	B9	DQ0_L0		95.14
BANKLO	DIFFIO_L0_5_N/MODE_1	A9	DQ0_L0		100.41
BANKLO	DIFFIO_L0_6_P/MODE_2	C4	DQ0_L0		46.71

BANKL0	DIFFIO_L0_6_N/VREF_L0/CSO_DOUT	D4	DQ0_L0		46.98
BANKL0	DIFFIO_L0_7_P/RWSEL	B7	DQ1_L0		95.25
BANKL0	DIFFIO_L0_7_N/INIT_FLAG_N	A7	DQ1_L0		88.91
BANKL0	DIFFIO_L0_8_P/PLLO_CLKOUT_P	E5	DQ1_L0		36.79
BANKL0	DIFFIO_L0_8_N/PLLO_CLKOUT_N	E6	DQ1_L0		37.03
BANKL0	DIFFIO_L0_9_P/CLK0_L0/DIFFCLK0_L0_P/PLLO_CLKFB_P/XTALA_L0	B6	DQ1_L0		97.47
BANKL0	DIFFIO_L0_9_N/CLK1_L0/DIFFCLK0_L0_N/PLLO_CLKFB_N/XTALB_L0	A6	DQ1_L0		103.79
BANKL0	DIFFIO_L0_10_P/CLK2_L0/DIFFCLK1_L0_P/PLL1_CLKIN0	B5	DQS1_L0		93.83
BANKL0	DIFFIO_L0_10_N/CLK3_L0/DIFFCLK1_L0_N/PLL1_CLKIN1	A5	DQS1#_L0		96.36
BANKL0	DIFFIO_L0_11_P/PLL1_CLKIN2	F7	DQ1_L0		55.63
BANKL0	DIFFIO_L0_11_N/PLL1_CLKIN3	F8	DQ1_L0		54.88
BANKL0	DIFFIO_L0_12_P/D0	B4	DQ1_L0		99.11
BANKL0	DIFFIO_L0_12_N/RRN_L0/D1	A4	DQ1_L0		102.31
BANKL0	DIFFIO_L0_13_P/RRP_L0/D2	B3	DQ2_L0		83.60
BANKL0	DIFFIO_L0_13_N/D3	A3	DQ2_L0		81.39
BANKL0	DIFFIO_L0_14_P/D4	B2	DQ2_L0		83.63
BANKL0	DIFFIO_L0_14_N/D5	A2	DQ2_L0		88.71
BANKL0	DIFFIO_L0_15_P/D6	B1	DQS2_L0		83.95
BANKL0	DIFFIO_L0_15_N/D7	A1	DQS2#_L0		88.80
BANKL0	DIFFIO_L0_16_P/D8	C1	DQ2_L0		83.45
BANKL0	DIFFIO_L0_16_N/D9	C2	DQ2_L0		79.90
BANKL0	DIFFIO_L0_17_P/D10	G4	DQ2_L0		42.29
BANKL0	DIFFIO_L0_17_N/D11	F4	DQ2_L0		43.04
BANKL0	DIFFIO_L0_18_P/D12	D1	DQ2_L0		73.38
BANKL0	DIFFIO_L0_18_N/D13	D2	DQ2_L0		76.81
BANKL0	DIFFIO_L0_19_P/D14	E1	DQ2_L0		70.58
BANKL0	DIFFIO_L0_19_N/D15	E2	DQ2_L0		71.15
BANKL1	DIFFIO_L1_0_P	G6	DQ0_L1		49.37
BANKL1	DIFFIO_L1_0_N	G5	DQ0_L1		42.54
BANKL1	DIFFIO_L1_1_P	F1	DQ0_L1		64.49
BANKL1	DIFFIO_L1_1_N	F2	DQ0_L1		64.08

BANKL1	DIFFIO_L1_2_P	H5	DQ0_L1		32.27
BANKL1	DIFFIO_L1_2_N	H6	DQ0_L1		41.62
BANKL1	DIFFIO_L1_3_P	G3	DQ0_L1		60.50
BANKL1	DIFFIO_L1_3_N	F3	DQ0_L1		60.57
BANKL1	DIFFIO_L1_4_P	J6	DQS0_L1		53.89
BANKL1	DIFFIO_L1_4_N	J7	DQS0#_L1		53.47
BANKL1	DIFFIO_L1_5_P	G1	DQ0_L1		64.63
BANKL1	DIFFIO_L1_5_N	G2	DQ0_L1		64.36
BANKL1	DIFFIO_L1_6_P	J5	DQ0_L1		36.90
BANKL1	DIFFIO_L1_6_N/VREF_L1	K5	DQ0_L1		36.55
BANKL1	DIFFIO_L1_7_P	J3	DQ1_L1		58.00
BANKL1	DIFFIO_L1_7_N	H3	DQ1_L1		60.35
BANKL1	DIFFIO_L1_8_P/PLL2_CLKOUT_P	K6	DQ1_L1		45.99
BANKL1	DIFFIO_L1_8_N/PLL2_CLKOUT_N	L6	DQ1_L1		46.81
BANKL1	DIFFIO_L1_9_P/CLK0_L1/DIFFCLK0_L1_P/PLL2_CLKFB_P/XTALA_L1	H1	DQ1_L1		66.22
BANKL1	DIFFIO_L1_9_N/CLK1_L1/DIFFCLK0_L1_N/PLL2_CLKFB_N/XTALB_L1	H2	DQ1_L1		69.37
BANKL1	DIFFIO_L1_10_P/CLK2_L1/DIFFCLK1_L1_P/PLL3_CLKIN0	J1	DQS1_L1	L_A15	61.37
BANKL1	DIFFIO_L1_10_N/CLK3_L1/DIFFCLK1_L1_N/PLL3_CLKIN1	J2	DQS1#_L1	L_A14	60.51
BANKL1	DIFFIO_L1_11_P/PLL3_CLKIN2	K1	DQ1_L1	L_A13	45.08
BANKL1	DIFFIO_L1_11_N/PLL3_CLKIN3	K2	DQ1_L1	L_A12	49.87
BANKL1	DIFFIO_L1_12_P	L1	DQ1_L1	L_A11	48.16
BANKL1	DIFFIO_L1_12_N/RRN_L1	L2	DQ1_L1		49.68
BANKL1	DIFFIO_L1_13_P/RRP_L1	M7	DQ2_L1		55.58
BANKL1	DIFFIO_L1_13_N	M6	DQ2_L1	L_A10	53.67
BANKL1	DIFFIO_L1_14_P	M1	DQ2_L1	L_A9	61.19
BANKL1	DIFFIO_L1_14_N	M2	DQ2_L1	L_RESET_N	58.29
BANKL1	DIFFIO_L1_15_P	K4	DQS2_L1	L_A8	35.53
BANKL1	DIFFIO_L1_15_N	L4	DQS2#_L1	L_CKE	33.66
BANKL1	DIFFIO_L1_16_P	N1	DQ2_L1	L_A7	73.04
BANKL1	DIFFIO_L1_16_N	N2	DQ2_L1	L_A6	70.84
BANKL1	DIFFIO_L1_17_P	M5	DQ2_L1	L_A5	40.70

BANKL1	DIFFIO_L1_17_N	L5	DQ2_L1	L_A4	38.59
BANKL1	DIFFIO_L1_18_P	P1	DQ2_L1	L_A3	72.48
BANKL1	DIFFIO_L1_18_N	P2	DQ2_L1	L_A2	68.86
BANKL1	DIFFIO_L1_19_P	M3	DQ2_L1	L_A1	41.37
BANKL1	DIFFIO_L1_19_N	M4	DQ2_L1	L_A0	43.25
BANKL2	DIFFIO_L2_0_P	U4	DQ0_L2	L_DQSU_GATE_OUT	137.15
BANKL2	DIFFIO_L2_0_N	V4	DQ0_L2	L_DQSU_GATE_IN	140.03
BANKL2	DIFFIO_L2_1_P	U5	DQ0_L2	L_DMU	148.53
BANKL2	DIFFIO_L2_1_N	V5	DQ0_L2	L_DQ15	146.35
BANKL2	DIFFIO_L2_2_P	U6	DQ0_L2	L_DQ14	148.92
BANKL2	DIFFIO_L2_2_N	V6	DQ0_L2	L_DQ13	145.22
BANKL2	DIFFIO_L2_3_P	U7	DQ0_L2	L_DQ12	157.16
BANKL2	DIFFIO_L2_3_N	V7	DQ0_L2	L_DQ11	155.17
BANKL2	DIFFIO_L2_4_P	U8	DQS0_L2	L_DQSU	163.94
BANKL2	DIFFIO_L2_4_N	V8	DQS0#_L2	L_DQSU_N	160.88
BANKL2	DIFFIO_L2_5_P	U9	DQ0_L2	L_DQ10	159.30
BANKL2	DIFFIO_L2_5_N	V9	DQ0_L2	L_DQ9	157.55
BANKL2	DIFFIO_L2_6_P	T4	DQ0_L2	L_DQ8	66.24
BANKL2	DIFFIO_L2_6_N/VREF_L2	R4	DQ0_L2		68.40
BANKL2	DIFFIO_L2_7_P	R1	DQ1_L2	L_CS_N	55.95
BANKL2	DIFFIO_L2_7_N	R2	DQ1_L2	L_RAS_N	56.68
BANKL2	DIFFIO_L2_8_P/PLL4_CLKOUT_P	T1	DQ1_L2	L_CAS_N	61.04
BANKL2	DIFFIO_L2_8_N/PLL4_CLKOUT_N	T2	DQ1_L2	L_BA2	62.62
BANKL2	DIFFIO_L2_9_P/CLK0_L2/DIFFCLK0_L2_P/PLL4_CLKFB_P/XTALA_L2	U1	DQ1_L2	L_BA1	65.18
BANKL2	DIFFIO_L2_9_N/CLK1_L2/DIFFCLK0_L2_N/PLL4_CLKFB_N/XTALB_L2	U2	DQ1_L2	L_BA0	67.36
BANKL2	DIFFIO_L2_10_P/CLK2_L2/DIFFCLK1_L2_P/PLL5_CLKIN0	V1	DQS1_L2	L_WE_N	79.63
BANKL2	DIFFIO_L2_10_N/CLK3_L2/DIFFCLK1_L2_N/PLL5_CLKIN1	V2	DQS1#_L2	L_ODT	75.96
BANKL2	DIFFIO_L2_11_P/PLL5_CLKIN2	U3	DQ1_L2	L_CK	57.56
BANKL2	DIFFIO_L2_11_N/PLL5_CLKIN3	V3	DQ1_L2	L_CK_N	66.04

BANKL2	DIFFIO_L2_12_P	P3	DQ1_L2		74.12
BANKL2	DIFFIO_L2_12_N/RRN_L2	P4	DQ1_L2		75.57
BANKL2	DIFFIO_L2_13_P/RRP_L2	P5	DQ2_L2		38.95
BANKL2	DIFFIO_L2_13_N	P6	DQ2_L2	L_DQ7	36.50
BANKL2	DIFFIO_L2_14_P	N5	DQ2_L2	L_DQ6	62.08
BANKL2	DIFFIO_L2_14_N	N4	DQ2_L2	L_DQ5	56.31
BANKL2	DIFFIO_L2_15_P	N6	DQS2_L2	L_DQSL	33.60
BANKL2	DIFFIO_L2_15_N	N7	DQS2#_L2	L_DQSL_ N	34.50
BANKL2	DIFFIO_L2_16_P	T9	DQ2_L2	L_DQ4	84.20
BANKL2	DIFFIO_L2_16_N	R9	DQ2_L2	L_DQ3	90.49
BANKL2	DIFFIO_L2_17_P	R6	DQ2_L2	L_DQ2	34.79
BANKL2	DIFFIO_L2_17_N	T6	DQ2_L2	L_DQ1	35.63
BANKL2	DIFFIO_L2_18_P	T8	DQ2_L2	L_DQ0	74.54
BANKL2	DIFFIO_L2_18_N	R8	DQ2_L2	L_DML	68.55
BANKL2	DIFFIO_L2_19_P	P8	DQ2_L2	L_DQSL_ GATE_OUT	45.08
BANKL2	DIFFIO_L2_19_N	P7	DQ2_L2	L_DQSL_ GATE_IN	45.62
BANKR0	DIFFIO_R0_0_P/VAUX5	E12	DQ0_R0		37.26
BANKR0	DIFFIO_R0_0_N/VAUX4	E11	DQ0_R0		40.16
BANKR0	DIFFIO_R0_1_P/VAUX3	D10	DQ0_R0		81.34
BANKR0	DIFFIO_R0_1_N/VAUX2	C10	DQ0_R0		84.32
BANKR0	DIFFIO_R0_2_P/VAUX1	C13	DQ0_R0		52.52
BANKR0	DIFFIO_R0_2_N/VAUX0	D13	DQ0_R0		56.36
BANKR0	DIFFIO_R0_3_P	D11	DQ0_R0		78.66
BANKR0	DIFFIO_R0_3_N/ECCLKIN	C11	DQ0_R0		72.38
BANKR0	DIFFIO_R0_4_P/FCS2_N	B10	DQS0_R0		92.15
BANKR0	DIFFIO_R0_4_N/BFCE_N	A10	DQS0#_R0		96.42
BANKR0	DIFFIO_R0_5_P/BFOE_N	B11	DQ0_R0		94.59
BANKR0	DIFFIO_R0_5_N/BADRVO_N	A11	DQ0_R0		95.35
BANKR0	DIFFIO_R0_6_P/BFWE_N	B12	DQ0_R0		90.66
BANKR0	DIFFIO_R0_6_N/VREF_R0	A12	DQ0_R0		87.30
BANKR0	DIFFIO_R0_7_P/VS1	B13	DQ1_R0		88.24

BANKR0	DIFFIO_R0_7_N/VS0	A13	DQ1_R0		91.22
BANKR0	DIFFIO_R0_8_P/PLLO_CLKIN0	B15	DQ1_R0		74.88
BANKR0	DIFFIO_R0_8_N/PLLO_CLKIN1	A15	DQ1_R0		69.46
BANKR0	DIFFIO_R0_9_P/CLK0_R0/DIFFCLK0_R0_P/PLLO_CLKIN2/XTALA_R0	B14	DQ1_R0		80.17
BANKR0	DIFFIO_R0_9_N/CLK1_R0/DIFFCLK0_R0_N/PLLO_CLKIN3/XTALB_R0	A14	DQ1_R0		83.24
BANKR0	DIFFIO_R0_10_P/CLK2_R0/DIFFCLK1_R0_P/PLL1_CLKFB_P	B16	DQS1_R0		71.68
BANKR0	DIFFIO_R0_10_N/CLK3_R0/DIFFCLK1_R0_N/PLL1_CLKFB_N	A16	DQS1#_R0		73.19
BANKR0	DIFFIO_R0_11_P/PLL1_CLKOUT_P	C15	DQ1_R0		75.80
BANKR0	DIFFIO_R0_11_N/PLL1_CLKOUT_N	D15	DQ1_R0		77.47
BANKR0	DIFFIO_R0_12_P/D16/ADR0	B17	DQ1_R0		82.56
BANKR0	DIFFIO_R0_12_N/RRN_R0/D17/ADR1	A17	DQ1_R0		83.98
BANKR0	DIFFIO_R0_13_P/RRP_R0/D18/ADR2	F11	DQ2_R0		69.35
BANKR0	DIFFIO_R0_13_N/D19/ADR3	G11	DQ2_R0		68.46
BANKR0	DIFFIO_R0_14_P/D20/ADR4	E15	DQ2_R0		60.71
BANKR0	DIFFIO_R0_14_N/D21/ADR5	E16	DQ2_R0		59.22
BANKR0	DIFFIO_R0_15_P/D22/ADR6	F12	DQS2_R0		56.27
BANKR0	DIFFIO_R0_15_N/D23/ADR7	G12	DQS2#_R0		56.58
BANKR0	DIFFIO_R0_16_P/D24/ADR8	B18	DQ2_R0		86.88
BANKR0	DIFFIO_R0_16_N/D25/ADR9	A18	DQ2_R0		86.98
BANKR0	DIFFIO_R0_17_P/D26/ADR10	C18	DQ2_R0		80.80
BANKR0	DIFFIO_R0_17_N/D27/ADR11	C17	DQ2_R0		83.55
BANKR0	DIFFIO_R0_18_P/D28/ADR12	D18	DQ2_R0		76.57
BANKR0	DIFFIO_R0_18_N/D29/ADR13	D17	DQ2_R0		76.69
BANKR0	DIFFIO_R0_19_P/D30/ADR14	E18	DQ2_R0		68.61
BANKR0	DIFFIO_R0_19_N/D31/ADR15	E17	DQ2_R0		69.46
BANKR1	DIFFIO_R1_0_P/ADR16	F14	DQ0_R1		43.89
BANKR1	DIFFIO_R1_0_N	F13	DQ0_R1		44.90
BANKR1	DIFFIO_R1_1_P/ADR17	F18	DQ0_R1		62.93
BANKR1	DIFFIO_R1_1_N/ADR18	F17	DQ0_R1		65.09
BANKR1	DIFFIO_R1_2_P/ADR19	G14	DQ0_R1		40.38
BANKR1	DIFFIO_R1_2_N/ADR20	G13	DQ0_R1		43.49

BANKR1	DIFFIO_R1_3_P/ADR21	F16	DQ0_R1		58.29
BANKR1	DIFFIO_R1_3_N/ADR22	G16	DQ0_R1		61.66
BANKR1	DIFFIO_R1_4_P/ADR23	H14	DQS0_R1		33.64
BANKR1	DIFFIO_R1_4_N/ADR24	H13	DQS0#_R1		46.74
BANKR1	DIFFIO_R1_5_P/ADR25	G18	DQ0_R1		65.19
BANKR1	DIFFIO_R1_5_N	G17	DQ0_R1		65.35
BANKR1	DIFFIO_R1_6_P	J15	DQ0_R1		26.14
BANKR1	DIFFIO_R1_6_N/VREF_R1	J14	DQ0_R1		29.29
BANKR1	DIFFIO_R1_7_P	H16	DQ1_R1		51.36
BANKR1	DIFFIO_R1_7_N	J16	DQ1_R1		51.04
BANKR1	DIFFIO_R1_8_P/PLL2_CLKIN0	K14	DQ1_R1		38.36
BANKR1	DIFFIO_R1_8_N/PLL2_CLKIN1	K15	DQ1_R1		35.62
BANKR1	DIFFIO_R1_9_P/CLK0_R1/DIFFCLK0_R1_P/PLL2_CLKIN2/XTALA_R1	H18	DQ1_R1		64.52
BANKR1	DIFFIO_R1_9_N/CLK1_R1/DIFFCLK0_R1_N/PLL2_CLKIN3/XTALB_R1	H17	DQ1_R1		65.16
BANKR1	DIFFIO_R1_10_P/CLK2_R1/DIFFCLK1_R1_P/PLL3_CLKFB_P	J18	DQS1_R1	R_A15	62.95
BANKR1	DIFFIO_R1_10_N/CLK3_R1/DIFFCLK1_R1_N/PLL3_CLKFB_N	J17	DQS1#_R1	R_A14	63.54
BANKR1	DIFFIO_R1_11_P/PLL3_CLKOUT_P	K18	DQ1_R1	R_A13	65.52
BANKR1	DIFFIO_R1_11_N/PLL3_CLKOUT_N	K17	DQ1_R1	R_A12	70.14
BANKR1	DIFFIO_R1_12_P	L18	DQ1_R1	R_A11	74.59
BANKR1	DIFFIO_R1_12_N/RRN_R1	L17	DQ1_R1		72.46
BANKR1	DIFFIO_R1_13_P/RRP_R1	L13	DQ2_R1		53.16
BANKR1	DIFFIO_R1_13_N	L12	DQ2_R1	R_A10	55.55
BANKR1	DIFFIO_R1_14_P	L16	DQ2_R1	R_A9	63.08
BANKR1	DIFFIO_R1_14_N	M16	DQ2_R1	R_RESET_N	63.16
BANKR1	DIFFIO_R1_15_P	M13	DQS2_R1	R_A8	51.87
BANKR1	DIFFIO_R1_15_N	M14	DQS2#_R1	R_CKE	45.00
BANKR1	DIFFIO_R1_16_P	M18	DQ2_R1	R_A7	71.79
BANKR1	DIFFIO_R1_16_N	M17	DQ2_R1	R_A6	73.08
BANKR1	DIFFIO_R1_17_P	N18	DQ2_R1	R_A5	74.86
BANKR1	DIFFIO_R1_17_N	N17	DQ2_R1	R_A4	76.01
BANKR1	DIFFIO_R1_18_P	N15	DQ2_R1	R_A3	71.90

BANKR1	DIFFIO_R1_18_N	N16	DQ2_R1	R_A2	68.71
BANKR1	DIFFIO_R1_19_P	L15	DQ2_R1	R_A1	33.89
BANKR1	DIFFIO_R1_19_N	L14	DQ2_R1	R_A0	35.07
BANKR2	DIFFIO_R2_0_P	R10	DQ0_R2	R_DQSU_ GATE_OU T	92.05
BANKR2	DIFFIO_R2_0_N	T10	DQ0_R2	R_DQSU_ GATE_IN	95.05
BANKR2	DIFFIO_R2_1_P	U10	DQ0_R2	R_DMU	161.45
BANKR2	DIFFIO_R2_1_N	V10	DQ0_R2	R_DQ15	168.07
BANKR2	DIFFIO_R2_2_P	U13	DQ0_R2	R_DQ14	144.18
BANKR2	DIFFIO_R2_2_N	V13	DQ0_R2	R_DQ13	142.82
BANKR2	DIFFIO_R2_3_P	U12	DQ0_R2	R_DQ12	145.75
BANKR2	DIFFIO_R2_3_N	V12	DQ0_R2	R_DQ11	141.88
BANKR2	DIFFIO_R2_4_P	U11	DQS0_R2	R_DQSU	157.21
BANKR2	DIFFIO_R2_4_N	V11	DQS0#_R2	R_DQSU_ N	164.40
BANKR2	DIFFIO_R2_5_P	R11	DQ0_R2	R_DQ10	163.34
BANKR2	DIFFIO_R2_5_N	T11	DQ0_R2	R_DQ9	157.66
BANKR2	DIFFIO_R2_6_P	P11	DQ0_R2	R_DQ8	85.01
BANKR2	DIFFIO_R2_6_N/VREF_R2	P12	DQ0_R2		84.43
BANKR2	DIFFIO_R2_7_P	V18	DQ1_R2	R_CS_N	87.81
BANKR2	DIFFIO_R2_7_N	V17	DQ1_R2	R_RAS_N	88.57
BANKR2	DIFFIO_R2_8_P/PLL4_CLKIN0	U18	DQ1_R2	R_CAS_N	76.01
BANKR2	DIFFIO_R2_8_N/PLL4_CLKIN1	U17	DQ1_R2	R_BA2	73.36
BANKR2	DIFFIO_R2_9_P/CLK0_R2/DIFFCLK0_R 2_P/PLL4_CLKIN2/XTALA_R2	T18	DQ1_R2	R_BA1	59.11
BANKR2	DIFFIO_R2_9_N/CLK1_R2/DIFFCLK0_R 2_N/PLL4_CLKIN3/XTALB_R2	T17	DQ1_R2	R_BA0	62.10
BANKR2	DIFFIO_R2_10_P/CLK2_R2/DIFFCLK1_ R2_P/PLL5_CLKFB_P	R17	DQS1_R2	R_WE_N	59.13
BANKR2	DIFFIO_R2_10_N/CLK3_R2/DIFFCLK1_ R2_N/PLL5_CLKFB_N	R18	DQS1#_R2	R_ODT	58.01
BANKR2	DIFFIO_R2_11_P/PLL5_CLKOUT_P	P17	DQ1_R2	R_CK	61.41
BANKR2	DIFFIO_R2_11_N/PLL5_CLKOUT_N	P18	DQ1_R2	R_CK_N	62.03
BANKR2	DIFFIO_R2_12_P	R16	DQ1_R2		52.75
BANKR2	DIFFIO_R2_12_N/RRN_R2	T16	DQ1_R2		49.93

BANKR2	DIFFIO_R2_13_P/RRP_R2	U14	DQ2_R2		74.01
BANKR2	DIFFIO_R2_13_N	V14	DQ2_R2	R_DQ7	73.20
BANKR2	DIFFIO_R2_14_P	U15	DQ2_R2	R_DQ6	62.18
BANKR2	DIFFIO_R2_14_N	V15	DQ2_R2	R_DQ5	63.39
BANKR2	DIFFIO_R2_15_P	V16	DQS2_R2	R_DQSL	60.76
BANKR2	DIFFIO_R2_15_N	U16	DQS2#_R2	R_DQSL_ N	60.32
BANKR2	DIFFIO_R2_16_P	R14	DQ2_R2	R_DQ4	51.55
BANKR2	DIFFIO_R2_16_N	R15	DQ2_R2	R_DQ3	53.46
BANKR2	DIFFIO_R2_17_P	R13	DQ2_R2	R_DQ2	47.78
BANKR2	DIFFIO_R2_17_N	T13	DQ2_R2	R_DQ1	47.13
BANKR2	DIFFIO_R2_18_P	P13	DQ2_R2	R_DQ0	82.10
BANKR2	DIFFIO_R2_18_N	P14	DQ2_R2	R_DML	75.91
BANKR2	DIFFIO_R2_19_P	N13	DQ2_R2	R_DQSL_ GATE_OUT	45.87
BANKR2	DIFFIO_R2_19_N	N14	DQ2_R2	R_DQSL_ GATE_IN	43.24
99	VCC	E3			
99	VCC	E4			
99	VCC	E13			
99	VCC	E14			
99	VCC	F5			
99	VCC	F6			
99	VCC	H15			
99	VCC	K16			
99	VCC	L3			
99	VCC	M9			
99	VCC	M11			
99	VCC	M15			
99	VCC	N3			
99	VCC	N8			
99	VCC	N10			
99	VCC	N12			
99	VCC	P9			

99	VCCAUX	J11			
99	VCCAUX	K8			
99	VCCAUX	K10			
99	VCCAUX	K12			
99	VCCAUX	L9			
99	VCCAUX	L11			
BANKCFG	VCCAUX_A	J10			
BANKCFG	VDDEFUSE	G10			
BANKCFG	VDDIOCFG	E9			
BANKL0	VDDIOL0	C3			
BANKL0	VDDIOL0	D5			
BANKL0	VDDIOL0	D7			
BANKL1	VDDIOL1	H7			
BANKL1	VDDIOL1	J4			
BANKL1	VDDIOL1	K7			
BANKL2	VDDIOL2	R3			
BANKL2	VDDIOL2	R5			
BANKL2	VDDIOL2	R7			
BANKR0	VDDIOR0	C16			
BANKR0	VDDIOR0	D12			
BANKR0	VDDIOR0	D14			
BANKR1	VDDIOR1	G15			
BANKR1	VDDIOR1	H12			
BANKR1	VDDIOR1	K13			
BANKR2	VDDIOR2	P15			
BANKR2	VDDIOR2	R12			
BANKR2	VDDIOR2	T14			
99	VSS	C5			
99	VSS	C7			
99	VSS	C12			
99	VSS	C14			
99	VSS	D3			

99	VSS	D16			
99	VSS	E10			
99	VSS	F15			
99	VSS	G7			
99	VSS	H4			
99	VSS	J12			
99	VSS	J13			
99	VSS	K3			
99	VSS	K11			
99	VSS	L7			
99	VSS	L8			
99	VSS	L10			
99	VSS	M8			
99	VSS	M10			
99	VSS	M12			
99	VSS	N9			
99	VSS	N11			
99	VSS	P10			
99	VSS	P16			
99	VSS	T3			
99	VSS	T5			
99	VSS	T7			
99	VSS	T12			
99	VSS	T15			
BANKCF G	VSSA	K9			