

Logos2 系列 FPGA 模数转换模块（ADC） 用户指南

(UG040009, V1.6)
(2023.7.19)

版权所有 侵权必究

文档版本修订记录

版本号	发布日期	修订记录
V0.1	2020/03/04	初始 Alpha 版本
V1.0	2020/05/14	1. 修正表 2-12 状态寄存器列表 VCC_CRAM/VCC_DRM 寄存器地址 2. 对表 2-11 告警控制寄存器列表增加说明
V1.1	2020/06/02	1. 表 2-9 扫描控制寄存器列表后增加了 ADC_A/ADC_B 在多通道扫描情况下，对 Unipolar 和 Bipolar 支持情况的说明
V1.2	2021/01/25	1. 表 2-2 GTP_ADC_E2 端口列表补充部分端口描述 2. 2.4 ADC 模拟输入补充 ADC 输入模式说明 3. 补充 2.9.3 工作模式说明，补充主动控制模式说明 4. 修改补充图 2-1 ADC 结构框图、图 2-17 状态寄存器数据结构示意图、图 2-19 ADC_A/B 下电再上电工作时序图中说明 5. 2.6 温度监测补充 ADC_A 采样说明 6. 2.9 ADC 工作模式补充用户模式下采样与 APB 读取时间说明 7. 2.3 ADC 端口描述增加设计样例 8. 表 2-9 扫描控制寄存器列表后修正不支持 gain error calibration 和多通道切换时模式也切换的说明，删除文中部分关于 gain error 的表述 9. 表 2-6、表 2-9、表 2-11 添加寄存器默认值 10. 将表 2-6 配置寄存器列表中寄存器描述从高位到低位排列 11. 2.10 ADC 的 JTAG 和 APB 接口补充读写时序说明 12. 1 总体介绍中去除性能指标说明 13. 2.3 ADC 端口描述添加 LOADSC_N 端口说明及 31H 等保留寄存器寄存器说明 14. 2.7 电源电压监测修改电压输入标准值为 $\pm 5\%$ 15. 新增 2.9.4 使用说明
V1.3	2021/02/25	1. 表 2-2 GTP_ADC_E2 端口列表补充 ALARM 端口各 bit 位说明 2. 表 2-2 GTP_ADC_E2 端口列表与表 2-5 控制寄存器地址描述处补充保留寄存器的说明
V1.4	2021/03/29	1. 2.4 ADC 模拟输入补充模拟管脚说明，补充模拟输入描述，补充输入信号波形图 2. 2.6 温度监测补充温度传感器输出电压说明 3. 2.8.2 状态寄存器 (Status Registers) 补充 offset/gain 寄存器计算方法 4. 2.3 ADC 端口描述补充部分端口描述 5. 2.9.1 上电模式补充上电模式扫描顺序 6. 2.9 ADC 工作模式补充 ADC 采样时序图
V1.5	2021/09/09	1. 修订记录增加链接 2. 更新 1 总体介绍管脚说明，通道数量说明 3. 2.9.3 工作模式说明增加主动控制模式采样率说明 4. 修正表 2-1 ADC 功能特性列表中功能及描述 5. 更新表 2-2 GTP_ADC_E2 端口列表中 DRDY 与 DMODIFIED 端口描述，更正 APB 接口时钟频率 6. 更新 2.3 ADC 端口描述中 GTP 调用示例 7. 删除 2.4 ADC 模拟输入中辅助通道可不作约束的描述

版本号	发布日期	修订记录
		<ul style="list-style-type: none"> 8. 完善 2.5ADC 信号转换 Bipolar 模式的描述 9. 2.6 温度监测中添加具体寄存器配置 10. 2.8.1 控制寄存器（Control Registers）描述更改为主要有三个功能 11. 修正表 2-9 扫描控制寄存器列表注释及表 2-12 状态寄存器列表中管脚描述 12. 2.9 ADC 工作模式中更新为控制寄存器与状态寄存器 13. 修正图 2-20，图 2-22 中器件名称 14. 修正表 2-13 JTAG 操作指令中数据读写操作描述 15. 2.9.4 使用说明中增加采样率限制说明 16. 删除术语与缩略语中多余词语 17. 更新表 2-5 控制寄存器地址描述中告警设置寄存器位宽 18. 更新表 2-6 配置寄存器列表，表 2-11 告警控制寄存器列表中寄存器默认值 19. 修正图 2-16 告警控制寄存器 bit 分配中的 bit 位 20. 2.8 寄存器说明增加默认值描述 21. 1 总体介绍中参数描述更新 22. 2.6.1 超温告警功能中告警寄存器描述
V1.6	2023/07/19	<ul style="list-style-type: none"> 1. 更新表 1-1 Logos2 系列 FPGA ADC 管脚说明，删除 I/O 说明 2. 更新图 2-1 ADC 结构框图 3. 更新表 2-1 ADC 功能特性列表中误差校准说明 4. 更新表 2-2 GTP_ADC_E2 端口列表中 LOADSC_N 信号描述，新增注释说明 5. 删除 GTP 调用示例 6. 更新 2.4ADC 模拟输入中通道说明 7. 更正图 2-5 Bipolar 模式伪差分输入示意图，“全差分”更新为“真差分”，更新表 2-3 ADC 输入模拟信号表共模电压说明 8. 更新图 2-10 超温告警功能简介中告警阈值名称 9. 更新 2.8 寄存器说明中导入用户配置参数的说明、寄存器数量说明 10. 删除表 2-6、表 2-9、表 2-11 中控制寄存器默认值 11. 更新表 2-6 配置寄存器列表中平均次数控制位说明，表后更新精度注释说明，新增配置加载注释说明 12. 更新表 2-7 OT 信号防抖动计数器，新增注释说明 13. 更新图 2-15、图 2-16 中寄存器前缀 14. 文中“VP/VN”通道名称更新为“专用通道”，文中“辅助通道”、“外部通道”、“Auxiliary channel”更新为“复用通道” 15. 表 2-10 扫描控制专用通道 bit 映射关系表新增新增扫描模式支持说明 16. 表 2-11 告警控制寄存器列表更新列顺序及注释 17. 更新图 2-17 状态寄存器数据结构示意图 18. 更新图 2-18 ADC 模数转换时序图及采样时序描述 19. 更新图 2-19 ADC_A/B 下电再上电工作时序图及描述 20. 更新 2.9.1 上电模式中上电模式描述 21. 更新 2.9.2 序列扫描模式中采样描述 22. 删除 2.9.3 工作模式说明中默认值说明，主动控制模式说明合入 2.9.2 23. 删除 2.9.4 使用说明

版本号	发布日期	修订记录
		24. 更新图 2-23 JTAG 动态重配端口时序图及说明 25. 更新图 2-24、图 2-25 及时序说明 26. 更新 2.10.3 用户模式下采样与 APB 读取时间说明中描述，删除图 25

术语与缩略语

Terms and Abbreviations 术语与缩略语	Full Spelling 英文全拼	Chinese Explanation 中文解释
ADC	Analog to Digital Converter	模数转换器
SAR	Successive Approximation Register	逐次逼近寄存器
N/A	Not Applicable	不适用
DRP	Dynamic Reconfiguration Port	动态重配端口
MSPS	Mega Sample Per Second	每秒百万次采样
APB	Advanced Peripheral Bus	先进外围总线
JTAG	Joint Test Action Group	联合测试工作组
JDRP	JTAG Dynamic Reconfiguration Port	JTAG 动态重配端口
FS	Full-Scale	量程
LSB	Least Significant Bit	最低有效位
OT	Over Temperature	超温
IOB	Input Output Buffer	输入输出缓冲器

目 录

文档版本修订记录	1
术语与缩略语	4
目 录	5
表目录	6
图目录	7
1 总体介绍	8
2 详细介绍	9
2.1 ADC 结构框图	9
2.2 功能特性列表	9
2.3 ADC 端口描述	10
2.4 ADC 模拟输入	11
2.5 ADC 信号转换	13
2.6 温度监测	14
2.6.1 超温告警功能	15
2.6.2 温度校准功能	16
2.7 电源电压监测	16
2.8 寄存器说明	17
2.8.1 控制寄存器（Control Registers）	18
2.8.2 状态寄存器（Status Registers）	24
2.9 ADC 工作模式	26
2.9.1 上电模式	27
2.9.2 序列扫描模式	28
2.10 ADC 的 JTAG 和 APB 接口	30
2.10.1 ADC JTAG 读写时序	30
2.10.2 ADC APB 读写时序	31
2.10.3 用户模式下采样与 APB 读取时间说明	32
免责声明	34

表目录

表 1-1 Logos2 系列 FPGA ADC 管脚说明	8
表 2-1 ADC 功能特性列表	9
表 2-2 GTP_ADC_E2 端口列表	10
表 2-3 ADC 输入模拟信号表	12
表 2-4 电压传感器监测的典型电压	17
表 2-5 控制寄存器地址描述	18
表 2-6 配置寄存器列表	19
表 2-7 OT 信号防抖动计数器	21
表 2-8 时钟分频控制	21
表 2-9 扫描控制寄存器列表	22
表 2-10 扫描控制专用通道 bit 映射关系表	23
表 2-11 告警控制寄存器列表	24
表 2-12 状态寄存器列表	24
表 2-13 JTAG 操作指令	30
表 2-14 满足数据可采样的时钟分频和 DCLK 频率表	33

图目录

图 2-1 ADC 结构框图.....	9
图 2-2 GTP_ADC_E2 接口图.....	10
图 2-3 LOADSC_N 信号与 DCLK/clk_osc 时序图	11
图 2-4 Unipolar 模式输入示意图.....	12
图 2-5 Bipolar 模式伪差分输入示意图	12
图 2-6 Bipolar 模式真差分输入示意图	12
图 2-7 Unipolar 模式下 ADC 模数转换图	13
图 2-8 Bipolar 模式下 ADC 模数转换图.....	14
图 2-9 温度传感器转换特性	15
图 2-10 超温告警功能简介	15
图 2-11 温度 Offset 校准示意图	16
图 2-12 理想电压传感器转换特性	17
图 2-13 寄存器接口	18
图 2-14 配置寄存器 bit 分配.....	19
图 2-15 扫描控制寄存器 bit 分配.....	22
图 2-16 告警控制寄存器 bit 分配.....	24
图 2-17 状态寄存器数据结构示意图	25
图 2-18 ADC 模数转换时序图.....	27
图 2-19 ADC_A/B 下电再上电工作时序图	27
图 2-20 event_drv 信号在主动控制模式下的作用	29
图 2-21 主动控制模式修改 sequence registers 功能流程图	30
图 2-22 N_SEQ 功能实现的流程以及波形示意.....	30
图 2-23 JTAG 动态重配端口时序图.....	31
图 2-24 APB 写寄存器时序图	31
图 2-25 APB 读寄存器时序图	32

1 总体介绍

Logos2 系列 FPGA 产品提供了一个包括 2 个 12bit SAR-ADC 资源的模数转换模块，两个 ADC 资源共用最多达 17 对外部输入端口，其中有 16 对模拟输入引脚与 IOB 复用，1 对是专用模拟输入引脚。17 对外部输入端口的扫描方式由 FPGA 灵活控制，用户可以通过用户逻辑读写 ADC 的控制寄存器，读 ADC 的状态寄存器。同时 ADC 还可实时监测 4 组内部电压，及内置温度传感器用于实时检测芯片结温（T_j），并根据预设阈值，输出超温告警。下面列出 ADC 的一些参数：

- 分辨率：12-bits
- 采样率：1MSPS
- 最多达 17 对外部模拟通道，其中有 16 对模拟输入通道与 IOB 复用，1 对是专用模拟输入通道（具体参见相应封装手册）
- ADC 支持内部及外部参考电压
- 集成温度传感器
- 集成电源电压传感器
- ADC 具体特性参数请参见《DS04001_Logos2 系列 FPGA 器件数据手册》ADC 部分

ADC 模块模拟管脚说明：

表 1-1 Logos2 系列 FPGA ADC 管脚说明

管脚名	管脚类型	管脚说明
VCCADC	专用	ADC 模拟电源 1.8V，不使用 ADC 时接 VCCA
VSSADC	专用	ADC 模拟地，不使用 ADC 时接 VSS
VAADC_P	专用	ADC 专用模拟差分输入（正），不使用 ADC 时可悬空或接 VSS
VAADC_N	专用	ADC 专用模拟差分输入（负），不使用 ADC 时可悬空或接 VSS
VREFADC_P	专用	1.255V 参考电压输入，不使用时接 VSS
VREFADC_N	专用	1.255V 参考地输入，不使用时接 VSS
VAA[0,...,15]P, VAA[0,...,15]N	复用	复用 ADC 差分模拟输入通道 0-15
TSDP	专用	温度传感器二极管的阳极引脚；当不使用温度二极管时，连接到 VSS 上；如果要使用温度传感器二极管，那么需要合适的外部温度监控芯片
TSDN	专用	温度传感器二极管的阴极引脚；当不使用温度二极管时，连接到 VSS 上

2 详细介绍

2.1 ADC 结构框图

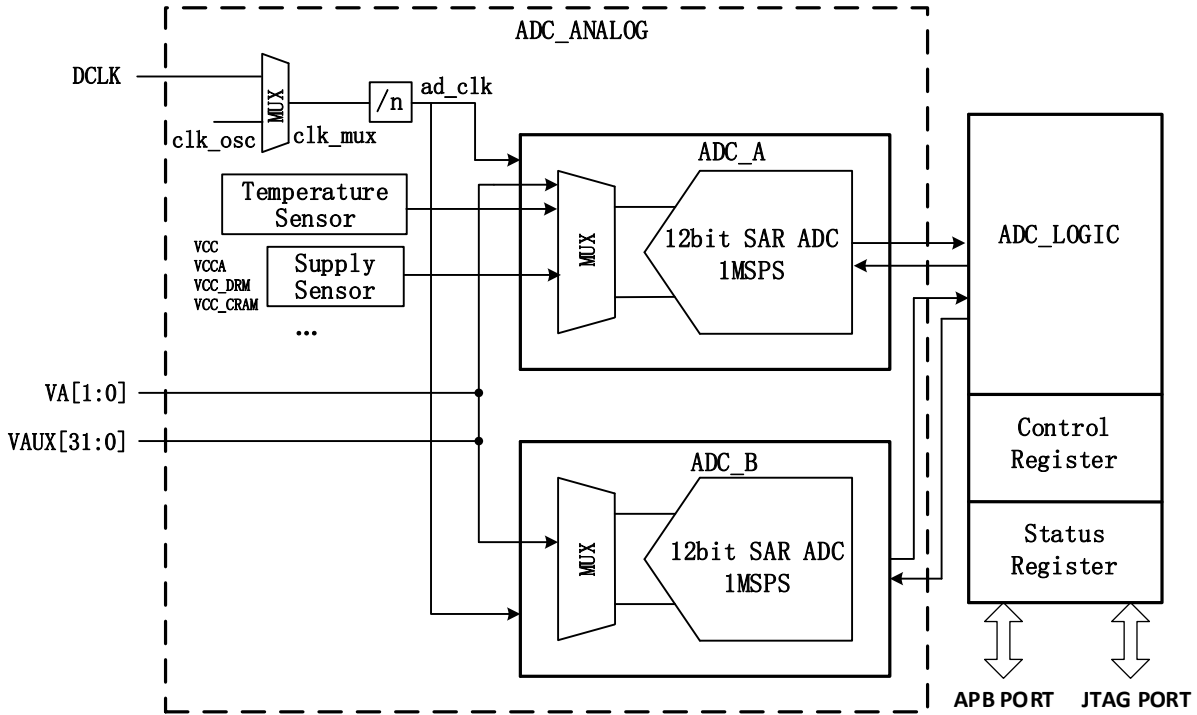


图 2-1 ADC 结构框图

ADC 包含最多达 17 对用户可连接的模拟输入通道(其中 VAUX[31:0]与 IOB 复用, VA[1:0]为专用模拟输入通道)。VAUX[1]、VAUX [0]分别对应通道 0 的 P、N 端,以此类推, VAUX[31]、VAUX [30]分别对应通道 15 的 P、N 端。具体端口及描述见表 2-2 GTP_ADC_E2 端口列表。

上图 2-1 中, ADC_ANALOG 模块采样输入的模拟信号将其转换为 12bit 数据传输给 ADC_LOGIC 模块,用户可以通过 APB 接口读写 ADC_LOGIC 中的寄存器,从而控制 ADC 的工作模式,读取 ADC 的状态和转换值。

2.2 功能特性列表

表 2-1 ADC 功能特性列表

功能	描述
JTAG 访问寄存器	用户可通过 JDRP 方式访问寄存器,对寄存器进行操作
APB 访问寄存器	用户可通过 APB 方式对寄存器进行访问和操作
误差校准	对 ADC 的转换值进行校准,包括 Offset (失调误差)校准和 Gain (增益误差)校准
芯片监控	对片上几种电源电压和片上温度进行监测

功能	描述
通道扫描	对 ADC 多个通道依次扫描转化
Unipolar、Bipolar 混合扫描	ADC 扫描的通道可以任意选择 Unipolar 或 Bipolar
结果求平均	ADC 可以对得到的结果进行求平均
用户主动控制	用户可以通过主动控制，来控制 ADC 的采样
单通道控制	用户可以任意选择一个通道进行单独配置
编程中的芯片监控	在编程过程中，对芯片进行电压和温度监控

2.3 ADC 端口描述

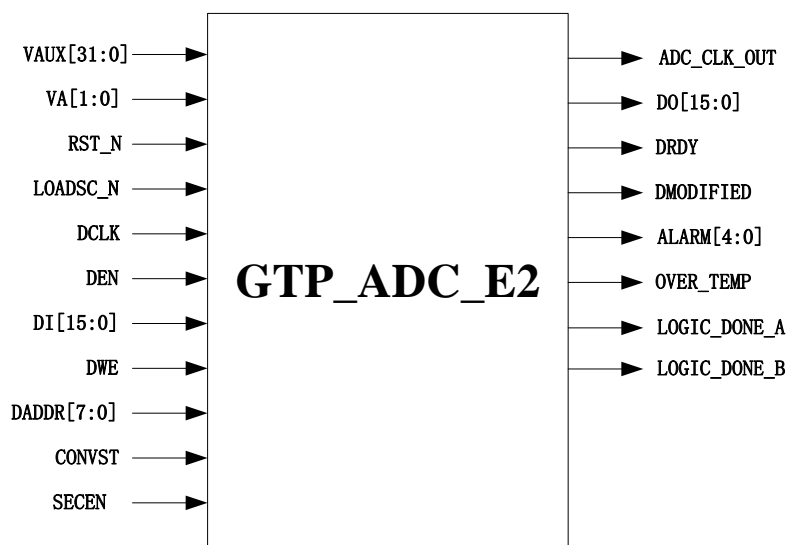


图 2-2 GTP_ADC_E2 接口图

ADC的GTP端口列表如下：

表 2-2 GTP_ADC_E2 端口列表

端口名	I/O	描述
VA[1:0]	I	专用模拟输入端口 VA[1]和 VA[0]组成差分对,VA[0]是 N 端，VA[1]是 P 端
VAUX[31:0]	I	复用模拟差分输入端口（复用 IOB）, IOB 需约束为 1.8V 电源标准，VAUX[2*n+1]与 VAUX[2*n]组成差分对，分别对应端口 n 的 P、N 端
DCLK	I	APB 接口时钟
DADDR[7:0]	I	APB 操作地址位
SECEN	I	操作使能，高电平时启动一次读/写操作
DEN	I	数据传输使能信号
DWE	I	写操作使能：0 读，1 写
DI[15:0]	I	APB 数据输入
DO[15:0]	O	APB 数据输出
DRDY	O	APB 读写执行结束标志位
CONVST	I	主动控制信号，在主动控制模式下触发采样

端口名	I/O	描述
RST_N	I	系统复位信号，低有效
OVER_TEMP	O	OT（over temperature）指示信号
LOGIC_DONE_A	O	ADC 状态寄存器更新的信号
LOGIC_DONE_B	O	ADC 状态寄存器更新的信号
LOADSC_N	I	使能控制寄存器加载静态配置值信号，低有效。触发内部重新配置 ADC 控制寄存器。具体使用见图 2-3
ADC_CLK_OUT	O	ADC 工作时钟 ad_clk 输出端口
DMODIFIED	O	控制寄存器改动标志，指示控制寄存器被 JTAG 写过后，用户还未进行过 APB 操作，当 JTAG 完成写操作后，DMODIFIED 信号会被拉高。随后的 APB 的读/写操作会将 DMODIFIED 信号复位
ALARM[4:0]	O	Alarm 指示信号 ALARM[0]为温度告警信号； ALARM[1]为 VCC 告警信号； ALARM[2]为 VCCA 告警信号； ALARM[3]为 VCC_CRAM 告警信号； ALARM[4]为 VCC_DRM 告警信号

注：LOADSC_N 信号时序如下图所示：

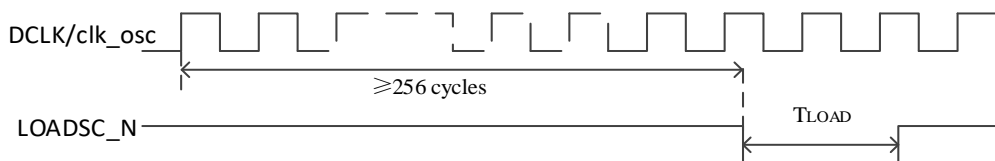


图 2-3 LOADSC_N 信号与 DCLK/clk_osc 时序图

1. LOADSC_N信号需在至少256个稳定时钟周期后，保持两个或以上时钟周期的低电平后拉高，如图 2-3所示。
2. ADC可通过配置寄存器选择时钟，详见CLKSW控制位。
3. ADC使用DCLK时，需使用端口LOADSC_N信号低电平触发ADC配置加载，其中LOADSC_N拉低时间 T_{LOAD} 需大于等于2个DCLK周期。
4. ADC使用内部clk_osc时，ADC配置可自动加载；如果需要再次进行加载，LOADSC_N拉低时间 T_{LOAD} 需大于等于80ns。

2.4 ADC 模拟输入

ADC 的模拟输入采用差分采样，以减少共模噪声的影响。所有的模拟输入通道本身是差分的，所以要求 ADC 的正相输入端 VP 和反相输入端 VN 要在差分模式下驱动。

ADC 专用通道使用时相应管脚不需要做约束。复用模拟通道（VAUX[31:0]）的管脚与普通 IO 复用，当使用复用模拟通道时该管脚无法做普通 IO 使用，需约束到 1.8V 电平标准，其余未用到的复用模拟通道管脚可作为普通 IO 使用。

当检测所有片内传感器时，ADC 均工作在 Unipolar 模式下；用户可将外部模拟输入通道配置在 Unipolar 或 Bipolar 模式下。Unipolar 模式示意图如下图 2-4 所示：

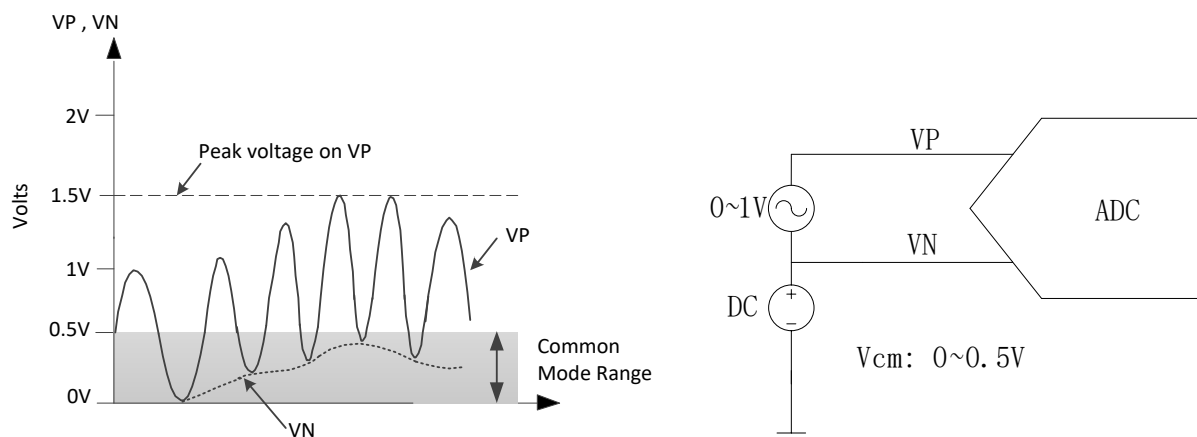


图 2-4 Unipolar 模式输入示意图

在 Unipolar 模式下, $V_P \geq V_N$, V_N 输入范围为 0-0.5V, $0V \leq V_P - V_N \leq 1V$ 。

Bipolar 模式包含伪差分 and 真差分, 示意图分别如图 2-5, 图 2-6 所示:

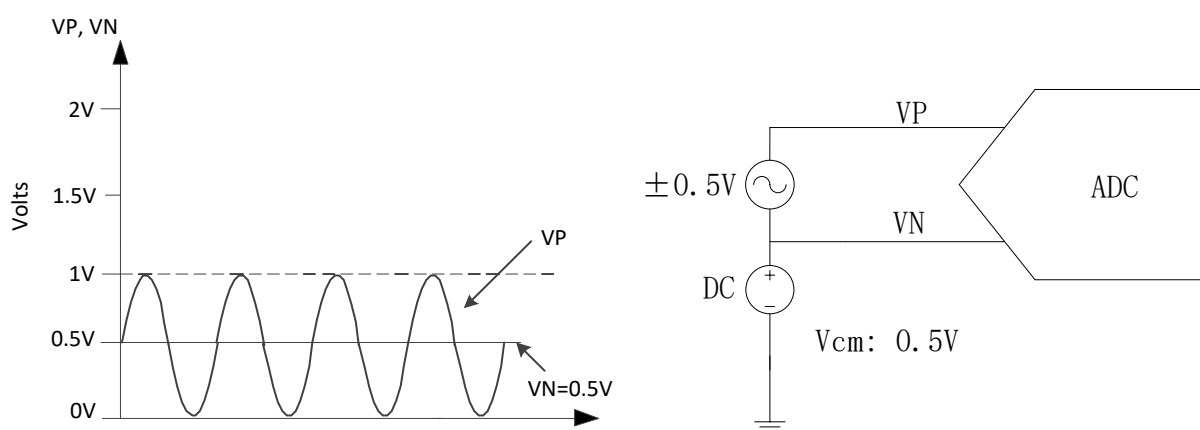


图 2-5 Bipolar 模式伪差分输入示意图

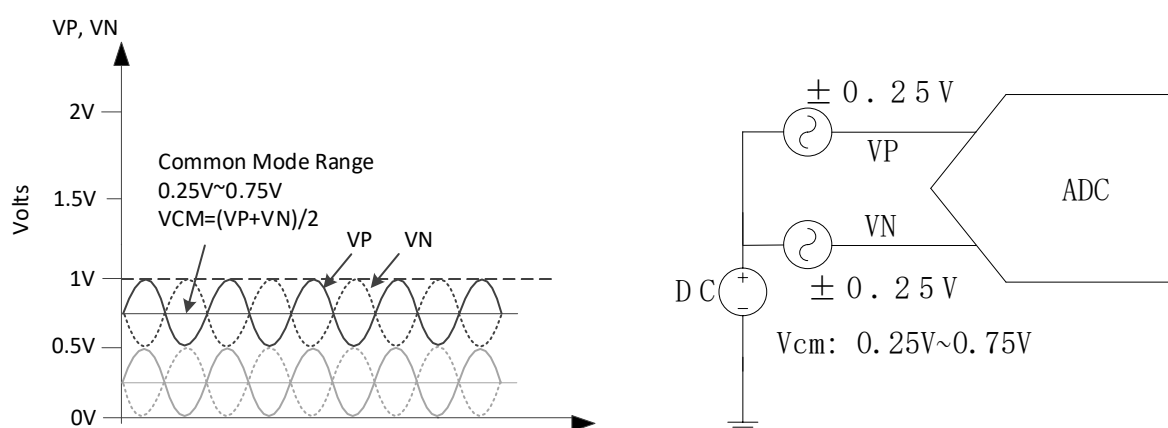


图 2-6 Bipolar 模式真差分输入示意图

为了保证正常的转化, 以上各种输入模式对信号的要求如下:

表 2-3 ADC 输入模拟信号表

模式	VP	VN
Unipolar	$V_N \sim (V_N + 1V)$	0~0.5V

模式	VP	VN
Bipolar（伪差分）	0~1V	0.5V
Bipolar（真差分） ⁽¹⁾	Vcm+(±0.25V)	Vcm-(±0.25V)

注：1.此处的 Vcm 为外部输入信号的共模电压

不同通道的模式配置通过扫描控制寄存器实现，具体见表 2-9 扫描控制寄存器列表。

2.5 ADC 信号转换

ADC 可以工作在不同模式（Unipolar、Bipolar）下，默认量程（FS）为 1V（不支持调节）。

若不考虑各种误差（包括 Offset error、Gain error），ADC 的转换特性如下图所示：

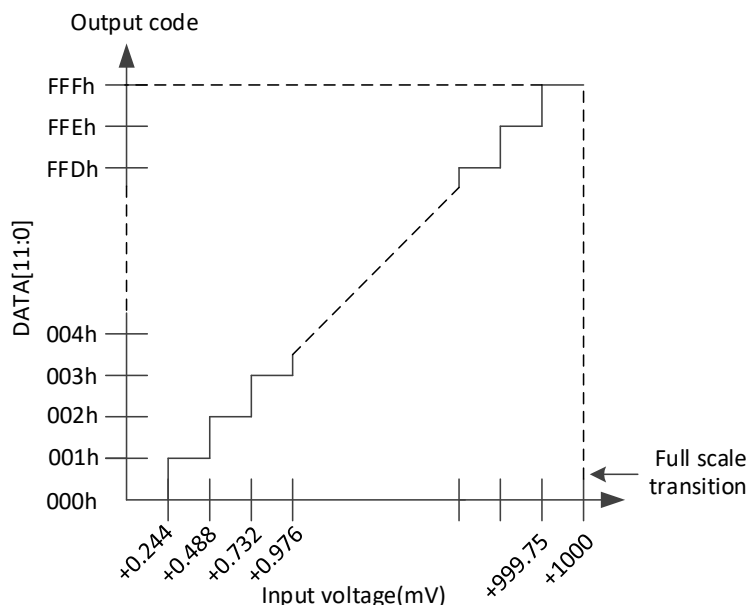


图 2-7 Unipolar 模式下 ADC 模数转换图

上图 2-7 为 Unipolar 时，测量范围为 0~+1V（FS=1V）时的转换曲线，此模式下转换码为无符号数，LSB=1V/4096=0.244mV。由于输入通道是差分的，VP 和 VN 端需要差分信号驱动。当输入电压（VP-VN）为 0V 时，输出编码为 000h（若 VP<VN，输出为 000h），当输入电压（VP-VN）为 1V 时，输出编码为 FFFh（若 VP-VN>1V，输出为 FFFh）。

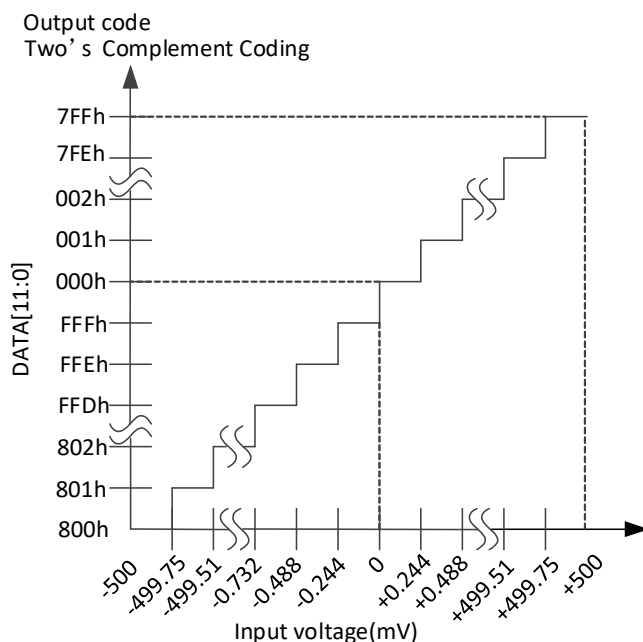


图 2-8 Bipolar 模式下 ADC 模数转换图

上图 2-8 为 Bipolar 模式下，测量范围为-0.5V~+0.5V（FS=1V）时的转换曲线，则 LSB=1V/4096=0.244mV。此模式 ADC 转换码为补码输出。当输入电压（VP-VN）为-500mV 时，输出编码为 800h（VP-VN<-500mV 时，输出为 800h）；输入电压为 0V（VP-VN=0V）时，输出编码为 000h，输入电压（VP-VN）为+500mV 时，输出编码为 7FFh（VP-VN>500mV 时，输出为 7FFh）。

2.6 温度监测

ADC 提供对片上温度的监测功能，温度检测是通过测量两个不同偏置的 PN 结电压差来实现。其输出电压为：

$$V_{temp} = 6 * \ln(48) * \frac{kT}{q}$$

$k = 1.38 \times 10^{-23} J/K$ 表示玻尔兹曼常数

$T = ^\circ C + 273.15$ 表示温度 K

$q = 1.6 \times 10^{-19} C$ 电子电量

当 temp sensor 工作，默认 ADC_A 对 temp sensor 输出电压进行采样；ADC_B 作为一个辅助的 ADC 备份，不对 temp sensor 进行采样；此时 ADC 默认工作在 Unipolar 模式下，转换结果存放在状态寄存器的 40h 地址位中。

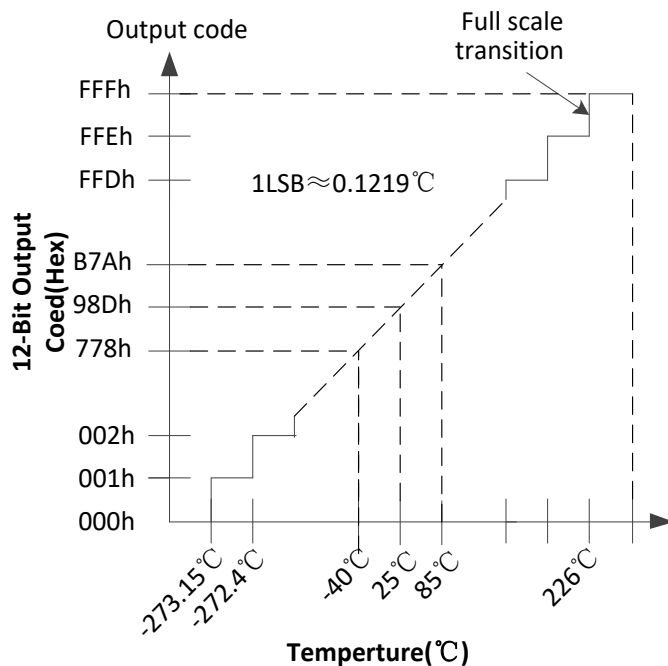


图 2-9 温度传感器转换特性

温度传感器向 ADC 输入与温度线性相关的电压，将其转换为 ADC 输出码，如上图。

ADC 输出码对应的片内温度为：

$$\text{Temperature}(^{\circ}\text{C}) = \text{ADC Code} * 0.1219 - 273.15 \text{ (ADC Code 为 16 进制表示)}$$

2.6.1 超温告警功能

当内部温度传感器扫描后的值大于告警控制寄存器 `creg_20h` 中设定的上限时，`ALARM[0]` 信号从 0 拉高 1，直到温度检测的值降低至小于 `creg_21h` 设定的下限值后，`ALARM[0]` 信号才会从 1 拉低至 0。OT (over_temperature) 信号的触发与 `ALARM[0]` 信号触发基本相同，不同的是 OT 对应的温度上下限设定范围一般大于 `ALARM[0]` (对应超温告警) 的上下限范围，如图 2-10。

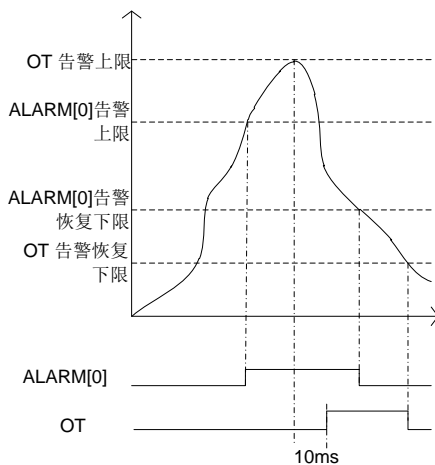


图 2-10 超温告警功能简介

为消除 OT 的毛刺，模块内部指示温度过高的信号拉高后（持续高电平），工作在 ad_clk 时钟域的内部计数器开始计数，当计数到大约 10ms，OT 才输出高电平。具体可参考控制寄存器 DB0 to DB2（00h）的去抖计数器说明。

超温告警的默认阈值上限为 125°C(creg_2Ah=12'hCC2)，下限为 50°C(creg_2Bh=12'hA5B)，具体可参照表 2-11 告警控制寄存器列表进行设置。

2.6.2 温度校准功能

每个器件的 ADC 会在 Logos2 FPGA 的生产测试阶段，进行温度 Offset 校准。校准时温度传感器校准必须严格在 25°C 条件下进行，ADC 先进行温度传感器的检测（此时有 Avg=16 或 64 两个采样设置选择，且时钟分频可调），当前 25°C 条件下测试出的值为 temp25，ADC 计算出 Offset 值: $\text{Offset_temp} = 98\text{Eh} - \text{temp25}$ ，该 Offset_temp 值通过内部配置总线写入到 efuse 中。正常工作条件下，ADC 进行温度传感器监测时：ADC 先监测出当前的温度 CODE，再通过从 efuse 中读出温度传感器的 Offset_temp 值，ADC 的监测温度的实际结果为： $\text{CODE_T} = \text{CODE} - \text{Offset_temp}$ ，并将该值送给用户及软件，其最终的换算结果为：

$$\text{Temperature}(^{\circ}\text{C}) = 0.1219 * (\text{CODE_T}) - 273.15 \quad (\text{CODE_T 为 16 进制表示})$$

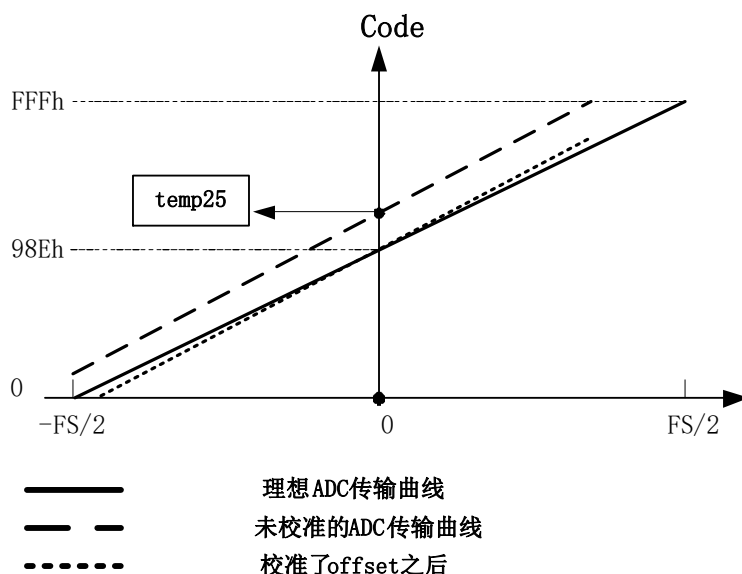


图 2-11 温度 Offset 校准示意图

正常工作条件下，温度校准在上电后自动进行，量产器件提供温度校准后的温度值。

2.7 电源电压监测

ADC 提供对片上电压的检测功能，可测试的电压为 VCC、VCCA、VCC_DRM、VCC_CRAM，其输入标准值分别为 1V±5%、1.8V±5%、1V±5%、1.25V±5%，因此需要对其

进行分压之后测试。

表 2-4 电压传感器监测的典型电压

片上电压	分压前取值 (V)			分压后取值 (V)			分压比例
	Min	Typical	Max	Min	Typical	Max	
VCC	0.950	1.000	1.050	0.316	0.333	0.350	1/3
VCCA	1.710	1.800	1.890	0.570	0.600	0.630	1/3
VCC_DRM	0.950	1.000	1.050	0.316	0.333	0.350	1/3
VCC_CRAM	1.200	1.250	1.300	0.400	0.417	0.430	1/3

默认 Unipolar 模式下进行工作。ADC 将输入电源电压进行 1/3 分压。其转化公式为：

$$\text{Voltage} = \text{ADC Code} / 4096 * 3V$$

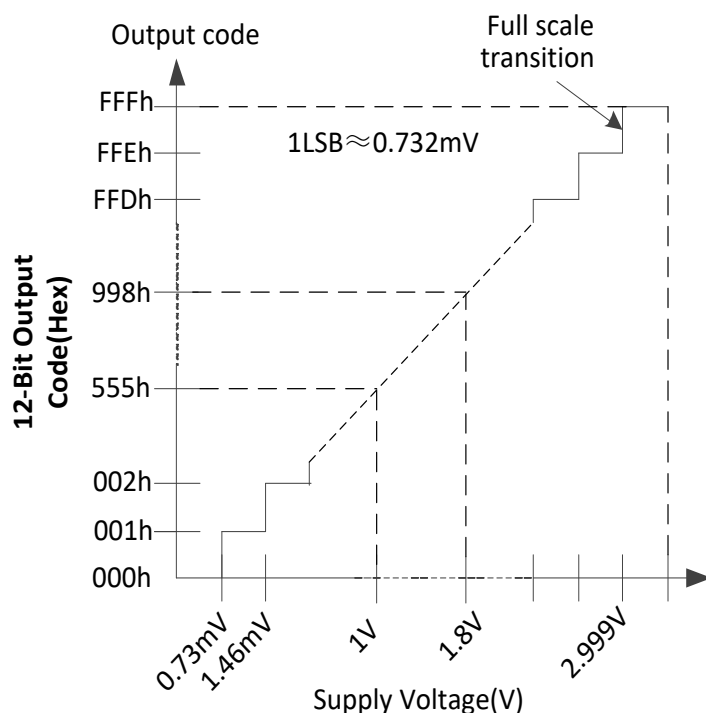


图 2-12 理想电压传感器转换特性

2.8 寄存器说明

图 2-13 所示为 ADC 的寄存器接口。ADC 中有两种寄存器：控制寄存器（control registers）和状态寄存器（status registers）。控制寄存器的值可通过参数（parameter）进行初始值配置，所有的寄存器均可以通过 APB 或 JTAG 访问。控制寄存器，包含了对 ADC 的各种控制操作，可以进行读和写；状态寄存器，存储有 ADC 转换计算的结果，只允许读。

加载完成后，ADC 会导入用户配置参数到对应的控制寄存器中，用户可以通过 APB 接口，也可以通过 JTAG 进行访问和修改。

各寄存器默认值以《UG040007_Logos2 系列产品 GTP 用户指南》为准。

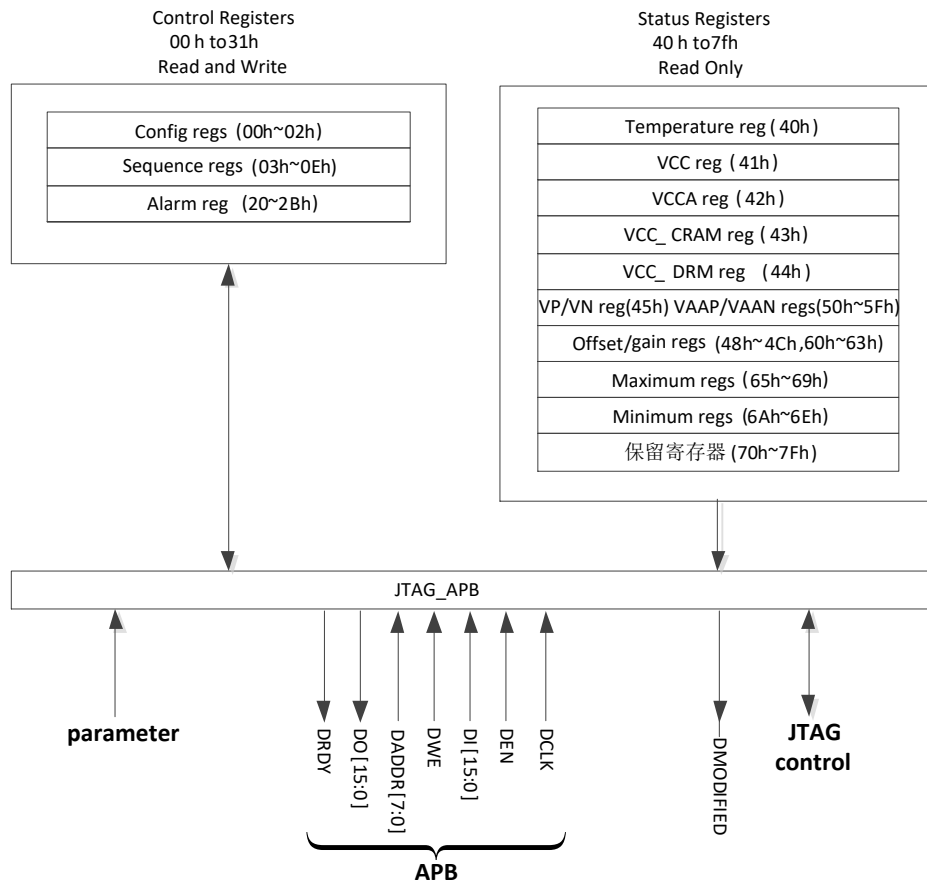


图 2-13 寄存器接口

2.8.1 控制寄存器（Control Registers）

ADC 有 24 个控制寄存器，地址分布见表 2-5。这些寄存器配置用来对 ADC 进行具体操作，可读写。所有的 ADC 功能都是通过这些寄存器进行控制。控制寄存器主要有三个功能：

1. 用于设定 Logos2 ADC 的工作模式，如时钟频率，ADC_A/B 开关情况，告警指示信号开关。
2. 用于选定扫描的通道，扫描对应的 Bipolar 或 Unipolar 模式，以及是否使能平均。
3. 用于设定电压和片上温度的最大阈值和最小阈值。

表 2-5 控制寄存器地址描述

地址	描述
配置寄存器	
00h	creg_00h[15:0]
01h	creg_01h[15:0]
02h	creg_02h[15:0]
扫描控制寄存器	
03h	creg_03h[15:0]
04h	creg_04h[15:0]
05h	creg_05h[15:0]

地址	描述
06h	creg_06h[15:0]
07h	creg_07h[15:0]
08h	creg_08h[15:0]
10h	creg_0Ah[15:0]
12h	creg_0Ch[15:0]
14h	creg_0Eh[15:0]
告警控制寄存器	
20-2Bh	creg_20h~creg_2Bh[11:0]

配置寄存器（Configuration Register）

配置寄存器（00h~02h）用来对ADC内部的一些模块进行具体配置。配置寄存器的值，可以在ADC的正常工作的時候，通过APB或JTAG进行修改。各个bit的具体定义见表 2-6。

	DI15	DI14	DI13	DI12	DI11	DI10	DI9	DI8	DI7	DI6	DI5	DI4	DI3	DI2	DI1	DI0
creg_00h[15:0]	PD1	PD0	CLKSW	SEQ	RDATA		DB2	DB1	DB0		ALM4	ALM3	ALM2	ALM1	ALM0	OT
creg_01h[15:0]	CAL1	CAL0		AVG1	AVG0				DIV7	DIV6	DIV5	DIV4	DIV3	DIV2	DIV1	DIV0
creg_02h[15:0]	VCM1	VCM0	VREF	SCALE1	SCALE0		INPUTRES_A1	INPUTRES_A0		INPUTRES_B1	INPUTRES_B0	E_B_VPN	Clkgen	N_SEQ	CE	E_OSC

图 2-14 配置寄存器 bit 分配

表 2-6 配置寄存器列表

比特位	名称	读写	描述
creg_00h			
DI15 to DI14	PD1 to PD0	R/W	电源关断控制位，ADC_PD [PD1: PD0] 00: 默认，所有模块上电 01: 保留 10: ADC B 下电 11: 所有模块下电
DI13	CLKSW ⁽¹⁾	R/W	时钟源切换控制位： 1: 系统选择 APB 接口的 DCLK 用于时钟分频产生 ad_clk 0: 系统选择内置 clk_osc 用于时钟分频产生 ad_clk
DI12	SEQ	R/W	扫描模式选择位： 1: 序列扫描模式 0: 上电模式
DI11	RDATA	R/W	不进行误差校准过程的标志位，即将数据直接存储在状态寄存器中，温度和电源电压检测不支持此功能。 1: 有效，不进行误差校准 0: 无效
DI9 to DI7	DB2 to DB0	R/W	设置 over_temp 信号防抖动计数器数值，详细说明见表 2-7 OT 信号防抖动计数器

比特位	名称	读写	描述
DI5	ALM4	R/W	VCC_DRM 电压告警输出使能控制位： 1: 使能告警 0: 不使能告警
DI4	ALM3	R/W	VCC_CRAM 电压告警输出使能控制位： 1: 使能告警 0: 不使能告警
DI3	ALM2	R/W	VCCA 电压告警输出使能控制位： 1: 使能告警 0: 不使能告警
DI2	ALM1	R/W	VCC 电压告警输出使能控制位： 1: 使能告警 0: 不使能告警
DI1	ALM0	R/W	温度告警输出使能控制位： 1: 使能告警 0: 不使能告警
DI0	OT	R/W	超温使能标志位，高电平有效
creg_01h			
DI15 to DI14	CAL1 to CAL0 ⁽²⁾	R/W	校准控制配置， [CAL1:CAL0] 00: Offset and Gain 校准不使能 01: Offset 校准使能 10: Gain 校准使能；仅在 debug mode 有效，自定义无效 11: Offset and Gain 校准使能
DI12 to DI11	AVG1 to AVG0 ⁽²⁾	R/W	ADC 平均次数控制位， [AVG1:AVG0] 00: 不平均 01: 16 次采样平均 10: 64 次采样平均 11: 256 次采样平均 注意在 2 通道模式下，2 分频时，不支持不平均 （[AVG1:AVG0]=2'b00）设置
DI9 to DI8	CD1 to CD0	R/W	控制 calibration 采样过程中的 clock divider [CD1:CD0] 00: calibration 时钟分频为 16 01: calibration 时钟分频为 16 10: calibration 时钟分频为 32 11: calibration 时钟分频为 64
DI7 to DI0	DIVA7 to DIVA0	R/W	作用于 ADC 的时钟分频信号，详细说明见表 2-8 时钟分频控制
creg_02h			
DI15 to DI14	VCM1 to VCM0	R/W	保留，固定值 00
DI13	VREF ⁽²⁾	R/W	对 ADC 的参考源进行选择

比特位	名称	读写	描述
			0: 内部参考源 1: 外部参考源
DI12 to DI11	SCALE[1] to SCALE[0]	R/W	保留, 固定值 00
DI9 to DI8	INPUT_RESA[1] to INPUT_RESA[0]	R/W	保留, 固定值 00
DI6 to DI5	INPUT_RESB[1] to INPUT_RESB[0]	R/W	保留, 固定值 00
DI4	E_B_VPN	R/W	ADC_B 扫描专用通道的使能信号: 0: creg_03h/05h/07h[14]控制 ADC_A 对专用通道扫描 1: creg_03h/05h/07h[14]控制 ADC_B 对专用通道扫描
DI3	CLKGEN	R/W	Clock 生成使能信号
DI2	N_SEQ	R/W	处于主动控制采样状态下时, 用于产生扫描信号的控制位。
DI1	CE	R/W	连续采样模式和主动采样模式选择位 0: 连续采样 1: 主动控制采样
DI0	E_OSC	R/W	内置 clk_osc 开关使能信号, 0: 根据系统的 CLKSW 和 PD0 控制位来控制 clk_osc 的开关 1: clk_osc 常开, 不受其他信号影响

注:

1. 用户选择 DCLK 时, 需使用端口 LOADSC_N 信号低电平触发 ADC 配置加载, 其中 LOADSC_N 信号具体时序见图 2-3; 用户选择 clk_osc 时, ADC 配置可自动加载。
2. 为满足 $-40^{\circ}\text{C} \leq T_j \leq 100^{\circ}\text{C}$ 片内温度检测精度及片内电源电压检测精度, 需使用 Offset 和 Gain 校准使能, 64 次采样平均或 256 次采样平均, 同时使用外部高精度的 VREF 电压, 外部 VREF 应保持在 $1.255\text{V} \pm 0.2\%$ 范围内。

表 2-7 OT 信号防抖动计数器

CLKSW 配置	DB2	DB1	DB0	对应时钟源时钟周期	对应计数器大小
1, DCLK	0	0	0	$1000\text{ns} > \text{DCLK 周期} \geq 850\text{ns}$	20'h 03000
1, DCLK	0	0	1	$850\text{ns} > \text{DCLK 周期} \geq 650\text{ns}$	20'h 04000
1, DCLK	0	1	0	$650\text{ns} > \text{DCLK 周期} \geq 500\text{ns}$	20'h 05000
1, DCLK	0	1	1	$500\text{ns} > \text{DCLK 周期} \geq 300\text{ns}$	20'h 09000
1, DCLK	1	0	0	$300\text{ns} > \text{DCLK 周期} \geq 150\text{ns}$	20'h 20000
1, DCLK	1	0	1	$150\text{ns} > \text{DCLK 周期} \geq 50\text{ns}$	20'h 40000
1, DCLK	1	1	0	$50\text{ns} > \text{DCLK 周期} \geq 10\text{ns}$	20'h F5000
1, DCLK	1	1	1	N/A	N/A
0, clk_osc	X	X	X	clk_osc 周期 20ns	20'h 80000

注: 为消除 OT 信号毛刺, 当温度超过 creg_2Ah 设置阈值后, ADC 内部计数器开始计数, 计数器大小根据时钟源频率由 DB2~DB0 设置, 当计数值达到上限后, OT 信号输出高电平。

表 2-8 时钟分频控制

DIVA7	DIVA6	DIVA5	DIVA4	DIVA3	DIVA2	DIVA1	DIVA0	分频比
0	0	0	0	0	0	0	0	2
0	0	0	0	0	0	0	1	2

DIVA7	DIVA6	DIVA5	DIVA4	DIVA3	DIVA2	DIVA1	DIVA0	分频比
0	0	0	0	0	0	1	0	4
0	0	0	0	0	0	1	1	4
0	0	0	0	0	1	0	0	6
0	0	0	0	0	1	0	1	6
...
1	1	1	1	1	1	0	0	254
1	1	1	1	1	1	0	1	254
1	1	1	1	1	1	1	0	256
1	1	1	1	1	1	1	1	256

扫描控制寄存器（Sequence Register）

与配置寄存器一样，扫描控制寄存器的值可以通过APB或JTAG，在ADC正常工作下的任何时候进行修改。其各个bit的定义见表 2-9。

	DI15	DI14	DI13	DI12	DI11	DI10	DI9	DI8	DI7	DI6	DI5	DI4	DI3	DI2	DI1	DI0
creg_03h[15:0]	AC15	AC14	AC13	AC12	AC11	AC10	AC9	AC8	AC7	AC6	AC5	AC4	AC3	AC2	AC1	AC0
creg_04h[15:0]	AXC15	AXC14	AXC13	AXC12	AXC11	AXC10	AXC9	AXC8	AXC7	AXC6	AXC5	AXC4	AXC3	AXC2	AXC1	AXC0
creg_05h[15:0]	ABU15	ABU14	ABU13	ABU12	ABU11	ABU10	ABU9	ABU8	ABU7	ABU6	ABU5	ABU4	ABU3	ABU2	ABU1	ABU0
creg_06h[15:0]	AXBU15	AXBU14	AXBU13	AXBU12	AXBU11	AXBU10	AXBU9	AXBU8	AXBU7	AXBU6	AXBU5	AXBU4	AXBU3	AXBU2	AXBU1	AXBU0
creg_07h[15:0]	ACAV15	ACAV14	ACAV13	ACAV12	ACAV11	ACAV10	ACAV9	ACAV8	ACAV7	ACAV6	ACAV5	ACAV4	ACAV3	ACAV2	ACAV1	ACAV0
creg_08h[15:0]	AXCAV15	AXCAV14	AXCAV13	AXCAV12	AXCAV11	AXCAV10	AXCAV9	AXCAV8	AXCAV7	AXCAV6	AXCAV5	AXCAV4	AXCAV3	AXCAV2	AXCAV1	AXCAV0
creg_0Ah[15:0]	BXC15	BXC14	BXC13	BXC12	BXC11	BXC10	BXC9	BXC8	BXC7	BXC6	BXC5	BXC4	BXC3	BXC2	BXC1	BXC0
creg_0Ch[15:0]	BXBU15	BXBU14	BXBU13	BXBU12	BXBU11	BXBU10	BXBU9	BXBU8	BXBU7	BXBU6	BXBU5	BXBU4	BXBU3	BXBU2	BXBU1	BXBU0
creg_0Eh[15:0]	BXCAV15	BXCAV14	BXCAV13	BXCAV12	BXCAV11	BXCAV10	BXCAV9	BXCAV8	BXCAV7	BXCAV6	BXCAV5	BXCAV4	BXCAV3	BXCAV2	BXCAV1	BXCAV0

图 2-15 扫描控制寄存器 bit 分配

表 2-9 扫描控制寄存器列表

比特位	名称	读写	描述
creg_03h			
DI0~DI15	AC0~AC15	R/W	ADC_A 内部电压温度及专用通道使能 1: 有效; 0: 无效; 每 bit 和通道对应关系见表 2-10 扫描控制专用通道 bit 映射关系表 (ADC_B 不扫描内部电压、温度)
creg_04h			
DI0~DI15	AXC0~AXC15	R/W	ADC_A 外部复用通道使能 1: 有效;

			0: 无效; DI0~15 对应复用通道 0~15
creg_05h			
DI0~DI15	ABU0~ABU15	R/W	ADC_A 内部电压温度及专用通道扫描模式选择 1: Bipolar; 0: Unipolar; 每 bit 和通道对应关系见表 2-10 扫描控制专用通道 bit 映射关系表
creg_06h			
DI0~DI15	AXBU0~AXBU15	R/W	ADC_A 外部复用通道扫描模式选择 1: Bipolar; 0: Unipolar; DI0~15 对应复用通道 0~15
creg_07h			
DI0~DI15	ACAV0~ACAV15	R/W	ADC_A 内部电压温度及专用通道平均模式选择 1: 有效; 0: 无效; 每 bit 和通道对应关系见表 2-10 扫描控制专用通道 bit 映射关系表
creg_08h			
DI0~DI15	AXCAV0~AXCAV15	R/W	ADC_A 外部复用通道平均模式选择 1: 有效; 0: 无效; DI0~15 对应复用通道 0~15
creg_0Ah			
DI0~DI15	BXC0~BXC15	R/W	ADC_B 外部复用通道使能 1: 有效; 0: 无效; DI0~15 对应复用通道 0~15
creg_0Ch			
DI0~DI15	BXBU0~BXBU15	R/W	ADC_B 外部复用通道扫描模式选择 1: Bipolar; 0: Unipolar; DI0~15 对应复用通道 0~15
creg_0Eh			
DI0~DI15	BXCAV0~BXCAV15	R/W	ADC_B 外部复用通道平均模式选择 1: 有效; 0: 无效; DI0~15 对应复用通道 0~15

注:

- 只有当 creg_03/04/0Ah 对应的通道选择使能后, 其通道模式及平均控制位才起作用。
- PG2L100H, 目前多通道切换时, 不支持 Unipolar/Bipolar 模式也切换; ADC_A 或 ADC_B 通道仅支持全部配置为 Unipolar 或 Bipolar 模式。

表 2-10 扫描控制专用通道 bit 映射关系表

Bit 位	对应通道	扫描模式支持
0~1	内部校准用, 未开放	N/A

Bit 位	对应通道	扫描模式支持
2	Temperature	Unipolar
3	VCC	Unipolar
4	VCCA	Unipolar
5	VCC_CRAM	Unipolar
6	VCC_DRM	Unipolar
7~8	内部校准用，未开放	N/A
9~13	未使用	N/A
14	专用通道	Unipolar/Bipolar
15	未使用	N/A

告警控制寄存器（Alarm Registers）

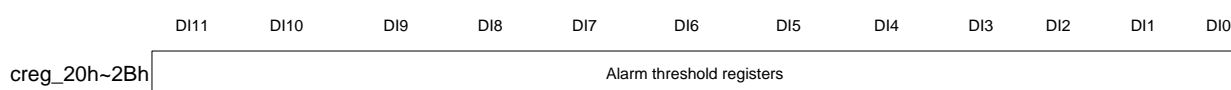


图 2-16 告警控制寄存器 bit 分配

表 2-11 告警控制寄存器列表

告警控制	读写	描述	对应控制位
creg_20h	R/W	温度记录告警阈值上限设置	creg_00h ALM0 使能
creg_21h	R/W	温度记录告警阈值下限设置	
creg_22h	R/W	VCC 记录告警阈值上限设置	creg_00h ALM1 使能
creg_23h	R/W	VCC 记录告警阈值下限设置	
creg_24h	R/W	VCCA 记录告警阈值上限设置	creg_00h ALM2 使能
creg_25h	R/W	VCCA 记录告警阈值下限设置	
creg_26h	R/W	VCC_CRAM 记录告警阈值上限设置	creg_00h ALM3 使能
creg_27h	R/W	VCC_CRAM 记录告警阈值下限设置	
creg_28h	R/W	VCC_DRM 记录告警阈值上限设置	creg_00h ALM4 使能
creg_29h	R/W	VCC_DRM 记录告警阈值下限设置	
creg_2Ah	R/W	超温告警上报上限设置	creg_00h OT 使能
creg_2Bh	R/W	超温告警上报恢复下限设置	

注：只有 creg_00h 中对应的控制位使能后，相应的阈值设置才起作用。

2.8.2 状态寄存器（Status Registers）

状态寄存器（status registers, 40h to 6Eh）用来存放各通道的转换结果和用来校准的 Offset 和 Gain 的值。所有状态寄存器对用户只可读取，不能进行写操作。

以下为状态寄存器中的各个地址位的定义：

表 2-12 状态寄存器列表

地址	默认值	读写	描述
40h	16'h 0000	RO	转换后的 temperature

地址	默认值	读写	描述
41h	16'h 0000	RO	转换后的 VCC
42h	16'h 0000	RO	转换后的 VCCA
43h	16'h 0000	RO	转换后的 VCC_CRAM
44h	16'h 0000	RO	转换后的 VCC_DRM
45h	16'h 0000	RO	转换后的专用通道 VAADC_P/VAADC_N
46h	16'h 0000	RO	转换后的 calibration code0
47h	16'h 0000	RO	转换后的 calibration code1
48h	16'h 0000	RO	转换后的 ADC_A Offset(Unipolar)
49h	16'h 0000	RO	转换后的 ADC_A Offset(Bipolar)
4Ah	16'h 0000	RO	转换后的 ADC_A Gain(Unipolar)
4Bh	16'h 0000	RO	转换后的 ADC_A Gain(Bipolar)
4Ch	16'h 0000	RO	转换后的 ADC_A supply sensor Offset(Unipolar)
50-5Fh	16'h 0000	RO	转换后的 VAA[0:15]P/VAA[0:15] N——复用通道 0-15
60h	16'h 0000	RO	转换后的 ADC_B Offset(Unipolar)
61h	16'h 0000	RO	转换后的 ADC_B Offset(Bipolar)
62h	16'h 0000	RO	转换后的 ADC_B Gain(Unipolar)
63h	16'h 0000	RO	转换后的 ADC_B Gain(Bipolar)
65h	16'h 0000	RO	自从最后一次上电或复位，最大值转换后的 Temperature
66h	16'h 0000	RO	自从最后一次上电或复位，最大值转换后的 VCC
67h	16'h 0000	RO	自从最后一次上电或复位，最大值转换后的 VCCA
68h	16'h 0000	RO	自从最后一次上电或复位，最大值转换后的 VCC_CRAM
69h	16'h 0000	RO	自从最后一次上电或复位，最大值转换后的 VCC_DRM
6Ah	16'h FFF0	RO	自从最后一次上电或复位，最小值转换后的 Temperature
6Bh	16'h FFF0	RO	自从最后一次上电或复位，最小值转换后的 VCC
6Ch	16'h FFF0	RO	自从最后一次上电或复位，最小值转换后的 VCCA
6Dh	16'h FFF0	RO	自从最后一次上电或复位，最小值转换后的 VCC_CRAM
6Eh	16'h FFF0	RO	自从最后一次上电或复位，最小值转换后的 VCC_DRM

下图为状态寄存器各地址位中数据格式说明：

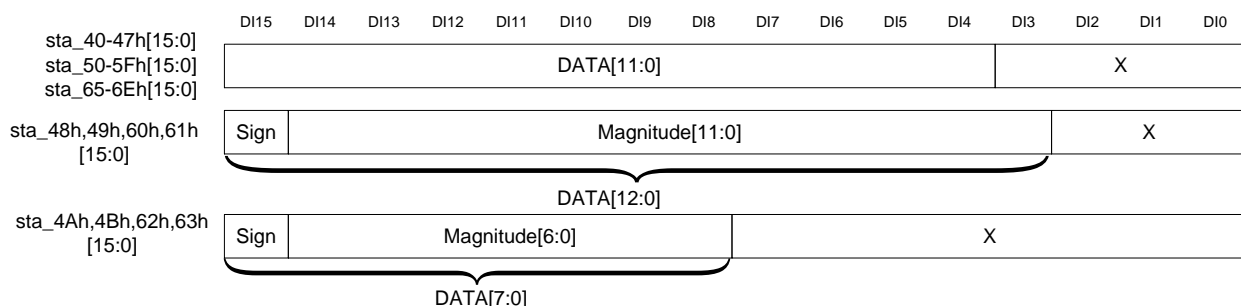


图 2-17 状态寄存器数据结构示意图

每次复位上电后，存储最小值的寄存器将会复位到 FFFFh，存储最大值得寄存器将会复位到 0000h。每一个待测信号被检测后，都要与设定的阈值进行比较。如果检测后的值大于

阈值的上限值时,检测后的值将被存入状态寄存器(status registers) 中对应的最大值寄存器中。同理,检测值小于阈值的下限值时,也被存入状态寄存器(status registers) 中对应的最小值寄存器中。

对于 offset 寄存器的值,有效位数为高 13bit,最高位为符号位。若 ADC 的 offset 为-10LSBs ($10 \times -0.244\text{mV} = -2.44\text{mV}$),则 offset 存储的值为-10LSBs,即 FF6h,则状态寄存中记录的值为 1111_1111_1011_0xxx_b。

对于 gain 寄存器的值,有效位数为高 8bit,最高位为符号位。若 ADC 的 gain 为+1%,则 gain 寄存器存储的值为+1%,其 LSB 为 0.1%,则 $1\% = 10 \times 0.1\%$,寄存器值为 0000_1010_xxxx_xxxx_b。寄存器记录的最大值为 $\pm 0.1\% \times 63 = \pm 6.3\%$ 。

2.9 ADC 工作模式

Logos2 ADC支持两种工作模式:

- 上电模式(Power Up Mode),检测片上待测电压和温度;
- 序列扫描模式(Scan Sequence Mode),根据控制寄存器中的设定,对选定的通道进行扫描。

上电后, glogen=0 (glogen为系统编译指示信号, glogen=0即未进行编译),系统自动执行calibration和Power Up Mode。当glogen=1时(系统进行编译后),系统根据控制寄存器中的设定,执行相应的模式或通道扫描等。

除上电复位和主动复位外,当creg_00h和creg_01h被重新写入后,产生一个软复位信号。当该复位产生时,Logos2 ADC重新开始执行新写入的模式,状态寄存器中的值不受该复位影响。

当控制寄存器中设置ADC_A和ADC_B都为关闭状态时,系统中的ad_clk也会关闭,以节省功耗。当控制寄存器设置ADC_A和ADC_B都处于关闭状态时,Logos2 ADC内部的状态进程将处于等待状态,状态寄存器中的数值保持不变,当再次设置将ADC_A或ADC_B打开后,Logos2 ADC内部的状态进程会被复位,并根据控制寄存器中的设置,重新开始新一轮的进程。

ADC_A可以进行温度检测和电源电压检测以及对外部通道进行扫描,而ADC_B只能对外部通道进行扫描。当ADC_A和ADC_B选中相同的外部通道时,最终结果以ADC_A的扫描结果为准。

Logos2 ADC采用JTAG和APB彼此独立执行。控制寄存器设置的读写和状态寄存器的数据读出都经由JTAG和APB。

ADC_A/B工作时，需要注意如下几点：

- ADC 将模拟信号转换为采样数据的时序图如下。

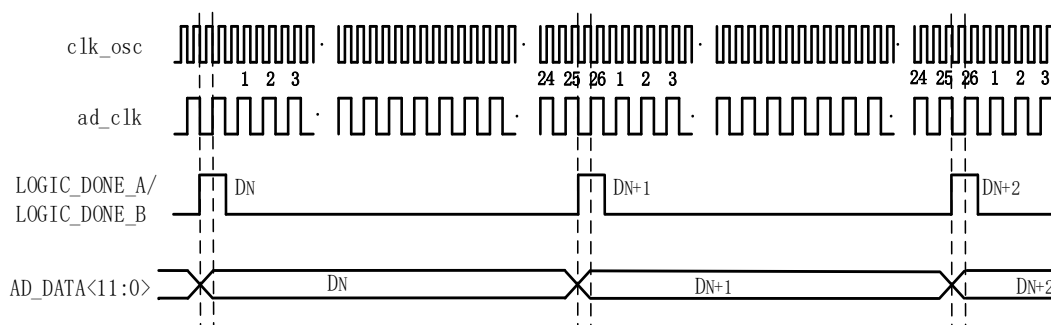
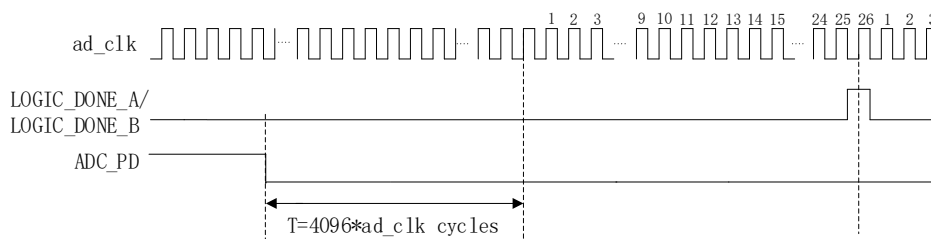


图 2-18 ADC 模数转换时序图

如上图所示，ad_clk 为 ADC 采样时钟，分频系数由 DIVA7~DIVA0（配置寄存器 01h）控制。LOGIC_DONE_A 或 LOGIC_DONE_B 信号拉高代表一次转换结束，一个完整的转换周期至少需要 26 个 ad_clk 周期，AD_DATA 为 12bit 的内部转换结果，存入相应状态寄存器中以供读取。

- 当 ADC_A/B 从关闭进入工作模式时，ADC 模拟需要时间让偏置电路建立稳定，因此，ADC 可以从时序上，让 ADC_RSTN 信号等待一段时间后进入周期复位释放循环工作，或者让 ADC 采样数据后，数字过滤掉前期的数据。ADC_A/B 重新工作后，偏置稳定时间为 4096 ADC_CLK cycles；ADC_A/B Power down 之后开启的时序要求如下图所示：



ADC_A/B下电后，重新开启时的工作时序要求

图 2-19 ADC_A/B 下电再上电工作时序图

ADC下电后ADC_A/B稳定时间，需要4096个ad_clk cycles。ADC_PD为电源关断控制位，具体见表 2-6 配置寄存器列表。

2.9.1 上电模式

上电模式的主要功能是用片上探测器检测内部电压信号及温度检测等。

ADC在两种情况下会进入上电模式：一种未配置ADC时，系统上电后ADC会自动执行校

准，并自动循环执行，此模式完全不受寄存器控制，此时时钟分频固定为32分频，数据固定16次采样后取平均值，使用内部参考电压，此时会输出温度是否过高的指示信号（OT信号），无法输出其他告警信号。另一种是配置ADC后，通过设置配置寄存器中的SEQ位（creg_00h, DI12）为1'b0，可以使ADC进入上电模式，此时可根据控制寄存器中的设置输出告警信号。

在上电模式中，有以下几个特性：

- 扫描模式设置：固定为 Unipolar 模式
- 数据平均设置：固定为 average= 16 次
- 不可执行主动控制模式
- 扫描顺序为 Temperature->VCC->VCCA->VCC_CRAM->VCC_DRM

2.9.2 序列扫描模式

序列扫描模式的主要作用是根据设定，对选中的通道进行相应设定的扫描，执行单独一次或循环的扫描。

序列扫描模式的触发，采样频率，对应扫描通道，以及扫描模式等设置都由控制寄存器控制。执行序列扫描模式前，是否进行校准也由控制寄存器控制。根据设定，可以只执行单独ADC_A的通道扫描，也可以同时进行ADC_A/B的扫描，或同时下电ADC_A/B。ADC_A可以扫描片内温度、电压，专用通道和复用通道。ADC_B只能扫描专用通道和复用通道。

序列扫描模式中，可以将告警信号和OT信号使能，来检测内部温度和电压是否在阈值范围内。

当控制寄存器中设定主动控制模式时，完成第一次扫描后，ADC_A/B都处于等待状态，等待主动控制信号产生一个脉冲后，再执行一次扫描。

以下为序列扫描模式下的几种扫描设定：

- 单独的 ADC_A 扫描，根据控制寄存器中的设定，ADC_A 执行相应的扫描。可以单独选择扫描一条通道，也可以一次扫描多条通道。
- ADC_A 和 ADC_B 成对扫描不同的复用通道（即 ADC_A 扫描 channel_0，ADC_B 扫描 channel_8），且两个 ADC 选择的复用通道数量相同。此时 ADC_A 仍可以选择扫描内部温度、电压通道。当 ADC_A 扫描温度、电压时，ADC_B 处于空转状态。
- ADC_A 执行上电模式，ADC_B 选择复用通道或专用通道，两个 ADC 相对独立进行扫描，使用 ADC_B 扫描专用通道时 E_B_VPN 控制位（creg_02h[DI4]）需要配置为 1。

关于1M采样功能的举例说明：

- 使用外部时钟时设置 DCLK=52MHz，时钟分频设置为 2 分频，当系统仅对单通道进行扫描且 average_time=1(不进行平均)时，每 26 个时钟周期完成一次采样，可用于实现系统的 1M 采样率。

主动控制模式说明：

当控制寄存器中设定为主动控制模式时，Logos2 ADC完成一次扫描后，会进入等待状态。直到外部的event_drv信号产生一个脉冲后才会执行新一次的扫描，主动控制模式下可以使用外部时钟也可以使用内部时钟。通过主动控制模式进行采样时，采样率最高为1/6M，当触发频率小于1/6M时，采样频率与触发频率相等，当触发频率大于1/6M时，采样频率为1/6M。

在非主动控制模式下，系统每26个周期对通道扫描一次。在主动控制模式下，event_drv为周期产生的外部脉冲信号时，主要作用是将系统的1M扫描改变成其他频率的扫描。

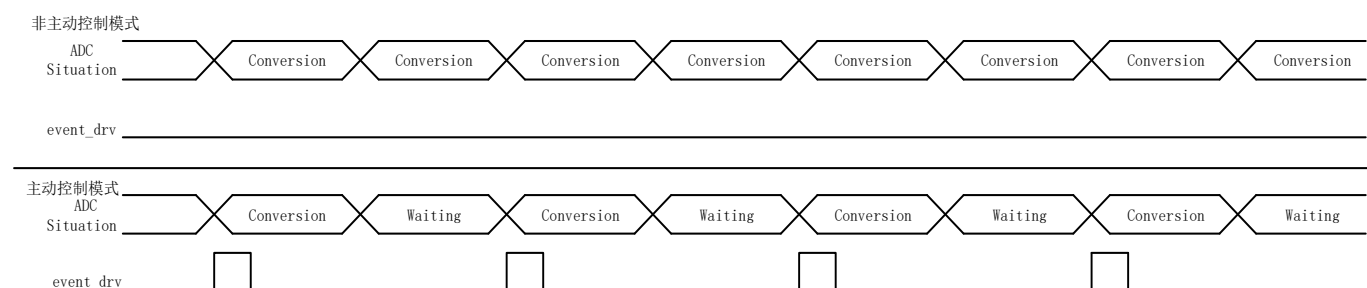


图 2-20 event_drv 信号在主动控制模式下的作用

当event_drv不是周期产生时，在扫描过程中event_drv被触发，则该触发会被记录。即完成当前扫描后，系统会继续执行一次扫描。多次触发被视为触发一次。在event_drv触发前，如果扫描控制寄存器(seq_reg)发生改变，则触发后根据改变后的扫描控制寄存器的设定进行扫描。

在系统处于主动控制模式下的等待状态时，新的扫描控制寄存器被写入，当寄存器中 N_SEQ (creg_02h[DI2]) 控制位写入1时，系统将对新写入的通道进行扫描，系统完成一次扫描后进入等待状态。

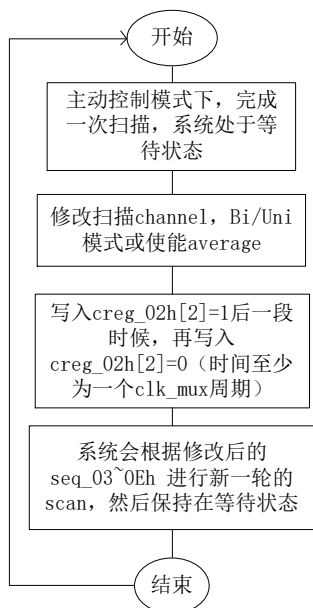


图 2-21 主动控制模式修改 sequence registers 功能流程图

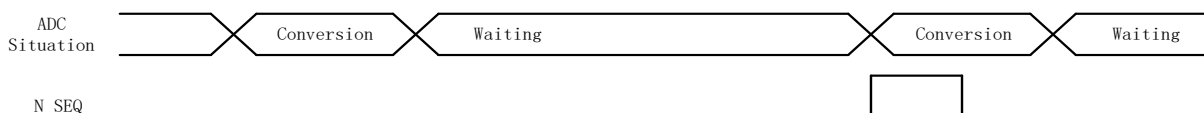


图 2-22 N_SEQ 功能实现的流程以及波形示意

在扫描过程中 N_SEQ 被触发，则该触发会被记录。即完成当前扫描后，系统会继续执行一次扫描。多次触发被视为触发一次。在 N_SEQ 触发前，如果扫描控制寄存器发生改变，则触发后根据改变后的扫描控制寄存器的设定进行扫描。

2.10 ADC 的 JTAG 和 APB 接口

用户可以通过 JTAG 和 APB 接口对 Logos2 系列器件 ADC 的寄存器进行读写操作。由于 JTAG 和 APB 处于并行状态，因此同时写入时会产生竞争冲突，只允许 JTAG 或 APB 单独对 ADC 进行操作。

2.10.1 ADC JTAG 读写时序

JTAG 由读和写两个工作模式组成。读过程中的数据地址位和写过程中的地址位及数据都由输入 TDI 决定。读过程中，可读取的寄存器范围为控制寄存器和状态寄存器。写过程中，可写入的寄存器范围为控制寄存器。

JTAG 操作指令如下所示：

表 2-13 JTAG 操作指令

Bit位	Bit含义
[31:30]	保留

Bit位	Bit含义
[29:26]	操作码 0000: 无操作 0101: 写操作 1010: 读操作 其它: 未定义
[25:24]	保留
[23:16]	地址 ADC 的控制寄存器和状态寄存器的地址
[15:0]	数据 写操作时, 写入 ADC 的控制寄存器 读操作时, 输出 ADC 的控制寄存器和状态寄存器的数据

JTAG命令为32位字。在状态机处于数据移位状态时，由TDI从低位到高位串行移入。在TAPC的状态机处于数据更新状态时，在TCK下降沿，被锁存到APB寄存器的并行输出端。

下图为JTAG动态重配端口指令时序描述：

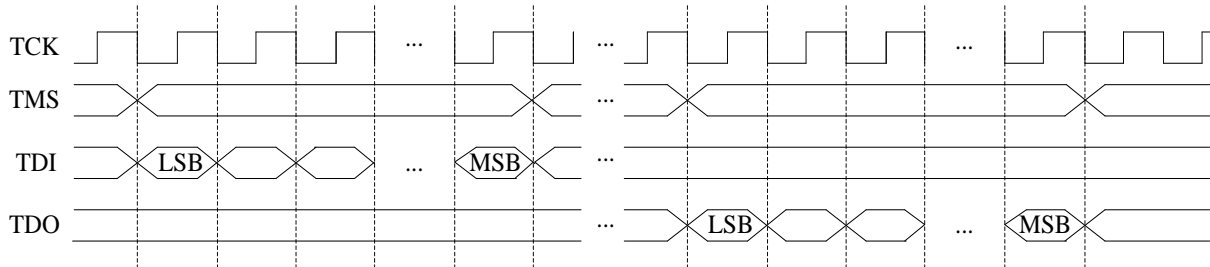


图 2-23 JTAG 动态重配端口时序图

2.10.2 ADC APB 读写时序

用户可以通过 APB 对状态寄存器和控制寄存器进行读写。DWE 为用户对写操作的指示信号，当 DWE 为低电平时，禁止进行逻辑写操作。同时应注意 SECEN 信号在 DRDY 拉高后一个时钟周期内需拉低，DEN 信号应比 SECEN 信号至少提前拉高 2 个 DCLK 周期。读写时序图如下：

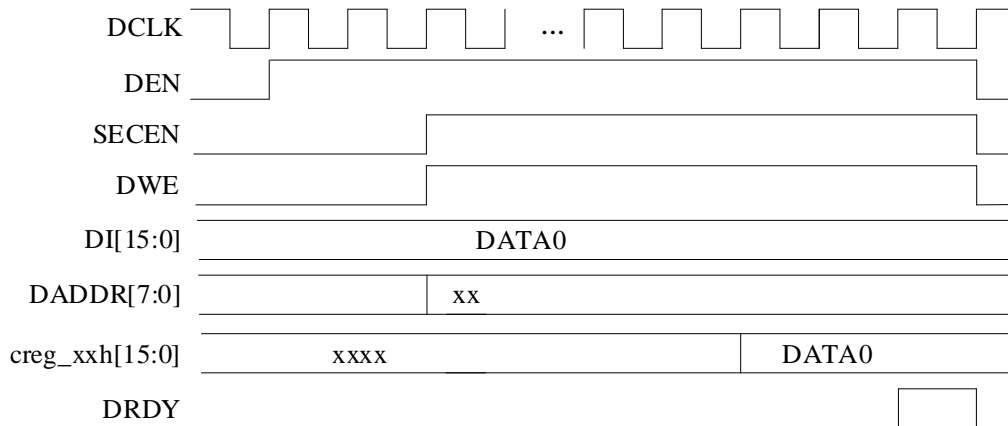


图 2-24 APB 写寄存器时序图

上图为 APB 的写过程时序图。DRDY 拉高后，表示已将数据写入相应地址的控制寄存器中。

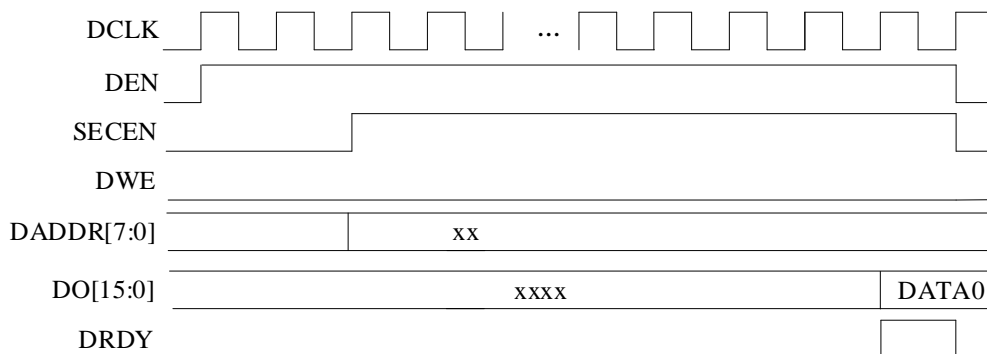


图 2-25 APB 读寄存器时序图

上图为APB读过程时序示意图。DRDY信号拉高后，能够读到更新后的相应地址寄存器值。

2.10.3 用户模式下采样与 APB 读取时间说明

以下为对单通道 1M 采样情况的说明计算。

完成一次APB读取需要至少7个DCLK cycle和4个clk_mux cycle（clk_mux为DCLK或clk_osc，由用户选择决定），可以完成一次APB对状态寄存器中数据的提取。

在对单通道进行1M采样中，当时钟分频为2时。在每次LOGIC_DONE_A或LOGIC_DONE_B拉高后，到下一次扫描结束且第一条通道被覆盖，之间有7个ad_clk cycle（即14个clk_mux cycle）。

当满足 $7 * DCLK + 4 * clk_{mux} < 14 * clk_{mux}$ 这种极限情况时，1M采样就可实现在两个LOGIC_DONE_A或LOGIC_DONE_B之间读取完数据。

1. 当clk_mux=DCLK时

读取时间为11个clk_mux cycle，状态寄存器覆盖最少时间为14个clk_mux cycle。此时，用户可在状态寄存器被覆盖前完成系统采样数据的提取。

2. 当clk_mux=clk_osc时

$$7 * DCLK + 4 * clk_{mux} < 14 * clk_{mux}$$

经过计算可得结果为：

$$F_{DCLK} > 7 * F_{osc} / 10$$

根据以上计算结果可知，当DCLK的频率大于clk_osc频率的十分之七时（即大于36.4MHz），用户可在状态寄存器被覆盖前完成系统采样数据的提取。

表 2-14 满足数据可采样的时钟分频和 DCLK 频率表

分频比	从 LOGIC_DONE_A 或 LOGIC_DONE_B 拉高到状态寄存器被覆盖之间的时间周期	为实现状态寄存器被覆盖前完成读取的 DCLK 频率
2	7个ad_clk，即14个clk_mux	$F_{DCLK} > 36.4\text{MHz}$
4	15个ad_clk，即60个clk_mux	$F_{DCLK} > 6.5\text{MHz}$
6	17个ad_clk，即102个clk_mux	$F_{DCLK} > 3.7\text{MHz}$
8	18个ad_clk，即144个clk_mux	$F_{DCLK} > 2.6\text{MHz}$
10	19个ad_clk，即190个clk_mux	$F_{DCLK} > 2\text{MHz}$
12	20个ad_clk，即240个clk_mux	$F_{DCLK} > 1.6\text{MHz}$
14	20个ad_clk，即280个clk_mux	$F_{DCLK} > 1.3\text{MHz}$
16	20个ad_clk，即320个clk_mux	$F_{DCLK} > 1.2\text{MHz}$
18	20个ad_clk，即360个clk_mux	$F_{DCLK} > 1\text{MHz}$
20~256	20个ad_clk，即400~512个clk_mux	$F_{DCLK} \geq 1\text{MHz}$

关于通道扫描数量改变情况的说明：

当前扫描 11 条通道，随后用户改变扫描的通道数量，由 11 条改变至 1 条。此时，在 11 条通道扫描结束 LOGIC_DONE_A、LOGIC_DONE_B 信号拉高与 1 条通道扫描结束 LOGIC_DONE_A 或 LOGIC_DONE_B 信号拉高之间的时间不能满足用户将 11 条通道的数据都读取出来。但是，由于扫描数量的减少，未被重新扫描的通道对应的状态寄存器依旧保持原来的数据。用户需注意通道扫描数量改变的情况下存在此种风险，改变控制寄存器前的一次读取无效，采样时扫描与读取顺序应保持一致。

免责声明

版权声明

本文档版权归深圳市紫光同创电子有限公司所有，并保留一切权利。未经书面许可，任何公司和个人不得将此文档中的任何部分公开、转载或以其他方式披露、散发给第三方。否则，公司必将追究其法律责任。

免责声明

- 1、本文档仅提供阶段性信息，所含内容可根据产品的实际情况随时更新，恕不另行通知。如因本文档使用不当造成的直接或间接损失，本公司不承担任何法律责任。
- 2、本文档按现状提供，不负任何担保责任，包括对适销性、适用于特定用途或非侵权性的任何担保，和任何提案、规格或样品在他处提到的任何担保。本文档在此未以禁止反言或其他方式授予任何知识产权使用许可，不管是明示许可还是暗示许可。
- 3、公司保留任何时候在不事先声明的情况下对公司系列产品相关文档的修改权利。