

# Logos 系列 FPGA 输入输出接口（IO）

## 用户指南

(UG020006, Version1.7)

(2020.08.08)

深圳市紫光同创电子有限公司

版权所有 侵权必究

## 文档版本修订记录

版本号	发布日期	修订记录
V1.0	2018/03/18	初始版本
V1.1	2018/12/18	<ol style="list-style-type: none"> <li>1. 封面增加最新的版本更新时间；页脚去掉版本信息；</li> <li>2. 修改 GTP_ISERDES 的 ISERDES_MODE 的参数值和 GTP_OSERDES 的 OSERDES_MODE 的参数值；</li> <li>3. 完善 GTP_OSERDES 的参数说明</li> </ol>
V1.2	2019/08/09	<ol style="list-style-type: none"> <li>1. 修改了 I/OBANK 电压</li> <li>2. 修改了 IO 电平标准</li> <li>3. 修改了 MIPI 相关的 GTP</li> <li>4. 增加了 MIPI2 线和 4 线相关描述</li> </ol>
V1.3	2019/09/27	<ol style="list-style-type: none"> <li>1. 修改电源信号名</li> <li>2. 增加了 PGL25G iobank 说明</li> </ol>
V1.4	2020/03/26	<ol style="list-style-type: none"> <li>1. 修改表 3</li> </ol>
V1.5	2020/04/08	<ol style="list-style-type: none"> <li>1.在三态控制输出章节中增加 PGL25G 的 IO_STATUS_C 的描述</li> </ol>
V1.6	2020/05/08	<ol style="list-style-type: none"> <li>1.删除内差分输出-lvds25 的描述</li> </ol>
V1.7	2020/08/08	<ol style="list-style-type: none"> <li>1.增加 PGL50H、PGL50G 描述</li> </ol>

## 名词术语解释

OD: Over Drive

UD: Under Drive

IOBSHR: IO Buffer Single Ended High Range

IOBDHR: IO Buffer Differential High Range

IOBRHR: IO Buffer Reference High Range

FDC: FPGA Design Constraint

UCE: User Constraint Editor

HS: High Speed

LP: Low Power

## 目录

一、I/O 单元概述.....	1
二、I/O 单元详细介绍 .....	2
(一) Logos 系列 I/O BANK .....	2
(二) IO BUFFER .....	3
(三) IO LOGIC .....	31

## 图目录

图 1 I/O 结构示意图 .....	1
图 2 PGL22G I/O BANK 分布顶视图 .....	2
图 3 PGL12G I/O BANK 分布顶视图 .....	2
图 4 PGL25G I/O BANK 分布顶视图 .....	3
图 5 IO BUFFER golden model(IOBSHR) .....	4
图 6 IO BUFFER golden model (IOBDHR) .....	4
图 7 IO BUFFER golden model(IOBRHR).....	5
图 8 芯片外部的差分信号的匹配电阻 .....	6
图 9 差分输入端的终端电阻选择方法 .....	6
图 10 使用片上终端的 SSTL18 接口的应用 .....	7
图 11 VREF 连接示意图 .....	13
图 12 LVPECL 点对点输出实例 .....	16
图 13 MLVDS 点对点输出实例 .....	17
图 14 BLVDS 点对点输出实例 .....	17
图 15 RSDS 点对点输出实例 .....	18
图 16 SLVS 实现 MIPI 输入 (HS/LP) .....	18
图 17 SLVS 实现 MIPI 输出 (HS/LP) .....	19
图 18 IO LOGIC 结构图 .....	32
图 19 IOLMUX 结构图 .....	32
图 20 IOL 结构示意图 .....	33
图 21 IO LOGIC 时钟选择单元 .....	36
图 22 IODELAY 单元 .....	37
图 23 SC_IODLY_DEGEL 相关结构 .....	37
图 24 输入输出 IO DELAY 复用 .....	39
图 25 IO LOGIC 寄存器功能图 .....	39
图 26 IO LOGIC 寄存器结构图 .....	39
图 27 IO 寄存器约束方法示意图 .....	40
图 28 GTP_ISERDES 常用连接方式 .....	42
图 29 IDDR 功能图 .....	42
图 30 IDDR 时序图 .....	42
图 31 IMDDR 框图 .....	42
图 32 IMDDR 时序图 .....	43
图 33 IDES4 框图 .....	43
图 34 IDES4 时序图 .....	43
图 35 IMDES4 功能图 .....	43
图 36 IMDES4 时序图 .....	44
图 37 IDES7 功能图 .....	44
图 38 IDES7 时序图 .....	44
图 39 IDES8 框图 .....	44
图 40 IDES8 时序图 .....	44
图 41 IMDES8 功能图 .....	45
图 42 IMDES8 功能图 .....	45
图 43 GTP_OSERDES 常用连接方法 .....	46
图 44 ODDR 功能图 .....	47
图 45 ODDR 时序图 .....	47
图 46 OMDDR 框图 .....	47
图 47 OMDDR 时序图 .....	47

图 48 OSER4 功能图 .....	48
图 49 OSER4 时序图 .....	48
图 50 OMSER4 框图 .....	48
图 51 OMSER4 时序图 .....	48
图 52 OSER7 功能框图 .....	49
图 53 OSER7 时序图 .....	49
图 54 OSER8 功能框图 .....	49
图 55 OSER8 时序图 .....	49
图 56 OMSER8 框图 .....	49
图 57 OMSER8 时序图 .....	50

## 表目录

表 1 BANK 内混合电压 lvcmos 电平标准输入输出组合模式 .....	3
表 2 Logos 系列支持的单端 I/O 标准 .....	8
表 3 Logos 系列支持的差分 I/O 标准 .....	9
表 4 IO 中所使用的电源电压 .....	11
表 5 输入缓冲器分类 .....	12
表 6 一些电平标准的参考电压 .....	13
表 7 LVCMOS 和 LVTTL 输出标准的驱动能力 .....	14
表 8 SSTL 输出 buffer 的驱动能力列表 .....	14
表 9 HSTL 输出 buffer 的驱动能力 .....	14
表 10 差分信号电流驱动能力 .....	14
表 11 单端 I/O 的 GTP .....	19
表 12 GTP_INBUF 端口说明 .....	21
表 13 GTP_INBUF 参数说明 .....	21
表 14 参数配置列表 .....	21
表 15 GTP_INBUFG 端口说明 .....	21
表 16 GTP_INBUFG 参数说明 .....	22
表 17 参数有效值列表 .....	22
表 18 GTP_IOBUF_MIPI 端口说明 .....	22
表 19 GTP_IOBUF_MIPI 参数说明 .....	23
表 20 GTP_OUTBUF 端口说明 .....	23
表 21 GTP_OUTBUF 参数说明 .....	23
表 22 参数有效值列表 .....	23
表 23 GTP_OUTBUF_MIPI 端口说明 .....	24
表 24 GTP_OUTBUF_MIPI 参数说明 .....	24
表 25 GTP_OUTBUFT 端口说明 .....	24
表 26 GTP_OUTBUFT 参数说明 .....	24
表 27 参数有效值列表 .....	24
表 28 GTP_IOBUF 端口说明 .....	25
表 29 GTP_IOBUF 参数说明 .....	25
表 30 参数有效值列表 .....	25
表 31 差分 I/O 的 GTP .....	26
表 32 GTP_INBUFDS 端口说明 .....	27
表 33 GTP_INBUFDS 参数说明 .....	27
表 34 参数有效值列表 .....	27
表 35 GTP_INBUFGDS 端口说明 .....	28

表 36 GTP_INBUFGDS 参数说明 .....	28
表 37 参数有效值列表.....	28
表 38 GTP_IOBUFDS 端口说明 .....	29
表 39 GTP_IOBUFDS 参数说明 .....	29
表 40 GTP_OUTBUFCO 端口说明 .....	29
表 41 GTP_OUTBUFCO 参数说明 .....	29
表 42 GTP_OUTBUFTCO 端口说明 .....	30
表 43 GTP_OUTBUFTCO 参数说明 .....	30
表 44 GTP_OUTBUFDS 端口说明 .....	30
表 45 GTP_OUTBUFDS 参数说明 .....	30
表 46 GTP_OUTBUFTDS 端口说明 .....	30
表 47 GTP_OUTBUFTDS 参数说明 .....	31
表 48 GTP_IOBUFCO 端口说明 .....	31
表 49 GTP_IOBUFCO 参数说明 .....	31
表 50 IO LOGIC 端口列表.....	33
表 51 复杂信号的时钟域说明 .....	34
表 52 全局信号列表 .....	35
表 53 输入端口初始状态列表 .....	36
表 54 GTP_IODELAY 参数&端口说明 .....	38
表 55 GTP_ISERDES 参数&端口说明 .....	41
表 56 GTP_OSERDES 参数&端口说明 .....	46
表 57 IOL 的支持模式与应用 .....	50

## 一、I/O 单元概述

Logos 系列可编程逻辑器件拥有可配置的高性能 I/O 驱动器和接收器，支持各种标准接口。

Logos 系列产品的 I/O 单元主要由 IO BUFFER 和 IO LOGIC 两部分组成，一般成对分布，其结构示意图如下所示：

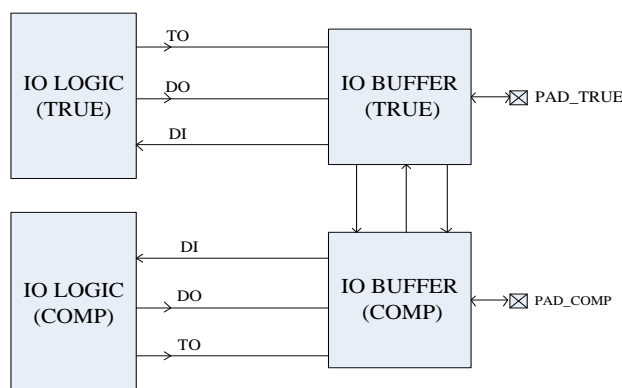


图 1 I/O 结构示意图

每个 IO BUFFER 都会跟一个 IO LOGIC 直接连接，这包括数据的输入和输出，以及 IO BUFFER 的三态控制信号。IO LOGIC 可以配置成 ISERDES 或 OSERDES。

- Logos 系列产品支持的单端 I/O 标准包括 LVCMOS、LVTTL、SSTL、HSTL
- Logos 系列产品支持的差分 I/O 标准包括 LVDS、Sub-LVDS、Mini-LVDS、SLVS、RSDS、PPDS、BLVDS、MLVDS、TMDS、LVPECL

Logos 系列产品 I/O 具有静电防护特性，防止器件的管脚被静电损坏。



## 二、I/O 单元详细介绍

### （一）Logos 系列 I/O BANK

#### 1. I/O BANK 分布

Logos 系列产品的 I/O 按照 BANK 分布。

PGL22G 有 6 个 BANK，其分布如图 2 所示。

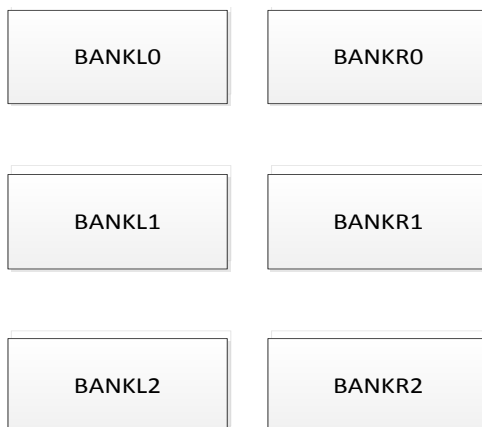


图 2 PGL22G I/O BANK 分布顶视图

BANKL1 和 BANKL2 以及 BANKR1 和 BANKR2 分别是 DDR 专用 BANK。

PGL12G 有 4 个 BANK，其分布如图 3 所示。

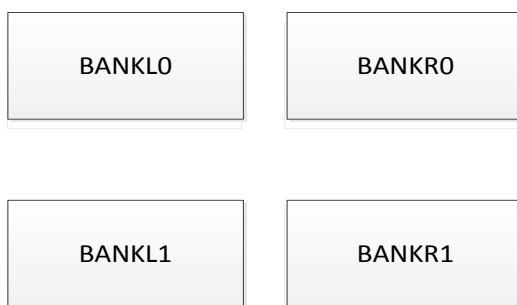


图 3 PGL12G I/O BANK 分布顶视图

PGL25G、PGL50H、PGL50G 分为上下左右 4 个 BANK，其分布如图 4 所示。

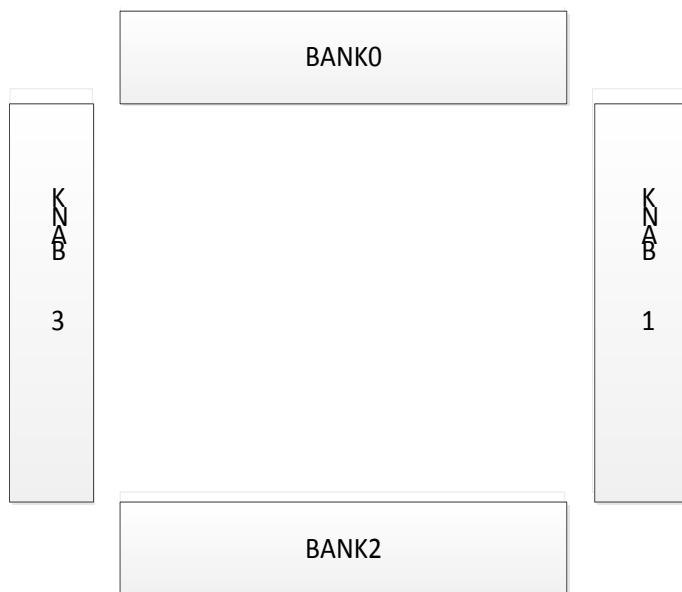


图 4 PGL25G I/O BANK 分布顶视图

值得注意的是，对于下载 bank 的电压，建议采用 3.3V。PGL50H JTAG 下载 VCCAUX 电压可以 2.5V，也可以 3.3V。

## 2. I/O BANK 电压

Logos 系列产品对 BANK 内使用的 I/O 标准作了一定的限定，输出标准的电压必须和 VCCIO 匹配。Logos 产品内置了专用电路使得输入标准对不同 VCCIO 具有一定的兼容性，BANK 内混合电压 LVCMOS 电平标准输入输出组合模式详见下表：

表 1 BANK 内混合电压 lvcmos 电平标准输入输出组合模式

VCCIO (V)	输入 (V)					输出 (V)				
	1.2	1.5	1.8	2.5	3.3	1.2	1.5	1.8	2.5	3.3
1.2	√					√				
1.5	√	√					√			
1.8	√	√	√					√		
2.5	√	√	√	√					√	
3.3	√	√	√	√	√					√

任何 BANK 内的所使用的 I/O 标准，其 VCCIO 电平必须遵守限定，Pango Design Suite 软件会进行检查。

若某个 BANK 不需设定 VCCIO，则可连接 VCCIO 至有效的电压或不连接。

### (二) IO BUFFER

Logos 系列产品均具有可配置的高性能 I/O 驱动器和接收器，支持多种输入输出标准。可对输出驱动电流，slew rate，片内终端电阻等特性进行编程设置。

## 1. IO BUFFER 结构

每个 IO BUFFER 都包含输入，输出和三态 I/O 驱动器。这些驱动器可以配置成不同种类的 I/O 标准。IO BUFFER 有 3 种 golden model。

### ➤ IOBSHR (IOBS)

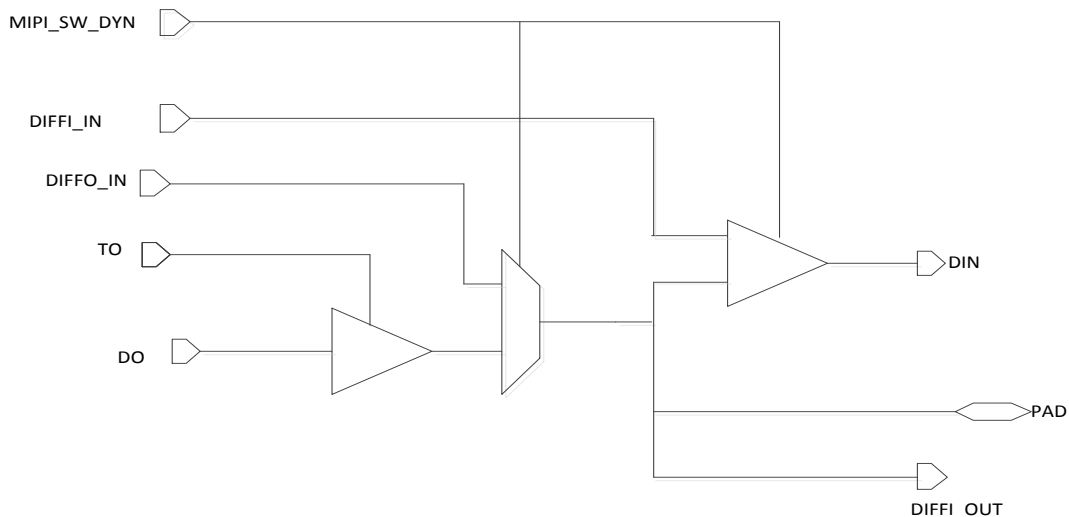


图 5 IO BUFFER golden model(IOBSHR)

IOBSHR 支持所有单端输入和输出标准，支持差分输入，还支持 MIPI 高速和低速数据传输的动态切换。

### ➤ IOBDHR (IOBD)

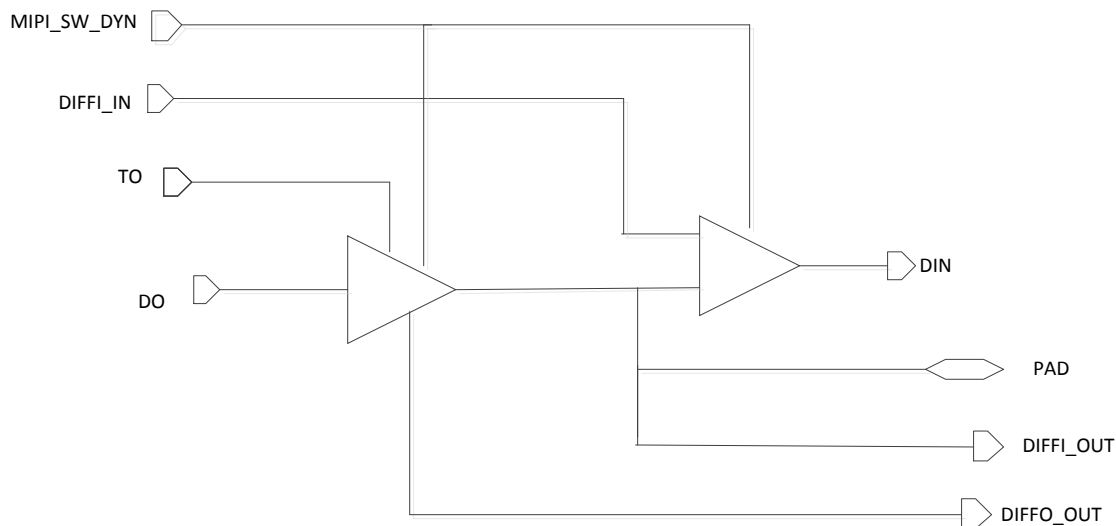


图 6 IO BUFFER golden model (IOBDHR)

IOBDHR 除了具有 IOBSHR 的功能外，还支持真差分输出。

### ➤ IOBRHR (IOBR)

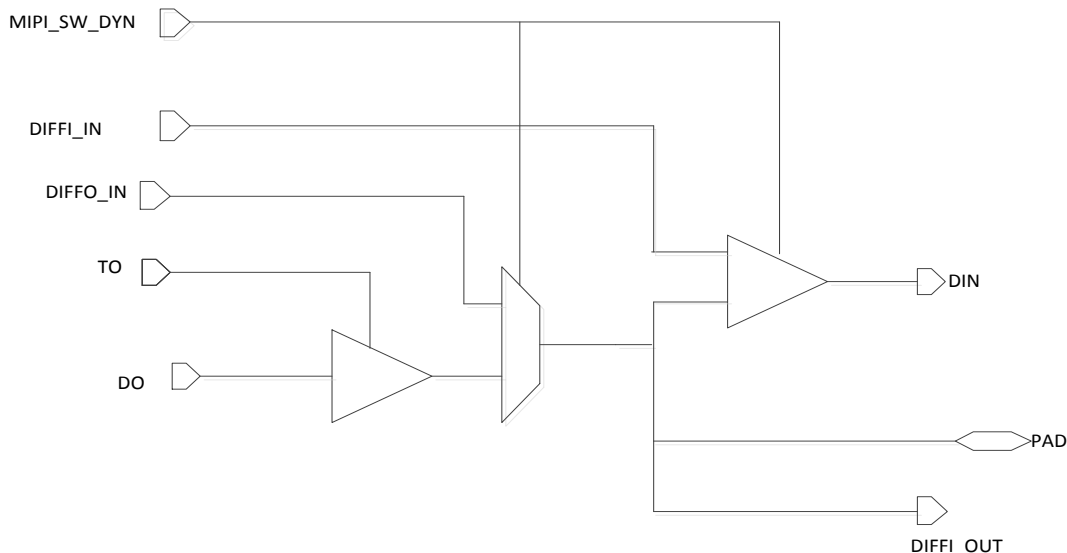


图 7 IO BUFFER golden model(IOBRHR)

IOBRHR 同样具有 IOBSHR 的功能，此外还支持 DDR 外部参考电压输入。

差分 I/O 使用 2 个 IO BUFFER 来实现。将一个 IOBD 和一个 IOBS 或 IOBR 组成一个 IOB pair。IOBD 对应的 PAD 作为 TRUE, IOBS 和 IOBR 对应的 PAD 作为 COMP, TRUE 和 COMP 组合在一起，传输差分输出信号。所有的差分 I/O 都支持真差分输出。

## 2. 终端匹配电阻

当使用高速 I/O 标准时，为了满足信号完整性，通常要用到终端匹配电阻。终端匹配电阻应该尽可能地靠近接收器，以使信号完整性的干扰因素达到最小化。

Logos 系列 FPGA 为差分接口（如 LVDS）和单端接口（如 SSTL）提供了终端电阻。如果在 IO BUFFER 中配置了终端电阻，外部的终端电阻就不需要了。

### ➤ 差分信号终端匹配：

差分输入端使用  $100\ \Omega$  并联电阻。 下图展示了外部终端电阻的结构图。

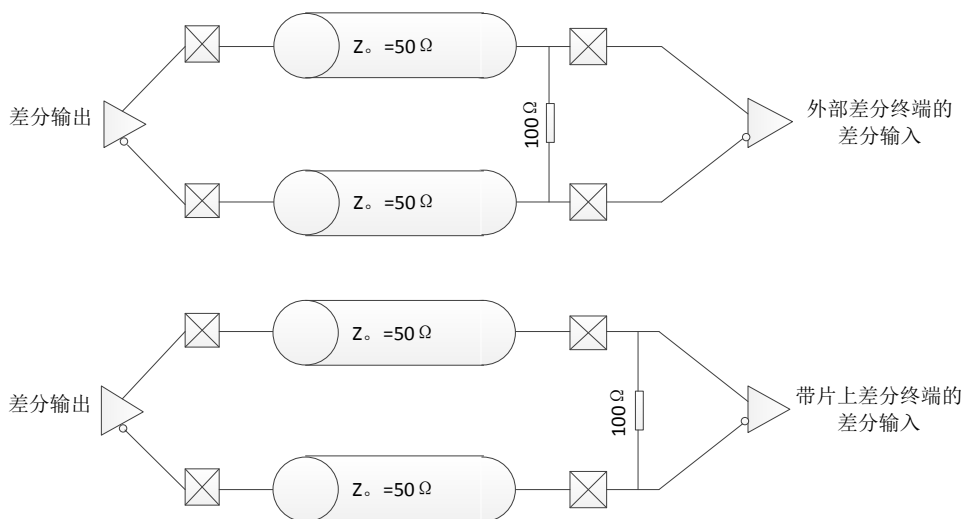
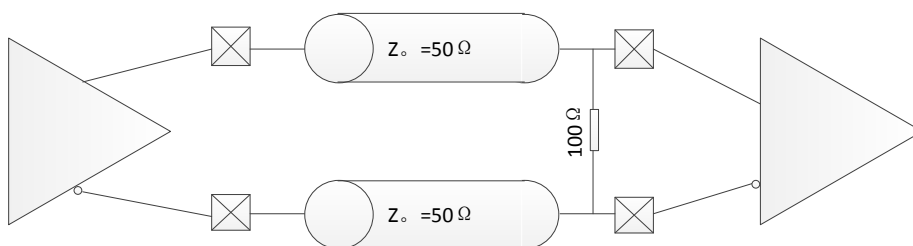


图 8 芯片外部的差分信号的匹配电阻

Logos 系列 FPGA 可选的片上差分终端可以免去如图 6 所示的 100Ω 外部终端电阻。这种片上差分终端电阻不需要调节，完全适用于 LVDS 电平标准。

可选的片上差分终端可通过 I/O 约束进行配置。图 7 给出了在差分接收器端使用片上差分终端或者用外部终端电阻的不同实现方法。

a. 差分对使用外部终端电阻，约束 DIFF\_IN\_TERM\_MODE=OFF



b. 差分对片上差分终端，约束 DIFF\_IN\_TERM\_MODE=ON

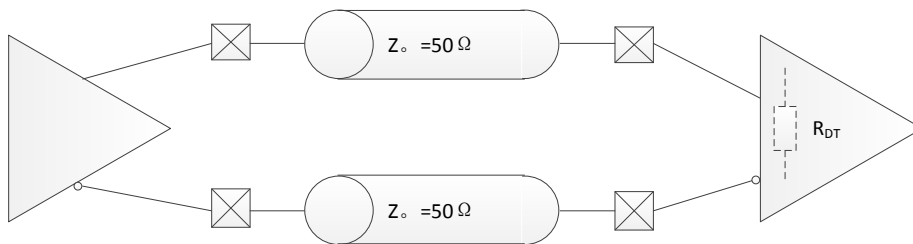


图 9 差分输入端的终端电阻选择方法

I/O 管脚的属性 DIFF\_IN\_TERM\_MODE 设置为“ON”时，使能片上差分终端。在 FDC 文件中进行约束时，使用如下命令：

```
define_attribute {p:port_name} {PAP_IO_DIFF_IN_TERM_MODE} {ON}
```

➤ 单端信号终端匹配：

单端信号终端匹配支持 SSTL 和 HSTL 接口。对于高速单端信号,比如存储接口,Logos 系列 FPGA 提供了可选择的片上终端特性,用来取消复杂的外部板上终端。

图 8 给出了片上终端是如何取代外部终端电阻的。

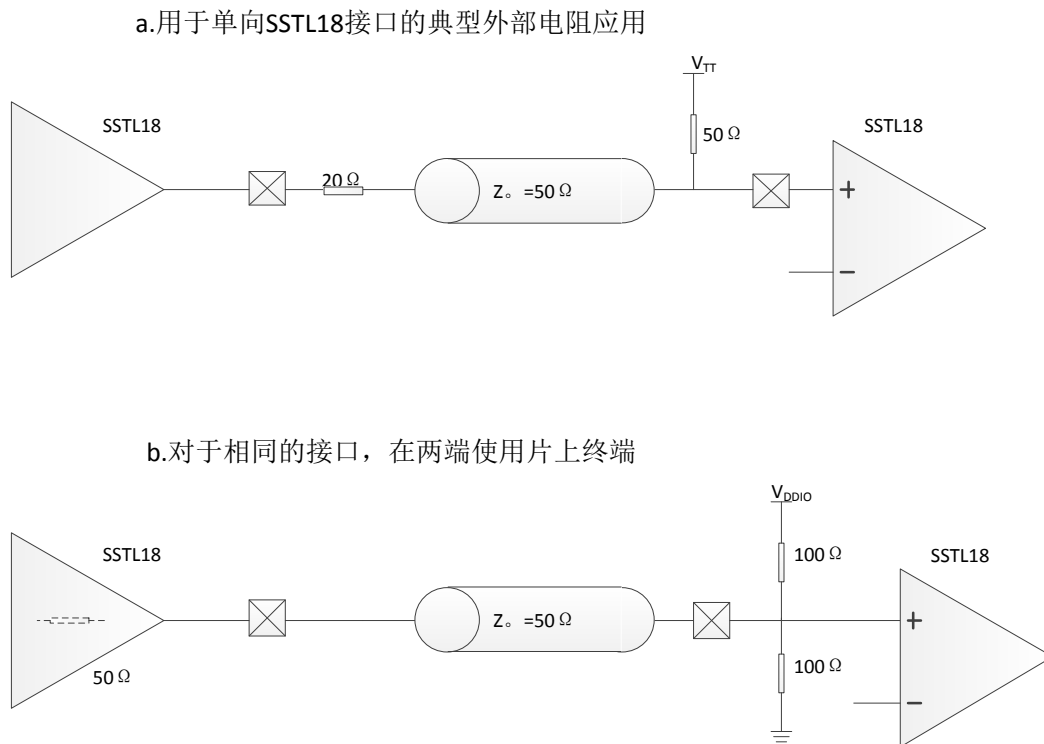


图 10 使用片上终端的 SSTL18 接口的应用

在实际应用中,DDR3 SDRAM 接口的地址和控制信号就用到了 SSTL18 接口,在  $V_{TT}=V_{CCIO}/2$  时需要串接  $50\Omega$  的匹配电阻。

在 FDC 文件中,可以通过 I/O 约束来使能片上终端。约束如下:

```
define_attribute { p:port_name } {PAP_IO_DDR_TERM_MODE} {ON}
```

其中,若要使能片上终端,则选择参数“ON”;否则选择“OFF”。

### 3. 支持的 I/O 标准

Logos 系列可编程逻辑器件的 IO BUFFER 支持广泛的单端 I/O 信号标准,而且所有的 I/O 都可以用来形成差分对,这些差分对可以支持很多差分信号标准。这种灵活性可以使用户针对每个管脚选择最合适的 I/O 标准来满足接口和信号完整性的需要。这些 I/O 被分配在几个独立的 BANK 中,每个 BANK 内部有共同的输出电压 ( $V_{CCIO}$ ) 和共同的参考电压 ( $V_{REF}$ )。

当今总线应用的潮流,通常由数字电子工业领域内最大最有影响力的公司来引领。他们每推出一款总线,就会推出相应的 I/O 标准。这些总线 I/O 标准为那些使用它来设计产品的商家提供详尽的说明。每种 I/O 标准都具有其特定的电气性能:包括电流,电压,IO Buffering 和终端技术。Logos 系列可编程逻辑器件正是顺应这种潮流,可以支持不断扩展的 I/O 标准,可以灵活、快速地适配市场需求。

通过配置 IO BUFFER 驱动器可使 I/O 支持多种 I/O 标准。Logos 系列支持的单端 I/O 标准见下表：

表 2 Logos 系列支持的单端 I/O 标准

单端I/O标准	VCCIO			VREF	全BANK支持
	输出 (V)	输入 (V)	双向 (V)		
LVTTL33	3.3	3.3	3.3	/	是
LVC MOS33	3.3	3.3/2.5/1.8/1.5/1.2	3.3	/	是
LVC MOS25	2.5	2.5/1.8	2.5	/	是
LVC MOS18	1.8	1.8/1.5	1.8	/	是
LVC MOS15	1.5	1.5/1.2	1.5	/	是
LVC MOS12	1.2	1.2	1.2	/	是
SSTL25_I	2.5	2.5	2.5	1.25V	是
SSTL25_II	2.5	2.5	2.5	1.25V	是
SSTL18_I	1.8	1.8	1.8	0.90V	是
SSTL18_II	1.8	1.8	1.8	0.90V	是
SSTL15_I	1.5	1.5/1.2	1.5	0.75V	是
SSTL15_II	1.5	1.5/1.2	1.5	0.75V	是
HSTL18_I	1.8	1.8/1.5	1.8	0.90V	是
HSTL18_II	1.8	1.8/1.5	1.8	0.90V	是
HSTL15_I	1.5	1.5/1.2	1.5	0.75V	是

**LVTTL (Low-Voltage TTL):** JESD 定义的 3.3V 标准，输出时需要 3.3V 的 VCCIO，不需要参考电压及端接电压。

**LVC MOS (Low-Voltage CMOS):** 低电压 CMOS 标准，应用电压范围从 1.2V 到 3.3V。不需要参考电压及端接电压。

**SSTL25 (Stub Series Terminated Logic for 2.5V):** 由 HITACHI 和 IBM (JESD8-8) 定义，通用的存储器总线标准。需要 1.25V 的参考电压，2.5V 的 VCCIO 和一个 1.25V 的端接电压。

**SSTL18 (Stub Series Terminated Logic for 1.8V):** 由 JESD79-2C 定义，1.8V 存储器总线标准。需要 0.90V 的参考电压，1.8V 的 VCCIO 和一个 0.90V 的端接电压。SSTL18 用于高速的 SDRAM 接口。

**SSTL15 (Stub Series Terminated Logic for 1.5V):** 由 JESD79-3 定义，1.5V 存储器总线标准。需要 0.75V 的参考电压，1.5V 的 VCCIO 和一个 0.75V 的端接电压。SSTL15 用于高速的 SDRAM 接口。

**SSTL135 (Stub Series Terminated Logic for 1.35V):** 由 JESD79-3-1 定义，1.35V 存储器总线标准。需要 0.675V 的参考电压，1.35V 的 VCCIO 和一个 0.675V 的端接电压。SSTL135 用于 DDR3L SDRAM 存储接口。

**HSTL18 (High-Speed Transceiver Logic for 1.8V):** 由 IBM 定义，高速总线标准。需要 0.90V 的参考电压，1.8V 的 VCCIO 和一个 0.90V 的端接电压。

**HSTL15 (High-Speed Transceiver Logic for 1.5V):** 由 IBM 定义，高速总线标准。需要 0.75V 的参考电压，1.5V 的 VCCIO 和一个 0.75V 的端接电压。

**HSUL12 (High-Speed Unterminated Logic for 1.2V):** 由 JESD8-22B 定义，高速总线标准。需要

0.6V 的参考电压，1.2V 的 VCCIO 和一个 0.6V 的端接电压。HSUL12 用来改善数据高速传输时的总线功耗。

Logos 系列产品的差分输出又分为真差分输出和类差分输出两种：

真差分输出有专用电路支持，性能较高，包括 LVDS，Mini-LVDS，Sub-LVDS，TMDS 和 SLVS 等。Logos 系列产品中的差分对都支持真差分输出。

类差分输出是在 LVCMOS 输出标准的基础上结合芯片外部电阻实现的，由单端驱动的 COMP PAD 和 TRUE PAD 相组合，即互补输出模式。类差分输出模式被用作驱动互补 SSTL 标准，LVDS25E，MLVDS 和 BLVDS。

Logos 系列支持的差分 I/O 标准见下表：

表 3 Logos 系列支持的差分 I/O 标准

差分I/O标准	VCCIO		注释	全BANK支持
	输出 (V)	输入 (V)		
LVDS25	2.5	2.5/3.3	所有BANK都支持LVDS真差分输入	注1
Sub-LVDS	2.5	2.5/3.3		注1
RSDS	2.5	2.5/3.3	输出通过类差分方式实现	是
Mini-LVDS	2.5	2.5/3.3		注1
PPDS	2.5	2.5/3.3	输出通过类差分方式实现	是
SLVS	1.2	1.2		注1
TMDS	3.3	3.3	Open drain 连接	注1
MLVDS	2.5	2.5	输出通过类差分方式实现	是
BLVDS	2.5	3.3	双向多点驱动输入输出差分信号。输出通过类差分方式并结合外围电阻支持。输入以差分方式连接	是
LVPECL	3.3	1.2/1.5/1.8/2.5/3.3	输出通过类差分方式实现	是
SSTL25D_I	2.5	2.5	输出通过类差分方式实现	是
SSTL25D_II	2.5	2.5	输出通过类差分方式实现	是
SSTL18D_I	1.8	1.8	输出通过类差分方式实现	是
SSTL18D_II	1.8	1.8	输出通过类差分方式实现	是
SSTL15D_I	1.5	1.5	输出通过类差分方式实现	是
SSTL15D_II	1.5	1.5	输出通过类差分方式实现	是
HSTL18D_I	1.8	1.8	输出通过类差分方式实现	是
HSTL18D_II	1.8	1.8	输出通过类差分方式实现	是
HSTL15D_I	1.5	1.5	输出通过类差分方式实现	是

注 1：详见《DS02001\_Logos 系列 FPGA 器件数据手册》中表 14、表 15、表 16

LVDS (Low Voltage Differential Signal)：差分标准，一个数据 bit 通过两根信号线传输，所以相对单端 I/O 标准，它具有固有的对噪声的免疫力。两根信号线之间的电压幅摆约为 350mV。不需要参考电压及端接电压。LVDS 输入端需要匹配电阻，可以用 PCB 上的分立电阻，也可以通过 DIFF\_IN\_TERM\_MODE 属性来使能芯片内部终端匹配电阻。PGL22G 器件，各个 BANK 的差分对都



支持真差分 LVDS 输出。

Mini-LVDS 是基于 LVDS 接口标准发展而来的,它通常应用在平板显示领域作为时序控制模块和 LCD 之间的接口。它的摆幅更小,产生很低的电磁干扰,并且能为显示驱动提供很高的带宽。

Sub-LVDS 应用于 CMOS 传感器接口。

**RSDS (Reduced Swing Differential Signaling):** 一种面板内部 (intra-panel) 总线接口标准,通常应用于显示领域。定义了芯片-芯片之间接口的发射、接收特性以及协议。**RSDS** 输入需要并行的终端电阻,可以用 PCB 上的分立电阻,也可以通过 **DIFF\_IN\_TERM\_MODE** 属性来使能芯片内部终端匹配电阻。

**PPDS (Point-to-Point Differential Signaling):** 下一代 LCD 内部显示接口标准。**PPDS** 输入需要并行的终端电阻,可以用 PCB 上的分立电阻,也可以通过 **DIFF\_IN\_TERM\_MODE** 属性来使能芯片内部终端匹配电阻。

**SLVS** 是可调节低压信号,应用于 **MIPI D-PHY** 接口。

**TMDS (Transition Minimized Differential Signaling):** 过度调制差分信号,也被称为最小化传输差分信号,应用于 **DVI, HDMI** 接口。

**LVPECL (Low Voltage Positive Emitter-Couple Logic):** 低压正发射极耦合逻辑,常用于板上的时钟分配网络。

**MLVDS (Multipoint Low Voltage Differential Signaling):** 用来优化多点互连应用,多点应用指的是有多个驱动器或者接收器件共享单一的物理链路的互连应用,被用作需要双向多点驱动输出输入差分信号的情况。**IO** 自身不支持该种输出标准,需要借助 **LVC MOS** 的互补输出原理和芯片外部电阻共同实现。

**BLVDS (Bus Low Voltage Differential Signaling):** 是 **NS (National Semiconductor)** 公司提出的一种类似于 **MLVDS** 标准的输出标准,也被用作需要双向多点驱动输出输入差分信号的情况。二者不同之处在于,**MLVDS** 是工业标准,**MLVDS** 的差分幅度比 **BLVDS** 的差分幅度大,并且需要较高的电流驱动能力。**IO** 自身不支持 **BLVDS**,需要借助 **LVC MOS** 的互补输出原理和芯片外部电阻共同实现。

**SSTL25D, SSTL18D, SSTL15D, HSTL18D, HSTL15D** 等差分输出通过类差分方式实现。

不同的 **I/O** 标准其时序也不相同,**Pango Design Suite** 软件工具会对 **I/O** 的 **Timing** 时序进行分析,时序分析报告将会包含这些信息。

**I/O** 标准可通过下面的语句在 **FDC** 文件中进行约束或者在 **PDS** 的 **UCE** 界面操作。

```
define_attribute {p:port_name} {PAP_IO_STANDARD} { LVC MOS33 }
```

## 4. I/O 电源电压介绍

根据实际的用户设计,**IO BUFFER** 是由 3 种 **FPGA** 的主要电源混合供电的,它们是 **VCC**,

VCCAUX 和 VCCIO。

表 4 IO 中所使用的电源电压

电源电压	数值	变化范围	单位	注释
VCC	1.1	+/-5%	V	Core电压
VCCAUX	3.3	+/-5%	V	IO辅助电源电压，主要为电流镜像单元，差分IO模块等供电
VCCIO	1.2/1.5/1.8/2.5/3.3	+/-5%	V	IO电源电压
GND	0	+/-5%	V	

#### ➤ VCC

VCC 是 FPGA 芯片的 core 电压，主要是用来给 IO BUFFER 的控制逻辑电路和 IO LOGIC 的绝大部分电路供电。从 core 中输出数据时，控制信号通过 IO LOGIC 和 IO BUFFER 的控制逻辑使得数据信号由 VCC 供电转换为由更高电源电压供电；向 core 输入数据时候，控制信号通过 IO BUFFER 的控制逻辑和 IO LOGIC 使得数据信号由高电源电压供电转换为由 VCC 供电。

#### ➤ VCCAUX

VCCAUX 是辅助电源电压，主要是用来为差分输出驱动电路，差分输入电路以及应用于 SSTL 标准和 HSTL 标准中具有参考电压的输入电路供电。

#### ➤ VCCIO

VCCIO 电压在每一个 BANK 中都是独立供电的，主要是为单端输出驱动电路和 ratio 输入电路供电。所以采用 VCCIO 电源供电的输入输出标准的特性数值会随着 VCCIO 电源电压的变化而变化。

#### ➤ GND

尽管在 I/O 电路内部，可能为了版图规划和信号划分，对应不同的电源电压会对应不同的地，例如 VCCIO 对应 VSSIO，VCCAUX 对应 VSS，VCC 对应 VSS 等。但是在芯片的 top 层面，所有的这些 I/O 地线在封装过程都被连接到一个共同 GND 上。

## 5. 热插拔支持

热插拔属性可以保证芯片不会由于泄漏电流过大而导致芯片损坏。

热插拔的功能实现和特性参数与 I/O 内的电源上电过程，具体的混合输入模式以及 CLAMP 开关状态都有关系。

Logos 系列 FPGA 芯片四侧均支持热插拔属性。

## 6. BUS KEEPER 特性

BUS KEEPER电路的主要功能是在下一个I/O数据有效之前保持当前I/O的数据状态。每一个I/O都有独立的BUS KEEPER功能，通常有四种可编程工作模式，PULLUP, PULLDW, KPR和UNUSED。

BUS KEEPER特性可通过下面的语句在FDC文件中编辑或者在PDS的UCE中操作。

```
define_attribute {p:port_name} {PAP_IO_UNUSED} {TRUE}
```

## 7. 输入迟滞特性

LVC MOS33/LVTTL33/LVCMOS25/LVCMOS18 输入标准可支持输入迟滞特性，并有大、小两种迟滞量可编程选择。可编程的模式有：SMHYS\_I（第 1 类小迟滞），SMHYS\_II（第 2 类小迟滞），LGHYS（大迟滞）和 NOHYS（无迟滞）。

输入迟滞特性可通过下面的语句在 FDC 文件中编辑或者在 PDS 的 UCE 中操作。

```
define_attribute {p:port_name} {PAP_IO_HYS_DRIVE_MODE} {NOHYS}
```

## 8. 输入缓冲器分类

输入端的每一个pad共有两种类型的输入缓冲器来满足不同输入标准的要求。第一类是电源电压为VCCIO的ratio receiver buffer；第二类是电源电压为VCCAUX的输入缓冲器，该类输入缓冲器可以实现参考电压决定阈值的输入标准和差分输入标准。

表 5 输入缓冲器分类

		电源	单端	双端	支持标准	注释
输入缓冲器	单端	VCCIO	√		LVTTL33/LVCMOS	支持UD
	差分	VCCAUX		√	SSTL/HSTL15/18/25, LVDS (input)	SSTL和HSTL标准需要参考电压和匹配电阻支持

## 9. 缓冲器的参考电压 VREF

具有参考电压的输入输出标准诸如 SSTL，HSTL 标准，需要一个参考电压来设定阈值。该参考电压可以由两种方式产生。第一种方式是通过 I/O pin 进行输入产生；第二种方式可以通过 I/O 电路内部参考电压生成电路产生。

在第一种方式中，每一个 BANK 中有一个用户 I/O 都可以被编程用作 VREF 的输入，在第二种方式中，参考电压通过 I/O 内部的参考电压生成电路为整个 BANK 中的所有 I/O 提供 VREF 参考电压用以支持需要参考电压的输入输出标准。其中每一个 BANK 会对应一个内部参考电压生成电路，通过约束可以设定参考电压的输出为：关闭，45%的 VCCIO，50%的 VCCIO 和 55%的 VCCIO 等四个输出状态，对应的有效值分别是 OFF，0.45，0.5 和 0.55。使用下面的语句在 FDC 文件中进行约束，或者在 PDS 的 UCE 界面操作。

```
define_attribute {p:port_name} {PAP_IO_VREF_MODE_VALUE} {0.5}
```

两种产生 VREF 参考电压的方式需要通过编程进行设定选择，并且可以同时使用，为不同的 I/O

产生参考电压输入。但是需要注意的是一旦某一个 I/O 被作为第一种方式被选定作为参考电压输入 pin，该 I/O 就不能被用作用户 I/O 使用，不能支持具有参考电压的输入输出标准直到该 pin 被释放出来；并且当采用第一种方式时，对应的每一个 I/O 上的第二种参考电压 VREF 内部产生电路部分的 VREF 电压节点需要被偏置到地上来防止 floating。下图为电路连接示意图。

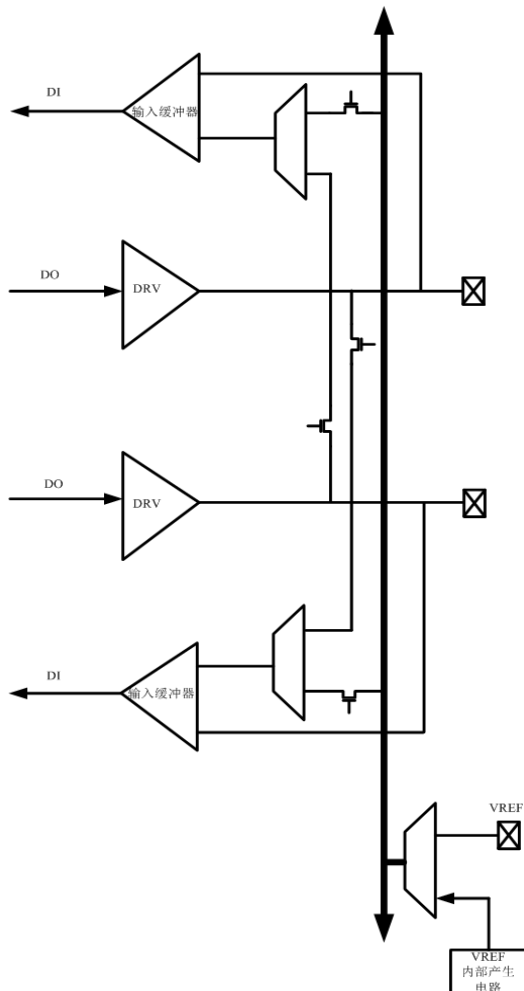


图 11 VREF 连接示意图

下表列出了部分电平标准的参考电压值。

表 6 一些电平标准的参考电压

I/O标准	VREF(V)
SSTL25_I	1.25
SSTL25_II	1.25
SSTL18_I	0.9
SSTL18_II	0.9
SSTL15_I	0.75
SSTL15_II	0.75
HSTL18_I	0.9
HSTL18_II	0.9
HSTL15_I	0.75

## 10. 可编程输出驱动能力

单端输出驱动能力的可编程特性主要是基于 LVCMOS 标准和 LVTTL 标准。下表列出的驱动能力要求是基于输出高低电平和电源或地电压有 400mv 的差距而获得的。LVCMOS 标准和 LVTTL 标准的驱动电路的驱动能力是和制程，电压，温度相关的，所以下表列出的驱动电流是设计所能保证的最低要求。

表 7 LVCMOS 和 LVTTL 输出标准的驱动能力

VCCIO	输出驱动电流 (mA)						
	2	4	6	8	12	16	24
1.2V	√		√				
1.5V		√		√	√		
1.8V		√		√	√	√	
2.5V		√		√	√	√	
3.3V		√		√	√	√	√

SSTL 和 HSTL 标准的输出驱动能力需要考虑到应用时的电路平衡要求，要对 I/O 接口的性能和信号完整性进行综合考量，需要和 buffer 电阻进行匹配。下表列出了 SSTL 电平标准的输出驱动能力。

表 8 SSTL 输出 buffer 的驱动能力列表

电平标准	应用接口	buffer 输出与近端 PCB 连接	buffer 输出低电平	buffer 驱动能力和输出阻抗
SSTL25_I	DDR1	根据应用，直接连接或加串联电阻	0.56V from rail	8.1mA (69ohm)
SSTL25_II	DDR1	根据应用，直接连接或加串联电阻	0.36V from rail	16.2mA(22ohm)
SSTL18_I	DDR2	直接连接	0.40V from rail	6.7mA (60ohm)
SSTL18_II	DDR2	DIMM	0.28V from rail	13.4mA(21ohm)
SSTL15_I	DDR3	直接连接	0.2* VCCIO from rail	7.5mA(40ohm)
SSTL15_II	DDR3	加入 22 欧姆电阻	0.2* VCCIO from rail	8.8mA(34ohm)

表 11 列出了 HSTL 电平标准的输出驱动能力。

表 9 HSTL 输出 buffer 的驱动能力

电平标准	应用接口	buffer 驱动能力
HSTL18_I		8mA
HSTL18_II	QDR II	16mA
HSTL15_I		8mA

LVDS 的输出驱动电流可以进行可编程设置来满足不同的输出共模电压 VCM，输出高低电平 VOH 和 VOL 要求。通过设置可支持不同种类的差分输出标准，如下表所示。

表 10 差分信号电流驱动能力

差分输出	输出驱动电流 (mA)
------	-------------

	1.0	1.5	2.0	2.5	3.0	3.5	4.5	6.5	7.5	8.0	9.0	9.5	10	11
LVDS25		√	√	√	√	√	√	√						
Sub-LVDS	√	√	√											
Mini-LVDS				√	√	√	√	√	√	√	√			
SLVS		√	√	√										
TMD5											√	√	√	√

I/O 的输出驱动能力可通过下面的语句在 FDC 文件中进行约束，或者在 PDS 的 UCE 界面操作。

```
define_attribute {p:port_name} {PAP_IO_DRIVE} {4}
```

## 11.Open-Drain 控制

每一个 IO BUFFER 的单端输出驱动电路可以独立支持 Open-Drain 功能。即 Open-Drain 输出时，输出驱动电路只包含灌电流部分，而不提供拉电流。

Open-Drain 的控制包括打开和关闭，即 ON 和 OFF。Open-Drain 的控制可通过下面的语句在 FDC 文件中进行约束，或者在 PDS 的 UCE 界面约束。

```
define_attribute {p:port_name} {PAP_IO_OPEN_DRAIN} {OFF}
```

## 12.三态控制输出

在 I/O 的输出通路，每一个单端输出驱动电路都有一个独立的三态控制电路。另外通过一个复用 I/O 产生标志信号 IO\_STATE 用于控制配置过程中的所有 I/O 的端口状态。对于 PGL12G、PGL22G，当 IO\_STATUS\_C=0 时，表示配置过程的 I/O 处于三态；当 IO\_STATUS\_C=1 时，表示配置过程的 I/O 处于上拉。差分驱动电路的三态控制采用 TRUE pad 的单端输出驱动的三态控制。

值得注意的是：对于 PGL25G、PGL50H、PGL50G，当 IO\_STATUS\_C=0 时，表示配置过程的 I/O 处于上拉；当 IO\_STATUS\_C=1 时，表示配置过程的 I/O 处于三态。

## 13.可编程 slew rate（摆率）

根据降低输出噪声或提高高速输出性能的要求，每一个 I/O 的输出驱动端都有一个可编程 slew rate 控制设置，用来为输出提供输出摆率的快慢控制。每一个 I/O 的 slew rate 控制都是独立的。可设置的参数是：“FAST”和“SLOW”。

可编程 slew rate 可通过下面的语句在 FDC 文件中进行约束，或者在 PDS 的 UCE 界面约束。

```
define_attribute { p:port_name } {PAP_IO_SLEW} {FAST}
```



## 14. 类差分输出实现

LVPECL、MLVDS、BLVDS、PPDS 和 RSDS 的输出都可以采用外部电阻连接的方式实现差分输出支持。在我们的 I/O 电路设计中，LVDS 等都可以通过差分输出驱动电路实现真正的差分输出，所以这些差分输出的 buffer 不需要在驱动电路外面再加电阻。

所有的一对单端 IO BUFFER 都可以和外部电阻一起支持不同数据率的类差分输出，具体速度要根据各个输出标准最终所采用的单端 IO BUFFER 所能达到的速度而定。

### ➤ 类差分输出---LVPECL33

LVPECL 输出主要应用于点对点应用，最常见的应用实例为在板级上的时钟分配网络。下图给出了一个 LVPECL 在点对点应用时的一种可能实现方式。其中  $R_0$ 、 $R_1$  和  $R_T$  的数值选取应基于电路设计和验证的角度，在保证输出电平达到标准要求的条件下给出参考值，其精确具体数值要根据最终产品工程师给出的实际芯片测试结果而定。

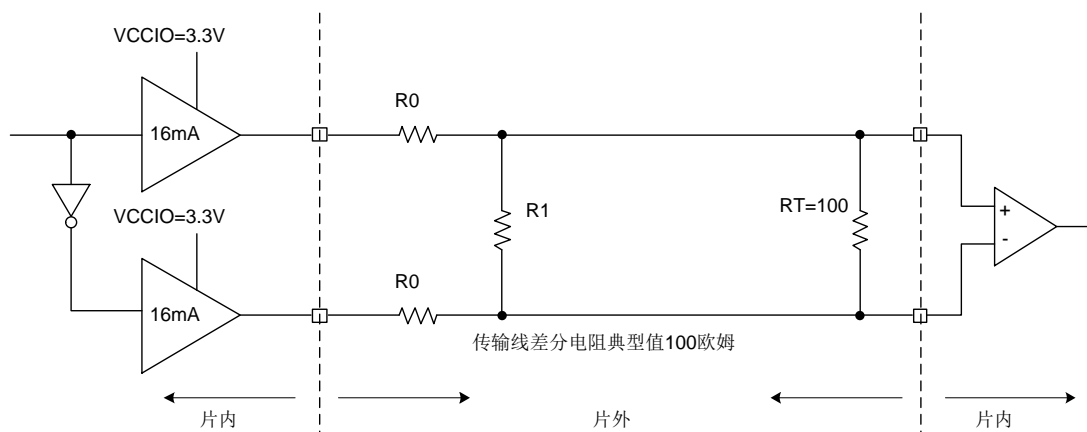


图 12 LVPECL 点对点输出实例

### ➤ 类差分输出---MLVDS

MLVDS 被用作需要双向多点驱动输出输入差分信号的情况。I/O 自身不支持该种输出标准，需要借助 LVCMOS 的互补输出原理和芯片外部电阻共同实现。MLVDS 的差分幅度比 BLVDS 的差分幅度大，并且需要较高的电流驱动能力。下图给出了 MLVDS 多点配置的典型应用情况。其中  $R_0$ 、 $R_1$  应基于电路设计和验证的角度，在保证输出电平达到标准要求的条件下给出参考值，其精确具体数值要根据最终产品工程师给出的实际芯片测试结果而定。

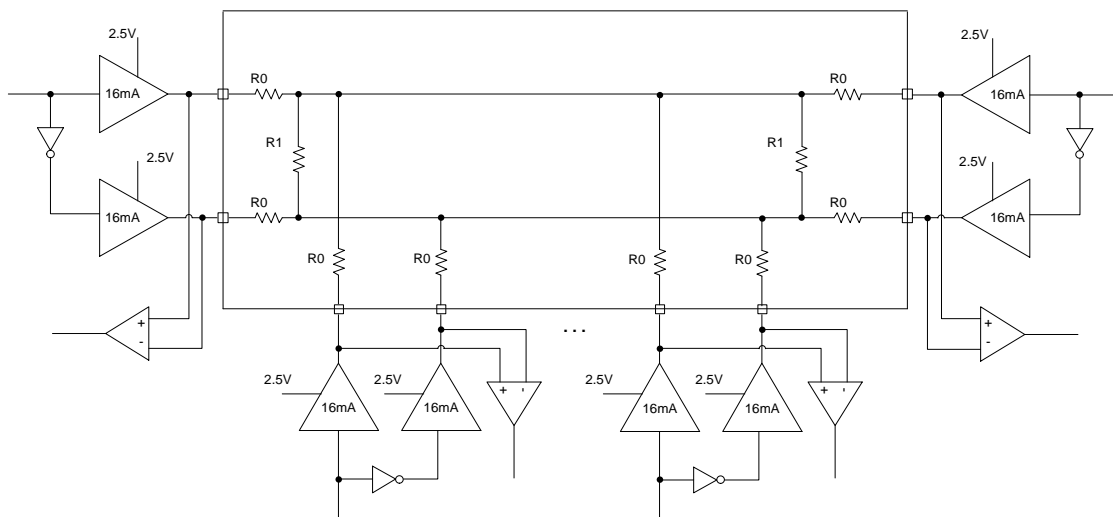


图 13 MLVDS 点对点输出实例

### ➤ 类差分输出---BLVDS

BLVDS 是 NS（National Semiconductor）公司提出的一种类似于 MLVDS 标准的输出标准，也被用作需要双向多点驱动输出输入差分信号的情况。二者不同之处在于，MLVDS 是工业标准，MLVDS 的差分幅度比 BLVDS 的差分幅度大，并且需要较高的电流驱动能力。I/O 自身不支持 BLVDS，仍旧需要借助 LVC MOS 的互补输出原理和芯片外部电阻共同实现。下图给出了 BLVDS 多点配置的典型应用情况。其中  $R_0$ ,  $R_1$  应基于电路设计和验证的角度，在保证输出电平达到标准要求的前提下给出参考值，其精确具体数值要根据最终产品工程师给出的实际芯片测试结果而定。

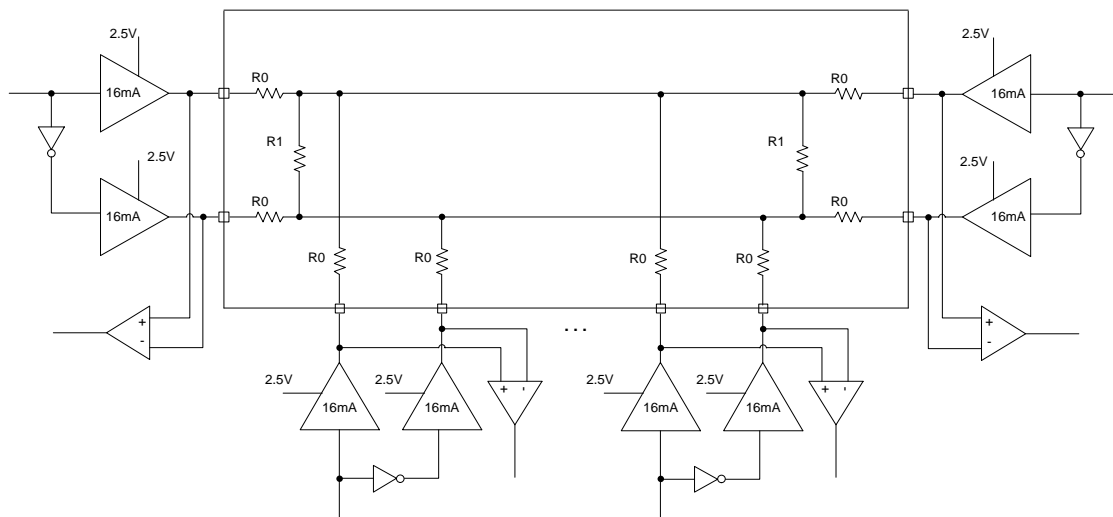


图 14 BLVDS 点对点输出实例

### ➤ 类差分输出---RSDS

RSDS ((Reduced swing differential switching)通常应用于显示领域。下图给出一种 RSDS 的实现方式实例。其中  $R_0$ ,  $R_1$ ,  $R_T$  应基于电路设计和验证的角度，在保证输出电平达到标准要求的前提下给出参考值，其精确具体数值要根据最终产品工程师给出的实际芯片测试结果而定。



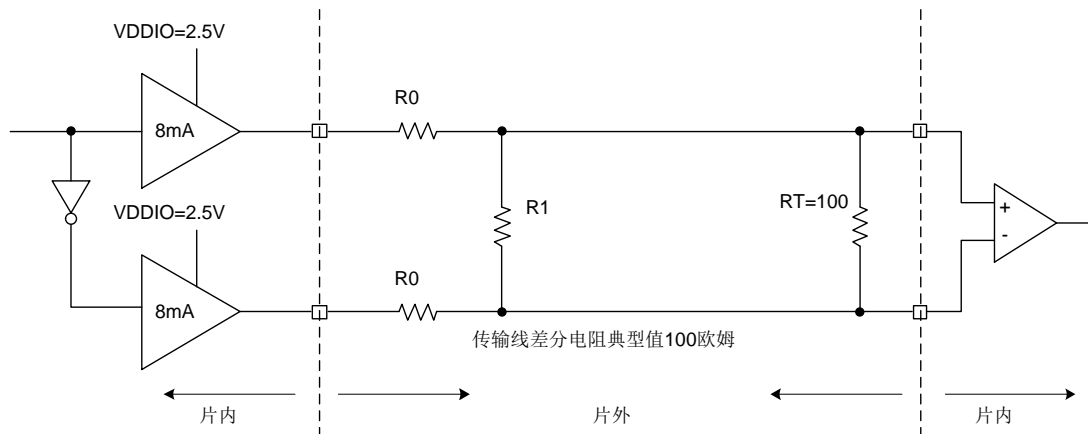


图 15 RSDS 点对点输出实例

## 15. MIPI 的实现方式

Logos 系列中 PGL12G、PGL25G、PGL50H、PGL50G 采用 MIPI 2 线输入，输出都采用 MIPI 2 线输出。

### 1) 2 个 I/O 单元实现 MIPI 输入

使用 SLVS 和 2 个 I/O 单元同样可以实现 HS-MIPI 输入和 LP-MIPI 输入，结构框图如下图所示。

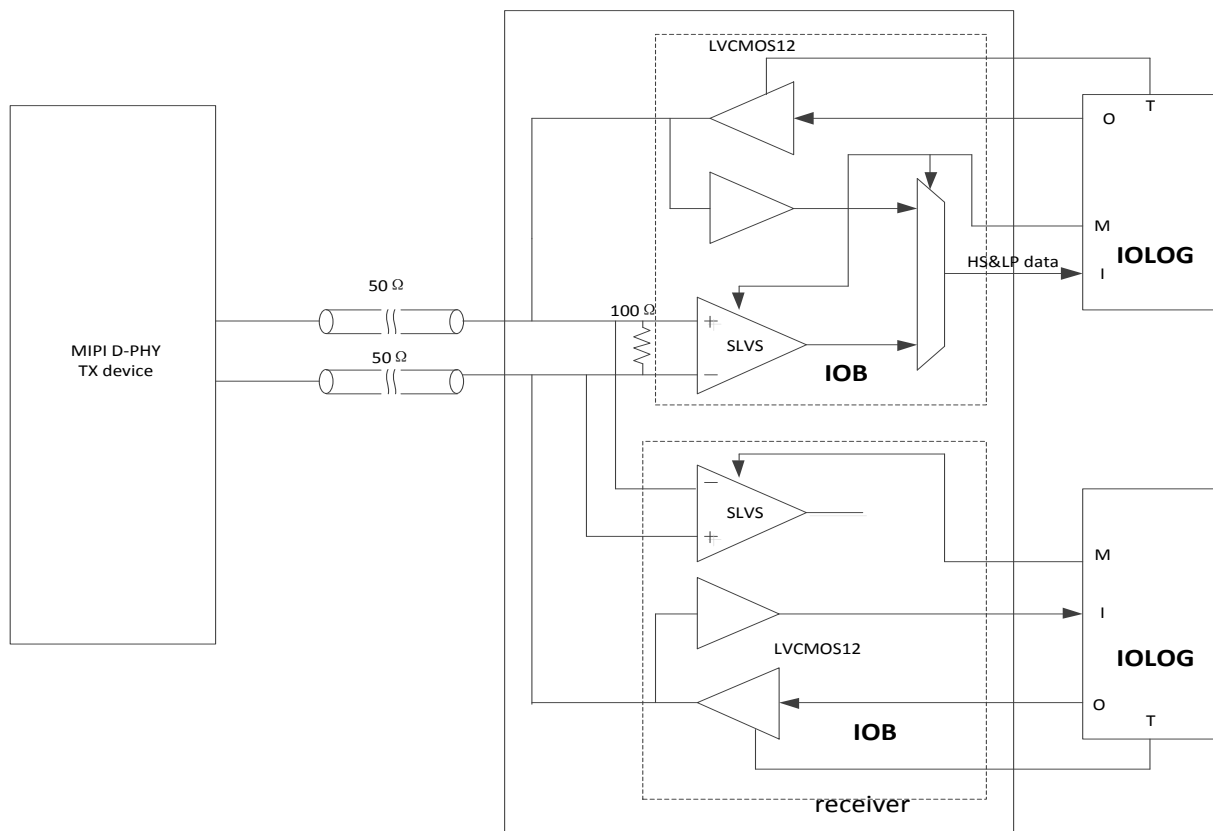


图 16 SLVS 实现 MIPI 输入（HS/LP）

## 2) 2 个 I/O 单元实现 MIPI 输出

使用 SLVS 和 2 个 I/O 单元同样可以实现 HS-MIPI 输出和 LP-MIPI 输出，结构框图如下图所示。

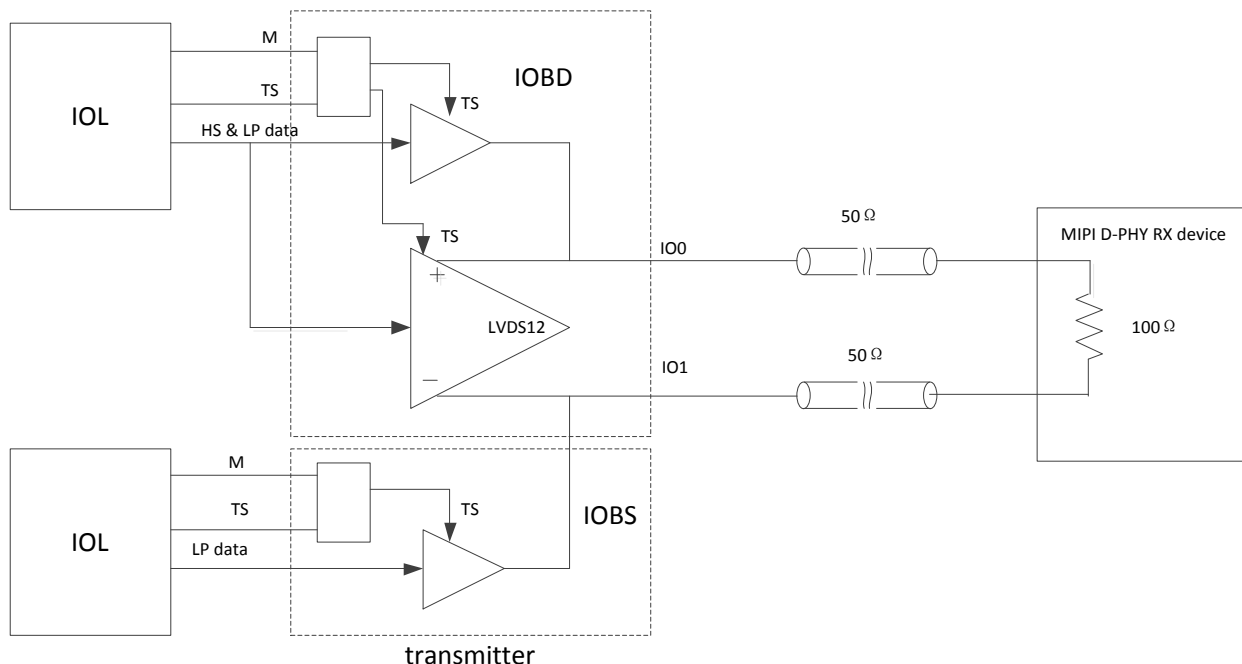


图 17 SLVS 实现 MIPI 输出（HS/LP）

## 16. I/O 的上电和配置

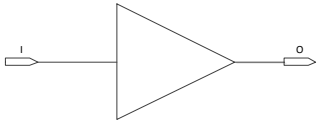
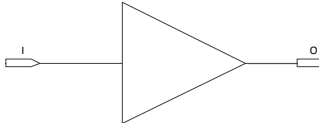
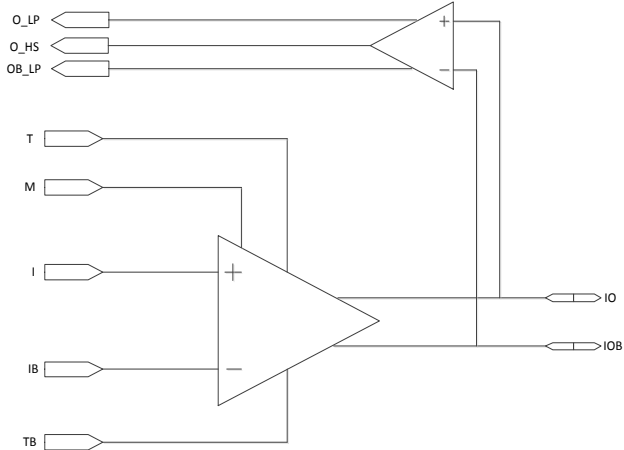
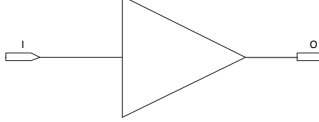
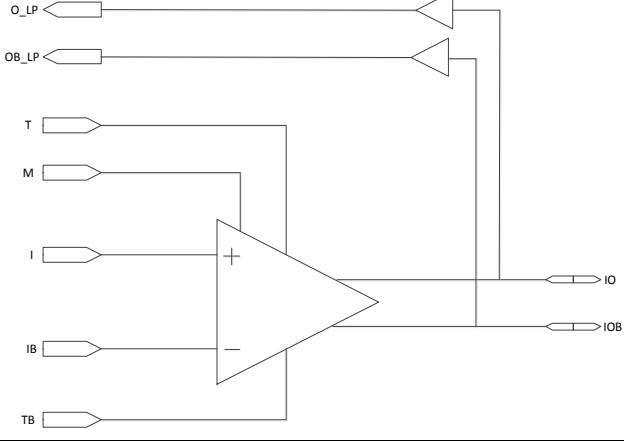
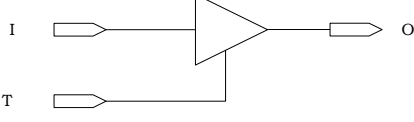
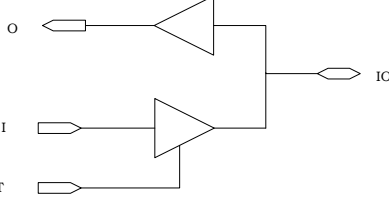
Logos 系列产品正常工作的基本要求是 Core 电压 VCC(1.1V 或者 1.2V)、辅助电压 VCCAUX(3.3V) 以及编程管脚所在 BANK I/O 电压 VCCIO 需正常供电。芯片内置专用电路监控这些电源的供电情况，当且仅当这些电源电压均处于正常水平时才开始芯片初始化操作。因此 Logos 系列产品对外部电源的上电顺序没有要求。

电源电压正常后，FPGA 开始初始化配置 memory，这时 FPGA 内部发起全局复位，使所有 IO BUFFER 复位为默认状态。初始化结束后，INIT\_FLAG\_N 变为高电平，这时芯片采样 M[2: 0]管脚的输入以确定编程模式，配置数据按相应模式加载进入 FPGA。在 FPGA 配置过程中，用户 I/O 的状态如本章第 12 小节所述。下载结束，复位释放，CFG\_DONE 管脚拉高，设计用到的 I/O 管脚激活，未使用的 I/O 管脚状态由位流决定，用户可在 Pango Design Suite 软件界面设置。之后，全局写使能 GWE 信号释放，允许 RAM 和寄存器的状态改变。

## 17. IO BUFFER 的 GTP 基本原型

Pango Design Suite 的软件库包含了相关的 GTP (General Technology Primitives) 来支持各种不同的 I/O 标准。以下几种 GTP 基本原型是在单端 I/O 标准中最常见的。

表 11 单端 I/O 的 GTP

GTP 名称	GTP 说明	GTP 示意图
GTP_INBUF	单端输入信号必须经过 INBUF，支持 IOBD, IOBS 和 IOBR	
GTP_INBUFG	INBUFG 与 INBUF 相同，当输入信号从时钟管脚进入到 FPGA 时，PDS 软件会自动使用 INBUFG	
GTP_IOBUF_RX_MIPi	支持 MIPI DPHY 高速 (HS) 输入，及低功耗模式 (LP) 下单端输入、输出，支持 IOBR 和 IOBS	
GTP_OUTBUF	支持单端输出信号	
GTP_IOBUF_TX_MIPi	支持 MIPI DPHY 三态输出，包含低功耗模式 (LP) 下输入、输出及高速 (HS) 模式下差分输出，且两个模式根据实际应用可以自由切换，支持 IOBD 和 IOBS	
GTP_OUTBUFT	用来实现三态输出或双向 I/O	
GTP_IOBUF	支持单端输入输出功能	

## ➤ GTP\_INBUF

端口说明如下所示：

表 12 GTP\_INBUF 端口说明

端口	方向	功能描述
I	IN	单端信号输入
O	OUT	输入 buffer 输出，送入芯片内部

参数说明如下所示：

表 13 GTP\_INBUF 参数说明

参数名称	参数类型	有效值	默认值	功能描述
IOSTANDARD	string	见表 16	LVCMOS33	输入 IO 标准
TERM_DDR	string	见表 16	ON	HSTL、SSTL 标准输入时，内置 terminal resistor 开启或关闭

参数可选的配置属性如下所示：

表 14 参数配置列表

GTP_INBUF	
IOSTANDARD	TERM_DDR
LVTTL33	无
LVCMOS33	
LVCMOS25	
LVCMOS18	
LVCMOS15	
LVCMOS12	
SSTL25_I	OFF/ON
SSTL25_II	OFF/ON
SSTL18_I	OFF/ON
SSTL18_II	OFF/ON
SSTL15_I	OFF/ON
SSTL15_II	OFF/ON
HSTL18_I	OFF/ON
HSTL18_II	OFF/ON
HSTL15_I	OFF/ON
SSTL15_I	ON
SSTL15_II	ON
HSTL15_I	ON

## ➤ GTP\_INBUFG

端口说明如下所示：

表 15 GTP\_INBUFG 端口说明

端口	方向	功能描述
I	IN	PAD 信号输入
O	OUT	buffer 输出，送入芯片内部

参数说明如下所示：

表 16 GTP\_INBUFG 参数说明

参数名称	参数类型	有效值	默认值	功能描述
IOSTANDARD	string	见表 21	LVC MOS33	输入 IO 标准
TERM_DDR	string	见表 21	ON	HSTL、SSTL 标准输入时，内置 terminal resistor 开启或关闭

参数配置有效值列表如下所示：

表 17 参数有效值列表

GTP_INBUFG	
IOSTANDARD	TERM_DDR
LVC MOS33	无
LVC MOS25	
LVC MOS18	
LVC MOS15	
LVC MOS12	
SSTL25_I	OFF/ON
SSTL25_II	OFF/ON
SSTL18_I	OFF/ON
SSTL18_II	OFF/ON
SSTL15_I	OFF/ON
SSTL15_II	OFF/ON
HSTL18_I	OFF/ON
HSTL18_II	OFF/ON
HSTL15_I	OFF/ON
SSTL15_I	ON
SSTL15_II	ON
HSTL15_I	ON

## ➤ GTP\_IOBUF\_RX\_MIP1

端口说明如下所示：

表 18 GTP\_IOBUF\_MIP1 端口说明

端口	方向	功能描述
I	输入	LP 模式下单端输出 buffer 的输入信号，来自 fabric
IB	输入	LP 模式下单端输出 buffer 的输入信号，来自 fabric
M	输入	模式选择信号。1: HS 模式，差分输入；0: LP 模式，单端输入。来自 fabric
T	输入	单端输出使能信号，为 0 时 IO 作为输出，为 1 时 IO 作为输入
TB	输入	单端输出使能信号，为 0 时 IOB 作为输出，为 1 时 IOB 作为输入
O_HS	输出	差分输出（HS）到 fabric
O_LP	输出	单端输出（LP）
OB_LP	输出	单端输出（LP）
IO	双向	P 端差分输入（HS 模式），或单端输入和输出（LP 模式）

IOB	双向	N 端差分输入（HS 模式），或单端输入和输出（LP 模式）
-----	----	--------------------------------

参数说明如下所示：

表 19 GTP\_IOBUF\_MIPi 参数说明

参数名称	参数类型	有效值	默认值	功能描述
IOSTANDARD	string	" DEFAULT "	"DEFAULT"（MIPi）	输入 I/O 标准，V <sub>CCIO</sub> =1.2V
DRIVE_STRENGTH	string	"2", "6"	"6"	驱动电流强度
TERM_DIFF	string	"ON", "OFF"	"OFF"	内置终端匹配电阻开启或关闭

## ➤ GTP\_OUTBUF

端口说明如下所示：

表 20 GTP\_OUTBUF 端口说明

端口	方向	功能描述
I	IN	单端信号输入
O	OUT	buffer 输出

参数说明如下所示：

表 21 GTP\_OUTBUF 参数说明

参数名称	参数类型	有效值	默认值	功能描述
IOSTANDARD	string	见表 26	LVC MOS33	输入 IO 标准
DRIVE_STRENGTH	string	"2", "4", "6", "8", "12", "16", "24"	8	驱动电流强度

参数有效值列表如下所示：

表 22 参数有效值列表

GTP_OUTBUF		
IOSTANDARD	SLEW_RATE	DRIVE_STRENGTH
LVTTL33	FAST/SLOW	"4", "6", "12", "16", "24"
LVC MOS33	FAST/SLOW	
LVC MOS25	FAST/SLOW	"4", "8", "12", "16"
LVC MOS18	FAST/SLOW	
LVC MOS15	FAST/SLOW	"4", "8", "12",
LVC MOS12	FAST/SLOW	"2", "6",
SSTL25_I	FAST/SLOW	无
SSTL25_II	FAST/SLOW	
SSTL18_I	FAST/SLOW	
SSTL18_II	FAST/SLOW	
SSTL15_I	FAST/SLOW	
SSTL15_II	FAST/SLOW	
HSTL18_I	FAST/SLOW	
HSTL18_II	FAST/SLOW	
HSTL15_I	FAST/SLOW	
SSTL15_I	FAST/SLOW	
SSTL15_II	FAST/SLOW	
HSTL15_I	FAST/SLOW	

## ➤ GTP\_IOBUF\_TX\_MIPi

端口说明如下所示：

表 23 GTP\_OUTBUF\_MIPI 端口说明

端口	方向	功能描述
I	输入	差分输出 buffer（HS）及单端输出 buffer（LP）的输入信号，来自 IO Logic
IB	输入	LP 模式下单端输出 buffer 的输入信号，来自 IO Logic
M	输入	模式选择信号。1: HS 模式，差分输出；0: LP 模式，单端输入输出。来自 IO Logic
T	输入	差分及单端输出使能信号
TB	输入	单端输出使能信号
O_LP	输出	单端输出（LP）
OB_LP	输出	单端输出（LP）
IO	双向	P 端差分输出或输入
IOB	双向	N 端差分输出或输入

参数说明如下所示：

表 24 GTP\_OUTBUF\_MIPI 参数说明

参数名称	参数类型	有效值	默认值	功能描述
IOSTANDARD	string	"DEFAULT"	"DEFAULT"（MIPI）	输入 I/O 标准，V <sub>CCIO</sub> =1.2V
DRIVE_STRENGTH	string	"2", "6"	"6"	驱动电流强度
SLEW_RATE	string	"SLOW", "FAST"	"SLOW"	摆率
TERM_DIFF	string	"ON", "OFF"	"ON"	内置终端匹配电阻开启或关闭

## ➤ GTP\_OUTBUFT

端口说明如下所示：

表 25 GTP\_OUTBUFT 端口说明

端口	方向	功能描述
I	IN	单端信号输入
O	OUT	buffer 输出
T	IN	使能信号, 1 有效

参数说明如下所示：

表 26 GTP\_OUTBUFT 参数说明

参数名称	参数类型	有效值	默认值	功能描述
IOSTANDARD	string	见表 31	LVC MOS33	输入 IO 标准
SLEW_RATE	string	"SLOW", "FAST"	SLOW	摆率
DRIVE_STRENGTH	string	"2", "4", "6", "8", "12", "16", "24"	8	驱动电流强度

参数有效值列表如下所示：

表 27 参数有效值列表

GTP_OUTBUFT		
IOSTANDARD	SLEW_RATE	DRIVE_STRENGTH
LVTTL33	FAST/SLOW	"4", "6", "12", "16", "24"
PCI33	FAST/SLOW	
LVC MOS33	FAST/SLOW	
LVC MOS25	FAST/SLOW	"4", "8", "12", "16"
LVC MOS18	FAST/SLOW	
LVC MOS15	FAST/SLOW	"4", "8", "12",
LVC MOS12	FAST/SLOW	"2", "6",

GTP_OUTBUFT		
IOSTANDARD	SLEW_RATE	DRIVE_STRENGTH
SSTL25_I	FAST/SLOW	无
SSTL25_II	FAST/SLOW	
SSTL18_I	FAST/SLOW	
SSTL18_II	FAST/SLOW	
SSTL15_I	FAST/SLOW	
SSTL15_II	FAST/SLOW	
HSTL18_I	FAST/SLOW	
HSTL18_II	FAST/SLOW	
HSTL15_I	FAST/SLOW	
SSTL15_I	FAST/SLOW	
SSTL15_II	FAST/SLOW	
HSTL15_I	FAST/SLOW	

## ➤ GTP\_IOBUF

端口说明如下所示：

表 28 GTP\_IOBUF 端口说明

端口	方向	功能描述
I	IN	单端信号输入
O	OUT	输入 buffer 的输出，送入芯片内部
T	IN	使能输出 buffer
IO	INOUT	PAD

参数说明如下所示：

表 29 GTP\_IOBUF 参数说明

参数名称	参数类型	有效值	默认值	功能描述
IOSTANDARD	string	见表 36	LVC MOS33	输入 IO 标准
TERM_DDR	string	“ON”，“OFF”	ON	HSTL、SSTL 标准输入时，内置 terminal resistor 开启或关闭
SLEW_RATE	string	“SLOW”，“FAST”	SLOW	摆率
DRIVE_STRENGTH	string	"2", "4", "6", "8", "12", "16", "24"	8	驱动电流强度

参数有效值列表如下所示：

表 30 参数有效值列表

GTP_IOBUF			
IOSTANDARD	SLEW_RATE	TERM_DDR	DRIVE_STRENGTH
LVTTL33	FAST/SLOW	无	"4", "6", "12", "16", "24"
PCI33			
LVC MOS33			
LVC MOS25			
LVC MOS18		无	"4", "8", "12", "16"
LVC MOS15			"4", "8", "12",
LVC MOS12			"2", "6",
SSTL25_I		OFF/ON	无
SSTL25_II		OFF/ON	



GTP_IOBUF			
IOSTANDARD	SLEW_RATE	TERM_DDR	DRIVE_STRENGTH
SSTL18_I		OFF/ON	
SSTL18_II		OFF/ON	
SSTL15_I		OFF/ON	
SSTL15_II		OFF/ON	
HSTL18_I		OFF/ON	
HSTL18_II		OFF/ON	
HSTL15_I		OFF/ON	
SSTL15_I		ON	
SSTL15_II		ON	
HSTL15_I		ON	

下表列出了差分 I/O 最常用的 GTP。

表 31 差分 I/O 的 GTP

GTP 名称	含义	示意图
GTP_INBUFDS	支持差分输入驱动功能，INBUFDS 有 2 个输入 I 和 IB，分别代表差分对的 P 通道输入管脚和 N 通道输入管脚	
GTP_INBUFGDS	支持时钟的差分输入	
GTP_IOBUFDS	支持真差分输入输出	
GTP_OUTBUFCO	支持类差分输出驱动功能	

GTP 名称	含义	示意图
GTP_OUTBUFTCO	支持类差分输出驱动功能及三态输出	
GTP_OUTBUFDS	支持真差分输出功能。支持的 IO 输入标准为: "LVDS", "MINI-LVDS", "SUB-LVDS"和 "TMDS"	
GTP_OUTBUFTDS	支持真差分输出功能。支持的 IO 输入标准为: "LVDS", "MINI-LVDS", "SUB-LVDS", "TMDS"	
GTP_IOBUFCO	支持单端输入、类差分输出驱动功能	

➤ GTP\_INBUFDS

端口说明如下所示:

表 32 GTP\_INBUFDS 端口说明

端口	方向	功能描述
I	IN	同相差分输入
IB	IN	反相差分输入
O	OUT	差分输出, 送到芯片内部

参数说明如下所示:

表 33 GTP\_INBUFDS 参数说明

参数名称	参数类型	有效值	默认值	功能描述
IOSTANDARD	string	见表 40	LVDS	输入 IO 标准
TERM_DIFF	string	见表 40	ON	差分输入时, 内置 terminal resistor 开启或关闭

参数有效值列表如下所示:

表 34 参数有效值列表

GTP_INBUFDS	
IOSTANDARD	TERM_DIFF
LVDS25	OFF/ON

GTP_INBUFDS	
IOSTANDARD	TERM_DIFF
MINI-LVDS	OFF/ON
LVPECL	OFF/ON
SUB-LVDS	OFF/ON
SSTL18D_I	OFF/ON
SSTL18D_II	OFF/ON
SSTL15D_I	OFF/ON
SSTL15D_II	OFF/ON
HSTL18D_I	OFF/ON
HSTL18D_II	OFF/ON
HSTL15D_I	OFF/ON
SSTL25D_I	OFF/ON
RSDS	OFF/ON
PPDS	OFF/ON
TMDS	OFF/ON
SSTL25D_II	OFF/ON
BLVDS	OFF/ON
SSTL15D_I	ON
SSTL15D_II	ON
HSTL15D_I	ON

➤ GTP\_INBUFGDS

端口说明如下所示：

表 35 GTP\_INBUFGDS 端口说明

端口	方向	功能描述
I	IN	同相差分输入
IB	IN	反相差分输入
O	OUT	差分输出，送到芯片内部

参数说明如下所示：

表 36 GTP\_INBUFGDS 参数说明

参数名称	参数类型	有效值	默认值	功能描述
IOSTANDARD	string	见表 43	LVDS	输入 IO 标准
TERM_DIFF	string	见表 43	ON	差分输入时，内置 terminal resistor 开启或关闭

参数有效值列表如下所示：

表 37 参数有效值列表

GTP_INBUFGDS	
IOSTANDARD	TERM_DIFF
LVDS	OFF/ON
MINI-LVDS	OFF/ON
LVPECL33	OFF/ON
SUB-LVDS	OFF/ON
SSTL18D_I	OFF/ON
SSTL18D_II	OFF/ON
SSTL15D_I	OFF/ON

GTP_INBUFGDS	
IOSTANDARD	TERM_DIFF
SSTL15D_II	OFF/ON
HSTL18D_I	OFF/ON
HSTL18D_II	OFF/ON
HSTL15D_I	OFF/ON
SSTL25D_I	OFF/ON
RSDS	OFF/ON
PPDS	OFF/ON
TMDS	OFF/ON
SSTL25D_II	OFF/ON
BLVDS	OFF/ON
SSTL15D_I	ON
SSTL15D_II	ON
HSTL15D_I	ON

### ➤ GTP\_IOBUFDS

端口说明如下所示：

表 38 GTP\_IOBUFDS 端口说明

端口	方向	功能描述
I	IN	单端信号输入
O	OUT	输入 buffer 输出，送入芯片内部
T	IN	使能信号
IO	INOUT	IO 的 PAD
IOB	INOUT	IO 的 PAD，与 IO 的值相反

参数说明如下所示：

表 39 GTP\_IOBUFDS 参数说明

参数名称	参数类型	有效值	默认值	功能描述
IOSTANDARD	string	"LVDS","MINI-LVDS","SUB-LVDS", "TMDS"	LVDS	输入 IO 标准
TERM_DIFF	string	"ON","OFF"	ON	LVDS 等标准输入时，内置差分 terminal resistor 开启或关闭

### ➤ GTP\_OUTBUFCO

端口说明如下所示：

表 40 GTP\_OUTBUFCO 端口说明

端口	方向	功能描述
I	IN	单端信号输入
O	OUT	第一个 IO 的 PAD
OB	OUT	第二个 IO 的 PAD，它的值是第一个 IO 的反

参数说明如下所示：

表 41 GTP\_OUTBUFCO 参数说明

参数名称	参数类型	有效值	默认值	功能描述
IOSTANDARD	string	“SSTL18D_I”, “SSTL18D_II”, “SSTL15D_I”, “SSTL15D_II”, “HSTL15D_I”, “SSTL25D_I”, “SSTL25D_II”, “SSTL15D_I_CAL”, “SSTL15D_II_CAL”, “HSTL15D_I_CAL”, “LVPECL”, “RSDS”, “PPDS”, “BLVDS”	LVC MOS33	输入 IO 标准

#### ➤ GTP\_OUTBUFTCO

端口说明如下所示：

表 42 GTP\_OUTBUFTCO 端口说明

端口	方向	功能描述
I	IN	单端信号输入
O	OUT	第一个 IO 的 PAD
OB	OUT	第二个 IO 的 PAD，它的值是第一个 IO 的反
T	IN	使能

参数说明如下所示：

表 43 GTP\_OUTBUFTCO 参数说明

参数名称	参数类型	有效值	默认值	功能描述
IOSTANDARD	string	“SSTL18D_I”, “SSTL18D_II”, “SSTL15D_I”, “SSTL15D_II”, “HSTL15D_I”, “SSTL25D_I”, “SSTL25D_II”, “SSTL15D”, “HSTL15D”, “LVPECL”, “RSDS”, “PPDS”, “BLVDS”	LVC MOS33	输入 IO 标准

#### ➤ GTP\_OUTBUFDS

端口说明如下所示：

表 44 GTP\_OUTBUFDS 端口说明

端口	方向	功能描述
I	IN	单端信号输入
O	OUT	第一个 IO 的 PAD
OB	OUT	第二个 IO 的 PAD，它的值是第一个 IO 的反

参数说明如下所示：

表 45 GTP\_OUTBUFDS 参数说明

参数名称	参数类型	有效值	默认值	功能描述
IOSTANDARD	string	"LVDS", "MINI-LVDS", "SUB-LVDS", "TMDS"	LVDS	输入 IO 标准

#### ➤ GTP\_OUTBUFTDS

端口说明如下所示：

表 46 GTP\_OUTBUFTDS 端口说明

端口	方向	功能描述
I	IN	单端信号输入
O	OUT	第一个 IO 的 PAD
OB	OUT	第二个 IO 的 PAD，它的值是第一个 IO 的反

T	IN	使能信号
---	----	------

参数说明如下所示：

表 47 GTP\_OUTBUFTDS 参数说明

参数名称	参数类型	有效值	默认值	功能描述
IOSTANDARD	string	"LVDS","MINI-LVDS", "SUB-LVDS","TMDS"	LVDS	输入 IO 标准

#### ➤ GTP\_IOBUFCO

端口说明如下所示：

表 48 GTP\_IOBUFCO 端口说明

端口	方向	功能描述
I	IN	单端信号输入
O	OUT	输入 buffer 输出，送入芯片内部
T	IN	使能输出 buffer
IO	INOUT	第一个 IO 的 PAD
IOB	INOUT	第二个 IO 的 PAD，它的值是第一个 IO 的反

参数说明如下所示：

表 49 GTP\_IOBUFCO 参数说明

参数名称	参数类型	有效值	默认值	功能描述
IOSTANDARD	string	"SSTL18D_I","SSTL18D_II","SSTL15D_I", "SSTL15D_II","HSTL15D_I","SSTL25D_I", " SSTL25D_II " , " SSTL15D_I " , "SSTL15D_II", "HSTL15D", "LVPECL", "RSDS", "PPDS", "BLVDS"	LVC MOS33	输入 IO 标准
TERM_DDR	string	"ON","OFF"	ON	HSTL、SSTL 标准 输入时，内置 terminal resistor 开启或关闭

### (三) IO LOGIC

本节主要描述 Logos 系列产品的 IO LOGIC 部分。

IO LOGIC 模块位于 FPGA 的 IO BUFFER 和 FPGA 的 core Fabric 之间。IO LOGIC 对 IO BUFFER 从 FPGA 管脚输出还是接收信号进行管理。在差分 I/O 标准应用中，两个 IO LOGIC(TRUE 和 COMP) 与两个 IO BUFFER (TRUE 和 COMP) 组成差分对。

IO LOGIC 支持各种高速接口，除了数据直接输入输出和 I/O 寄存器输入输出，还支持以下功能：

- 针对高速接口，支持 1:2；1:4；1:7；1:8 的输入 Deserializer。
- 针对高速接口，支持 2:1；4:1；7:1；8:1 的输出 Serializer。
- 内置 IO 延迟功能，可以动/静态调整输入/出延迟。

- 内置输入 FIFO，主要用于完成从外部非连续 DQS（针对 DDR memory interface）到内部连续时钟的时钟域转换和一些特殊的 Generic DDR 应用中采样时钟和内部时钟的相差补偿。

## 1. IO LOGIC 结构

IO LOGIC 的 golden model 包括一个 IOL 和一个 IOLMUX。如下图所示：

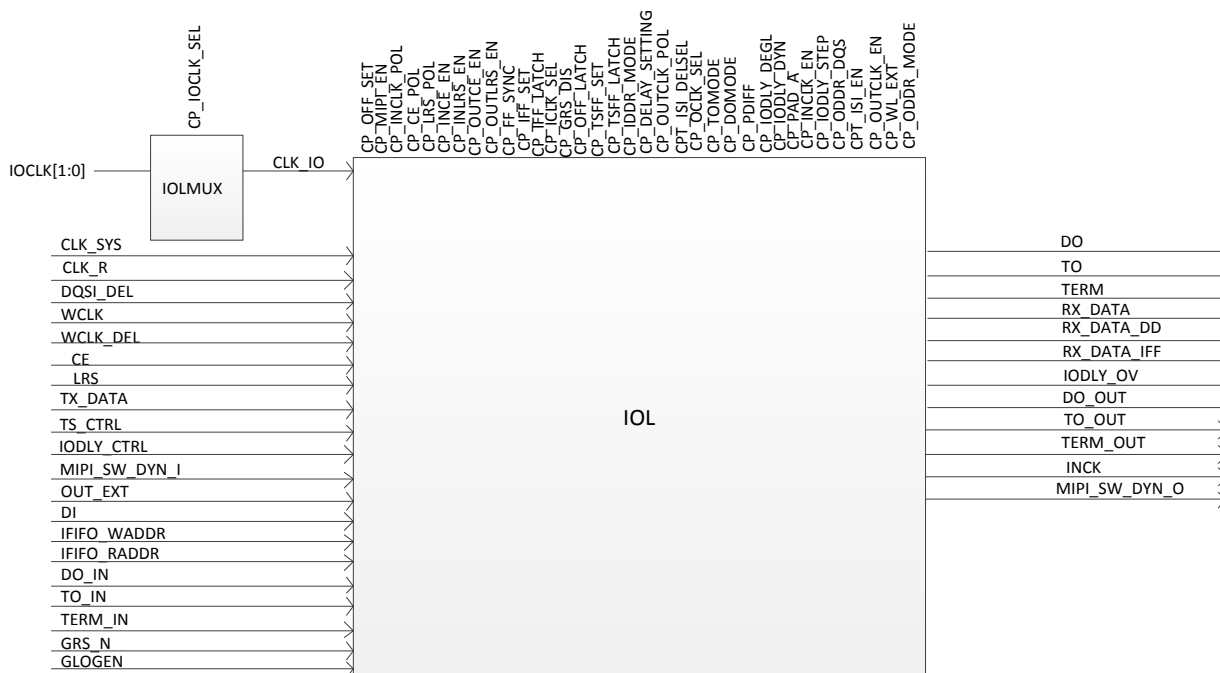


图 18 IO LOGIC 结构图

- IOLMUX结构框图

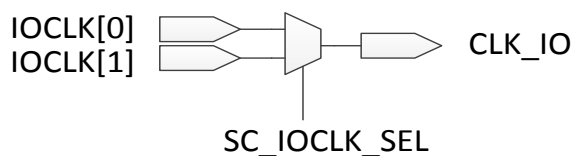


图 19 IOLMUX 结构图

- IOL结构框图

Logos 系列 FPGA 的 IOL 由以下组件组成：

CLKMUX 单元

DELAY 单元

寄存器单元（输入寄存器 IFF，输出寄存器 TSFF 和 OFF）

IDDR/ODDR 单元

IOL 结构图如下所示：

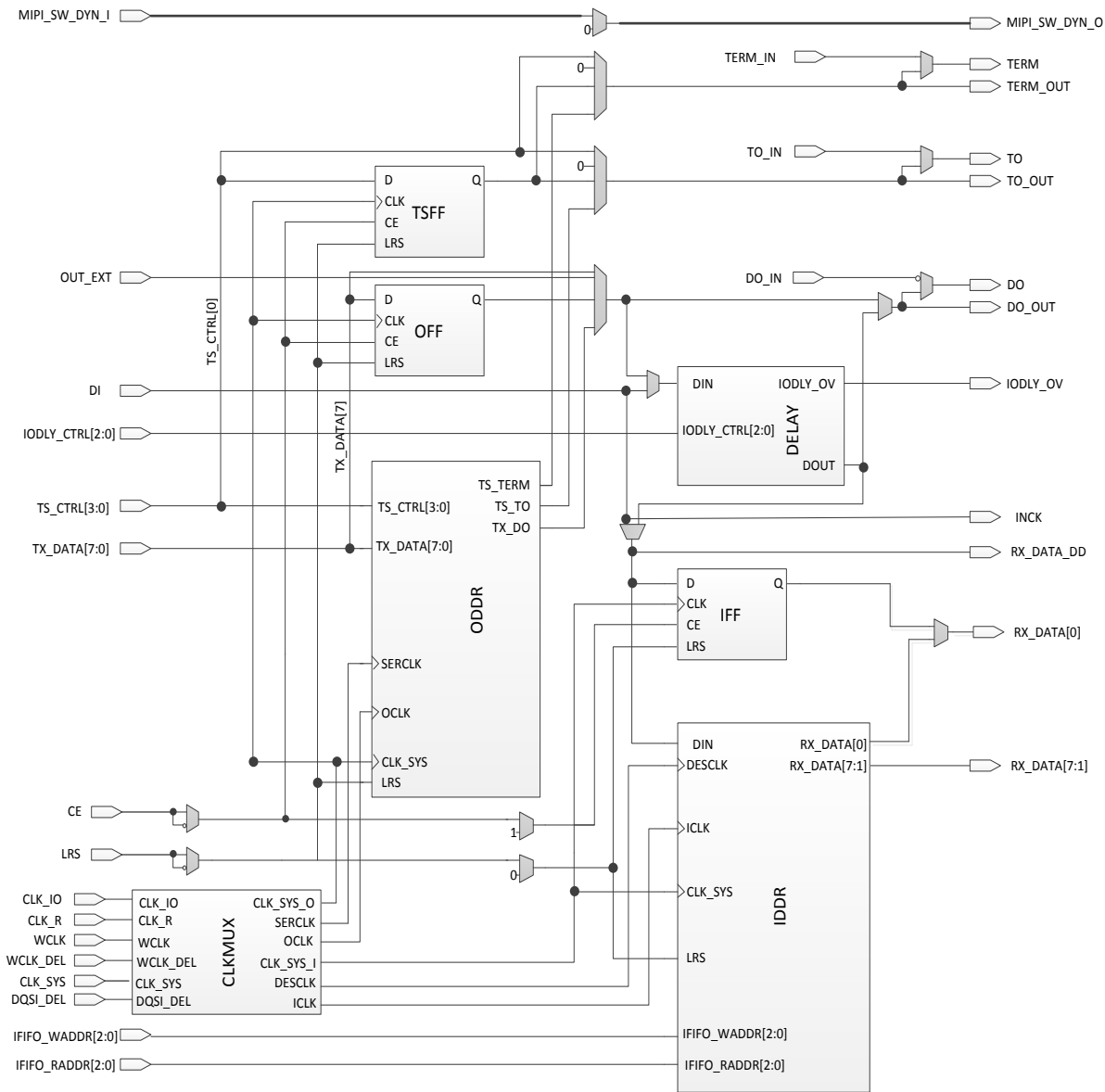


图 20 IOL 结构示意图

2. IO LOGIC 端口说明

➤ IO LOGIC端口列表

表 50 IO LOGIC 端口列表

连接模块	I/O	端口	信号说明	时钟域说明
SRB	output	IODLY_OV	IO delay 溢出标志	异步逻辑
		RX_DATA_DD	直接驱动输入	异步逻辑
		RX_DATA[7:0]	IDDR 输入 并且 RX_DATA[0]可作为寄存器模式输入	CLK_SYS
	input	TX_DATA[7:0]	ODDR 输出	TX_DATA[7]:详见表 51 复杂信号的时钟域说明 TX_DATA[6:0]:CLK_SYS



连接模块	I/O	端口	信号说明	时钟域说明
		TS_CTRL[3:0]	三态控制	TX_CTRL[3:1]:CLK_SYS TX_CTRL[0]: 详见表 51 复杂信号的时钟域说明
		IODLY_CTRL[2:0]	IO delay 动态控制	异步逻辑
		MIPI_SW_DYN_I	MIPI 动态控制输入	异步逻辑
	input	CLK_SYS	系统时钟	
		CE	输入输出寄存器时钟使能	CLK_SYS
		LRS	输入输出寄存器本地 reset/set	CLK_SYS
DQSL_TILE	input	IFIFO_RADDR[2:0]	IFIFO 读地址	CLK_IO
		IFIFO_WADDR[2:0]	IFIFO 写地址	DQSI_DEL
		DQSI_DEL	DQS 读时钟	
		WCLK	DQS 写时钟	
		WCLK_DEL	写时钟相移 270 度或 90 度	
		CLK_R	DQS 接口时钟相移 180 度或接口时钟相移 0 度	
		IOCLK[1:0]	专用的 IO CLOCK	
IOB	output	TERM	terminal 电阻使能	详见表 51 复杂信号的时钟域说明
		DO	数据输出	详见表 51 复杂信号的时钟域说明
		TO	输出三态控制, 有效时, 1 为高阻有效, 0 为数据有效	详见表 51 复杂信号的时钟域说明
		MIPI_SW_DYN_O	MIPI 动态控制输出	异步逻辑
	input	DI	IOB 数据输入	详见表 51 复杂信号的时钟域说明
PLL	output	INCK	PLL 时钟输入	
	input	OUT_EXT	PLL 时钟输出	
IOL	input	TERM_IN	IOL pair term 级联输入	异步逻辑
	input	DO_IN	IOL pair do 级联输入	异步逻辑
	input	TO_IN	IOL pair to 级联输入	异步逻辑
	output	TERM_OUT	IOL pair term 级联输出	详见表 51 复杂信号的时钟域说明
	output	DO_OUT	IOL pair do 级联输出	详见表 51 复杂信号的时钟域说明
	output	TO_OUT	IOL pair to 级联输出	详见表 51 复杂信号的时钟域说明
Global	input	GRS_N	全局 reset/set	
	input	GLOGEN	全局逻辑使能	

## ➤ 时钟域说明

表 51 复杂信号的时钟域说明

端口	涉及时钟域说明
TX_DATA[7]	直接输入输出：异步逻辑 其他应用：CLK_SYS
TS_CTRL[0]	直接输入输出：异步逻辑 其他应用：CLK_SYS
TERM	直接输入输出：异步逻辑 寄存器输入输出或 gearing2:1: CLK_SYS gearing4:1 或 gearing7:1 或 gearing8:1: CLK_IO gearing 并使用 FIFO: 输出数据类型为 WCLK, 输出时钟类型为 WCLK_DEL
DO	直接输入输出：异步逻辑 寄存器输入输出或 gearing2:1: CLK_SYS gearing4:1 或 gearing7:1 或 gearing8:1: CLK_IO gearing 并使用 FIFO: 输出数据类型为 WCLK, 输出时钟类型为 WCLK_DEL
TO	直接输入输出：异步逻辑 寄存器输入输出或 gearing2:1: CLK_SYS gearing4:1 或 gearing7:1 或 gearing8:1: CLK_IO gearing 并使用 FIFO: 输出数据类型为 WCLK, 输出时钟类型为 WCLK_DEL
DI	直接输入输出：异步逻辑 寄存器输入输出或 gearing1:2: CLK_SYS gearing1:4 或 gearing1:7 或 gearing1:8: CLK_IO gearing 并使用 IFIFO: DQSI_DEL
TERM_OUT	直接输入输出：异步逻辑 寄存器输入输出或 gearing2:1: CLK_SYS gearing4:1 或 gearing7:1 或 gearing8:1: CLK_IO gearing 并使用 FIFO: 输出数据类型为 WCLK, 输出时钟类型为 WCLK_DEL
DO_OUT	直接输入输出：异步逻辑 寄存器输入输出或 gearing2:1: CLK_SYS gearing4:1 或 gearing7:1 或 gearing8:1: CLK_IO gearing 并使用 FIFO: 输出数据类型为 WCLK, 输出时钟类型 WCLK_DEL
TO_OUT	直接输入输出：异步逻辑 寄存器输入输出或 gearing2:1: CLK_SYS gearing4:1 或 gearing7:1 或 gearing8:1: CLK_IO gearing 并使用 FIFO: 输出数据类型为 WCLK, 输出时钟类型 WCLK_DEL

## ➤ 全局信号说明

表 52 全局信号列表

全局信号	有效极性	上电过程	编程过程	用户模式	对输出信号的影响
GRS_N	0	0	0	sc_grs_dis=1, GRS_N 无效; sc_grs_dis=0, GRS_N 为用户逻辑	时序逻辑输出, GRS_N 起到置位/复位作用
GLOGEN	1	0	0	1	0: 输出到 SRB 的 output 为 1 1: output 为用户逻辑

## ➤ 输入端口初始状态

表 53 输入端口初始状态列表

来源	端口	Before Wakeup (GLOGEN = 1'b0)	User mode
SRB	TX_DATA[7:0]	8'b11_1111	User logic
	TS_CTRL[3:0]	4'b1111	User logic
	IODLY_CTRL[2:0]	3'b111	User logic
	MIPI_SW_DYN_I	1'b1	User logic
	CLK_SYS	1'b1	User logic
	CE	1'b1	User logic
	LRS	1'b1	User logic
DQSL_TILE	IFIFO_RADDR[2:0]	3'b0	User logic
	IFIFO_WADDR[2:0]	3'b0	User logic
	DQSI_DEL	1'b0	User logic
	WCLK	1'b0	User logic
	WCLK_DEL	1'b1	User logic
	IOCLK[1:0]	2'b0	User logic
	CLK_R	1'b1	User logic
IOB	DI	1'b1	User logic
PLL	OUT_EXT	1'b0	User logic

### 3. IO LOGIC 的时钟选择单元

IO LOGIC 的时钟选择单元逻辑框图如下所示。

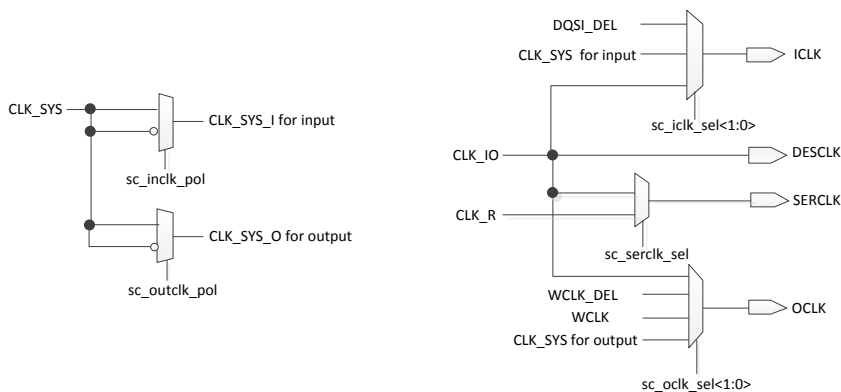


图 21 IO LOGIC 时钟选择单元

CLK\_SYS\_I 连接输入模块部分，包括 IDDR 单元和输入寄存器的系统时钟，可单独配置为 CLK\_SYS 或者相反的极性，也可以配置为 0 或者 1。

CLK\_SYS\_O 连接输出模块部分，包括 ODDR 单元和输出寄存器的系统时钟，可单独配置为 CLK\_SYS 或者相反的极性，也可以配置为 0 或者 1。

ICLK 在 IDDR 单元作为输入时钟，可选择 DQSI\_DEL, CLK\_SYS\_I 或者 CLK\_IO。

OCLK 在 ODDR 单元作为输出时钟，可选择 WCLK, WCLK\_DEL 取反, CLK\_SYS\_O 或者 CLK\_IO。

DESCCLK 和 SERCLK 为串并转换时钟，分别在 IDDR 和 ODDR 中起作用。DESCCLK 都来源于

CLK\_IO, SERCLK 在 OMSER4 和 OMSER8 的模式下来自 CLK\_R, 其他模式来自 CLK\_IO。

## 4. IO DELAY 单元

每个 I/O PAD 包含一个 IO DELAY 单元, 可用于输入或输出延迟, 提供  $15\text{steps} * 25\text{ps} = 375\text{ps}$  的延迟; 它可以提供静态配置或动态调节的 DELAY 模式。IO DELAY 常用于调节采样窗口或调整输出时序, 改善 SSO (simultaneous switching output)。

IO DELAY 单元结构如下图所示。

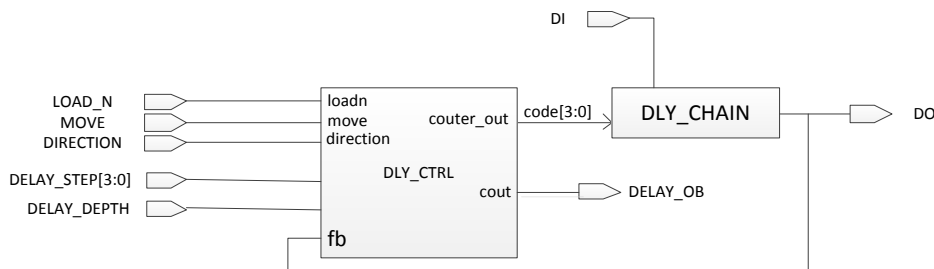


图 22 IODELAY 单元

如图 22 IODELAY 所示, 当 LOAD\_N=0 时, DLY\_CTRL 采用 DELAY\_STEP 的静态延时配置; 当 LOAD\_N=1 时, DLY\_CTRL 采用动态调节延时模式, 由 MOVE 和 DIRECTION 传递动态延时向量。

动态调节延时, 通过 MOVE、DIRECTION 和 LOAD\_N 共同作用来调整。

LOAD\_N=1 时, 并且当 SC\_IODLY\_DEGL=0 时, 如果 DIRECTION 为 0 并且 code[3:0] 小于 15, 则每出现一个 MOVE 下降沿, 输出 code 加 1; 如果 code[3:0] 大于 15, 则 cout 拉高, 调整溢出, 输出 code 码不变; 如果 DIRECTION 为 1 时, 每出现一个 move 下降沿, 输出 code 减 1, 当输出 code 减小到 0 时 cout 拉高, 调整溢出。

为了消除 IO DELAY 单元输出的毛刺, 模块中增加了 SC\_IODLY\_DEGL 信号。具体结构如下图所示。



图 23 SC\_IODLY\_DEGL 相关结构

在输入端, MOVE 与 DI 分处在异步时钟域, 而 code 在动态调节时的时序是跟 MOVE 保持一致的。当 SC\_IODLY\_DEGL=0 时, code 与 DI 为异步逻辑, 通过 IO DELAY 单元后会产生毛刺。当 SC\_IODLY\_DEGL=1 时, 实际起作用的 moven 拉到了 fb 的时钟域, 即 DI 的时钟域, code 与 DI 同步, 消除了 IO DELAY 单元输出的毛刺。

DLY\_CHAIN 是一个可提供  $15\text{steps} * 25\text{ps} = 375\text{ps}$  再加上本征延迟的延迟单元(与 DQSL 本征延

迟匹配), 由 code[3:0]来选择进行 delay step 的选择。

PDS 软件库为 IO DELAY 单元提供专用的原语, 用户可以在源代码 Verilog/VHDL 中例化 GTP\_IODELAY 原型模块。以 Verilog 例化为例:

```
GTP_IODELAY #(
    .DELAY_STEP  (4'd0    ),
    .DELAY_DEPTH (4       )
)u_GTP_IODELAY
(
    .DI          (DI       ),
    .DO          (DO       ),
    .LOAD_N      (LOAD_N   ),
    .MOVE        (MOVE     ),
    .DIRECTION   (DIRECTION),
    .DELAY_OB    (DELAY_OB )
);
```

IO DELAY 原型模块的参数及信号说明如下:

表 54 GTP\_IODELAY 参数&端口说明

端口信号	输入/输出	说明
DELAY_STEP[3: 0]	参数	Step 数设置, 0~15 对应延迟 1~16 个 step, 用于静态调节
DELAY_DEPTH	参数	DELAY 深度设置。置 4, 表示 $2^4$ 。
DI	输入	输入数据
DO	输出	输出数据
DIRECTION	输入	置 0 为动态增加 delay step, 置 1 为动态减少 delay step
MOVE	输入	下降沿触发动态微调, 根据 DIRECTION 不同增加一个 step 或减小一个 step。
LOAD_N	输入	低有效, 将 delay step 复位至 DELAY_STEP 值。
DELAY_OB	输出	溢出指示信号, 当 DIRECTION 置 0 时, 内部 delay step 为 127 时变高; 当 DIRECTION 置 1 时, delay step 为 0 时变高。

通过配置位控制可实现可编程输出 delay 单元和可编程输入 delay 单元的复用。

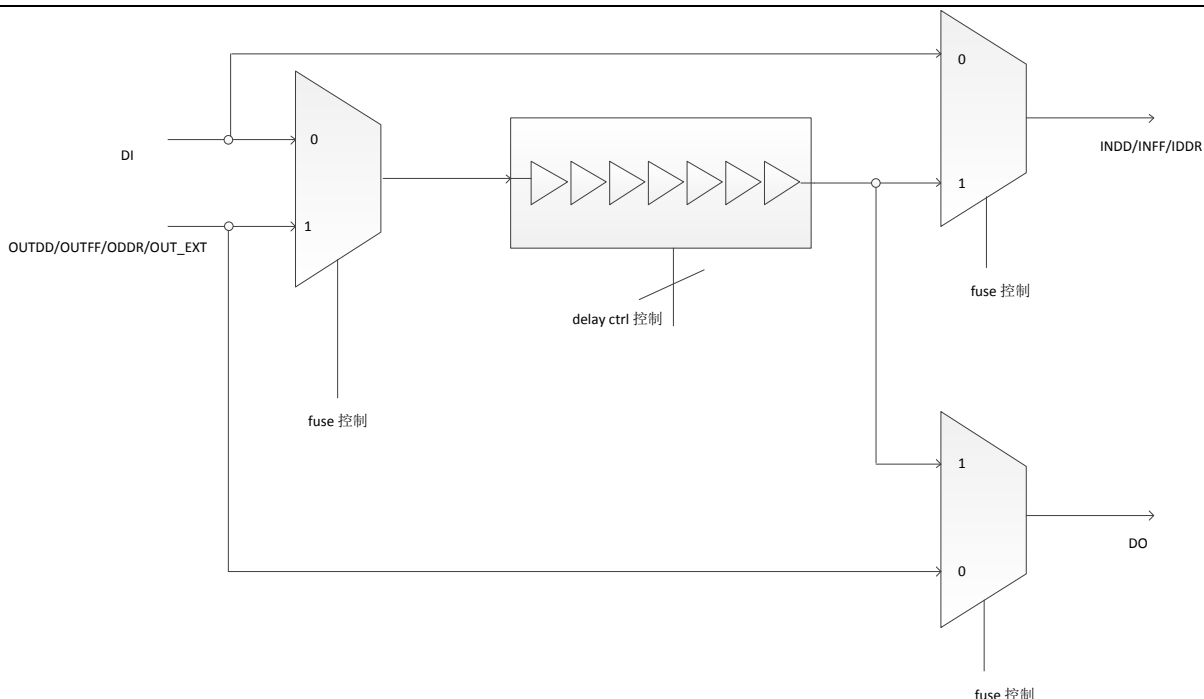


图 24 输入输出 IO DELAY 复用

## 5. 寄存器单元

IO LOGIC 的输入输出寄存器的功能图如下所示。

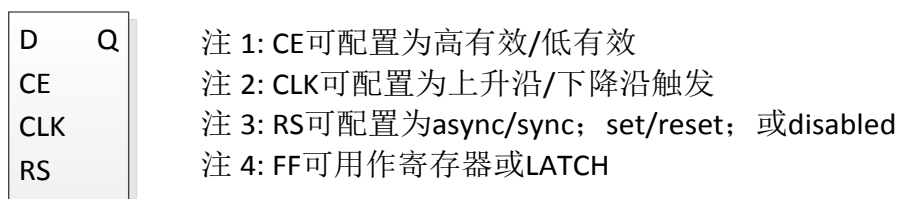


图 25 IO LOGIC 寄存器功能图

IO LOGIC 的输入输出寄存器的结构如下图所示。

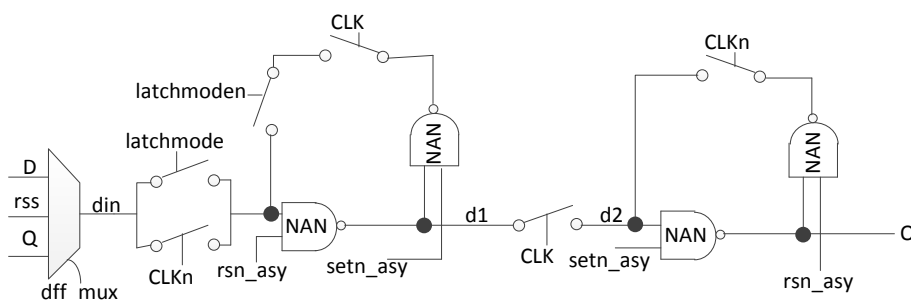


图 26 IO LOGIC 寄存器结构图

当 dff\_mux 配置为同步，CE 有效并且 RS 不起作用时选择 D；配置为同步或异步，RS 起作用时选择 rss，并且 RS 配置为 set 时，rss 为 1，RS 配置为 reset 时，rss 为 0；配置为同步，CE 无效并且 RS 不起作用时选择 Q。配置为异步时，默认选择为 D。

图 26 中 latchmode 当配置为 LACTH 模式时为 1，配置为 FF 模式时为 0，并且受异步 RS 控制，

RS 有效时，latchmode 为 1。

图 26 中 CLK 来自于 CLK\_SYS\_I（输入寄存器）或者 CLK\_SYS\_O（输出寄存器）。

rsn\_asy 和 setn\_asy 为异步的低有效的 reset 和 set 信号。其中 RS 配置为异步 reset 时，rsn\_asy 有输入，setn\_asy 无输入。RS 配置为异步 set 时，rsn\_asy 无输入，setn\_asy 有输入。RS 配置为同步时，rsn\_asy 和 setn\_asy 都无输入。

输入输出寄存器的使用方法是，在 PDS>UCE>Device>I/O Tabs 的相应 IO 的“IO\_REGISTER”下面勾选，如下图所示。

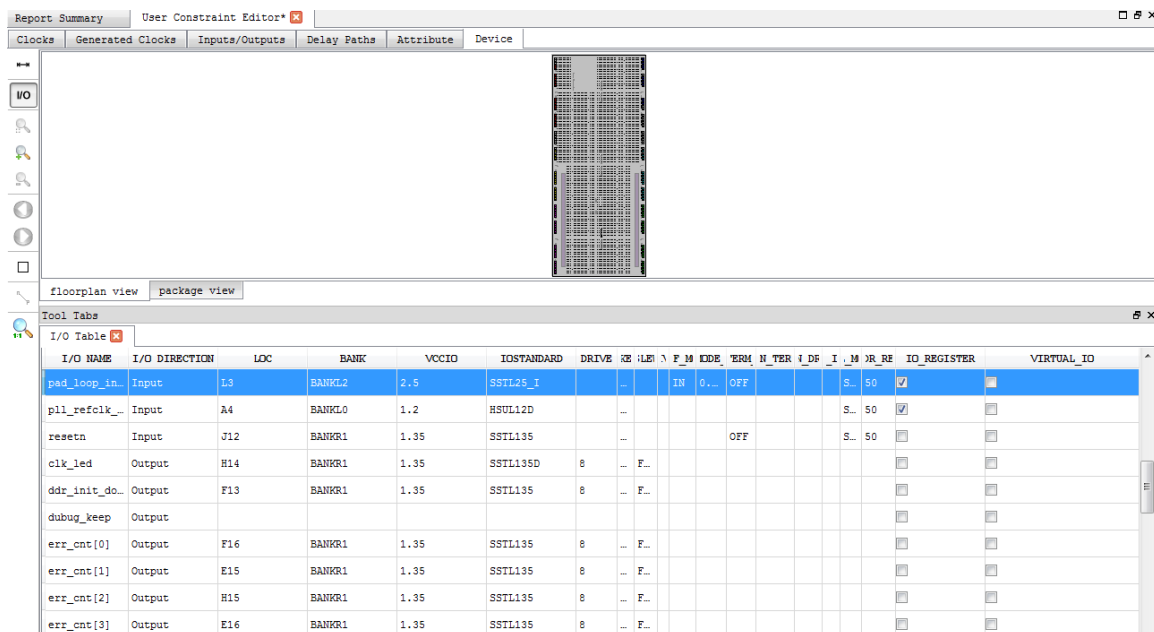


图 27 IO 寄存器约束方法示意图

## 6. Input/Output DDR 单元

Logos 系列产品的 IO LOGIC 包含 Input DDR 和 Output DDR 单元，它们能灵活支持各种应用接口，除了常用的直接输入/输出和输入/输出寄存器之外，为了使器件能支持 DDR memory 接口，IO LOGIC 具有数据输入输出速率转换功能。

Input DDR 单元能够支持四种速率转换模式：1:2、1:4、1:7、1:8

Output DDR 单元能够支持四种速率转换模式：2:1、4:1、7:1、8:1

### 1.1 Input DDR 单元

Input DDR 单元主要由 IFIFO 和 GEAR LOGIC 两部分组成。其中，IFIFO 主要作用于 DDR memory interface 中，其功能包括从外部非连续 DQS 到内部连续时钟的时钟域转换，DDR3 读数据的 realign，一些特殊的 Generic DDR 应用以及补偿采样时钟和内部时钟的相位差；GEAR LOGIC 的主要功能是扩展采样后的数据的位宽，并把它从高速的 DESCLK 转移到较低速的系统时钟域，以方便 Fabric 处



理。

Input DDR 单元可通过参数 ISERDES\_MODE 配置成不同的工作模式,这些工作模式包括:IDDR, IMDDR, IDES4, IMDES4, IDES7, IDES8 和 IMDES8。

PDS 软件库为方便用户使用 Input DDR 单元提供了专用原语,用户可以在源代码(Verilog/VHDL)中例化 GTP\_ISERDES 原型模块。以 Verilog 例化为例:

```
GTP_ISERDES #(
  .ISERDES_MODE ("IDDR"),
  .GRS_EN        ("TRUE" ),
  .LRS_EN        ("TRUE" )
) u_ISERDES(
  .DI             (DI          ),
  .ICLK           (ICLK       ),
  .DESCLK         (DESCLK    ),
  .RCLK           (RCLK       ),
  .WADDR          (WADDR     ),
  .RADDR          (RADDR     ),
  .RST            (RST        ),
  .DO             (DO         )
)
```

GTP\_ISERDES 的参数及信号说明如下:

表 55 GTP\_ISERDES 参数&端口说明

端口信号	输入/输出	说明
ISERDES_MODE	参数	ISERDES 工作模式配置,缺省值是 IDDR,其他可配置参数 "IDDR","IMDDR","IDES4","IMDES4","IDES7","IDES8","IMDES8"
GRS_EN	参数	全局复位使能,“TRUE”表示使能全局复位,“FALSE”表示关闭全局复位。
LRS_EN	参数	局域复位使能,“TRUE”表示使能局域复位,“FALSE”表示关闭局域复位。
DO[7:0]	输出	输出数据
DI	输入	PAD 输入信号
ICLK	输入	IMDDR, IMDES4, IMDES8 共用的输入时钟
DESCLK	输入	解串时钟
RCLK	输入	IDDR, IDES4, IDES7, IDES8 共用的输入时钟
WADDR[2:0]	输入	与 DDC 相连的 FIFO 的写地址信号
RADDR[2:0]	输入	与 DDC 相连的 FIFO 的读地址信号
RST	输入	复位信号,高有效

GTP\_ISERDES 通常会与 GTP\_INBUF, GTP\_INBUFG, GTP\_INBUFDS 和 GTP\_INBUFGDS 一起使用,下图以 GTP\_INBUFDS 为例说明 GTP\_ISERDES 与之连接的方式。



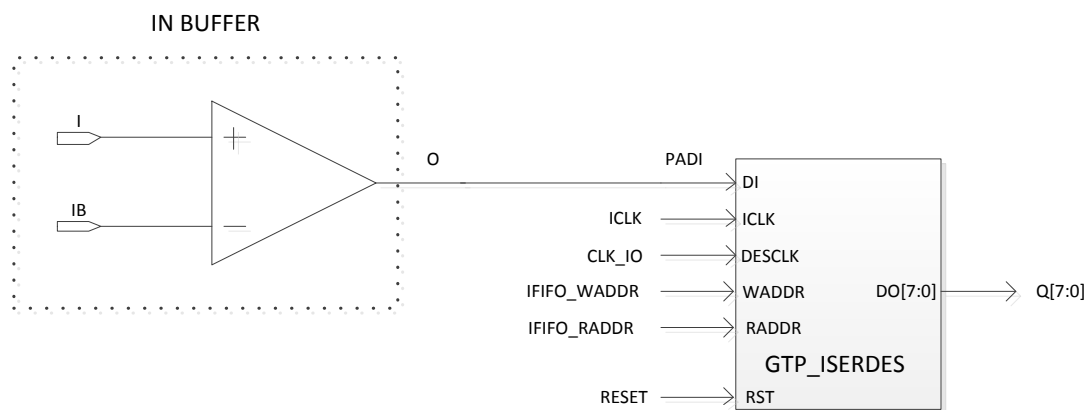


图 28 GTP\_ISERDES 常用连接方式

下面分别介绍 Input DDR 的不同工作模式。

### ➤ IDDR

当 Input DDR 配置为 IDDR 模式时，其功能图可化简为下图。



图 29 IDDR 功能图

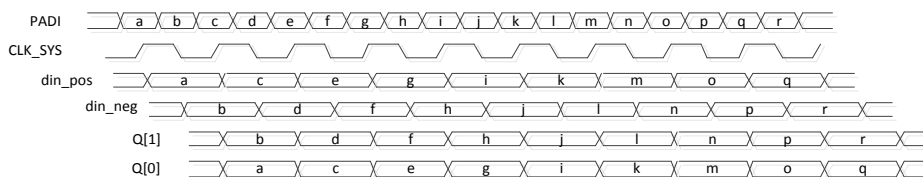


图 30 IDDR 时序图

注：时序图中的 a, b, c, d 等字母用以代表 bit 数据的位置信息，就数据而言数值为‘0’或‘1’。

### ➤ IMDDR

当 Input DDR 配置为 IMDDR 模式时，与 IDDR 结构相比，IMDDR 使能了其中的 IFIFO。其功能图可简化为下面的图例。

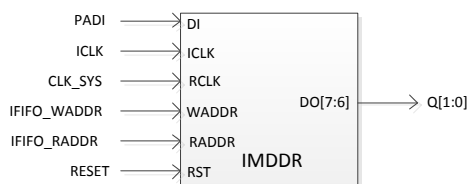


图 31 IMDDR 框图

IMDDR 时序图如下。

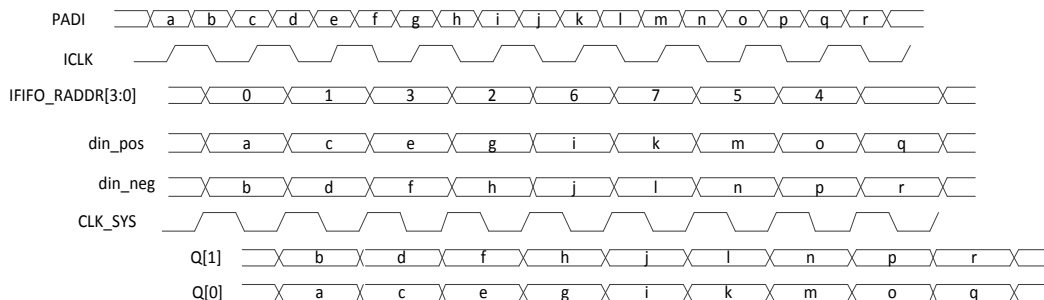


图 32 IMDDR 时序图

## ➤ IDES4

当Input DDR配置为IDES4时，与GTP\_INBUF, GTP\_INBUFG, GTP\_INBUFDS或GTP\_INBUFGDS配合使用。其功能图可简化为下面的图例。

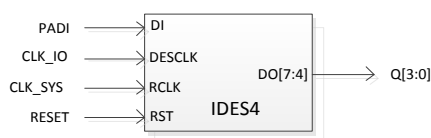


图 33 IDES4 框图

IDES4 时序图如下所示。

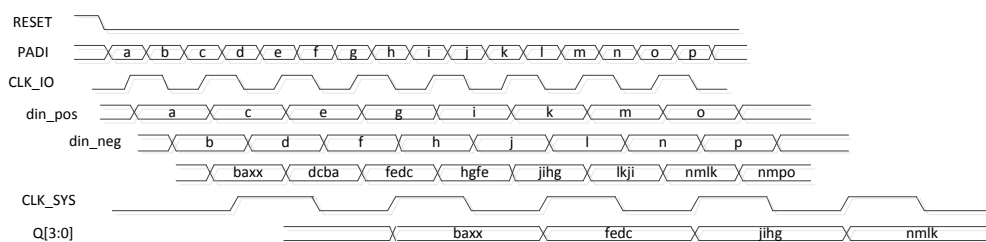


图 34 IDES4 时序图

## ➤ IMDES4

当 Input DDR 配置为 IMDES4 时，与 IDES4 相比，IMDES4 使能了其中的 IFIFO。其功能图可简化为如下图例。

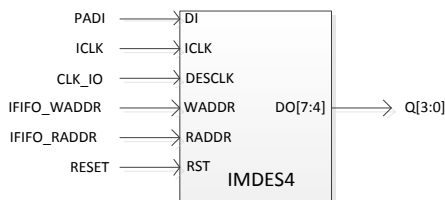


图 35 IMDES4 功能图

IMDES4 时序图如下。

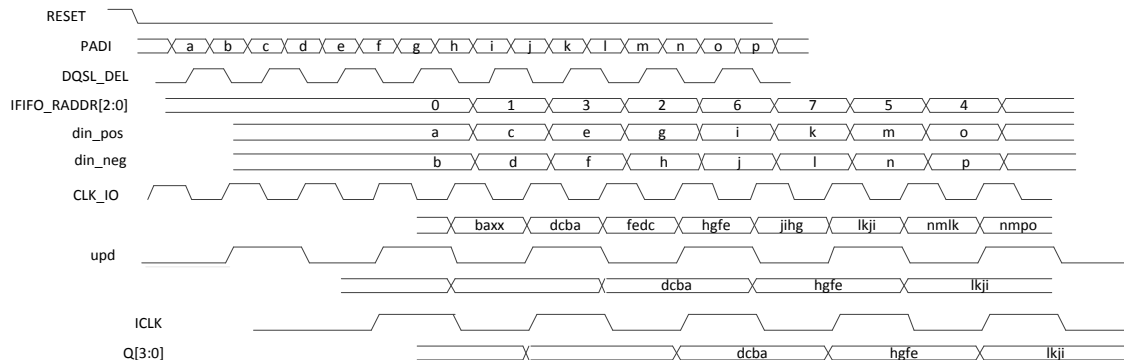


图 36 IMDES4 时序图

upd 信号在异步 RESET 之后的 1 个 clk 周期后, 开始起作用, 并且每两个 CLK\_IO 有效一次。

### ➤ IDES7

当Input DDR配置为IDES7时, 使用方法与IDES4相同。其功能图可简化为如下图例。

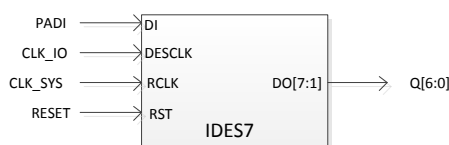


图 37 IDES7 功能图

IDES7时序图如下所示。

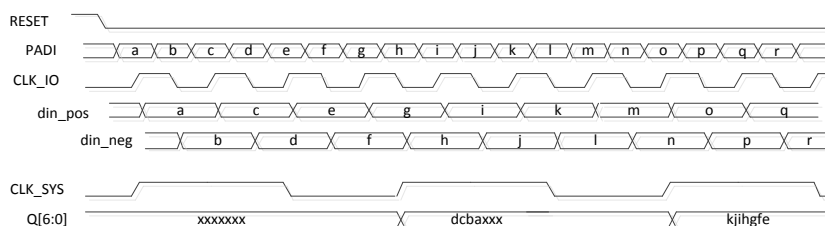


图 38 IDES7 时序图

### ➤ IDES8

当Input DDR配置为IDES8时, 使用方法与IDES4相同。其功能图可简化为如下图例。

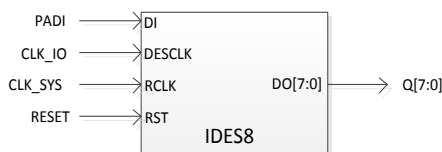


图 39 IDES8 框图

IDES8 时序图如下所示。

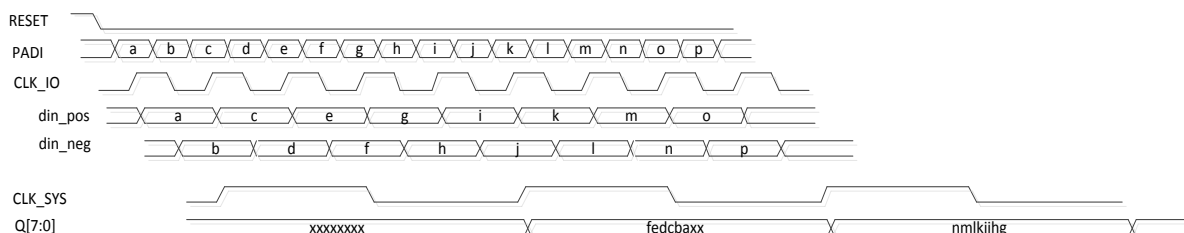


图 40 IDES8 时序图

## ➤ IMDES8

当 Input DDR 配置为 IMDES8 时，与 IDES8 相比，IMDES8 使能了其中的 IFIFO。其功能图可简化为如下图例。

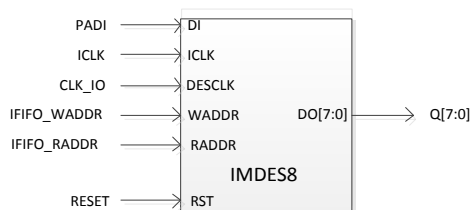


图 41 IMDES8 功能图

IMDES8 时序图如下所示。

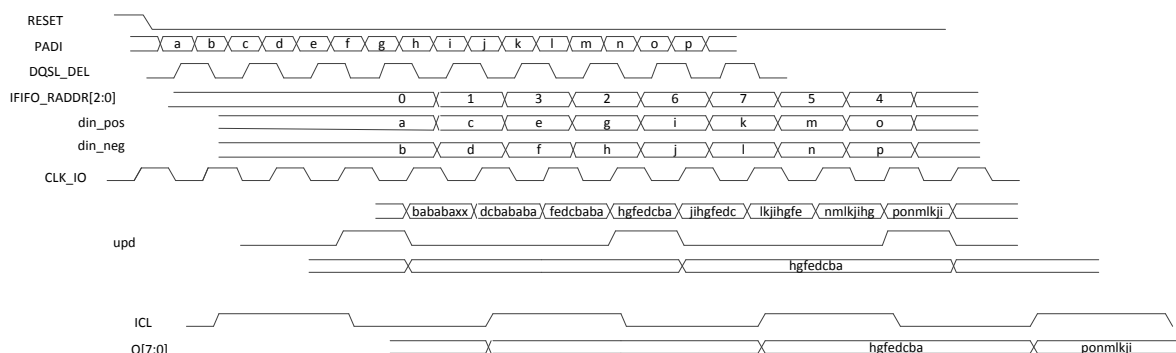


图 42 IMDES8 功能图

IMDES8 功能时，upd 信号在异步 rst 之后的 2 个 clk 周期后，开始起作用，并且每 4 个 clk 周期有效一次。

## 1.2 Output DDR 单元

Output DDR 的主要功能是把来自 Fabric 的数据，从 CLK\_SYS 转移到 SERCLK 时钟域，并转换成高速的串行数据流发送出去。每个 Output DDR 单元可支持输出速率转换 2:1，4:1，7:1 和 8:1。

Output DDR 单元可通过参数 OSERDES\_MODE 配置成不同的工作模式，这些工作模式包括：ODDDR，OMDDR，OSER4，OMSER4，OSER7，OSER8 和 OMSER8。

PDS 软件库为方便用户使用 Output DDR 单元提供了专用原语，用户可以在源代码(Verilog/VHDL)中例化 GTP\_OSERDES 原型模块。以 Verilog 例化为例：

```
GTP_OSERDES #(
    .OSERDES_MODE ("ODDDR"),
    .WL_EXTEND     ("FALSE"),
    .GRS_EN        ("TRUE"),
    .LRS_EN        ("TRUE"),
    .TSDDR_INIT    (1'b0)
) u_OSERDES(
```

```
.DO          (DO          ),
.TQ          (TQ          ),
.DI          (DI          ),
.TI          (TI          ),
.RCLK        (RCLK        ),
.SERCLK      (SERCLK      ),
.OCCLK       (OCCLK       ),
.RST         (RST         )
);
```

GTP\_OSERDES 的参数及信号说明如下：

表 56 GTP\_OSERDES 参数&端口说明

端口信号	输入/输出	说明
OSERDES_MODE	参数	OSERDES 工作模式配置，缺省值是 ODDR，其他可配置参数 "OMDDR","OSER4","OMSER4","OSER7","OSER8",OMSER8"
GRS_EN	参数	全局复位使能，“TRUE”表示使能全局复位，“FALSE”表示关闭全局复位。
LRS_EN	参数	局域复位使能，“TRUE”表示使能局域复位，“FALSE”表示关闭局域复位。
TSDDR_INIT	参数	TQ初始态控制，1'b0:TQ初始态为0，1'b1: TQ初始态为1
WL_EXTEND	参数	Write Leveling 扩展，“TRUE”或者“FALSE”
DO	输出	输出数据
TQ	输出	三态控制输出
DI[7: 0]	输入	输入数据
TI[3: 0]	输入	三态控制输入
OCCLK	输入	数据输出时钟
SERCLK	输入	串行时钟
RCLK	输入	输入时钟
RST	输入	复位信号，高有效

GTP\_OSERDES 通常跟 GTP\_OUTBUF，GTP\_OUTBUFDS，GTP\_OUTBUFCO，GTP\_OUTBUFTCO，GTP\_OUTBUFTDS 和 GTP\_OUTBUFT 一起使用。下图以 GTP\_OUTBUFTDS 为例，说明了 GTP\_OSERDES 与之连接的关系。

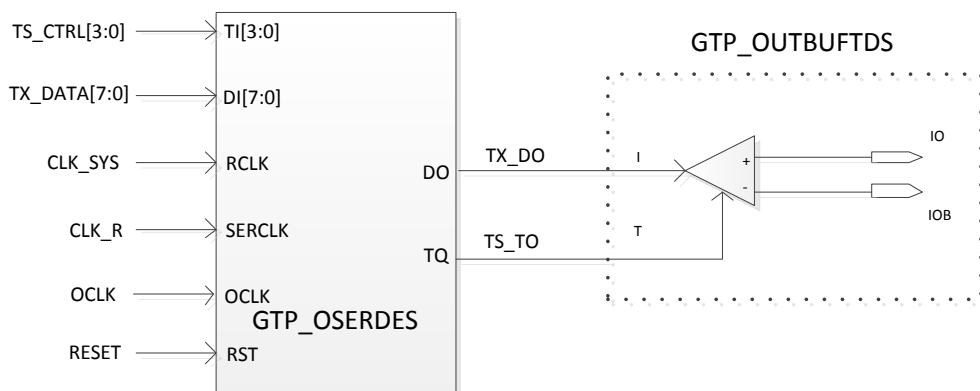


图 43 GTP\_OSERDES 常用连接方法

在使用 GTP\_OSERDES 时，分为有三态控制和没有三态控制两类模式。当没有三态控制时，GTP\_OSERDES 是不开放 TI 和 TQ 的。

下面分别介绍 Output DDR 不同的工作模式。

## ➤ ODDR

当 Output DDR 配置为 ODDR 模式时，其功能图可化简为下图。



图 44 ODDR 功能图

ODDR 时序图如下所示。

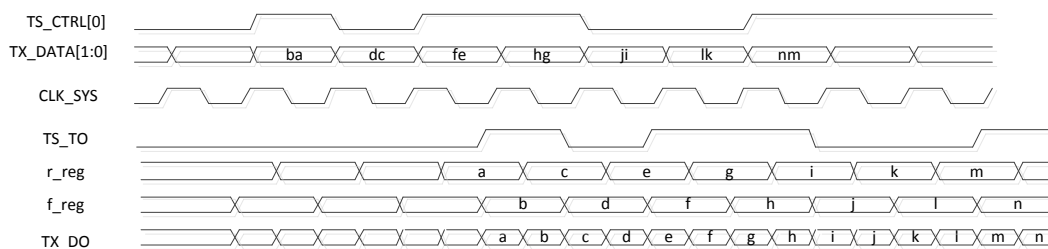


图 45 ODDR 时序图

ODDR 及 OMDDR, OSER4, OMSER4, OSER8 和 OMSER8 均有两种形态，一种为如上图所示的带三态控制 TS\_TO 的输出，另一种为不带三态输出的输出，OSER7 只有不带 TS\_TO 的输出。

## ➤ OMDDR

当 Output DDR 配置为 OMDDR 模式时，其功能图可化简为下图。

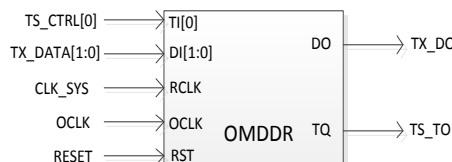


图 46 OMDDR 框图

跟 ODDR 相比，OMDDR 多一次从 CLK\_SYS 到 OCLK 的时钟域转换。时序图如下所示。

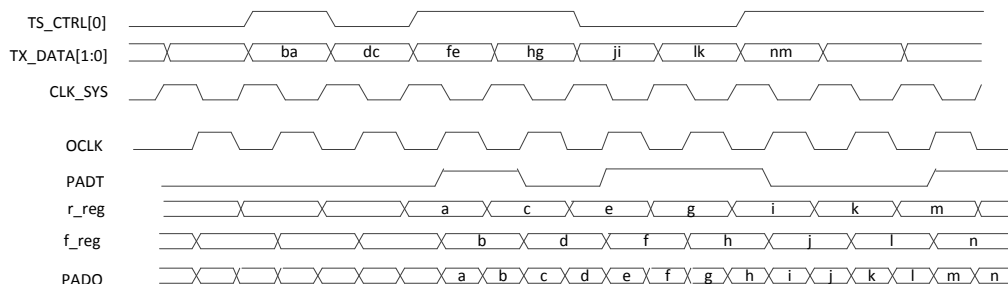


图 47 OMDDR 时序图

## ➤ OSER4

当 Output DDR 配置为 OSER4 模式时，与 GTP\_OUTBUFT, GTP\_OUTBUFTDS 或 GTP\_OUTBUFTCO 配合使用。其功能图可化简为下图。

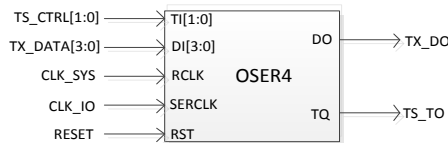


图 48 OSER4 功能图

OSER4 时序图如下所示。

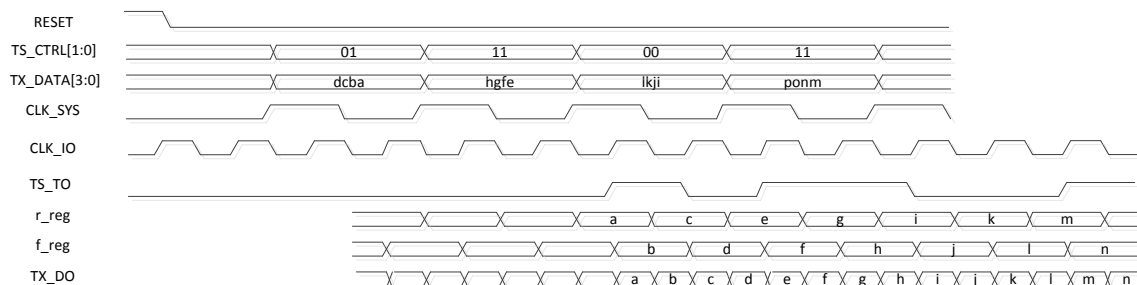


图 49 OSER4 时序图

## ➤ OMSER4

当 Output DDR 配置为 OMSER4 模式时，其功能图可化简为下图。

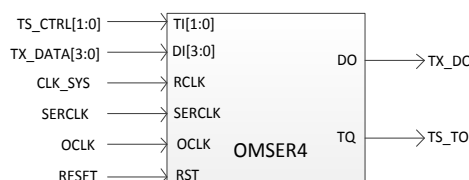


图 50 OMSER4 框图

跟 OSER4 相比，OMSER4 增加了从 SERCLK 到 OCLK 的时钟域转换。OMSER4 的时序图如下所示。

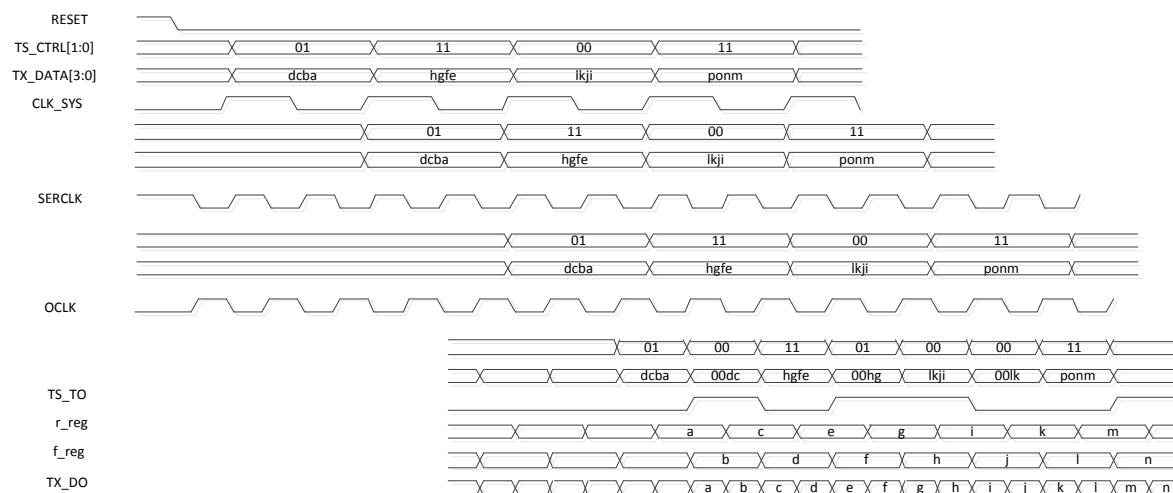


图 51 OMSER4 时序图

## ➤ OSER7

当 Output DDR 配置为 OSER7 模式时，与 GTP\_OUTBUF, GTP\_OUTBUFDS 或 GTP\_OUTBUFCO 配合使用。其功能图可化简为下图。

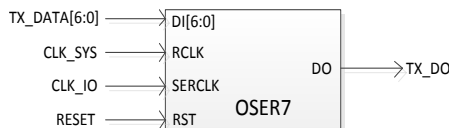


图 52 OSER7 功能框图

OSER7 时序图如下所示。

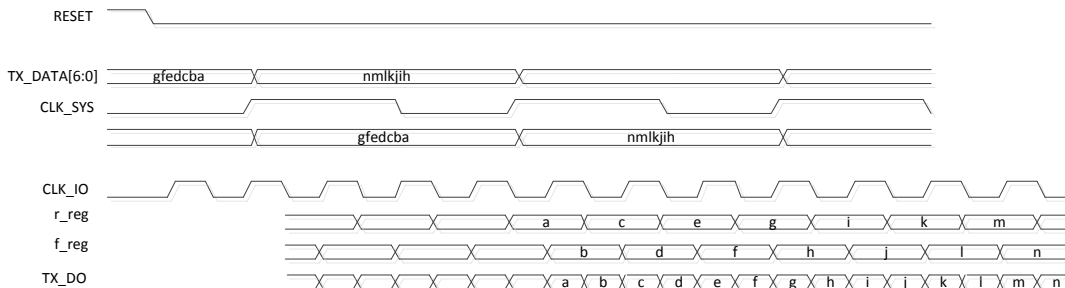


图 53 OSER7 时序图

## ➤ OSER8

当 Output DDR 配置为 OSER8 模式时，使用方法与 OSER4 相同。其功能图可化简为下图。

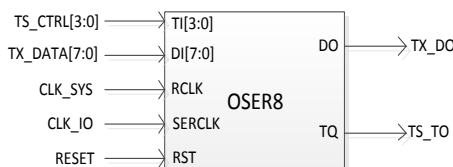


图 54 OSER8 功能框图

OSER8 时序图如下所示。

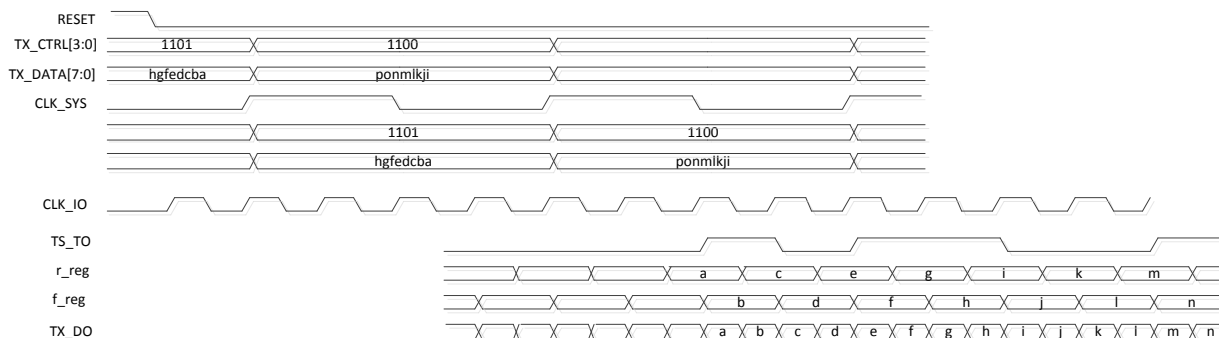


图 55 OSER8 时序图

## ➤ OMSER8

当 Output DDR 配置为 OMSER8 模式时，其功能图可化简为下图。

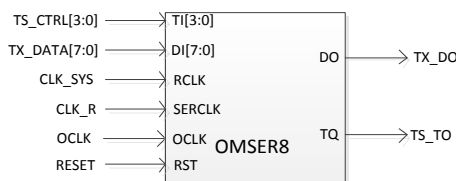


图 56 OMSER8 框图

这里的 CLK\_R 选择是 DQSL 接口时钟相移 180 度。



跟 OSER8 相比，OMSER8 增加了从 SERCLK 到 OCLK 的时钟域转换。OMSER8 时序图如下所示。

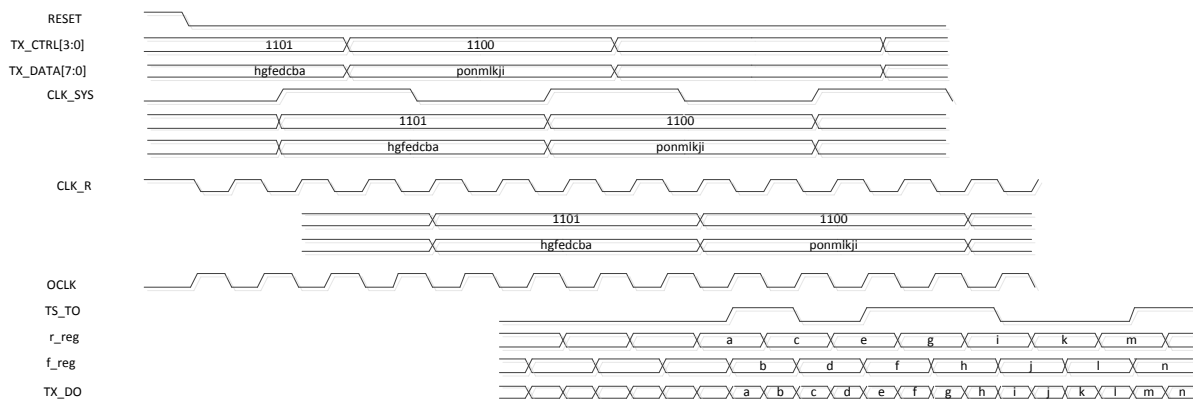


图 57 OMSER8 时序图

### 1.3 IOL 功能特性

IOL 支持模式和对应的应用如下表所示：

表 57 IOL 的支持模式与应用

输入模式	输出模式	应用
IFF	OFF/TSFF	SDR
IMDDR	OMDDR	DDR1/DDR2
IDDR	ODDR	Generic DDR
IMDES4	OMSER4	DDR2/DDR3
IDES4	OSER4	Generic DDR
IMDES8	OMSER8	DDR3
IDES8	OSER8	Generic DDR
IDES7	OSER7	Video
		7to1 LVDS

## 免责声明

### 版权声明

本文档版权归深圳市紫光同创电子有限公司所有，并保留一切权利。未经书面许可，任何公司和个人不得将此文档中的任何部分公开、转载或以其他方式披露、散发给第三方。否则，公司必将追究其法律责任。

### 免责声明

- 1、本文档仅提供阶段性信息，所含内容可根据产品的实际情况随时更新，恕不另行通知。如因本文档使用不当造成的直接或间接损失，本公司不承担任何法律责任。
- 2、本文档按现状提供，不负任何担保责任，包括对适销性、适用于特定用途或非侵权性的任何担保，和任何提案、规格或样品在他处提到的任何担保。本文档在此未以禁止反言或以其他方式授予任何知识产权使用许可，不管是明示许可还是暗示许可。
- 3、公司保留任何时候在不事先声明的情况下对公司系列产品相关文档的修改权利。