

SALELF®3L90CG400B（以下简称 EF3L90CG400B）_MINI 开发板应用例程使用指南

1 术语/缩略词

FPGA®（以下简称 FPGA）：Field Programmable Gate Array 现场可编程门阵列

TangDynasty®（以下简称 TD）：Tang Dynasty 安路 FPGA 编程软件

JTAG：Joint Test Action Group 联合测试工作组

2 关于本手册

本文档是基于 SALELF®3（简称 EF3）系列 FPGA 应用例程使用指南，配套使用的 DEMO 板型号为 EF3L90CG400B_MINI_V2.0（以下简称 MINI DEMO 板）。文中对每个例程的功能、工程文件、移植注意事项等方面做了详细阐述。

本文共提供了 8 个例程，具体例程列表见表 3-1-1。对于 EF3 系列 FPGA 器件的特性和使用方法，请参考《DS600_ELF3_Datasheet》以及 EF3 系列 FPGA 各个模块相应的用户手册，对于此 MINI DEMO 板的硬件介绍，请参考《TN621_安路科技 EF3L90CG400B_MINI 板硬件使用指南》。本文提供的 8 个例程，均基于型号为 EF3L90CG400B_MINI_V2.0 的 DEMO 板进行开发和演示。例程均使用安路科技在线下载器 AL-LINK-V3.0 进行下载调试。

3 MINI DEMO 板功能简介

本 MINI DEMO 板为用户提供常见的外设，如 Micro SD 卡、LED 指示灯、轻触按键开关等，同时在扩展 IO 排针上预留若干单端 GPIO、LVDS 差分 and ELVDS 伪差分 IO 口。

MINI DEMO 板实物如下图所示。

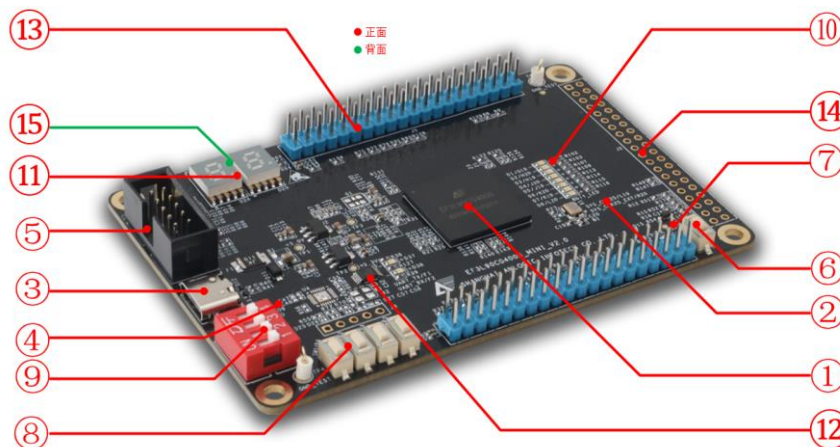


图 3-1-1 MINI DEMO 板参考照片

MINI DEMO 板的相应功能和外设如下：

- ① EF3L90CG400B 主芯片
- ② Clcok_25MHz 时钟
- ③ TYPE_C 供电接口
- ④ POWER_LED 指示灯
- ⑤ JTAG 调试口
- ⑥ PROGN 复位按键
- ⑦ DONE_LED 指示灯
- ⑧ 按键
- ⑨ 拨码开关
- ⑩ LED 指示灯
- ⑪ 数码显示管
- ⑫ 串口模块
- ⑬ 用户扩展接口
- ⑭ 配置接口
- ⑮ Micro SD 卡

3.1 MINI DEMO 板应用例程简介

本文基于 MINI DEMO 板，提供 DEMO 工程。具体演示项目如下表所列：

表 3-1-1 例程列表

项目	例程功能
例程 1	数码管显示屏
例程 2	键控流水灯
例程 3	PLL 动态调整相位
例程 4	DNA 码读取
例程 5	Flash 读写
例程 6	ERAM 读写

项目	例程功能
例程 7	DSP 乘法器实现
例程 8	UART 串口通信

以下将分别对每个例程的功能和演示目的进行简要说明。

3.1.1 数码管显示屏

功能概括：两个数码管循环显示 0-99 字符。

功能说明：集成在 MINI DEMO 上的两个数码管在位流下载后自动显示 0 字符，并不断加 1 显示，最终在显示字符 99 后重新跳回 0 字符，实现字符 0-99 的循环变化显示。

3.1.2 键控流水灯

功能概括：通过按键控制 LED 流水灯方向。

功能说明：通过选用外设按键与拨码开关控制 LED 灯的显示功能，对输入的按键信号设计按键消抖模块，消除按键抖动造成的影响。

3.1.3 PLL 动态调整相位

功能概括：通过按键实现 PLL 输出时钟相位的动态变化。

功能说明：通过按键对输出的时钟信号的相位进行改变，相位变化随按键按下次数的增大而增大。

3.1.4 DNA 码读取

功能概括：实现芯片 DNA 码的读取。

功能说明：设计移位模块输出 DNA 数据，经过串转并得到芯片的 DNA 码。

3.1.5 Flash 读写

功能概括：使用 SPI 模块对 Flash 进行读写。

功能说明：设计 SPI 模块对 MINI DEMO 板中内置的 Flash 存储资源进行读写，并设计读写验证模块验证 flash 读写的数据是否正确。

3.1.6 ERAM 读写

功能概括：实现对 ERAM 存储资源双端口的写读操作。

功能说明：通过设计 ERAM 控制模块，实现对例化 RAM IP 模块双端口的分别写操作与读操作，并抓

取数据验证读出数据正确性。

3.1.7 DSP 乘法器实现

功能概括：实现 FPGA 芯片内部 DSP 乘法器功能。

功能说明：将多种不同符号的乘数送入例化后的 DSP IP 核，通过 CWC 抓取计算结果实现乘法器功能的验证。

3.1.8 UART 串口通信

功能概括：实现 MINI DEMO 板 UART 数据回环。

功能说明：设计 UART 串口发送和接收模块，对 PC 发送的串口数据进行接收同时返回给 PC。

4 MINI DEMO 板例程详细说明

下文针对每个例程进行详细介绍和说明。对于每个例程，分为“环境描述”，“功能描述”，“演示方法”以及“工程文件”四个部分。其中，“环境描述”是介绍例程使用之前，需要准备的软件及其设置方法，硬件外设需求及连接和设置方法；“功能描述”是介绍 FPGA 设计方法，设计原理和注意事项；“演示方法”介绍 DEMO 工程演示的具体操作步骤，预期得到的结果和分析判断方法；“工程文件”列举了工程运行的一些环境和属性设置。

4.1 数码管显示屏例程

4.1.1 环境描述

数码管是工程设计中实现简单，使用范围较大的显示输出器件。一个 7 段数码管（如果包括右下的小点可以认为是 8 段）分别由 a、b、c、d、e、f、g 位段和表示小数点的 dp 位段组成。包含 8 个 LED 灯，可以通过控制每个 LED 的点亮或熄灭实现数字显示。通常数码管分为共阳极数码管和共阴极数码管，共阴 8 段数码管的信号端低电平有效，而共阳端接高电平有效。当共阳端接高电平时只要在各个位段上加上相应的低电平信号就可以使相应的位段发光。比如：要使 a 段发光，则在 a 段信号端加上低电平即可；共阴极的数码管则相反。数码管的控制和 LED 的控制有相似之处。

在 MINI DEMO 上有两位共阴极数码管，数码管所有的信号都连接到 FPGA 的管脚，作为输出信号控制。FPGA 输出不同信号控制数码管相应位段 LED 灯的点亮或者熄灭。下图所示为开发板上的数码管显示示意图。

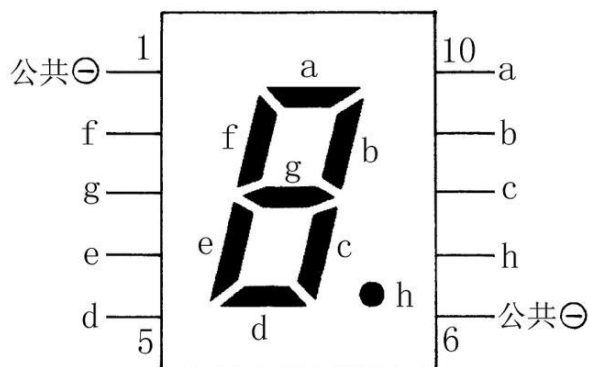


图 4-1-1 数码管显示示意图

4.1.2 功能描述

本例程将实现开发板两个显示屏循环显示 0-99 字符；按键 KEY1 进行全局复位，设计框图如下图所示。具体现象可以将数码管显示屏程序加载到开发板上进行查看。

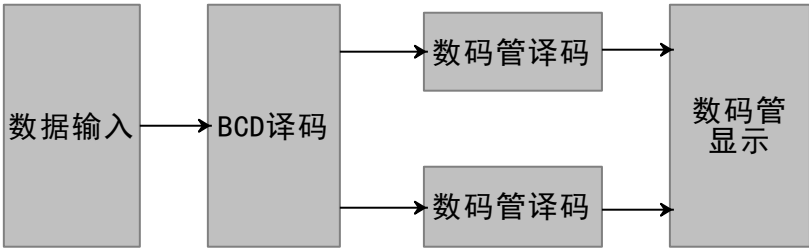


图 4-1-2 数码管显示设计框图

4.1.3 演示方法

编译下载 FPGA 的位流文件，数码管自动从 0-99 进行循环显示。

4.1.4 工程文件

本例程可以在 MINI DEMO 板上进行下载位流进行测试。提供的文件如下表所示。

表 4-1-1 演示工程说明

参数	说明
Reference Design	Yes
RTL Language	Verilog
Test bench	N/A
Test bench Format	Verilog
Simulation	N/A
C	N/A
IP Model	N/A
Project Platform	MINI DEMO 板
TD Version	TD5. 6. 2_71036
Downloader Version	AL-LINK-V3. 0

4.2 键控流水灯

4.2.1 环境描述

MINI DEMO 板提供丰富的外设资源与 IO 接口，包括按键、LED 灯、UART 接口等，该例程将选用按键或者开关进行 LED 的控制实验。

在 MINI DEMO 板上集成了多个 LED 灯、按键和开关，其中 LED 信号与 FPGA 引脚相连接，作为 FPGA 输出信号控制，当 FPGA 输出低电平时 LED 变亮，当 FPGA 输出高电平时 LED 熄灭。Key 是按键控制信号，SW 是开关控制信号。这两种信号与 FPGA 的引脚相连接，作为 FPGA 的输入信号。当按键断开时，FPGA 输入为高电平，当按键按下时，FPGA 输入为低电平；当开关断开（OFF）时，FPGA 输入为低电平，当开关合上（ON）时，FPGA 输入为高电平。因此可以用开关或者按键来控制 LED 的亮灭。

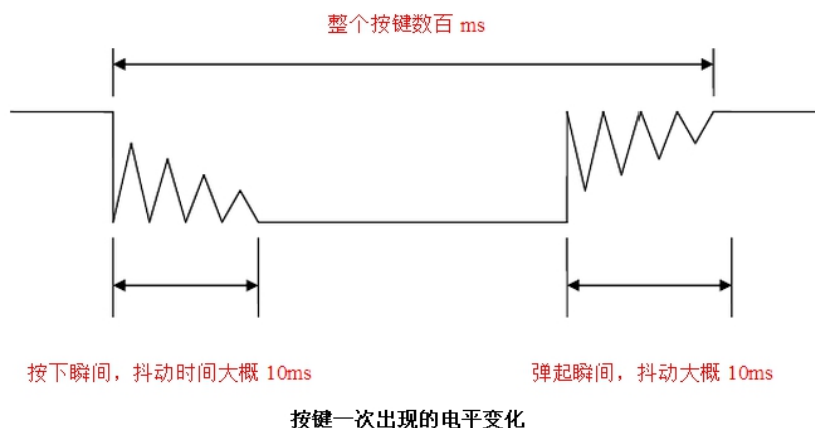


图 4-2-1 按键抖动的原理

本例程使用按键进行 LED 灯的点亮，按键按下过程中会发生抖动，因此需加入按键消抖模块。按键消抖具体流程如下：用系统时钟（频率较高）去采集按键状态，当检测到按键按下时进行计数器延时，延时 20ms 后再次检测按键状态，当按键仍为按下状态时，认为此次为按下动作，否则认为无按键按下。其中该例程将采用脉冲边沿检测的方法进行按键状态变化的检测。

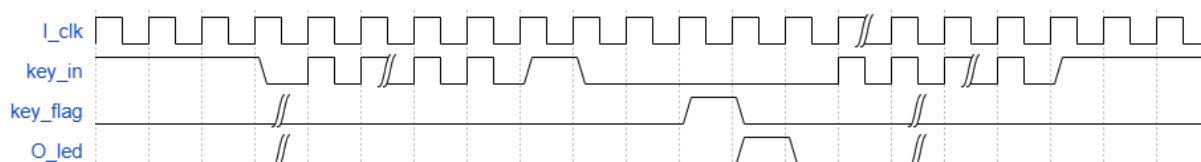


图 4-2-2 键控流水灯时序图

检测按键按下时要用到脉冲边沿检测的方法，捕捉信号的突变、捕捉时钟的上升沿或下降沿等也经常用到这种方法。该方法具体指用一个频率更高的时钟去触发要检测的信号，用两个寄存器去储存相邻两个时钟采集到的值，然后进行异或运算，如果不为零，代表发生了上升沿或者下降沿。具体边沿检测时序如下图所示。

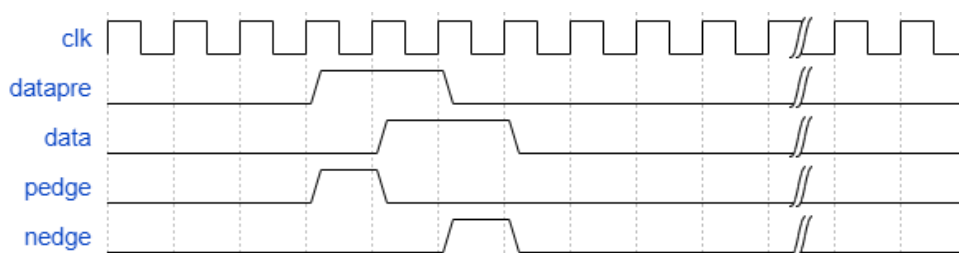


图 4-2-3 边沿检测时序图

脉冲边沿检测具体实现方法即使用两个寄存器储存相邻时钟采集的值（例如将采集到的相邻值设置为 `datapre, data`），然后将 `data` 取反与前一个值 `datapre` 相与（即 `state = datapre & (~data)`），如果 `state` 结果为 1，便判断此时脉冲有下降沿即按键按下；否则判断脉冲无变化即按键没有按下。

4.2.2 功能描述

本例程实现了 led 小灯滚动点亮：按键 SW2 控制流水灯向上点亮；再次点击按键 SW2 控制流水灯向下点亮；按键 SW1 进行全局复位，设计框图如下图所示。

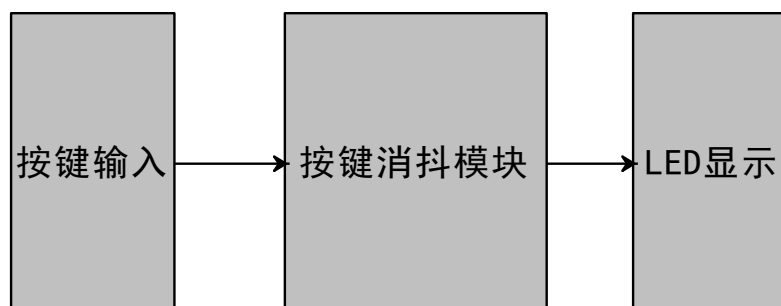


图 4-2-4 按键流水灯设计框图

资源的具体使用情况可以将流水灯例程在 TD 软件里打开加载进行查看。具体查看位置在 TD 软件的左下角 Design Summary 工具栏中 Physical Report 窗口，查看位置如下图所示。

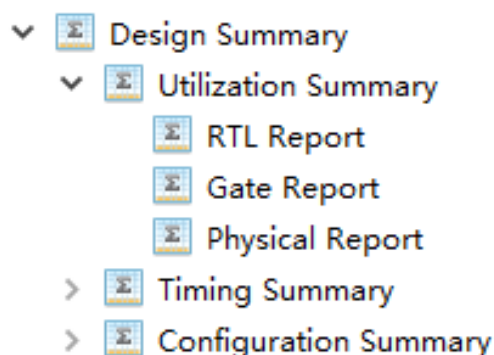


图 4-2-5 TD 软件里资源利用图表查看位置图

4.2.3 演示方法

编译下载 FPGA 的位流文件，可以观察到 MINI DEMO 上的 LED 灯呈流水灯状依次亮起，按下按键可正常改变流水灯方向。

4.2.4 工程文件

本例程可以在 MINI DEMO 板上进行下载位流进行测试。提供的文件如下表所示。

表 4-2-1 演示工程说明

参数	说明
Reference Design	Yes
RTL Language	Verilog
Test bench	N/A
Test bench Format	Verilog
Simulation	N/A
C	N/A
IP Model	N/A
Project Platform	MINI DEMO 板
TD Version	TD5.6.2_71036
Downloader Version	AL-LINK-V3.0

4.3 PLL 动态调整相位

4.3.1 环境描述

MINI DEMO 板内嵌多功能锁相环（PLL），可以实现时钟分频、倍频、占空比调整、输入和反馈时钟对准、多相位时钟输出、动态相移等功能，其中 PLL 动态调整相位例程便是利用了 PLL 的动态相移功能。动态相移特性允许对锁相环的每个独立输出相位进行动态调整，通过对给定的计数器递增或递减实时改变输出时钟相。每次移动相位为 $1/8$ V_{CO} 周期。

多功能锁相环（PLL）是一个相位误差的控制系统，通过比较参考信号和输出信号之间的相位，产生相位误差来调整输出信号，来实现与参考信号同频或倍频等功能的目的。其中 MINI DEMO 板 PLL 的具体规格可参考《DS600_ELF3_Datasheet》，使用方法可参考《TN604_EF3_PLL 模块用户指南》。

该 PLL 支持 4 种时钟反馈模式，包括源同步模式（Source Synchronous Mode）、无补偿模式（No Compensation Mode）、普通模式（Normal Mode）以及零延迟缓冲模式（Zero Delay Buffer Mode），这四种模式每种都支持时钟分频/倍频和相移。本例程使用普通时钟反馈模式，在普通模式中，PLL 会补偿 GCLK 网络延迟，保证内部寄存器输入时钟相位和时钟管脚相位一致。本例程需要实现动态相移功能，具体实现动态相移的控制信号如下表所示。

表 4-3-1 动态相移控制信号

信号名称	位宽	描述
PSCLKSEL	3	要进行动态移相的时钟选择信号
PSDOWN	1	动态相移方向选择，1=向上，0=向下
PSSTEP	1	PSSTEP=1，使能动态相移
PSCLK	1	动态相移时钟
PSDONE	1	信号为高电平时，表明相位调整结束

通过对上述信号时序的调整实现 PLL 动态调相功能，具体进行 PLL 动态调相各信号时序如下图所示。

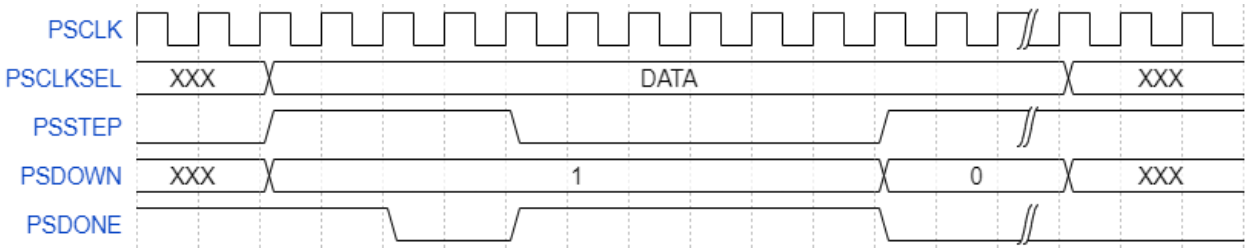


图 4-3-1 PLL 动态调相时序图

动态相移静态配置参数包括：参考/反馈时钟输入/输出选择、参考时钟分频系数（N）、反馈时钟分频系数（M）、输出时钟分频系数（C0-4），其中参考时钟输入为系统时钟，参考时钟分频系数为 1，输出时钟分频系数为 C0 和 C1，具体配置参数如下图所示。

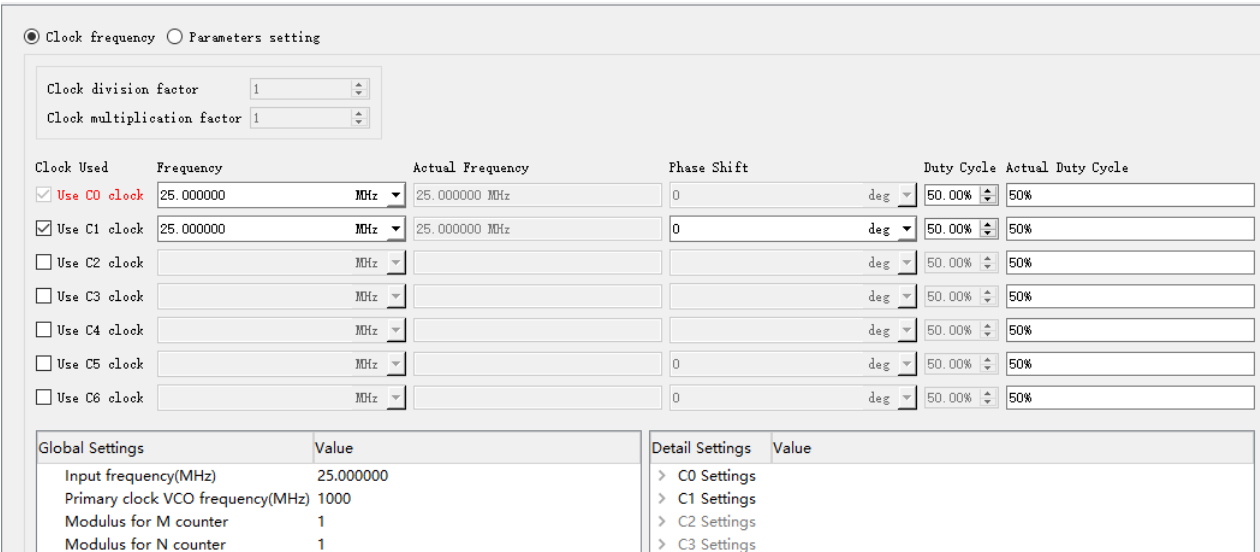


图 4-3-2 PLL 静态配置参数

4.3.2 功能描述

本例程将添加按键消抖模块与设计 PLL 调相模块，通过按键 SW1 和按键 SW2 用以触发调整输出时钟相位。具体现象可以将 PLL 动态相位调整例程加载到开发板上进行查看。

4.3.3 演示方法

编译下载 FPGA 的位流文件，将输出时钟通过 IO 接口连接示波器，通过示波器显示相位随按键按下的次数变化不断变化。

4.3.4 工程文件

本例程可以在 MINI DEMO 板上进行下载位流进行测试。提供的文件如下表所示。

表 4-3-2 演示工程说明

参数	说明
Reference Design	Yes
RTL Language	Verilog
Test bench	N/A
Test bench Format	Verilog
Simulation	N/A
C	N/A
IP Model	Yes
Project Platform	MINI DEMO 板
TD Version	TD5. 6. 2_66958
Downloader Version	AL-LINK-V3.0

4.4 DNA 码读取例程

4.4.1 环境描述

为了更好地保护用户代码的安全，MINI DEMO 板均具有唯一的 DNA 序列，可以使用该序列对用户设计进行保护。每块芯片在生产过程中会提供一个唯一的 64 位 DNA 数据，这个数据不能被修改和擦除，用户可以通过 TD 软件提供的 IP 接口，读出 DNA 数据，该模块会自动移出 64 bit 的 DNA 数值。

4.4.2 功能描述

本例程添加了串转并模块与 DNA 读取模块，DNA 码读取例程通过产生脉冲信号对 DNA 模块的移位操作进行触发，并将 64 位 DNA 序列送入串转并模块中进行转换，从而输出 64 位 DNA 序列。通过按键 SW1 用以全局复位。具体现象可以将 DNA 读取例程加载到开发板上进行查看。

4.4.3 演示方法

通过使用 TD Efuse 软件进行 MINI DEMO 板 DNA 码查询，查询该 MINI DEMO 板 DNA 码如下所示。

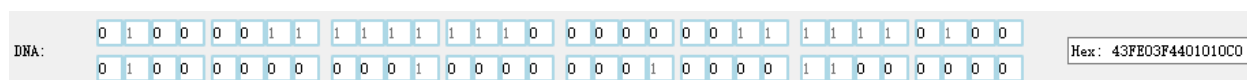


图 4-4-1 MINI DEMO 板实际 DNA 码读取

编译下载 FPGA 的位流文件，通过选取 **ChipWatcher** 工具进行输出信号与数据的抓取，检测开发板 DNA 码的具体数值。具体选择查看波形工具方式为在 TD 工具栏内找到 **Tools**，选择 **Debug Tools**，然后在打开的窗口栏内选择 **ChipWatcher**。通过 **ChipWatcher** 实际抓到的信号如下图所示。

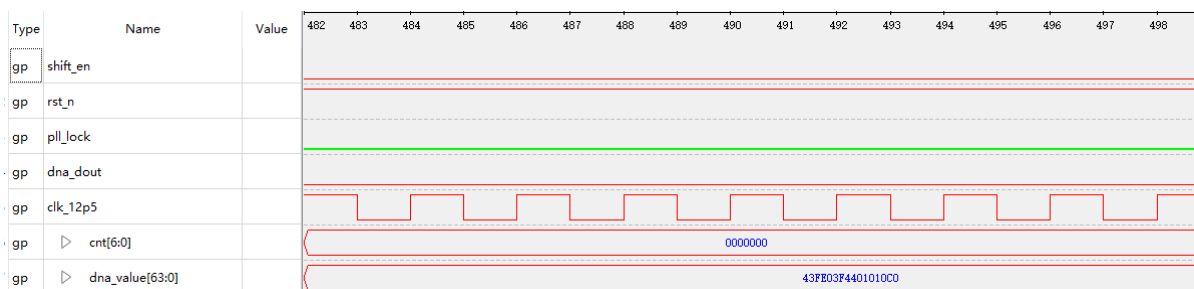


图 4-4-2 DNA 码读取实现

通过 ChipWatcher 实际抓到的 DNA 数据和 MINI DEMO 板 DNA 码相同。

4.4.4 工程文件

本例程可以在 MINI DEMO 板上进行下载位流进行测试。提供的文件如下表所示。

表 4-4-1 演示工程说明

参数	说明
Reference Design	Yes
RTL Language	Verilog
Test bench	N/A
Test bench Format	Verilog

参数	说明
Simulation	N/A
C	N/A
IP Model	Yes
Project Platform	MINI DEMO 板
TD Version	TD5.6.2_71036
Downloader Version	AL-LINK-V3.0

4.5 Flash 读写例程

4.5.1 环境描述

MINI DEMO 内置容量为 16Mb 的 Flash，本例程主要使用 TD 软件中的 SPI IP 接口将 bin 文件写入到 MINI DEMO 板的 Flash 中，同时利用 SPI IP 接口读出 Flash 中的 bin 文件内容，该例程包含读写验证模块，用以测试读写是否正确，此 Flash 用户也可对其操作。

本例程使用 25MHz 的系统时钟，利用 PLL IP 进行倍频处理，输出 12.5MHz 的时钟作为 SPI Flash 控制模块的输入时钟。其中 FPGA 内置 Flash 引脚接口如下图所示。

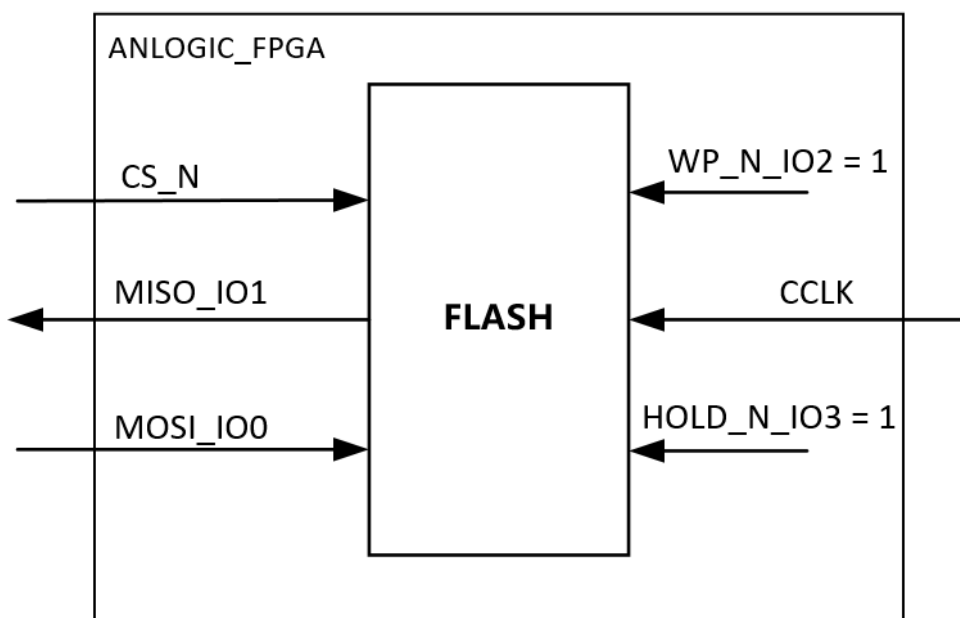


图 4-5-1 FPGA 内置 Flash 引脚图

从上图可以看出 Flash 有六个引脚，对于 Flash 这六个引脚的具体功能描述如下表所示。

表 4-5-1 IP 例化引脚说明表

管脚名称	I/O	描述	是否接到 FPGA 外部端口
CS_N	I	FLASH 片选信号	是
MISO_I01	O	FLASH 数据 output	是
WP_N_I02	I/O	写保护 input, 单线模式置 1	否
MOSI_I00	I	FPGA 数据 input	是
CCLK	I	串行时钟 input	是
HOLD_N_I03	I/O	保持信号 input, 单线模式置 1	否

4.5.2 功能描述

本 Flash 控制器可以支持读写 16Mb 以下的存储空间读写。硬件上电后, 开始进行标准单线写使能操作, 写 0x00~0xFF 的递增内容, 当对此地址全部写完后便进行读操作, 由于例程添加了读写验证模块, 当读取到的数据与 SPI 写入到 Flash 的数据相同时, 读写验证模块中将拉高通过信号表示 SPI-Flash 例程读写运行正确; 当通过信号始终不拉高, 则表示 SPI-Flash 读写不正确, 将通过信号连接输出管脚在保证例程准确运行的同时简化管理脚分配。当全部操作进行完成后将把输出的结束信号拉高, LED1 指示灯点亮。

4.5.3 演示方法

编译下载 FPGA 的位流文件, 通过选取 ChipWatcher 窗口进行内置 Flash 写入读出数据验证信号的抓取, 实现内置 Flash 的写入与读出与判断例程进行写入和读出数据是否相等的功能。

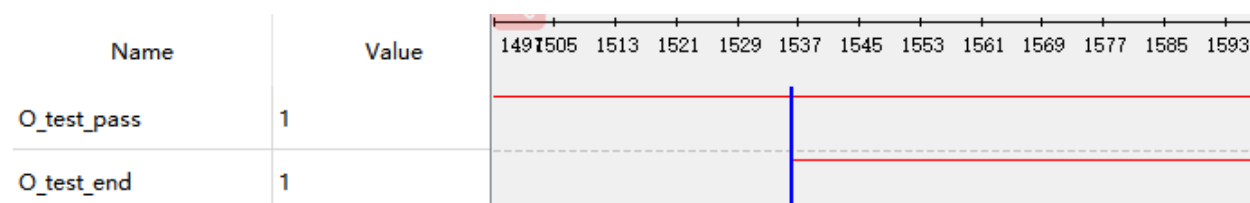


图 4-5-2 FPGA 内置 Flash 读写验证实现

4.5.4 工程文件

本例程可以在 MINI DEMO 板上进行下载位流进行测试。提供的文件如下表所示。

表 4-5-2 演示工程说明

参数	说明
Reference Design	Yes
RTL Language	Verilog
Test bench	N/A
Test bench Format	Verilog
Simulation	N/A
C	N/A
IP Model	Yes
Project Platform	MINI DEMO 板
TD Version	TD5.6.2_71036
Downloader Version	AL-LINK-V3.0

4.6 ERAM 读写例程

4.6.1 环境描述

MINI DEMO 器件支持 ERAM9K 类型的嵌入式存储器模块（ERAM），每块容量 9Kbits。ERAM9K 可实现单口 RAM/ROM, 双口 RAM, 简单双口 RAM 等配置。本例程将采用 ERAM 的双口模式，分别对 A, B 端口进行读写操作，最后抓取并对比读写数据是否相等。

在 TD 软件中，用户可以使用 IP Generate 的方式调用 ERAM 模块具体调用方式为在 TD 软件中找到 ERAM 模块：即 Tools -> IP Generate -> IP core -> Memory -> RAM，如下图所示。

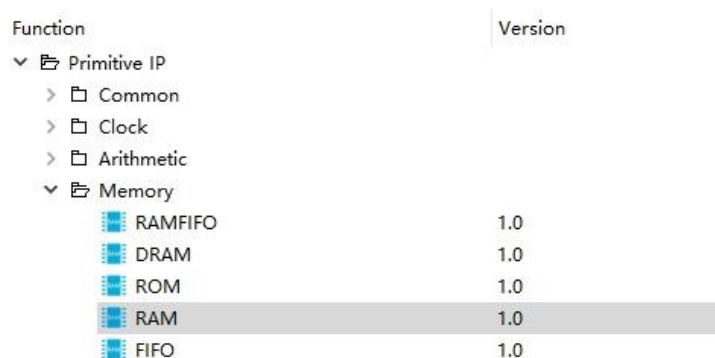


图 4-6-1 ERAM 软件 IP 生成方式

用户可以根据实际情况选择需要的配置，本例程选择模式为双口模式（Dual Port RAM），主要操

作是对 ERAM 的两个端口分别进行写读操作，并抓取数据观察读取数据与写入数据是否相同。双口模式示意图如下图所示。

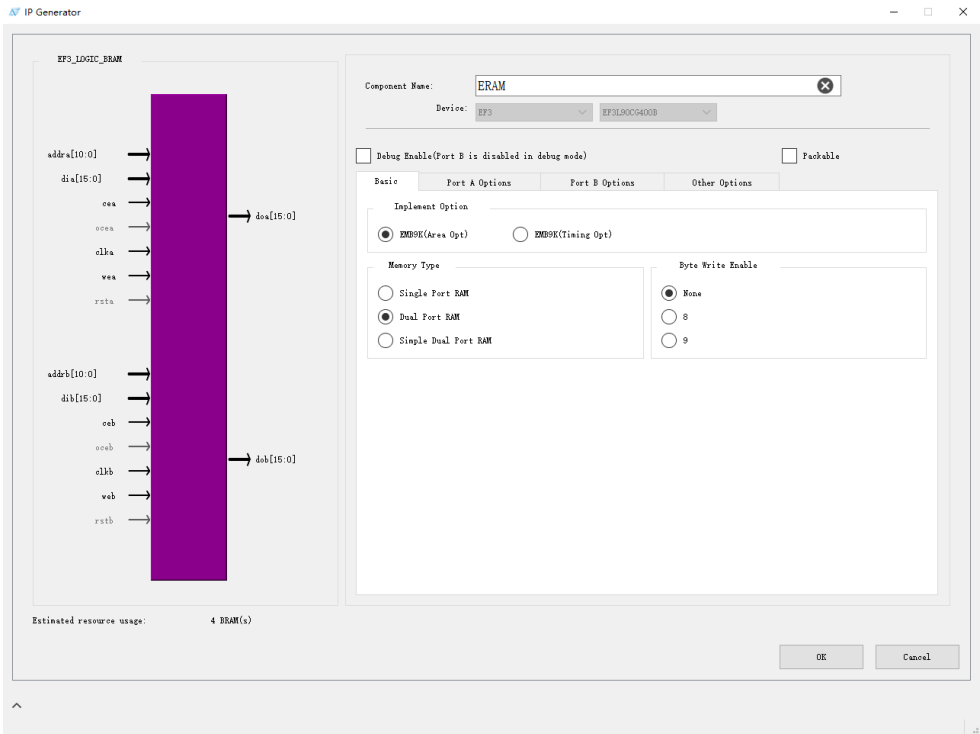


图 4-6-2 ERAM 双口模式

4.6.2 功能描述

该例程通过设计 ERAM 控制模块实现对双端口模式下的 ERAM 分别写读操作，通过抓取写读数据判断该例程的正确性，并使用 SW1 按键进行全局复位。具体现象可以将 ERAM 读取例程加载到开发板上进行查看。

4.6.3 演示方法

编译下载 FPGA 的位流文件，通过选取 ChipWatcher 窗口进行写入数据与读出数据的抓取，对比写入数据和读出数据的具体数值，演示与验证 ERAM 读写功能的具体实现。

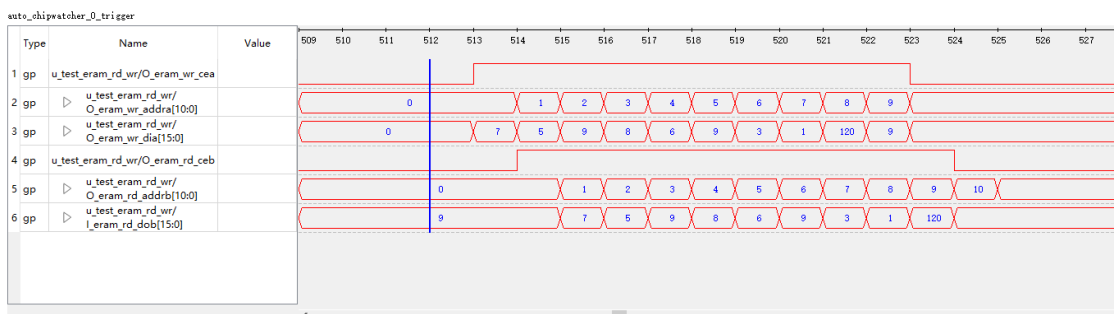


图 4-6-3 ERAM 写读实现

4.6.4 工程文件

本例程可以在 MINI DEMO 板上进行下载位流进行测试。提供的文件如下表所示：

表 4-6-1 演示工程说明

参数	说明
Reference Design	Yes
RTL Language	Verilog
Test bench	N/A
Test bench Format	Verilog
Simulation	N/A
C	N/A
IP Model	Yes
Project Platform	MINI DEMO 板
TD Version	TD5. 6. 2_71036
Downloader Version	AL-LINK-V3.0

4.7 DSP 乘法器例程

4.7.1 环境描述

DSP 模块是安路科技在 MINI DEMO 芯片上为实现数字信号处理而做的一个专用乘法模块。具有配置灵活、使用简单等优点。MINI DEMO 器件结合了片上资源与外部接口，这有助于提高性能、减少系统成本，以及降低数字信号处理 (DSP) 系统的功耗。MINI DEMO 器件本身或者作为 DSP 器件的协处理器，可用于提高 DSP 系统的性价比。本例程通过例化 DSP IP 进行配置，并分别送入两个无符号数、两个有符号数以及一个有符号数和一个无符号数进行乘法功能的全覆盖实现。

嵌入式乘法器可以配置成一个 18×18 乘法器，或者配置成两个 9×9 乘法器。每个嵌入式乘法器均由以下三个单元组成，分别为乘法器级、输入与输出寄存器和输入与输出接口。该乘法器模块的体系结构如下图所示。

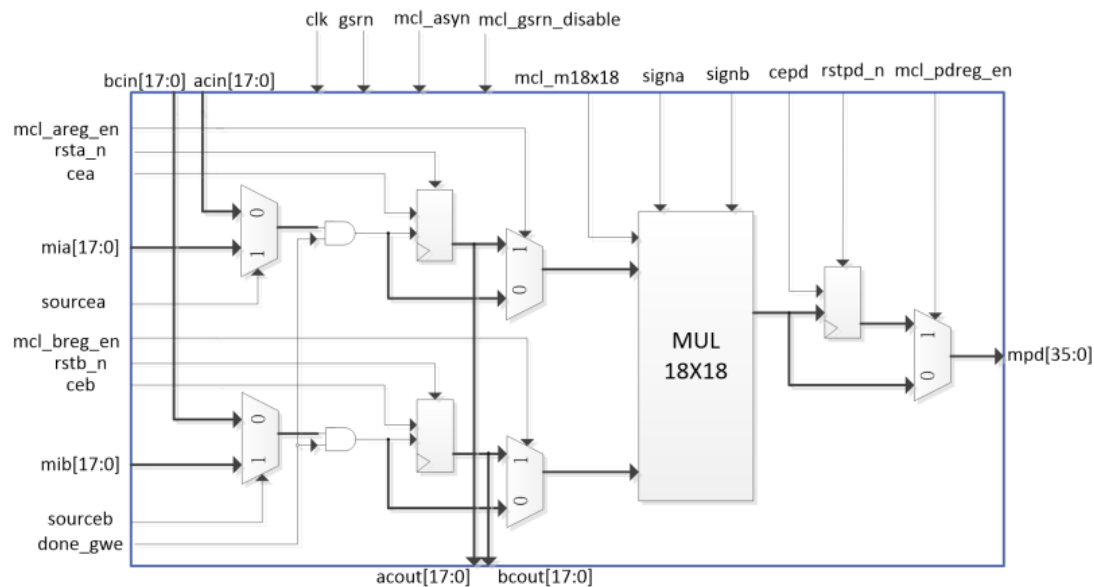


图 4-7-1 乘法器模块的体系结构图

在 TD 软件中，用户可以使用 IP Generate 的方式调用 DSP 模块用户可采用如下方式在 TD 软件中找到 DSP 模块：Tools ->IP Generate ->IP core ->Arithmetic ->DSP，如下图所示。

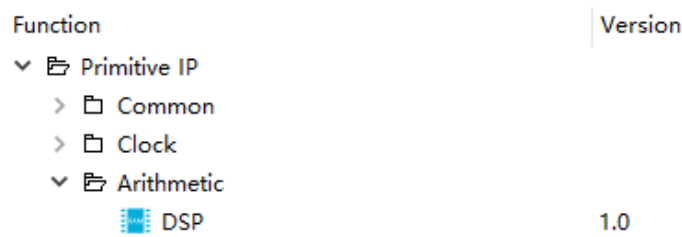


图 4-7-2 DSP 软件 IP 生成方式

用户可以根据不同需求配置输入为有符号数或无符号数，输入数据位宽等选项，具体 DSP IP 的配置选项如下图所示。

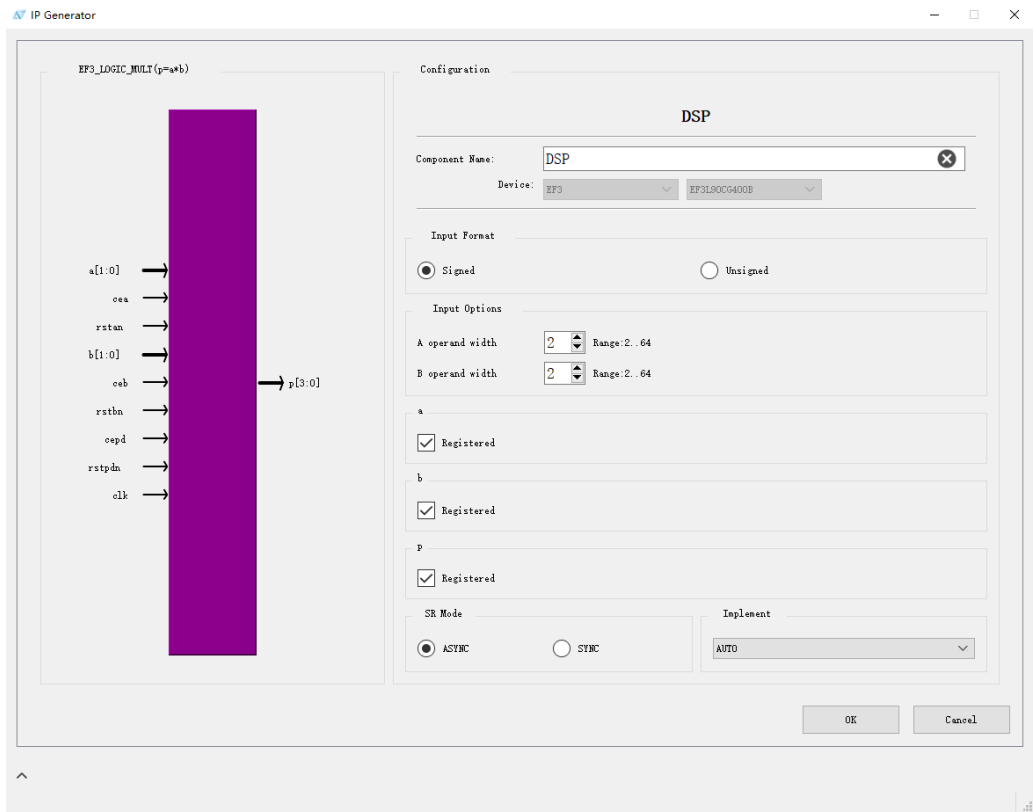


图 4-7-3 DSP 软件 IP 配置选项

4.7.2 功能描述

该例程通过例化 DSP IP 进行输入数据的相关配置，分别将两个无符号数、两个有符号数以及一个有符号数和一个无符号数送入 DSP 中进行相乘，最后抓取数据判断相乘后结果是否正确，其中使用 SW1 按键进行全局复位。具体现象可以将 DSP 乘法器实现例程加载到开发板上进行查看。

4.7.3 演示方法

编译下载 FPGA 的位流文件，通过选取 ChipWatcher 窗口进行最终乘积数值的抓取。其中主要对 DSP 乘法器进行三次赋值，分别为两个无符号数，两个有符号数以及一个有符号数一个无符号数进行相乘，ChipWatcher 抓取的乘积如下图所示。

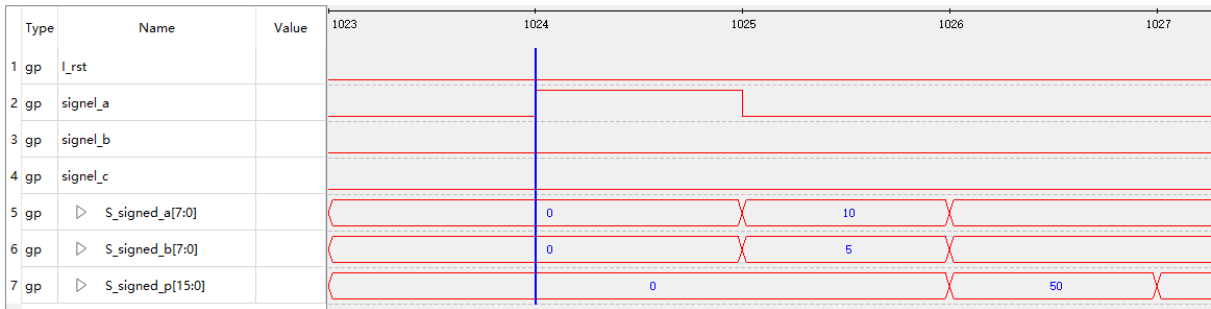


图 4-7-4 两个无符号数 DSP 乘法实现

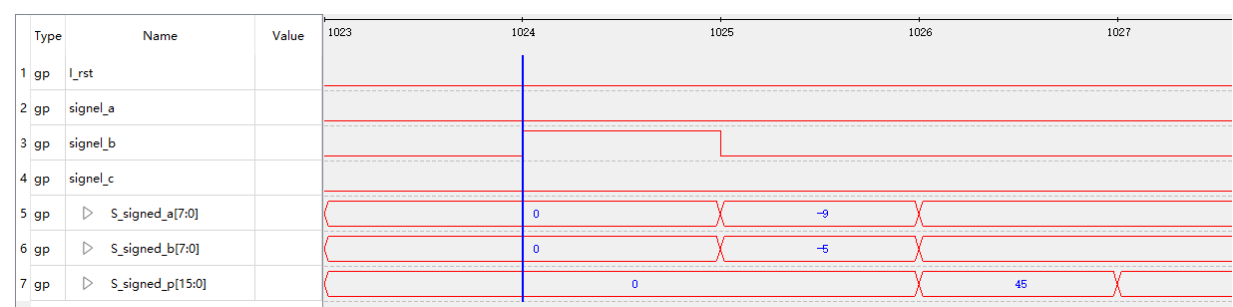


图 4-7-5 两个有符号数 DSP 乘法实现

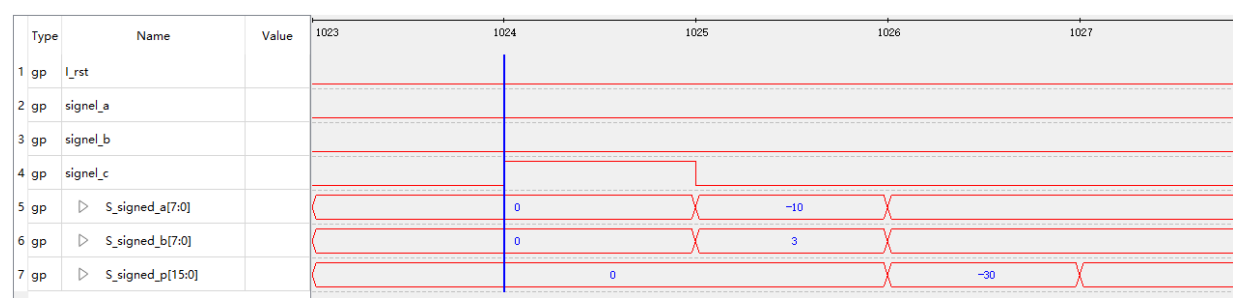


图 4-7-6 一个有符号数一个无符号数 DSP 乘法实现

4.7.4 工程文件

本例程可以在 MINI DEMO 板上进行下载位流进行测试。提供的文件如下表所示。

表 4-7-1 演示工程说明

参数	说明
Reference Design	Yes
RTL Language	Verilog
Test bench	N/A
Test bench Format	Verilog
Simulation	Yes
C	N/A
IP Model	Yes
Project Platform	MINI DEMO 板
TD Version	TD5. 6. 2_71036
Downloader Version	AL-LINK-V3. 0

4.8 UART 串口通信

4.8.1 环境描述

安路 MINI DEMO 开发板中包含了 UART 外设，通过 UART 可以与主机或其他外部设备进行串口通信。UART 是一种通用的数据通信协议，也是异步串行通信口的总称，在进行 UART 通信时可以配置传输速度、数据格式等参数，将数据通过串行通讯进行传输。

UART 通信协议如下图所示：

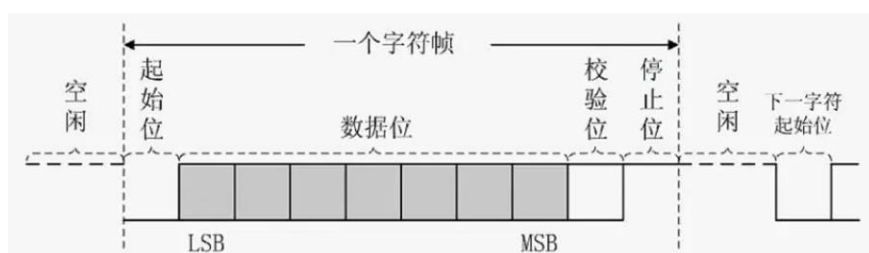


图 4-8-1 UART 帧结构图

4.8.2 功能描述

在上位机中通过串口调试助手向 MINI DEMO 板中发送串口数据，开发板将接收到的数据发送给上位机，完成数据的回环，该例程通信框图如下图所示

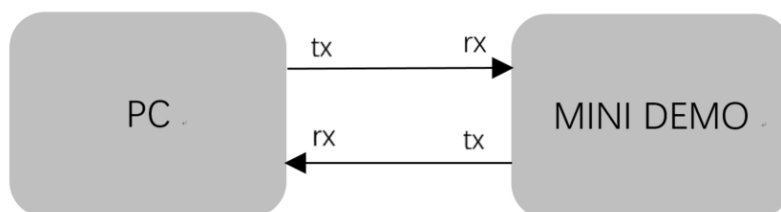


图 4-8-2 通信框图

4.8.3 演示方法

连接 MINI DEMO 开发板，下载 bit 文件，在上位机中打开串口调试助手，波特率选择 115200，数据位宽 8bit，无校验位，1bit 停止位，利用串口同时发送 1~9 hex 数据。

```
[2023-02-03 16:53:59.839]# SEND HEX>
01 02 03 04 05 06 07 08 09

[2023-02-03 16:53:59.898]# RECV HEX>
01 02 03 04 05 06 07 08 09
```

图 4-8-3 串口测试图

上位机接收到的数据与发送的数据一致，UART 数据回环传输正确。

4.8.4 工程文件说明

表 4-8-1 演示工程说明

参数	说明
Reference Design	Yes
RTL Language	Verilog
Test bench	Yes
Test bench Format	Verilog
Simulation	Yes
C	N/A
IP Model	N/A
Project Platform	MINI DEMO 板
TD Version	TD5. 6. 2_71036
Downloader Version	AL-LINK-V3.0

5 参考文献

- 1) 《DS600_ELF3_Datasheet》
- 2) 《TN602_EF3 DNA 加密用户指南》
- 3) 《TN603_EF3 DSP 模块用户指南》
- 4) 《TN604_EF3 PLL 模块用户指南》
- 5) 《TN606_EF3 嵌入式存储模块用户指南》
- 6) 《TN617_SPI 控制 EF3 内置 FLASH 读写》

版本信息

日期	版本	修订记录
2023/04/23	1.0	首次发布中文版

版权所有©2023 上海安路信息科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。本文档仅为向用户提供使用器件的参考，协助用户正确地使用安路科技产品之用，其著作权归安路科技所有；本文档所展示的任何产品信息均不构成安路科技对所涉产品或服务作出任何明示或默示的声明或保证。

安路科技将不定期地对本文档进行更新、修订。用户如需获取最新版本的文档，可通过安路科技的官方网站（网址为：<https://www.anlogic.com>）自行查询下载，也可联系安路科技的销售人员咨询获取。