



Intel® Cyclone® 10 LP 器件概述

本翻译版本仅供参考，如果本翻译版本与其英文版本存在差异，则以英文版本为准。某些翻译版本尚未更新对应到最新的英文版本，请参考[英文版本](#)以获取最新信息。



在线版本



发送反馈

C10LP51001

ID: 683879

版本: 2017.05.08

内容

Cyclone® 10 LP 器件概述.....	3
Cyclone 10 LP 特性汇总.....	4
Cyclone 10 LP 可用选项.....	5
Cyclone 10 LP 最大资源	6
Cyclone 10 LP 封装规划.....	6
Cyclone 10 LP I/O 纵向移植.....	7
逻辑单元和逻辑阵列模块.....	7
嵌入式乘法器.....	8
嵌入式存储器模块.....	8
时钟和 PLL.....	8
FPGA 通用 I/O.....	9
配置.....	9
功耗管理.....	9
Cyclone 10 LP 器件概述的文档修订历史.....	10

Cyclone® 10 LP 器件概述

Intel® Cyclone® 10 LP FPGA 针对低成本和低静态功耗进行了优化，使其成为高容量，成本敏感应用的理想选择。

Cyclone 10 LP 器件提供一组高密度的可编程逻辑门，板载资源和通用 I/O。这些资源满足了 I/O 扩展和芯片到芯片接口连接的要求。Cyclone 10 LP 体系结构适用于众多领域中的智能互联的终端应用：

- 工业和汽车
- 广播，有线和无线
- 计算和存储
- 政府，军事和航空航天
- 医疗，消费和智能能源

Quartus® Prime Lite Edition 设计工具套件是免费的，但功能强大，可以满足以下几类用户的要求：

- 现有的 FPGA 设计人员
- 使用 FPGA 与 Nios® II 处理器的嵌入式设计人员
- 刚接触 FPGA 的学生和业余爱好者

需要访问完整的 IP Base Suite 的高级用户可以订阅 Quartus Prime Standard Edition，或者单独购买许可。

相关链接

- [软件开发工具，Nios II 处理器](#)
提供了关于 Nios II 32 位软核 IP 处理器和嵌入式设计套件(EDS)的详细信息。
- [Quartus Prime IP Base Suite](#)
- [Quartus Prime Editions](#)

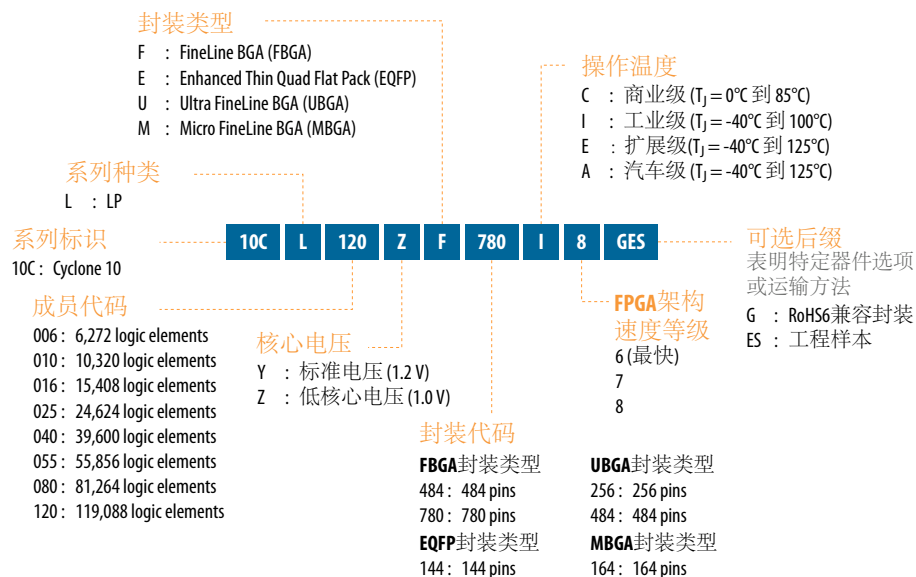
Cyclone 10 LP 特性汇总

表 1. Cyclone 10 LP 器件的特性汇总

功能	说明
技术	<ul style="list-style-type: none"> 低成本、低功耗 FPGA 架构 1.0 V 和 1.2 V 核心电压选项 适用于商业、工业和汽车温度等级
封装	<ul style="list-style-type: none"> 几种封装类型和空间布局： <ul style="list-style-type: none"> FineLine BGA (FBGA) Enhanced Thin Quad Flat Pack (EQFP) Ultra FineLine BGA (UBGA) Micro FineLine BGA (MBGA) 具有管脚移植能力的多种器件密度 RoHS6 兼容
内核体系结构	<ul style="list-style-type: none"> 逻辑单元(LE) — 4 输入查找表(LUT)和寄存器 丰富的布线/在所有 LE 之间的金属互连
内部存储器模块	<ul style="list-style-type: none"> M9K — 9 千比特 (Kb)的嵌入式 SRAM 存储器模块，可级联 可配置为 RAM (单端口、简单双端口或真双端口)、FIFO 缓冲或者 ROM
嵌入式乘法器模块	<ul style="list-style-type: none"> 一个 18 × 18 或两个 9 × 9 乘法器模式，可级联 用于算法加速的 DSP IP 的完整套件
时钟网络	<ul style="list-style-type: none"> 驱动整个器件的全局时钟，对器件各象限提供时钟 多达 15 个专用时钟管脚可以驱动多达 20 个全局时钟
锁相环(PLL)	<ul style="list-style-type: none"> 多达四个通用 PLL 提供强健的时钟管理和综合
通用 I/O (GPIO)	<ul style="list-style-type: none"> 支持多种 I/O 标准 可编程 I/O 功能 真 LVDS 和伪 LVDS 发送器和接收器 片上匹配(OCT)
SEU 缓解	配置和操作期间的 SEU 检测
配置	<ul style="list-style-type: none"> 主动串行(AS)、被动串行(PS)、快速被动并行(FPP) JTAG 配置方案 配置数据解压缩 远程系统更新

Cyclone 10 LP 可用选项

图 1. Cyclone 10 LP 器件的订购代码样例和可用选项 — 初步



Cyclone 10 LP 最大资源

表 2. Cyclone 10 LP 器件的最大资源统计

资源		器件							
		10CL006	10CL010	10CL016	10CL025	10CL040	10CL055	10CL080	10CL120
逻辑单元(LE)		6,272	10,320	15,408	24,624	39,600	55,856	81,264	119,088
M9K 存储器	模块	30	46	56	66	126	260	305	432
	容量(Kb)	270	414	504	594	1,134	2,340	2,745	3,888
18 × 18 乘法器		15	23	56	66	126	156	244	288
PLL		2	2	4	4	4	4	4	4
时钟		20	20	20	20	20	20	20	20
最大 I/O 数		176	176	340	150	325	321	423	525
最大 LVDS 数		65	65	137	52	124	132	178	230

Cyclone 10 LP 封装规划

表 3. Cyclone 10 LP 器件的封装规划

器件	封装												
	类型	M164 164-pin MBGA		U256 256-pin UBGA		U484 484-pin UBGA		E144 144-pin EQFP		F484 484-pin FBGA		F780 780-pin FBGA	
	尺寸	8 mm × 8 mm		14 mm × 14 mm		19 mm × 19 mm		22 mm × 22 mm		23 mm × 23 mm		29 mm × 29 mm	
	球间距	0.5 mm		0.8 mm		0.8 mm		0.5 mm		1.0 mm		1.0 mm	
	I/O 类型	GPIO	LVDS	GPIO	LVDS	GPIO	LVDS	GPIO	LVDS	GPIO	LVDS	GPIO	LVDS
10CL006		—	—	176	65	—	—	88	22	—	—	—	—
10CL010		101	26	176	65	—	—	88	22	—	—	—	—
10CL016		87	22	162	53	340	137	78	19	340	137	—	—
10CL025		—	—	150	52	—	—	76	18	—	—	—	—
10CL040		—	—	—	—	325	124	—	—	325	124	—	—
10CL055		—	—	—	—	321	132	—	—	321	132	—	—
10CL080		—	—	—	—	289	110	—	—	289	110	423	178
10CL120		—	—	—	—	—	—	—	—	277	103	525	230

Cyclone 10 LP I/O 纵向移植

图 2. Cyclone 10 LP 器件间的移植能力

- 箭头表明移植的路径。每个纵向路径中包括的器件以阴影表示。相同路径中较少 I/O 资源的器件的阴影较浅色。
- 要实现相同移植路径中不同器件之间的完全 I/O 移植，需要限制 I/O 使用以最低的 I/O 数匹配器件。

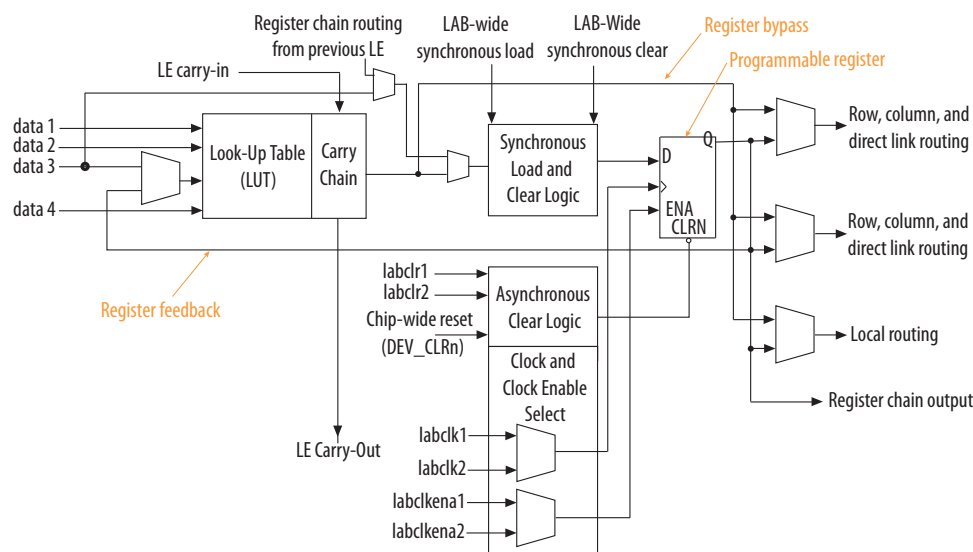
	M164	U256	U484	E144	F484	F780
10CL006		↑		↑		
10CL010	↑					
10CL016	↓	↓	↑	↓	↑	
10CL025		↓		↓		
10CL040			↓		↓	
10CL055			↓		↓	
10CL080			↓		↓	↑
10CL120					↓	↓

注意: 要验证管脚移植的兼容性，请使用 Quartus Prime 软件中的 Pin Planner 的 Pin Migration View 视图。

逻辑单元和逻辑阵列模块

LAB 包括 16 个逻辑单元(LE)和 1 个 LAB-wide 控制模块。LE 是 Cyclone 10 LP 器件体系结构中最小单元的逻辑。每个 LE 有四个输入，一个四输入查找表(LUT)，一个寄存器和输出逻辑。四输入 LUT 是一个功能生成器，使用 4 个变量可以实现任何功能。

图 3. Cyclone 10 LP 器件系列 LE



嵌入式乘法器

Cyclone 10 LP 器件中的每个嵌入式乘法器模块支持一个独立的 18×18 -bit 乘法器或两个独立的 9×9 -bit 乘法器。您可以级联乘法器模块以形成更宽或更深的逻辑结构。

通过使用下面的选项可以控制嵌入式乘法器模块的操作：

- 使用 Quartus Prime 参数编辑器对相关的 IP 内核进行参数化
- 直接映射乘法器到 VHDL 或 Verilog HDL

Intel 和合作伙伴对 Cyclone 10 LP 器件提供广泛使用的 DSP IP，包括：

- 有限脉冲响应(FIR)
- 快速傅里叶变换(FFT)
- 数字控制振荡器(NCO)功能

对于一体化的 DSP 设计流程，DSP Builder 工具集成了 Quartus Prime 软件与 MathWorks Simulink 和 MATLAB 设计环境。

嵌入式存储器模块

嵌入式存储器结构由 M9K 存储器模块列组成。Cyclone 10 LP 器件中的每个 M9K 存储器模块都提供一个 9 Kb 的片上存储器。您可以级联存储器模块以形成更宽或更深的逻辑结构。

M9K 存储器模块可以配置成 RAM、FIFO 缓冲器或者 ROM。

表 4. M9K 操作模式和端口宽度

操作模式	端口宽度
单端口	$\times 1$ 、 $\times 2$ 、 $\times 4$ 、 $\times 8$ 、 $\times 9$ 、 $\times 16$ 、 $\times 18$ 、 $\times 32$ 和 $\times 36$
简单双端口	$\times 1$ 、 $\times 2$ 、 $\times 4$ 、 $\times 8$ 、 $\times 9$ 、 $\times 16$ 、 $\times 18$ 、 $\times 32$ 和 $\times 36$
真双端口	$\times 1$ 、 $\times 2$ 、 $\times 4$ 、 $\times 8$ 、 $\times 9$ 、 $\times 16$ 和 $\times 18$

时钟和 PLL

Cyclone 10 LP 器件具有全局时钟(GCLK)网络、专用时钟管脚和通用 PLL。

- 多达 20 个 GCLK 网络驱动整个器件
- 多达 15 个专用时钟管脚
- 多达 4 个通用 PLL (每个 PLL 上均有五个输出端)

PLL 对 Cyclone 10 LP 器件提供强健的时钟管理和综合。您可以在用户模式中动态地重置 PLL 来改变时钟相位或频率。

FPGA 通用 I/O

Cyclone 10 LP 器件提供高度可配置 GPIO，具有如下功能：

- 支持超过 20 个广泛使用的单端和差分 I/O 标准。
- 可编程总线保持、上拉电阻和驱动强度。
- 可编程摆率控制来控制信号完整性。
- 单端 I/O 标准的校准后片上串行匹配(R_S OCT)或者驱动阻抗匹配(R_S)。
- 具有 LVDS SERDES 的真和伪 LVDS 缓冲通过使用器件内核中的逻辑单元来实现。
- 支持热插拔。

配置

Cyclone 10 LP 器件使用 SRAM 单元来存储配置数据。每次器件上电时，配置数据被下载到 Cyclone 10 LP 器件中。

您可以使用 EPCS 或 EPCQ (AS x1) 闪存配置器件来存储配置数据并配置 Cyclone 10 LP FPGA。

- Cyclone 10 LP 器件支持 1.5 V、1.8 V、2.5 V、3.0 V 和 3.3 V 可编程电压和几个配置方案。
- 单粒子反转(SEU)缓解功能在配置期间自动检测循环冗余校验(CRC)错误，可选择在用户模式下检测循环冗余校验(CRC)错误⁽¹⁾。

表 5. Cyclone 10 LP 器件支持的配置方案和功能

配置方案	配置方法	解压缩	远程系统更新
主动串行(AS)	串行配置器件	Yes	Yes
被动串行(PS)	包含闪存的外部主机	Yes	Yes
	下载电缆	Yes	—
快速被动并行(FPP)	包含闪存的外部主机	—	Yes
JTAG	包含闪存的外部主机	—	—
	下载电缆	—	—

相关链接

配置器件

提供了关于 EPCS 和 EPCQ 配置器件的更多信息。

功耗管理

Cyclone 10 LP 器件建立在经过优化的低功耗工艺上：

- 有两种内核电压选项：1.2 V 和 1.0 V
- 热插拔兼容，而无需外部组件或特殊的设计要求。

⁽¹⁾ 1.0 V 内核电压 Cyclone 10 LP 器件产品不支持用户模式错误检测。

要加速您的设计方案，需要将 Intel Cyclone 10 LP FPGA 与 Enpirion® 电源解决方案相结合。Intel 的超紧凑和高效的 Enpirion PowerSoC 可以完美地满足 Cyclone 10 LP 电源要求。Enpirion PowerSoC 集成了大部分所需的组件，为您提供完全有效且直接的解决方案，效率高达 96%。这些优势减少了电源设计时间，使您能够专注于您的 IP 和 FPGA 设计。

相关链接

[Enpirion 电源解决方案](#)

提供了关于 Enpirion PowerSoC 器件的更多信息。

Cyclone 10 LP 器件概述的文档修订历史

日期	版本	修订内容
2017 年 5 月	2017.05.08	首次发布。