

Logos 系列 FPGA 时钟资源（Clock）用户指南

(UG020004, Version 1.3)

(2020.07.27)

深圳市紫光同创电子有限公司

版权所有侵权必究

文档版本修订记录

版本号	发布日期	修订记录
V1.0	2019/7/24	初始版本
V1.1	2019/10/8	增加 PGL25G 相关信息
V1.2	2020/03/27	增加附录一，对PGL22G PLL外部反馈场景的使用说明
V1.3	2020/07/27	增加PGL50H相关信息

名词术语解释

USCM: User Select Clock Mux

SRB: Signal Relax Block

GTP: General Technology Primitive

目录

一、 总体介绍	1
二、 详细介绍	2
(一) 时钟输入	2
(二) 全局时钟	6
(三) 区域时钟	9
(四) I/O 时钟	12
(五) PLL	17
1. PLL 顶层框图	19
2. 端口列表	21
3. 参数列表	25
4. PLL 时钟输入	29
5. 输入时钟切换	30
6. PLL 输出时钟频率编程	31
7. PLL 相位位移功能	32
8. PLL 可编程 Duty cycle	34
9. PLL 输出时钟 gate 功能	34
10. Divider 输出级联	34
(六) 内部振荡器(OSC)	35
附录一	35

图目录

图 1 Logos 系列 PGL12G,PGL22G 时钟输入分布示意图	2
图 2 Logos 系列 PGL25G, PGL50H 时钟输入分布示意图	3
图 3 GTP_IOCLKDELAY 的示意图	3
图 4 GTP_IOCLKDELAY 的静态配置时序图	4
图 5 GTP_IOCLKDELAY 手动延时示例时序图	5
图 6 GTP_IOCLKDELAY 信号 DELAY_OB 跳转高电平示例时序图	5
图 7 GTP_IOCLKDELAY 信号 DELAY_OB 跳转高电平示例时序图	5
图 8 Logos 系列产品的全局时钟来源路径示意图	6
图 9 GTP_CLKBUFGCE 的框图	6
图 10 GTP_CLKBUFGCE 的时序图	7
图 11 GTP_CLKBUFG 的框图	7
图 12 GTP_CLKBUFG 的时序图	8
图 13 GTP_CLKBUFGMUX 的框图	8
图 14 USCM 的 CLKBUFGMUX 模式时序示意图 (TRIGGER_MODE="NORMAL")	9
图 15 USCM 的 CLKBUFGMUX 模式时序示意图 (TRIGGER_MODE="NEGEDGE")	9
图 16 Logos 系列区域分布示意图	10
图 17 区域时钟来源路径示意图	10
图 18 GTP_CLKBUFR 的框图	11
图 19 GTP_CLKBUFR 的时序图	12
图 20 Logos 系列 PGL12G,PGL22G I/O 时钟分布示意图	13
图 21 Logos 系列 PGL25G, PGL50H I/O 时钟分布示意图	14
图 22 进入 I/O 时钟网络的路径示意图	15
图 23 GTP_IOCLKBUF 框图	15
图 24 GATEN="FALSE"的 GTP_IOCLKBUF 时序图	16
图 25 GATEN="TRUE"的 GTP_IOCLKBUF 时序图	16
图 26 Logos 系列 PGL12G, PGL22G, PGL25G 器件 PLL 位置分布示意图	18
图 26 Logos 系列 PGL50H 器件 PLL 位置分布示意图	19
图 27 PGL12G, PGL25G, PGL50H 器件 PLL 模型框图	20
图 28 PGL22G GTP_PLL_E1 模型框图	21
图 29 PLL 参考时钟选择示意图	30
图 30 PLL 外部反馈时钟选择示意图	30
图 31 时钟自动切换时序	30
图 32 Logos 系列产品的 PLL 结构示意图	31
图 33 PLL 静态相位调整	32
图 34 动态相位细调时序要求	33
图 35 输出时钟 GATE 时序图	34
图 36 PLL 分频输出级联	35
图 37 GTP_OSC_E3 框图	35
图 38 GTP_OSC_E3 时序图	36

表目录

表 1 Logos 系列产品时钟资源	1
表 2 GTP_IOCLKDELAY 端口说明	3
表 3 GTP_IOCLKDELAY 参数说明	4
表 4 Logos 系列产品的全局时钟输入源	6
表 5 GTP_CLKBUFGCE 端口说明	6
表 6 GTP_CLKBUFGCE 参数说明	6
表 7 GTP_CLKBUFG 的端口说明	7
表 8 GTP_CLKBUFGMUX 端口说明	8
表 9 GTP_CLKBUFGMUX 参数说明	8
表 10 Logos 区域时钟来源	10
表 11 GTP_CLKBUFR 的端口说明	11
表 12 Logos 的 I/O 时钟网络输入源	15
表 13 GTP_IOCLKBUF 端口描述	16
表 14 GTP_IOCLKBUF 参数描述	16
表 15 GTP_IOCLKDIV 端口说明	17
表 16 GTP_IOCLKDIV 端口说明	17
表 17 GTP_PLL_E3 端口描述	22
表 18 GTP_PLL_E1 端口描述	23
表 19 GTP_PLL_E3 参数描述	25
表 20 GTP_PLL_E1 参数描述	27
表 21 PLL 输入输出频率和 divider 可用范围	31
表 22 静态相位调整参数配置	32
表 23 GTP_OSC_E3 端口说明	35
表 24 GTP_OSC_E3 参数说明	35
表 25 时钟频率配置	36

一、 总体介绍

Logos 系列产品被划分为不同数量的 Region 区域，提供了丰富的片上时钟资源，包含 PLL 和三类时钟网络：全局时钟、区域时钟、I/O 时钟。其中 IO 时钟相比其他时钟具有频率高、时钟偏移小以及延时时间小的特点。时钟资源详见下表 1 所示。

表 1 Logos 系列产品时钟资源

特性	PGL12G	PGL22G	PGL25G	PGL50H
区域数量	4	6	4	6
全局时钟数	20	20	20	30
每个区域支持全局时钟数	16	12	16	16
每个区域支持区域时钟数	4	4	4	4
IO BANK数	4	6	4	4
每个IO BANK支持IO时钟数	2	2	4	BANK0、BANK3 : 4 BANK1、BANK2 : 6
总IO时钟数	8	12	16	20
PLL数量	4	6	4	5

此外，为了提高时钟的性能，Logos 系列产品还提供了时钟相关的特殊 IO，包括三类：时钟输入管脚，PLL 参考时钟输入管脚以及 PLL 反馈输入时钟管脚。和普通 I/O 相比，使用这些时钟输入管脚会使用 FPGA 专用的时钟网络，从而得到较好的时钟性能。当不作为时钟输入时，这些时钟输入管脚可配置为普通 I/O 使用。

二、 详细介绍

(一) 时钟输入

时钟输入管脚可以使用专用时钟走线直接输入到内部时钟网络，包括全局时钟，区域时钟或 I/O 时钟，能减少干扰，提高时钟质量。时钟输入管脚可以是一对差分输入端口，也可以是一个单端输入端口，P 端和 N 端都可以作为单端使用。专用时钟管脚不作为时钟输入时，仍可作为普通 I/O 使用。下图所示显示的是作为差分时钟输入的示意图。

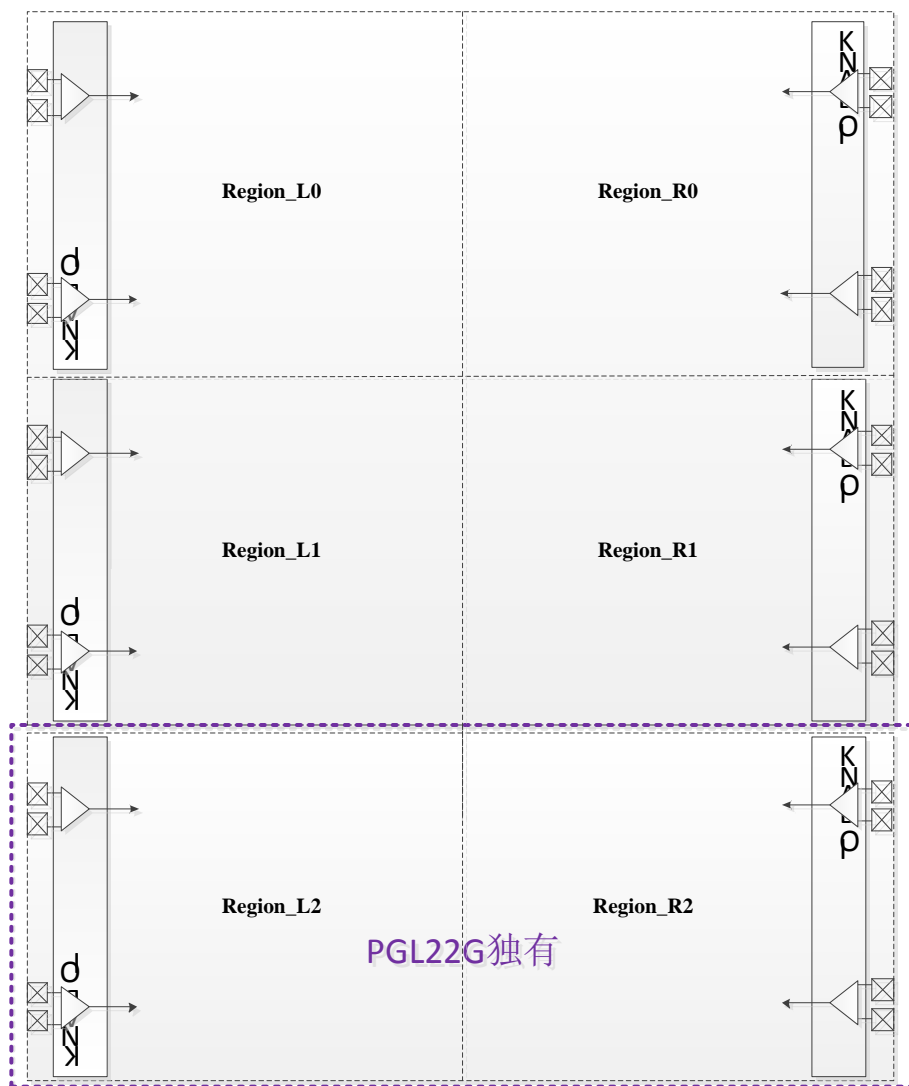


图 1 Logos 系列 PGL12G,PGL22G 时钟输入分布示意图

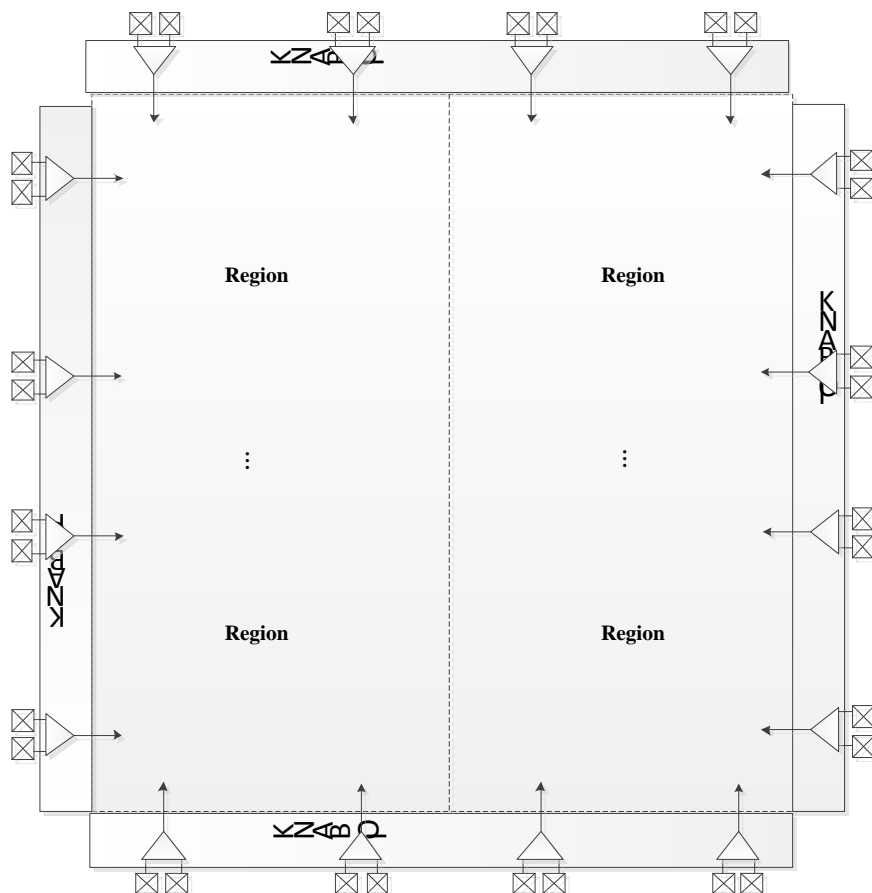


图 2 Logos 系列 PGL25G, PGL50H 时钟输入分布示意图

为满足一些应用中调整输入时钟相位的需求，Logos 系列产品的时钟输入管脚提供了可选的时间延迟功能。输入时钟的时间延迟是直接通过 GTP_IOCLKDELAY 来实现，其 GTP_IOCLKDELAY 对应的示意图如下图所示，其端口和参数说明如下表。

用户可以静态配置 delay step(调节延迟链的数量, 每个 step 的延迟为 25ps, 最小的延迟数量为 0, 最大的延迟数量为 127 (8'b0~8'b0111_1111), 也可以利用片上 DLL 获得动态的 delay step, 更可以在动/静态配置的基础上通过用户控制逻辑, 动态微调 delay step。在静态配置调整模式下, MOVE 及 DIRECTION 不起作用。

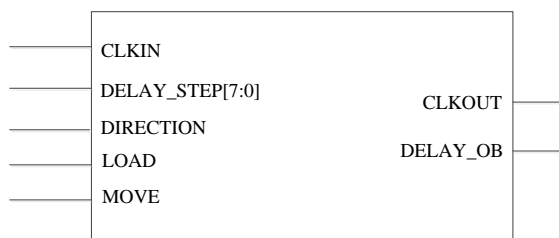


图 3 GTP_IOCLKDELAY 的示意图

表 2 GTP_IOCLKDELAY 端口说明

端口信号	输入/输出	描述
CLKIN	输入	来自管脚的时钟输入
DELAY_STEP [7:0]	输入	来自DLL的delay step
DIRECTION	输入	置0为动态增加delay step, 置1为动态减少delay step。
LOAD	输入	高有效, 加载静态参数配置或来自DLL的delay step值。当LOAD=1'b0, 可动态调节延时时间

端口信号	输入/输出	描述
MOVE	输入	下降沿触发动态微调，根据 DIRECTION 不同增加一个step或减小一个step。
CLKOUT	输出	延迟后的时钟输出
DELAY_OB	输出	delay step动态微调溢出标志，当DIRECTION置0时，内部DELAY STEP为127时变高；当DIRECTION置1时，内部delay step为0时变高。

表 3 GTP_IOCLKDELAY 参数说明

参数名	描述
DELAY_STEP_VALUE	静态delay step，当DELAY_STEP_SEL为“PARAMETER”时有效
DELAY_STEP_SEL	“PORT”选择来自DLL的delay step； “PARAMETER”选择静态参数配置的delay step

GTP_IOCLKDELAY 的使用可以直接用源代码例化，以 Verilog 例化为例：

GTP_IOCLKDELAY

```
#(
    .DELAY_STEP_VALUE      (8'd10          ), //Used for static DELAY STEP setting, 0~127
    .DELAY_STEP_SEL        ("PARAMETER")    // "PARAMETER" or "PORT"
)
I_IOCLKDELAY (
    .CLKIN                 (CLKIN          ),
    .DELAY_STEP             (DELAY_STEP    ),
    .CLKOUT                 (CLKOUT         ),
    .DIRECTION              (DIRECTION     ),
    .LOAD                   (LOAD           ),
    .MOVE                   (MOVE           ),
    .DELAY_OB               (DELAY_OB      )
);
```

上例中，对应时钟 CLKIN 周期为 2000ps，CLKDLY_STEP_VALUE 参数设为 10，则 CLKOUT 比 CLKIN 延迟 250ps。时序图如下。LOAD 为 1，DIRECTION 和 MOVE 为 0。

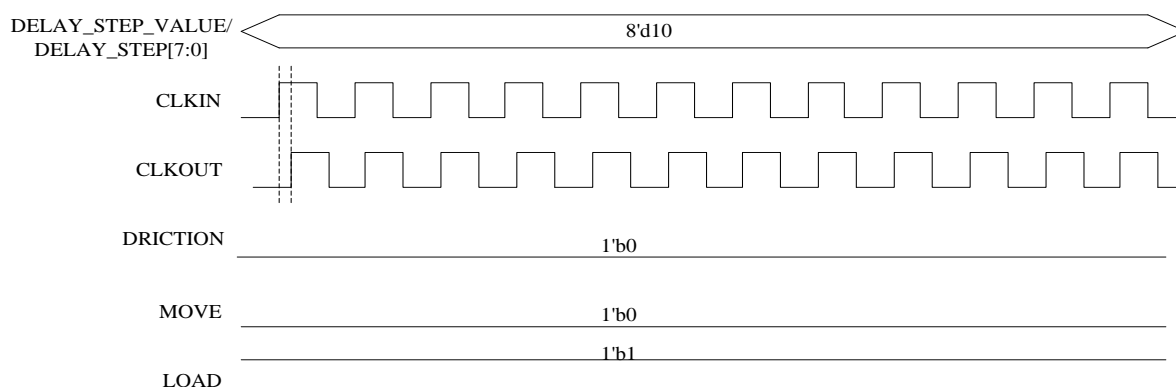


图 4 GTP_IOCLKDELAY 的静态配置时序图

当在手动模式下调节时, $LOAD=1'b0$, $MOVE$ 作为手动模式的触发时钟, 通过下降沿触发。每触发一次, 输入时钟增加一次或减少一个 $step$ 。 $DIRECTION$ 控制 $step$ 的方向, 当 $DIRECTION=1'b1$, 减少 $step$; 当 $DIRECTION=1'b0$, 增加 $step$, 对应的时序图如下, 每增加或减少一次的时间为 $T1$ 。

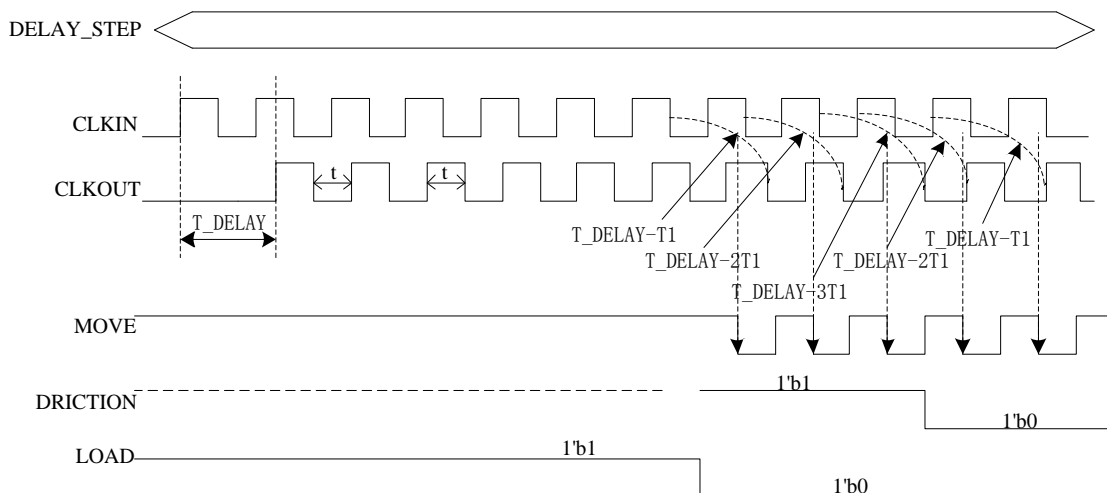


图 5 GTP_IOCLKDELAY 手动延时示例时序图

对于 $DELAY_OB$, 如下图描述, 在 t_0 时刻后 $DIRECTION=1'b0$, $MOVE$ 下降沿出现的次数 M 与 $DELAY_STEP_VALUE$ 设置的值或来自 DLL 的 $DELAY_STEP$ 值 x 相加达到 127, 则 $DELAY_OB$ 跳转成高电平, 表示已达到可调整的最大 $DELAY_TIME$, 不能再增加 $step$; 当设置 $DELAY_STEP_VALUE$ 或 $DELAY_STEP$ 为 $8'd0$, 如 $DIRECTION=1'b1$, 则 $DELAY_OB$ 跳转成高电平, 表示已达到可调整的最小 $DELAY_TIME$, 不能再减少 $step$ 。

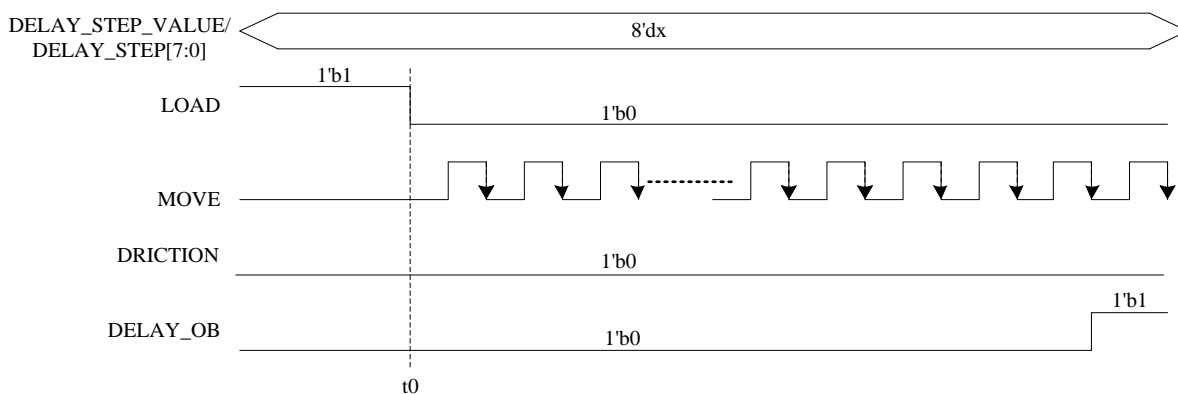


图 6 GTP_IOCLKDELAY 信号 $DELAY_OB$ 跳转高电平示例时序图

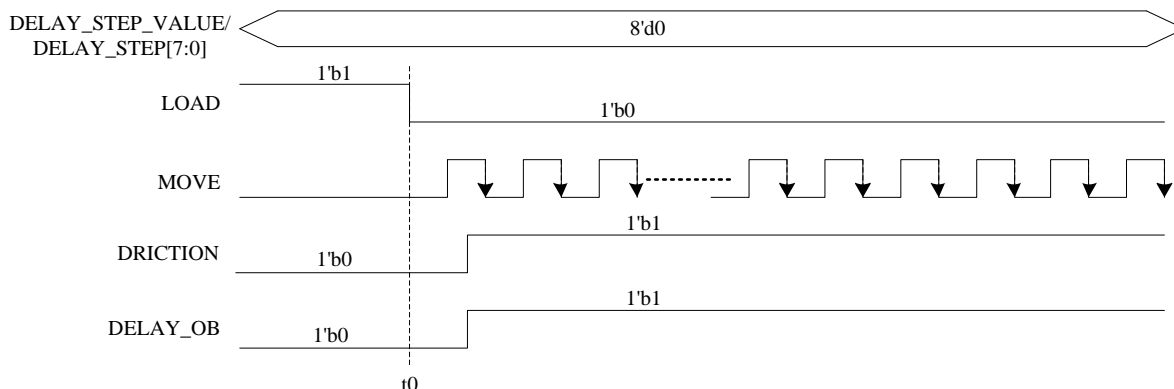


图 7 GTP_IOCLKDELAY 信号 $DELAY_OB$ 跳转高电平示例时序图

(二) 全局时钟

Logos 系列产品的全局时钟输入源如下表所示，输入路径示意图如下图。

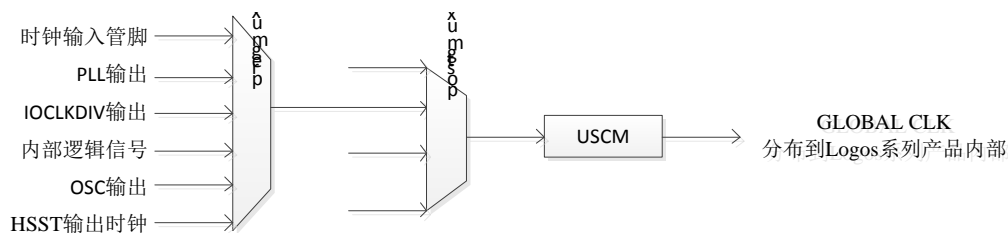


图 8 Logos 系列产品的全局时钟来源路径示意图

表 4 Logos 系列产品的全局时钟输入源

全局时钟输入源	描述
时钟输入管脚	从时钟输入管脚输入的时钟
PLL输出	PLL 的输出时钟，对应于 PLL 输出时钟 CLKOUT0/CLKOUT1/CLKOUT2/CLKOUT3/CLKOUT4/CLKOUT5
IOCLKDIV输出	IOCLKDIV输出的分频时钟
OSC输出 (PGL12G独有)	内部振荡器输出的时钟
内部逻辑信号	内部逻辑信号，一般不建议使用，容易影响输入时钟质量
HSST输出 (带HSST的器件)	HSST 的 10 个输出时钟 (RCLK2FABRIC[3:0]、TCLK2FABRIC[3:0]、REFCK2CORE_0、REFCK2CORE_1)，PGL50H共有1个HSST

USCM 是一个智能的 2 选 1 时钟信号选择器，控制选择信号不管在时钟的任何地方触发，输出可以选择需要输出的信号，且没有毛刺。它为全局时钟提供使能和选择的功能，它支持 CLKBUFG，CLKBUFGCE 以及 CLKBUFGMUX 三种模式。CLKBUFG 提供了简单的时钟 BUFFER 功能，通常由软件自动插入；CLKBUFGCE 属于带时钟使能的时钟 BUFFER，它的使用通过直接在 RTL 中例化 GTP 来实现；CLKBUFGMUX 是带有选择功能的时钟选择器。

其 GTP_CLKBUFGCE 的示意图如下图所示，对应的端口说明参数说明如下表。

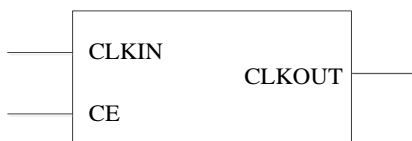


图 9 GTP_CLKBUFGCE 的框图

表 5 GTP_CLKBUFGCE 端口说明

端口信号	输入/输出	描述
CLK	输入	输入时钟
CE	输入	CE=1'b1时，CLKOUT=CLKIN；CE=1'b0时，CLKOUT=1'b0
CLKOUT	输出	输出时钟

表 6 GTP_CLKBUFGCE 参数说明

参数名	描述
DEFAULT_VALUE	值为0

以 Verilog 为例，GTP_CLKBUFGCE 的例化：

GTP_CLKBUFGCE

```
#(
    .DEFAULT_VALUE    (1'b0)    //1'b0;
) I_GTP_CLKBUFGCE (
    .CLKIN            (CLKIN    ),
    .CE               (CE       ),
    .CLKOUT           (CLKOUT   )
);
```

当 CE 为高电平时其 CLKOUT=CLKIN，当 CE 为低电平时，CLKOUT 输出为低电平，其时序图如下图所示：

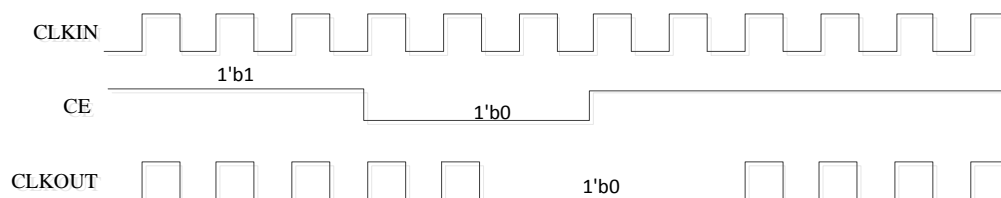


图 10 GTP_CLKBUFGCE 的时序图

GTP_CLKBUFG 的示意图如下图，其端口说明如下表。

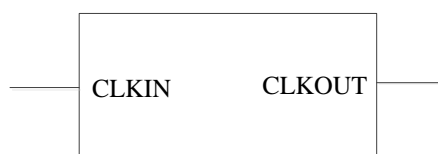


图 11 GTP_CLKBUFG 的框图

表 7 GTP_CLKBUFG 的端口说明

端口信号	输入/输出	描述
CLKIN	输入	输入时钟
CLKOUT	输出	输出时钟

GTP_CLKBUFG 的使用可以直接例化模块，以 Verilog 例化为例：

GTP_CLKBUFG

```
I_GTP_CLKBUFG (
    .CLKOUT    (CLKOUT),
    .CLKIN     (CLKIN )
);
```

GTP_CLKBUFG 的时序图如下图所示。

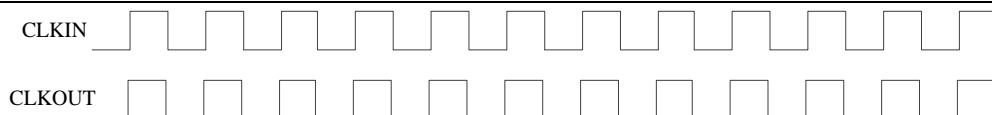


图 12 GTP_CLKBUFG 的时序图

GTP_CLKBUFGMUX 可用于两个时钟源之间的动态切换，用户可以根据需要选择强制切换（对应 TRIGGER_MODE="NORMAL"），或者由时钟下降沿触发的去毛刺切换（对应 TRIGGER_MODE="NEGEDGE"）。值得注意的是强制切换可能会引入毛刺。

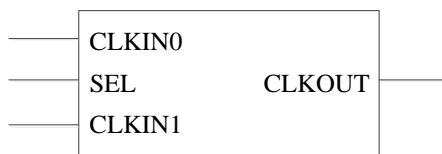


图 13 GTP_CLKBUFGMUX 的框图

表 8 GTP_CLKBUFGMUX 端口说明

端口信号	输入/输出	描述
CLKIN0	输入	输入时钟0
CLKIN1	输入	输入时钟1
SEL	输入	时钟选择信号，0选择CLK0；1选择CLK1；
CLKOUT	输出	输出时钟

表 9 GTP_CLKBUFGMUX 参数说明

参数名	描述
TRIGGER_MODE	模式"NEGEDGE"、"NORMAL"。

GTP_CLKBUFGMUX 的使用可以直接例化模块，以 Verilog 例化为例：

GTP_CLKBUFGMUX

```
#(
    .TRIGGER_MODE ("NEGEDGE" )// "NEGEDGE",
) I_CLKBUFGMUX (
    .CLKIN0      (CLK0      ),
    .CLKIN1      (CLK1      ),
    .SEL          (SEL       ),
    .CLKOUT       (CLKOUT    )
)
```

其时序图如下所示：

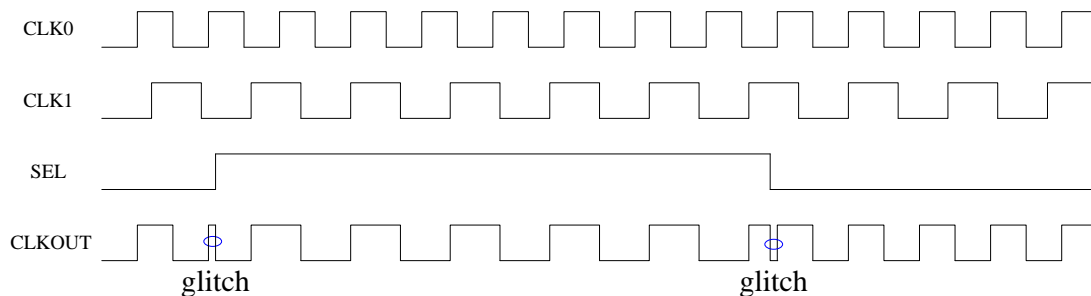


图 14 USCM 的 CLKBUFGMUX 模式时序示意图 (TRIGGER_MODE="NORMAL")

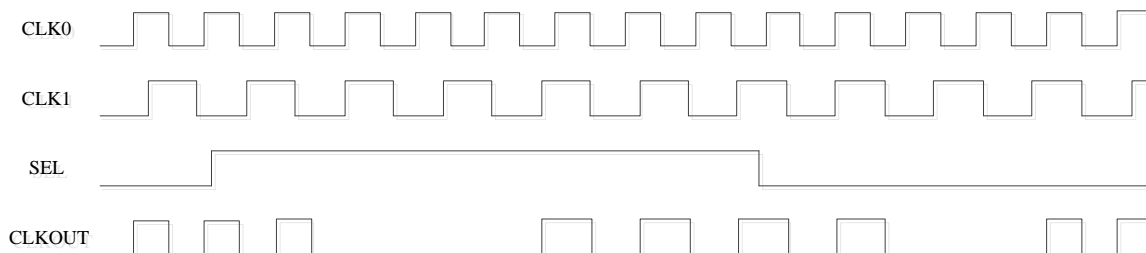
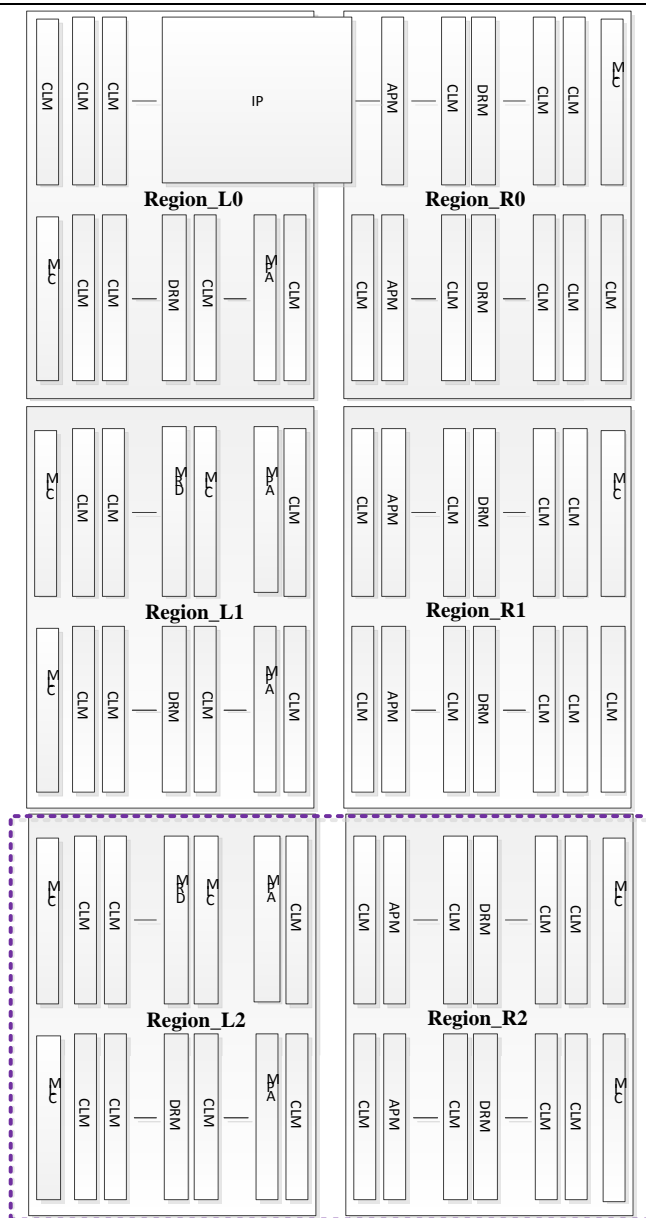


图 15 USCM 的 CLKBUFGMUX 模式时序示意图 (TRIGGER_MODE="NEGEDGE")

(三) 区域时钟

Logos 系列产品的内部逻辑资源按区域分布，由多个区域构成，如下图所示。每个区域由不固定数量的 CLM、DRM、ADC、IO 及 APM 列组成。



注 1: 图中 IP 指 ADC (PGL12G、PGL22G) 或者 HSST (PGL50H)

注 2: 图中紫色虚线圈住的区域为 PGL22G、PGL50H 两款器件特有。

图 16 Logos 系列区域分布示意图

每个区域支持 4 个区域时钟，与全局时钟相比，区域时钟的优点是延迟小，skew 小，但它分布范围有限。区域时钟的来源路径如下图，区域时钟的输入源如下表。

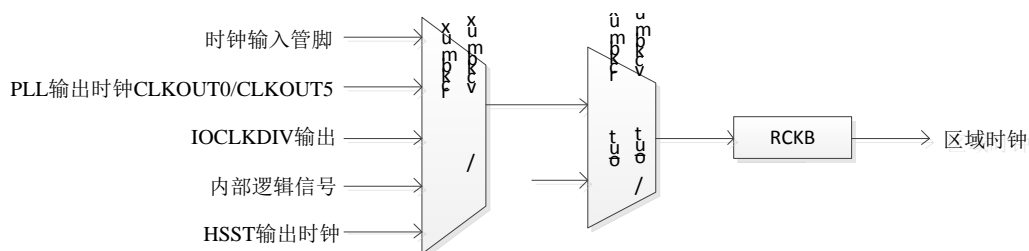


图 17 区域时钟来源路径示意图

表 10 Logos 区域时钟来源

区域时钟输入源	描述
时钟输入管脚	每个区域内的时钟管脚输入的时钟只能作为该区域时钟的输入源

区域时钟输入源	描述
PLL输出CLKOUT0/CLKOUT5	<p>PGL12G:</p> <p>PLL0的CLKOUT5能驱动区域L0, R0的Region CLOCK。</p> <p>PLL1的CLKOUT5能驱动区域L0, R0, L1, R1的Region CLOCK。</p> <p>PLL2的CLKOUT5能驱动区域L0, R0, L1, R1的Region CLOCK</p> <p>PLL3的CLKOUT5能驱动区域L2, R2的Region CLOCK</p> <p>PGL22G:</p> <p>PLL0的CLKOUT5能驱动区域L0, R0的Region CLOCK。</p> <p>PLL1的CLKOUT5能驱动区域L0, R0, L1, R1的Region CLOCK。</p> <p>PLL2的CLKOUT5能驱动区域L0, R0, L1, R1的Region CLOCK</p> <p>PLL3的CLKOUT5能驱动区域L1, R1, L2, R2的Region CLOCK</p> <p>PLL4的CLKOUT5能驱动区域L1, R1, L2, R2的Region CLOCK</p> <p>PLL5的CLKOUT5能驱动区域L2, R2的Region CLOCK</p> <p>PGL25G:</p> <p>PLL0的CLKOUT5能驱动区域L0, R0的Region CLOCK。</p> <p>PLL1的CLKOUT5能驱动区域L0, R0, L1, R1的Region CLOCK。</p> <p>PLL2的CLKOUT5能驱动区域L0, R0, L1, R1的Region CLOCK</p> <p>PLL3的CLKOUT5能驱动区域L1, R1的Region CLOCK</p> <p>PGL50H:</p> <p>PLL0的CLKOUT0能驱动区域L0, R0的Region CLOCK。</p> <p>PLL0的CLKOUT5能驱动区域L0, R0, L1, R1的Region CLOCK</p> <p>PLL1的CLKOUT0能驱动区域L1, R1的Region CLOCK。</p> <p>PLL1的CLKOUT5能驱动区域L0, R0, L1, R1的Region CLOCK。</p> <p>PLL2的CLKOUT0能驱动区域L1, R1的Region CLOCK</p> <p>PLL2的CLKOUT5能驱动区域L1, R1, L2, R2的Region CLOCK</p> <p>PLL3的CLKOUT0能驱动区域L2, R2的Region CLOCK</p> <p>PLL3的CLKOUT5能驱动区域L1, R1, L2, R2的Region CLOCK</p> <p>PLL4的CLKOUT0/CLKOUT5能驱动区域L2, R2的Region CLOCK</p> <p>PLL4的CLKOUT0/CLKOUT5能驱动区域L2, R2的Region CLOCK</p>
IOCLKDIV输出	每个区域内的IOCLKDIV输出的分频时钟的时钟只能作为该区域时钟的输入源
内部逻辑信号	内部逻辑信号, 一般不建议使用, 容易影响输入时钟质量
HSST输出 (带HSST的器件)	HSST的输出时钟RCLK2FABRIC[1]、RCLK2FABRIC[3]可驱动L0, R0的Region CLOCK, PGL50H共有一个HSST

用户可以通过例化 GTP_CLKBUFR 驱动区域内的逻辑单元, 其 GTP_CLKBUFR 的示意图如下图, 其端口说明如下表。

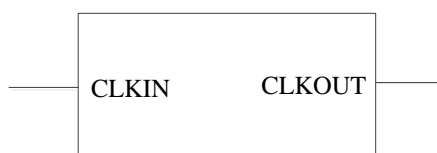


图 18 GTP_CLKBUFR 的框图

表 11 GTP_CLKBUFR 的端口说明

端口信号	输入/输出	描述
CLKIN	输入	输入时钟
CLKOUT	输出	输出时钟

GTP_CLKBUFR 的使用可以直接例化模块，以 Verilog 例化为例：

GTP_CLKBUFR

```
I_ GTP_CLKBUFR (
    .CLKOUT      (CLKOUT),
    .CLKIN       (CLKIN )
)
```

GTP_CLKBUFR 的时序图如下图所示。

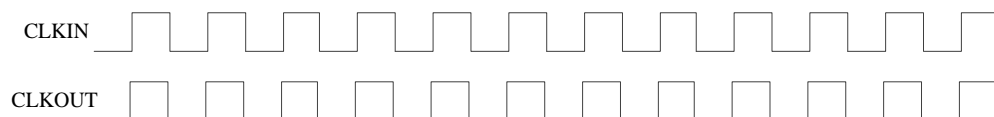


图 19 GTP_CLKBUFR 的时序图

（四） I/O 时钟

I/O 时钟提供高速及较低的 skew 时钟给 I/O 逻辑，每个区域的 I/O 时钟只能直接驱动该区域的 I/O 逻辑资源，通过使用全局时钟网络则能驱动所有 FPGA 资源，PGL12G、PGL22G 的 IO 时钟分布如下图所示。

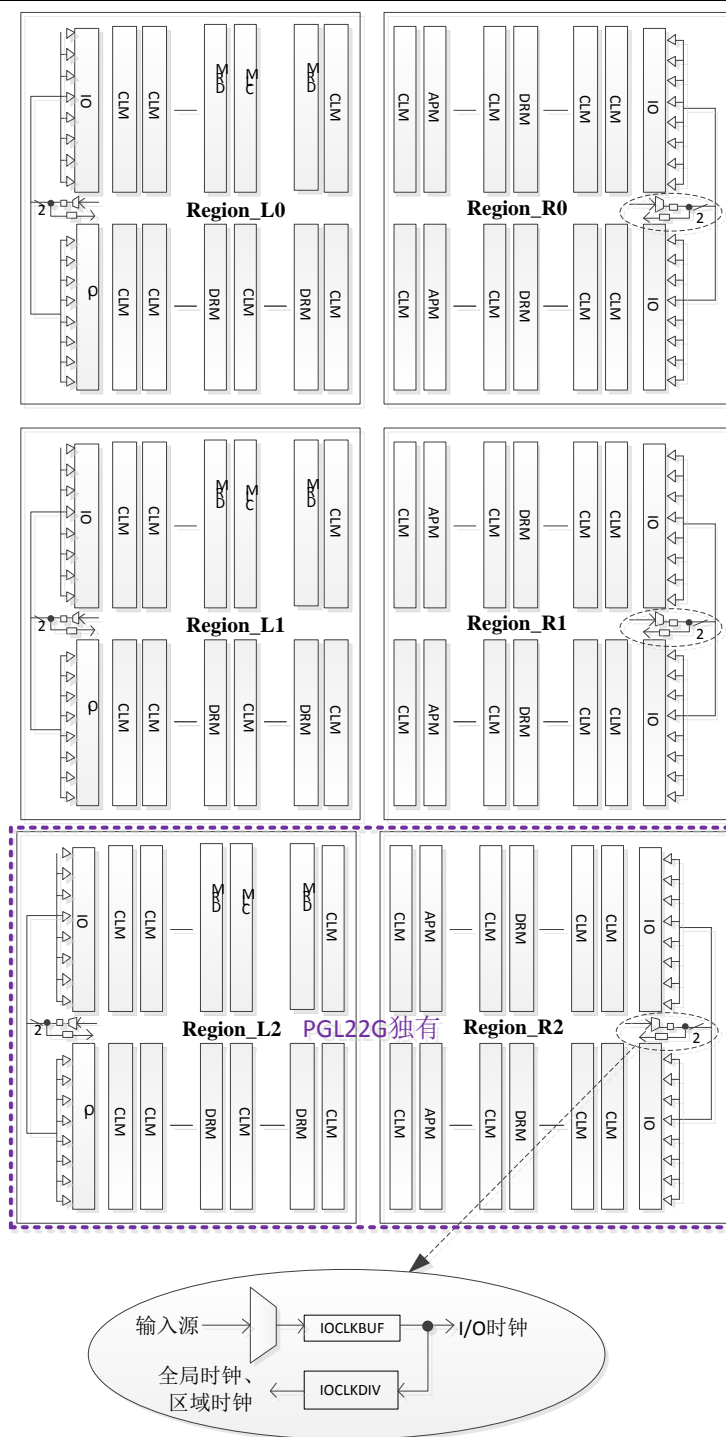


图 20 Logos 系列 PGL12G,PGL22G I/O 时钟分布示意图

如下图所示的 PGL25G 与 PGL50H 架构中，上下 IO BANK 的时钟 IO 管脚不能直接驱动所在 REGION 的区域时钟，但是可以通过全局时钟网络去驱动区域时钟网络。

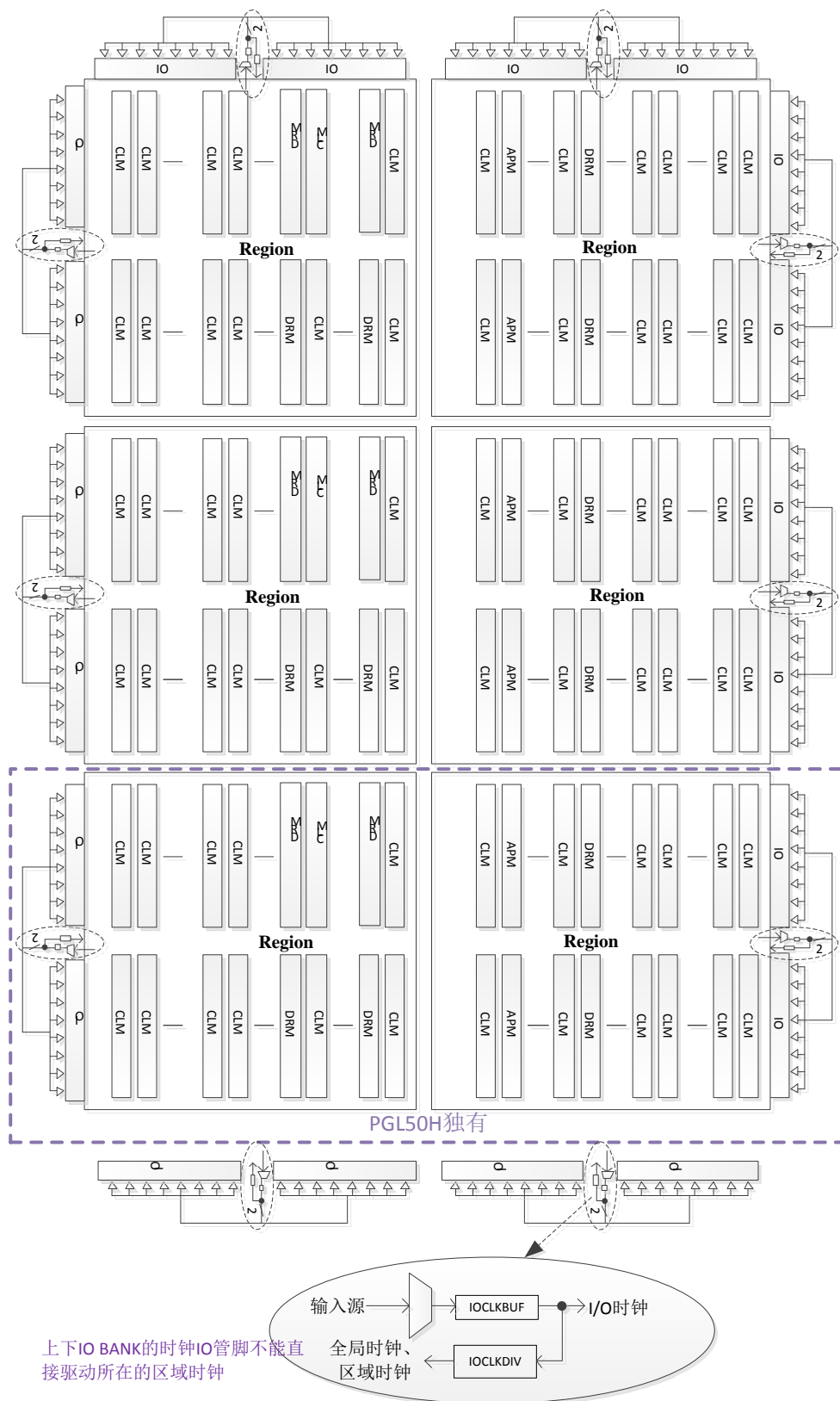


图 21 Logos 系列 PGL25G, PGL50H I/O 时钟分布示意图

每个区域内 I/O 时钟的输入源有该区域内时钟管脚输入的时钟、PLL 输出时钟 CLKOUT0、CLKOUT5 以及内部逻辑信号，如下图所示，其具体的 I/O 时钟具体的输入源如下表所示。

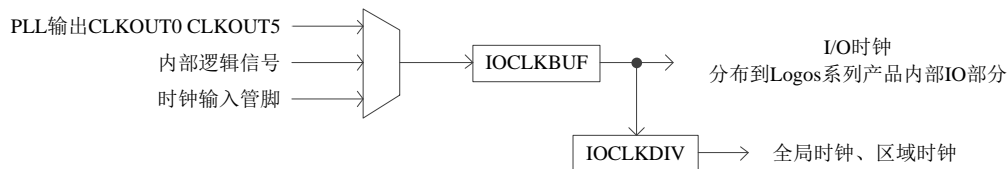


图 22 进入 I/O 时钟网络的路径示意图

表 12 Logos 的 I/O 时钟网络输入源

区域时钟输入源	描述
时钟输入管脚	每个区域内的时钟管脚P端输入的时钟只能作为该区域I/O时钟的输入源,N端不能作为I/O时钟的输入源
PLL输出CLKOUT0/CLKOUT5	<p>PGL12G:</p> <p>PLL0的CLKOUT0/CLKOUT5能驱动区域L0, R0的IO CLOCK。</p> <p>PLL1的CLKOUT0/CLKOUT5能驱动区域L0, R0, L1, R1的IO CLOCK。</p> <p>PLL2的CLKOUT0/CLKOUT5能驱动区域L0, R0, L1, R1的IO CLOCK</p> <p>PLL3的CLKOUT0/CLKOUT5能驱动区域L2, R2的IO CLOCK</p> <p>PGL22G:</p> <p>PLL0的CLKOUT0/CLKOUT5能驱动区域L0, R0的IO CLOCK。</p> <p>PLL1的CLKOUT0/CLKOUT5能驱动区域L0, R0, L1, R1的IO CLOCK。</p> <p>PLL2的CLKOUT0/CLKOUT5能驱动区域L0, R0, L1, R1的IO CLOCK</p> <p>PLL3的CLKOUT0/CLKOUT5能驱动区域L1, R1, L2, R2的IO CLOCK</p> <p>PLL4的CLKOUT0/CLKOUT5能驱动区域L1, R1, L2, R2的IO CLOCK</p> <p>PLL5的CLKOUT0/CLKOUT5能驱动区域L2, R2的IO CLOCK</p> <p>PGL25G:</p> <p>PLL0的CLKOUT0/CLKOUT5能驱动区域L0, R0的IO CLOCK。</p> <p>PLL1的CLKOUT0/CLKOUT5能驱动区域L0, R0, L1, R1的IO CLOCK。</p> <p>PLL2的CLKOUT0/CLKOUT5能驱动区域L0, R0, L1, R1的IO CLOCK</p> <p>PLL3的CLKOUT0/CLKOUT5能驱动区域L1, R1的IO CLOCK</p> <p>PGL50H:</p> <p>PLL0的CLKOUT0/CLKOUT5能驱动区域L0, R0, L1, R1的IO CLOCK。</p> <p>PLL1的CLKOUT0/CLKOUT5能驱动区域L0, R0, L1, R1的IO CLOCK。</p> <p>PLL2的CLKOUT0/CLKOUT5能驱动区域L1, R1, L2, R2的IO CLOCK</p> <p>PLL3的CLKOUT0/CLKOUT5能驱动区域L1, R1, L2, R2的IO CLOCK</p> <p>PLL4的CLKOUT0/CLKOUT5能驱动区域L2, R2的IO CLOCK</p>
内部逻辑信号	内部逻辑信号, 一般不建议使用, 容易影响输入时钟质量

IOCLKBUF的使用可以通过例化GTP_IOCLKBUF来实现, 其对应的示意图如下图所示, 端口及参数的描述如下表。

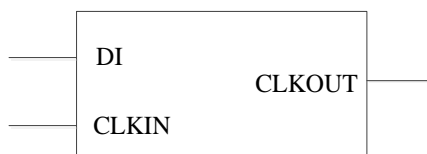


图 23 GTP_IOCLKBUF 框图

表 13 GTP_IOCLKBUF 端口描述

端口信号	输入/输出	描述
CLKIN	输入	输入时钟
DI	输入	使能信号
CLKOUT	输出	输出时钟

表 14 GTP_IOCLKBUF 参数描述

参数名	描述
GATE_EN	"TRUE" 时使能信号DI有效；"FALSE" 时使能信号DI无效；

GTP_IOCLKBUF的例化，以Verilog例化为例：

GTP_IOCLKBUF

```
#(
    .GATE_EN ("FALSE" ) //FALSE; TRUE
) I_GTP_IOCLKBUF (
    .CLKOUT  (CLKOUT ),
    .CLKIN   (CLIN   ),
    .DI      (DI      )
);
```

当参数GATE_EN为 "TRUE" 或 "FALSE" 时，其对应的时序图如下。

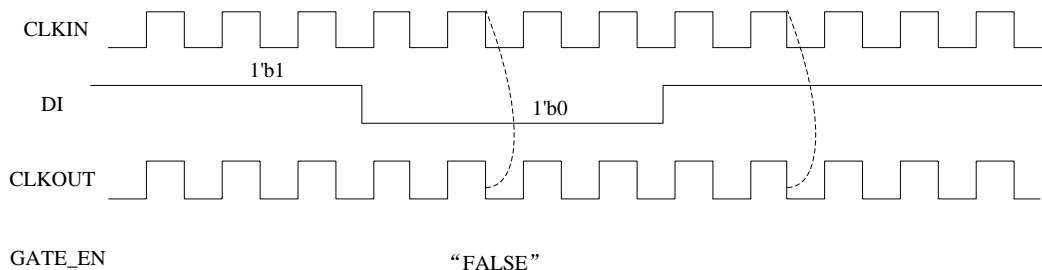


图 24 GATEN="FALSE"的 GTP_IOCLKBUF 时序图

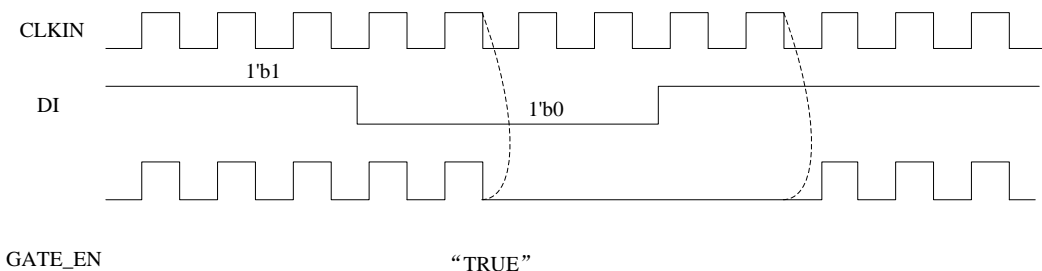


图 25 GATEN="TRUE"的 GTP_IOCLKBUF 时序图

IOCLKDIV 对来自于 IOCLKBUF 的时钟进行分频，分频之后的时钟可以作为全局时钟和区域时钟的输入源。IOCLKDIV 的使用通过直接在 RTL 中例化对应的 GTP 来实现，以 Verilog 例化为例：

```

GTP_IOCLKDIV #(
    .DIV_FACTOR      ("2"           ),    //"2"; "3.5"; "4"; "5";
    .GRS_EN          ("FALSE"       ) //"TRUE"; "FALSE"
)I_IOCLKDIV(
    .CLKIN           (CLKIN         ),
    .RST_N           (RST_N         ),
    .CLKDIVOUT       (CLKDIVOUT     )
);
    
```

表 15 GTP_IOCLKDIV 端口说明

端口信号	输入/输出	说明
CLKIN	输入	输入时钟
RST_N	输入	低有效复位
CLKDIVOUT	输出	分频输出时钟

表 16 GTP_IOCLKDIV 端口说明

参数名	描述
DIV_FACTOR	为分频比值为"2"、"3.5"、"4"、"5"
GRS_EN	全局使能信号, "TRUE", 全局使能信号有效; "FALSE", 全局使能信号无效

(五) PLL

Logos 系列产品具有不同数量的 PLL，如下图所示。

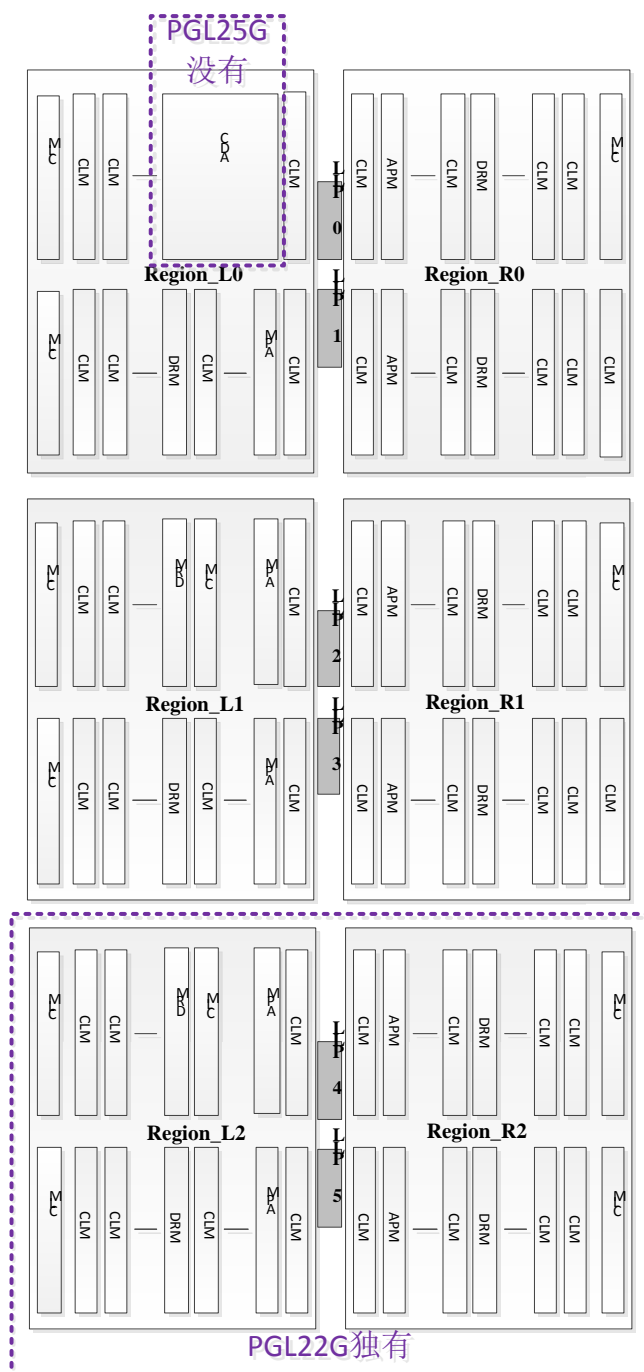


图 26 Logos 系列 PGL12G, PGL22G, PGL25G 器件 PLL 位置分布示意图

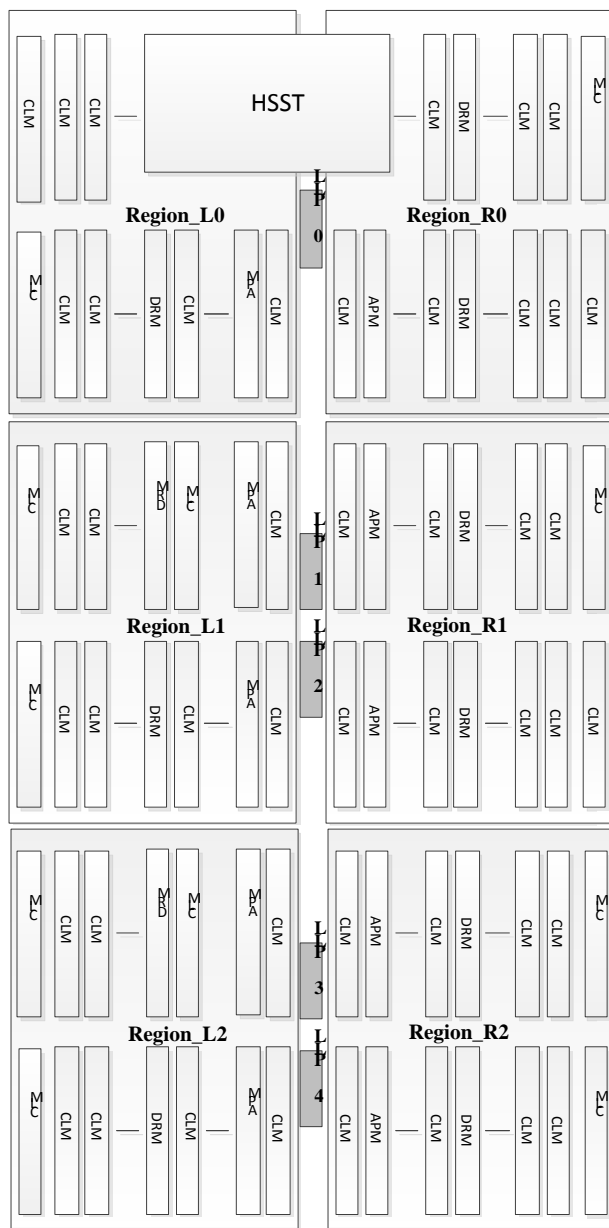


图 27 Logos 系列 PGL50H 器件 PLL 位置分布示意图

Logos 系列产品的 PLL 的分布示意图如上图所示，PLL 主要特性如下：

- 频率综合，相位调整；
- 可选的输入时钟动态选择；
- 支持外部反馈和内部反馈两种反馈模式；
- 支持 PLL 的动态配置；
- 可选的输出时钟 gate 功能；
- 可选的可编程的 phase shift；

1. PLL 顶层框图

Logos 系列 PGL12G, PGL25G, PGL50H 产品的 PLL 模型框图如下所示。

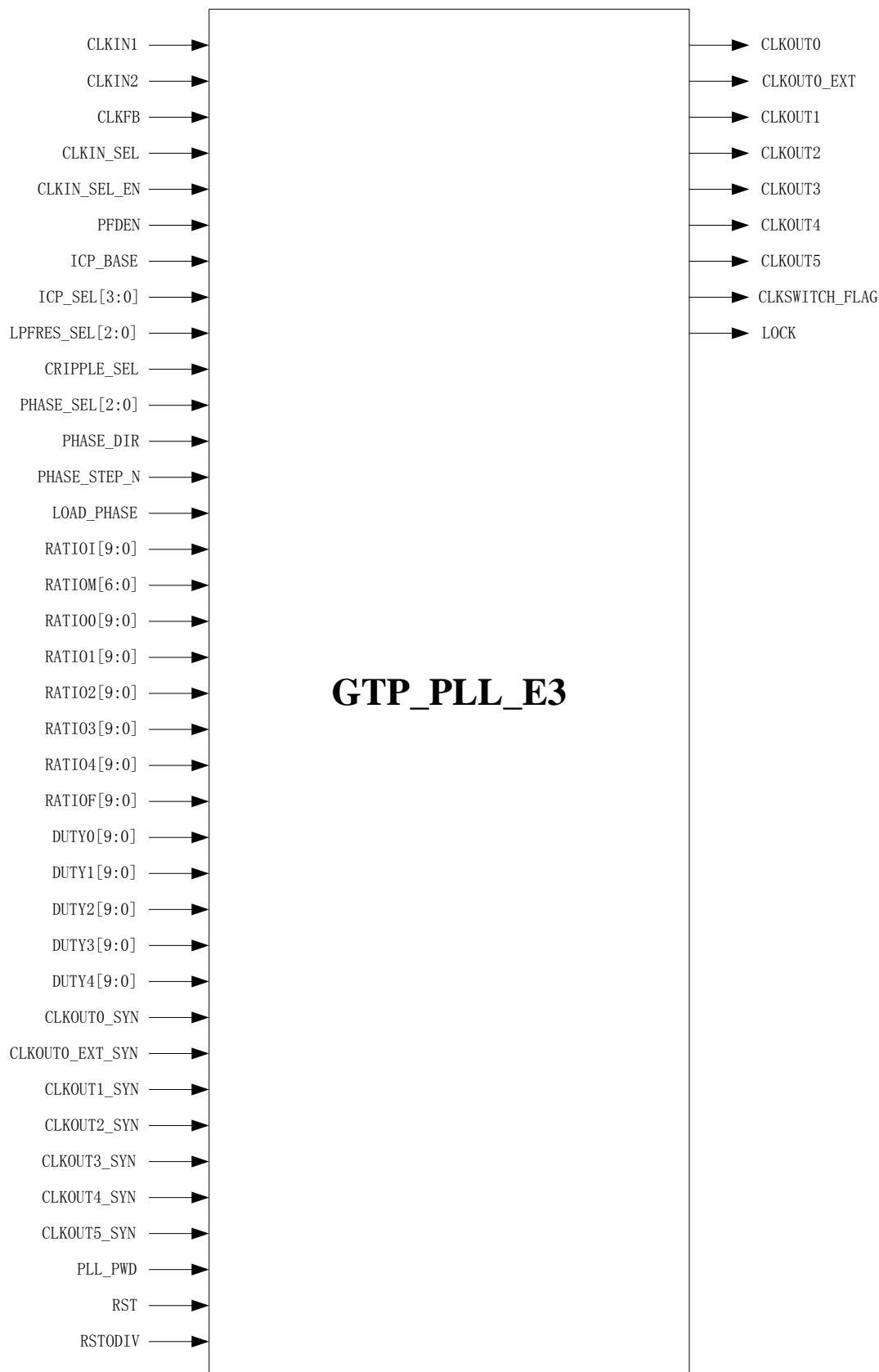


图 28 PGL12G, PGL25G, PGL50H 器件 PLL 模型框图

Logos 系列 PGL22G 产品的 PLL 模型框图如下图所示。

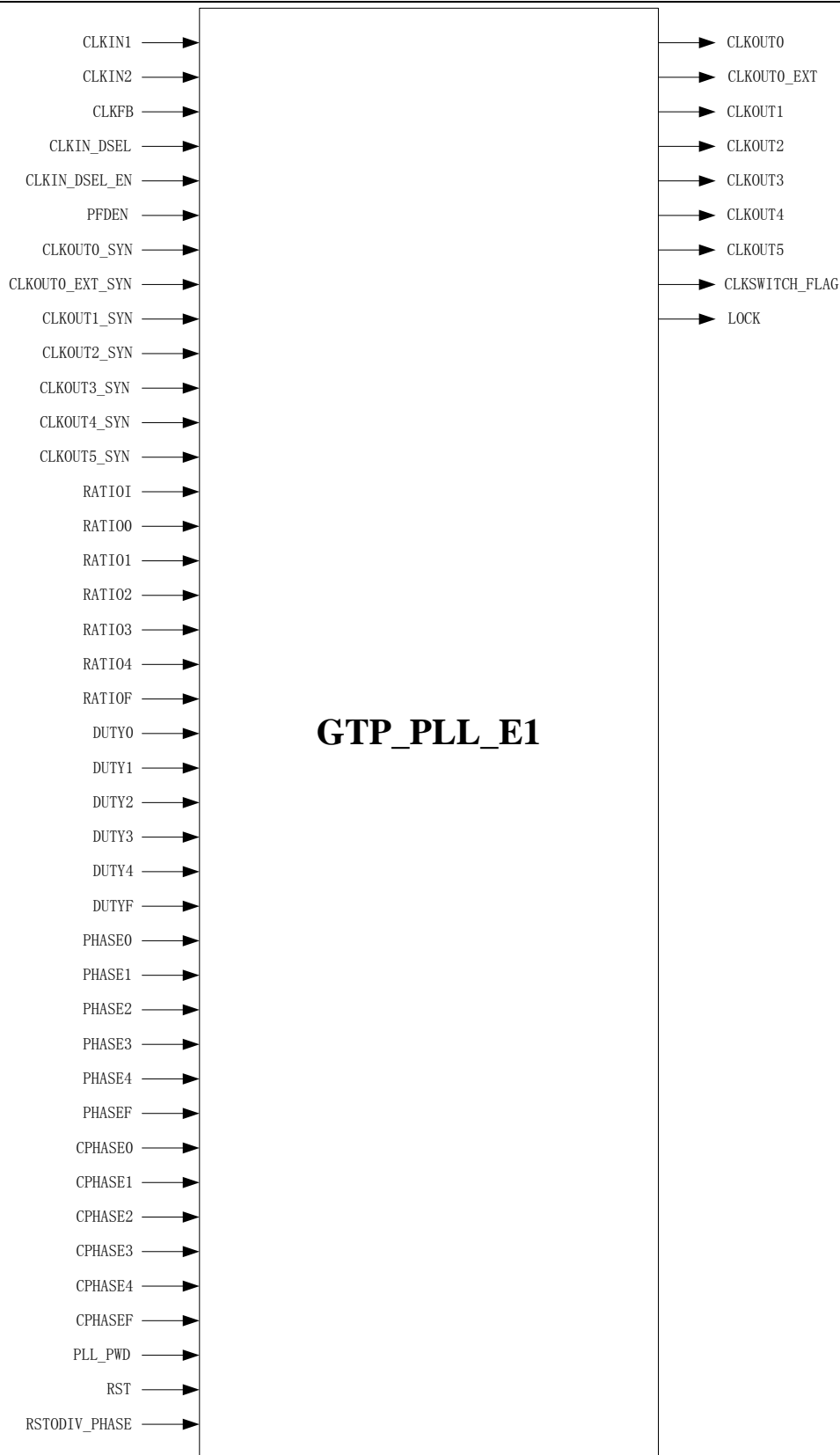


图 29 PGL22G GTP_PLL_E1 模型框图

2. 端口列表

Logos 系列 PGL12G, PGL25G, PGL50H 产品的 PLL 端口信号如下表所示。

表 17 GTP_PLL_E3 端口描述

Port	方向	功能描述
CLKOUT0	输出	输出divider0分频输出时钟；
CLKOUT0_EXT	输出	输出divider0分频输出时钟，与CLKOUT0为同源时钟；
CLKOUT1	输出	输出divider1分频输出时钟；
CLKOUT2	输出	输出divider2分频输出时钟；
CLKOUT3	输出	输出divider3分频输出时钟；
CLKOUT4	输出	输出divider4分频输出时钟或输入时钟bypass输出；
CLKOUT5	输出	输出divider0~4分频输出5选1后时钟，由静态配置CLKOUT5_SEL选择；
CLKSWITCH_FLAG	输出	时钟自动切换标识，在时钟动态选择的自动模式下： 为0时，表示选择CLKIN1作为PLL基准时钟； 为1时，表示选择CLKIN2作为PLL基准时钟；
LOCK	输出	PLL锁定输出信号；为0时，PLL未锁定；为1时，PLL已锁定；
CLKIN1	输入	输入时钟1；
CLKIN2	输入	输入时钟2；
CLKFB	输入	反馈时钟；
CLKIN_SEL	输入	输入时钟选择端口；为0时，选择CLKIN1；为1时，CLKIN2；
CLKIN_SEL_EN	输入	CLKIN_SEL端口使能： 为0时，CLKIN_SEL端口输入无效，自动模式； 为1时，CLKIN_SEL端口输入有效，由CLKIN_SEL选择输入时钟；
PFDEN	输入	PLL PFD使能，高电平有效；
ICP_BASE	输入	Charge Pump电流基准设置
ICP_SEL[3:0]	输入	Charge Pump电流动态设置
LPFRES_SEL[2:0]	输入	Loop Filter电阻动态设置
CRIPPLE_SEL	输入	Loop Filter电阻动态设置
PHASE_SEL[2:0]	输入	选择PLL相应输出时钟进行相位调整； 3'b000：选择CLKOUT0， 3'b001：选择CLKOUT1， 3'b010：选择CLKOUT2， 3'b011：选择CLKOUT3； 3'b100：选择CLKOUT4； 3'b101：选择内部反馈时钟；

PHASE_DIR	输入	选择动态相位细调调整方向；1'b0：滞后，1'b1：超前；
PHASE_STEP_N	输入	动态相位细调调整toggle信号； 每toggle一次，输出时钟相位调整1/8Tvco；
LOAD_PHASE	输入	所选通道的当前相位细调值加载信号，脉冲信号，高电平有效；
RATIOI[9:0]	输入	输入divider divider ratio动态设置；
RATIOM[6:0]	输入	反馈M divider divider ratio动态设置；
RATIO0[9:0]	输入	输出divider0 divider ratio动态设置；
RATIO1[9:0]	输入	输出divider1 divider ratio动态设置；
RATIO2[9:0]	输入	输出divider2 divider ratio动态设置；
RATIO3[9:0]	输入	输出divider3 divider ratio动态设置；
RATIO4[9:0]	输入	输出divider4 divider ratio动态设置；
RATIOF[9:0]	输入	反馈F divider divider ratio动态设置；
DUTY0[9:0]	输入	输出divider0 duty cycle动态设置；
DUTY1[9:0]	输入	输出divider1 duty cycle动态设置；
DUTY2[9:0]	输入	输出divider2 duty cycle动态设置；
DUTY3[9:0]	输入	输出divider3 duty cycle动态设置；
DUTY4[9:0]	输入	输出divider4 duty cycle动态设置；
CLKOUT0_SYN	输入	输出时钟CLKOUT0 GATE控制，高电平有效；
CLKOUT0_EXT_SYN	输入	输出时钟CLKOUT0_EXT GATE控制，高电平有效；
CLKOUT1_SYN	输入	输出时钟CLKOUT1 GATE控制，高电平有效；
CLKOUT2_SYN	输入	输出时钟CLKOUT2 GATE控制，高电平有效；
CLKOUT3_SYN	输入	输出时钟CLKOUT3 GATE控制，高电平有效；
CLKOUT4_SYN	输入	输出时钟CLKOUT4 GATE控制，高电平有效；
CLKOUT5_SYN	输入	输出时钟CLKOUT5 GATE控制，高电平有效；
PLL_PWD	输入	Power Down，高电平有效；当 PLL 不使用时，PLL 可以被关闭以便节省电源。
RST	输入	全局复位信号，高电平有效；
RSTODIV	输入	输出divider0~4和FDIV复位信号，高电平有效；

Logos 系列 PGL22G 产品的 PLL 端口信号如下表所示。

表 18 GTP_PLL_E1 端口描述

Port	方向	功能描述
CLKOUT0	O	输出 divider0 分频输出时钟；
CLKOUT0_EXT	O	输出 divider0 分频输出时钟，与 CLKOUT0 为同源时钟；
CLKOUT1	O	输出 divider1 分频输出时钟；

Port	方向	功能描述
CLKOUT2	O	输出 divider2 分频输出时钟;
CLKOUT3	O	输出 divider3 分频输出时钟;
CLKOUT4	O	输出 divider4 分频输出时钟或输入时钟 bypass 输出;
CLKOUT5	O	输出 divider0~4 分频输出 5 选 1 后时钟, 由静态配置 CLKOUT5_SEL 选择;
CLKSWITCH_FLAG	O	时钟自动切换标识, 在时钟动态选择的自动模式下: 为 0 时, 表示选择 CLKIN1 作为 PLL 基准时钟; 为 1 时, 表示选择 CLKIN2 作为 PLL 基准时钟;
LOCK	O	PLL 锁定输出信号; 为 0 时, PLL 未锁定; 为 1 时, PLL 已锁定;
CLKIN1	I	输入时钟 1;
CLKIN2	I	输入时钟 2;
CLKFB	I	反馈时钟;
CLKIN_DSEL	I	输入时钟动态选择的手动选择端口;
CLKIN_DSEL_EN	I	CLKIN_DSEL 端口使能: 为 0 时, CLKIN_DSEL 端口输入无效, 动态选择的自动模式; 为 1 时, CLKIN_DSEL 端口输入有效, 动态选择的手动模式;
PFDEN	I	PLL PFD 使能, 高电平有效;
CLKOUT0_SYN	I	输出时钟 CLKOUT0 GATE 控制, 高电平有效;
CLKOUT0_EXT_SYN	I	输出时钟 CLKOUT0_EXT GATE 控制, 高电平有效;
CLKOUT1_SYN	I	输出时钟 CLKOUT1 GATE 控制, 高电平有效;
CLKOUT2_SYN	I	输出时钟 CLKOUT2 GATE 控制, 高电平有效;
CLKOUT3_SYN	I	输出时钟 CLKOUT3 GATE 控制, 高电平有效;
CLKOUT4_SYN	I	输出时钟 CLKOUT4 GATE 控制, 高电平有效;
CLKOUT5_SYN	I	输出时钟 CLKOUT5 GATE 控制, 高电平有效;
RATIOI	I	输入 divider divider ratio 动态设置;
RATIO0	I	输出 divider0 divider ratio 动态设置;
RATIO1	I	输出 divider1 divider ratio 动态设置;
RATIO2	I	输出 divider2 divider ratio 动态设置;
RATIO3	I	输出 divider3 divider ratio 动态设置;
RATIO4	I	输出 divider4 divider ratio 动态设置;
RATIOF	I	反馈 divider divider ratio 动态设置;
DUTY0	I	输出 divider0 duty cycle 动态设置;
DUTY1	I	输出 divider1 duty cycle 动态设置;
DUTY2	I	输出 divider2 duty cycle 动态设置;
DUTY3	I	输出 divider3 duty cycle 动态设置;
DUTY4	I	输出 divider4 duty cycle 动态设置;
DUTYF	I	反馈 divider duty cycle 动态设置;
PHASE0	I	输出 divider0 fine phase 动态设置;
PHASE1	I	输出 divider1 fine phase 动态设置;
PHASE2	I	输出 divider2 fine phase 动态设置;
PHASE3	I	输出 divider3 fine phase 动态设置;
PHASE4	I	输出 divider4 fine phase 动态设置;
PHASEF	I	反馈 divider fine phase 动态设置;
CPHASE0	I	输出 divider0 coarse phase 动态设置;
CPHASE1	I	输出 divider1 coarse phase 动态设置;
CPHASE2	I	输出 divider2 coarse phase 动态设置;
CPHASE3	I	输出 divider3 coarse phase 动态设置;

Port	方向	功能描述
CPHASE4	I	输出 divider4 coarse phase 动态设置;
CPHASEF	I	反馈 divider coarse phase 动态设置;
PLL_PWD	I	Power Down, 高电平有效;
RST	I	全局复位信号, 高电平有效;
RSTODIV_PHASE	I	相位调整功能使能时, 输出 divider0~4 复位信号, 高电平有效; 相位调整功能关闭时, 输出 divider0~4 受 RST 复位信号控制;

3. 参数列表

Logos 系列 PGL12G, PGL25G, PGL50H 产品的 PLL 参数如下表所示。

表 19 GTP_PLL_E3 参数描述

参数名称	有效值	默认值	功能描述
CLKIN_FREQ	5~625	50	输入时钟频率
PFDEN_EN	“FALSE”, “TRUE”	“FALSE”	PLL PFDEN信号使能;
VCOCLK_DIV2	1'b0-1'b1	1'b0	PLL VCO输出时钟2分频使能;
DYNAMIC_RATIOI_EN	“FALSE”, “TRUE”	“FALSE”	输入divider分频动态控制使能;
DYNAMIC_RATIOM_EN	“FALSE”, “TRUE”	“FALSE”	反馈M divider分频动态控制使能;
DYNAMIC_RATIO0_EN	“FALSE”, “TRUE”	“FALSE”	输出divider0分频动态控制使能;
DYNAMIC_RATIO1_EN	“FALSE”, “TRUE”	“FALSE”	输出divider1分频动态控制使能;
DYNAMIC_RATIO2_EN	“FALSE”, “TRUE”	“FALSE”	输出divider2分频动态控制使能;
DYNAMIC_RATIO3_EN	“FALSE”, “TRUE”	“FALSE”	输出divider3分频动态控制使能;
DYNAMIC_RATIO4_EN	“FALSE”, “TRUE”	“FALSE”	输出divider4分频动态控制使能;
DYNAMIC_RATIOF_EN	“FALSE”, “TRUE”	“FALSE”	反馈F divider分频动态控制使能;
STATIC_RATIOI	1~512	1	输入divider分频静态设置;
STATIC_RATIOM	1~64	1	反馈M divider分频静态设置;
STATIC_RATIO0	1~512	1	输出divider0分频静态设置;
STATIC_RATIO1	1~512	1	输出divider1分频静态设置;
STATIC_RATIO2	1~512	1	输出divider2分频静态设置;
STATIC_RATIO3	1~512	1	输出divider3分频静态设置;
STATIC_RATIO4	1~512	1	输出divider4分频静态设置;
STATIC_RATIOF	1~512	1	反馈F divider分频静态设置;
DYNAMIC_DUTY0_EN	“FALSE”, “TRUE”	“FALSE”	输出divider0 duty动态控制使能;
DYNAMIC_DUTY1_EN	“FALSE”, “TRUE”	“FALSE”	输出divider1 duty动态控制使能;

DYNAMIC_DUTY2_EN	“FALSE”,“TRUE”	“FALSE”	输出divider2 duty动态控制使能;
DYNAMIC_DUTY3_EN	“FALSE”,“TRUE”	“FALSE”	输出divider3 duty动态控制使能;
DYNAMIC_DUTY4_EN	“FALSE”,“TRUE”	“FALSE”	输出divider4 duty动态控制使能;
STATIC_DUTY0	2~1022	2	输出divider0 duty静态设置;
STATIC_DUTY1	2~1022	2	输出divider1 duty静态设置;
STATIC_DUTY2	2~1022	2	输出divider2 duty静态设置;
STATIC_DUTY3	2~1022	2	输出divider3 duty静态设置;
STATIC_DUTY4	2~1022	2	输出divider4 duty静态设置;
STATIC_PHASE0	0~7	0	输出divider0 fine phase静态设置;
STATIC_PHASE1	0~7	0	输出divider1 fine phase静态设置;
STATIC_PHASE2	0~7	0	输出divider2 fine phase静态设置;
STATIC_PHASE3	0~7	0	输出divider3 fine phase静态设置;
STATIC_PHASE4	0~7	0	输出divider4 fine phase静态设置;
STATIC_PHASEF	0~7	0	反馈divider fine phase静态设置;
STATIC_CPHASE0	0~511	0	输出divider0 coarse phase静态设置;
STATIC_CPHASE1	0~511	0	输出divider1 coarse phase静态设置;
STATIC_CPHASE2	0~511	0	输出divider2 coarse phase静态设置;
STATIC_CPHASE3	0~511	0	输出divider3 coarse phase静态设置;
STATIC_CPHASE4	0~511	0	输出divider4 coarse phase静态设置;
STATIC_CPHASEF	0~511	0	反馈divider coarse phase静态设置;
CLK_CAS1_EN	“FALSE”,“TRUE”	“FALSE”	输出divider1时钟级联使能;
CLK_CAS2_EN	“FALSE”,“TRUE”	“FALSE”	输出divider2时钟级联使能;
CLK_CAS3_EN	“FALSE”,“TRUE”	“FALSE”	输出divider3时钟级联使能;
CLK_CAS4_EN	“FALSE”,“TRUE”	“FALSE”	输出divider4时钟级联使能;
CLKOUT5_SEL	0~4	0	输出时钟CLKOUT5选择设置;
CLKIN_BYPASS_EN	“FALSE”,“TRUE”	“FALSE”	输入时钟bypass使能;
CLKOUT0_SYN_EN	“FALSE”,“TRUE”	“FALSE”	CLKOUT0_SYN端口使能;
CLKOUT0_EXT_SYN_EN	“FALSE”,“TRUE”	“FALSE”	CLKOUT0_EXT_SYN端口使能;
CLKOUT1_SYN_EN	“FALSE”,“TRUE”	“FALSE”	CLKOUT1_SYN端口使能;
CLKOUT2_SYN_EN	“FALSE”,“TRUE”	“FALSE”	CLKOUT2_SYN端口使能;
CLKOUT3_SYN_EN	“FALSE”,“TRUE”	“FALSE”	CLKOUT3_SYN端口使能;

CLKOUT4_SYN_EN	“FALSE”, “TRUE”	“FALSE”	CLKOUT4_SYN端口使能;
CLKOUT5_SYN_EN	“FALSE”, “TRUE”	“FALSE”	CLKOUT5_SYN端口使能;
INTERNAL_FB	“DISABLE”, “ENABLE”	“ENABLE”	内部反馈divider选择设置;
EXTERNAL_FB	“CLKOUT0”, “CLKOUT1” “CLKOUT2”, “CLKOUT3” “CLKOUT4”, “DISABLE”	“DISABLE”	外部反馈divider选择设置;
DYNAMIC_LOOP_EN	“FALSE”, “TRUE”	“FALSE”	PLL环路带宽参数动态使能;
LOOP_MAPPING_EN	“FALSE”, “TRUE”	“FALSE”	PLL环路带宽参数自动映射使能;
BANDWIDTH	“LOW”, “HIGH” “OPTIMIZED”	“OPTIMIZED”	带宽选择设置;

Logos 系列 PGL22G 产品的 PLL 参数如下表所示。

表 20 GTP_PLL_E1 参数描述

参数名称	参数类型	有效值	默认值	功能描述
DYNAMIC_CLKIN_EN	string	“FALSE”, “TRUE”	“FALSE”	输入时钟动态选择使能;
CLKIN_SSEL	binary	1'b0-1'b1	1'b0	输入时钟静态选择设置;
DYNAMIC_RATIOI_EN	string	“FALSE”, “TRUE”	“FALSE”	输入 divider 分频动态控制使能;
STATIC_RATIOI	integer	1~512	1	输入 divider 分频静态设置;
PFDEN_EN	string	“FALSE”, “TRUE”	“FALSE”	PLL PFDEN 信号设置
VCOCLK_DIV2	binary	1'b0-1'b1	1'b0	PLL VCO 输出时钟 2 分频使能;
DYNAMIC_RATIO0_EN	string	“FALSE”, “TRUE”	“FALSE”	输出 divider0 分频动态控制使能;
DYNAMIC_RATIO1_EN	string	“FALSE”, “TRUE”	“FALSE”	输出 divider1 分频动态控制使能;
DYNAMIC_RATIO2_EN	string	“FALSE”, “TRUE”	“FALSE”	输出 divider2 分频动态控制使能;
DYNAMIC_RATIO3_EN	string	“FALSE”, “TRUE”	“FALSE”	输出 divider3 分频动态控制使能;
DYNAMIC_RATIO4_EN	string	“FALSE”, “TRUE”	“FALSE”	输出 divider4 分频动态控制使能;
DYNAMIC_RATIOF_EN	string	“FALSE”, “TRUE”	“FALSE”	反馈 divider 分频动态控制使能;
STATIC_RATIO0	integer	1~512	1	输出 divider0 分频静态设置;
STATIC_RATIO1	integer	1~512	1	输出 divider1 分频静态设置;
STATIC_RATIO2	integer	1~512	1	输出 divider2 分频静态设置;
STATIC_RATIO3	integer	1~512	1	输出 divider3 分频静态设置;
STATIC_RATIO4	integer	1~512	1	输出 divider4 分频静态设置;
STATIC_RATIOF	integer	1~512	1	反馈 divider 分频静态设置;
DYNAMIC_DUTY0_EN	string	“FALSE”, “TRUE”	“FALSE”	输出 divider0 duty 动态控制使能;

参数名称	参数类型	有效值	默认值	功能描述
DYNAMIC_DUTY1_EN	string	“FALSE”, “TRUE”	“FALSE”	输出 divider1 duty 动态控制使能;
DYNAMIC_DUTY2_EN	string	“FALSE”, “TRUE”	“FALSE”	输出 divider2 duty 动态控制使能;
DYNAMIC_DUTY3_EN	string	“FALSE”, “TRUE”	“FALSE”	输出 divider3 duty 动态控制使能;
DYNAMIC_DUTY4_EN	string	“FALSE”, “TRUE”	“FALSE”	输出 divider4 duty 动态控制使能;
DYNAMIC_DUTYF_EN	string	“FALSE”, “TRUE”	“FALSE”	反馈 divider duty 动态控制使能;
STATIC_DUTY0	interger	1~1022	1	输出 divider0 duty 静态设置;
STATIC_DUTY1	interger	1~1022	1	输出 divider1 duty 静态设置;
STATIC_DUTY2	interger	1~1022	1	输出 divider2 duty 静态设置;
STATIC_DUTY3	interger	1~1022	1	输出 divider3 duty 静态设置;
STATIC_DUTY4	interger	1~1022	1	输出 divider4 duty 静态设置;
STATIC_DUTYF	interger	1~1022	1	反馈 divider duty 静态设置;
PHASE_ADJUST0_EN	string	“FALSE”, “TRUE”	“FALSE”	输出 divider0 phase 调整使能;
PHASE_ADJUST1_EN	string	“FALSE”, “TRUE”	“FALSE”	输出 divider1 phase 调整使能;
PHASE_ADJUST2_EN	string	“FALSE”, “TRUE”	“FALSE”	输出 divider2 phase 调整使能;
PHASE_ADJUST3_EN	string	“FALSE”, “TRUE”	“FALSE”	输出 divider3 phase 调整使能;
PHASE_ADJUST4_EN	string	“FALSE”, “TRUE”	“FALSE”	输出 divider4 phase 调整使能;
DYNAMIC_PHASE0_EN	string	“FALSE”, “TRUE”	“FALSE”	输出 divider0 phase 动态控制使能;
DYNAMIC_PHASE1_EN	string	“FALSE”, “TRUE”	“FALSE”	输出 divider1 phase 动态控制使能;
DYNAMIC_PHASE2_EN	string	“FALSE”, “TRUE”	“FALSE”	输出 divider2 phase 动态控制使能;
DYNAMIC_PHASE3_EN	string	“FALSE”, “TRUE”	“FALSE”	输出 divider3 phase 动态控制使能;
DYNAMIC_PHASE4_EN	string	“FALSE”, “TRUE”	“FALSE”	输出 divider4 phase 动态控制使能;
DYNAMIC_PHASEF_EN	string	“FALSE”, “TRUE”	“FALSE”	反馈 divider phase 动态控制使能;
STATIC_PHASE0	interger	0~7	0	输出 divider0 fine phase 静态设置;
STATIC_PHASE1	interger	0~7	0	输出 divider1 fine phase 静态设置;
STATIC_PHASE2	interger	0~7	0	输出 divider2 fine phase 静态设置;
STATIC_PHASE3	interger	0~7	0	输出 divider3 fine phase 静态设置;
STATIC_PHASE4	interger	0~7	0	输出 divider4 fine phase 静态设置;
STATIC_PHASEF	interger	0~7	0	反馈 divider fine phase 静态设置;
STATIC_CPHASE0	interger	2~513	2	输出 divider0 coarse phase 静态

参数名称	参数类型	有效值	默认值	功能描述
				设置;
STATIC_CPHASE1	interger	2~513	2	输出 divider1 coarse phase 静态设置;
STATIC_CPHASE2	interger	2~513	2	输出 divider2 coarse phase 静态设置;
STATIC_CPHASE3	interger	2~513	2	输出 divider3 coarse phase 静态设置;
STATIC_CPHASE4	interger	2~513	2	输出 divider4 coarse phase 静态设置;
STATIC_CPHASEF	interger	2~513	2	反馈 divider coarse phase 静态设置;
CLK_CAS0_EN	string	“FALSE”,“TRUE”	“FALSE”	输出 divider0 时钟级联使能;
CLK_CAS1_EN	string	“FALSE”,“TRUE”	“FALSE”	输出 divider1 时钟级联使能;
CLK_CAS2_EN	string	“FALSE”,“TRUE”	“FALSE”	输出 divider2 时钟级联使能;
CLK_CAS3_EN	string	“FALSE”,“TRUE”	“FALSE”	输出 divider3 时钟级联使能;
CLK_CAS4_EN	string	“FALSE”,“TRUE”	“FALSE”	输出 divider4 时钟级联使能;
INTERNAL_FB	string	“FALSE”,“TRUE”	“TRUE”	内部反馈 divider 选择设置;
EXTERNAL_FB	string	“ODIV0”,“ODIV1” “ODIV2”,“ODIV3” “ODIV4”,“FALSE”	“FALSE”	外部反馈 divider 选择设置;
BANDWIDTH	string	“LOW”, “HIGH” “OPTIMIZED”	“OPTIMIZED”	带宽选择设置;
CLKOUT5_SEL	interger	0~4	0	输出时钟 CLKOUT5 选择设置;
CLKIN_BYPASS_EN	string	“FALSE”,“TRUE”	“FALSE”	输入时钟 bypass 使能;
CLKOUT0_SYN_EN	string	“FALSE”,“TRUE”	“FALSE”	CLKOUT0_SYN 端口使能;
CLKOUT0_EXT_SYN_EN	string	“FALSE”,“TRUE”	“FALSE”	CLKOUT0_EXT_SYN 端口使能;
CLKOUT1_SYN_EN	string	“FALSE”,“TRUE”	“FALSE”	CLKOUT1_SYN 端口使能;
CLKOUT2_SYN_EN	string	“FALSE”,“TRUE”	“FALSE”	CLKOUT2_SYN 端口使能;
CLKOUT3_SYN_EN	string	“FALSE”,“TRUE”	“FALSE”	CLKOUT3_SYN 端口使能;
CLKOUT4_SYN_EN	string	“FALSE”,“TRUE”	“FALSE”	CLKOUT4_SYN 端口使能;
CLKOUT5_SYN_EN	string	“FALSE”,“TRUE”	“FALSE”	CLKOUT5_SYN 端口使能;
RST_INNER_EN	string	“FALSE”,“TRUE”	“FALSE”	RST 复位信号使能;
RSTODIV_PHASE_EN	string	“FALSE”,“TRUE”	“FALSE”	RSTODIV_PHASE 复位信号使能;

4. PLL 时钟输入

PLL 的参考时钟输入源包括：时钟输入管脚输入的时钟、PLL 的参考时钟输入管脚输入的时钟，全局时钟，区域时钟或 I/O 时钟以及来自内部逻辑的信号。其中 PLL 的参考时钟输入管脚可以让 PLL 获得最好的性能，强烈推荐用户使用。而来内部逻辑的信号则容易受到内部其它信号的干扰，建议用户谨慎使用。

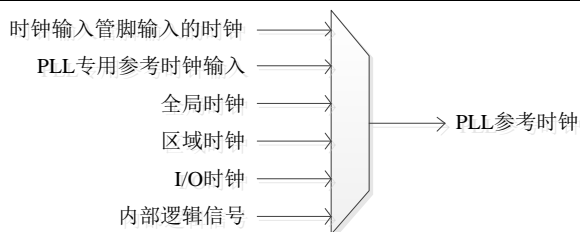


图 30 PLL 参考时钟选择示意图

PLL 的反馈时钟输入源可以分为 PLL 内部反馈和 PLL 外部反馈两种，其中 PLL 内部反馈时钟源是由专用的内部时钟构成。

PLL 的外部反馈时钟源包括：时钟输入管脚输入的时钟、PLL 反馈时钟管脚输入、全局时钟，区域时钟或，I/O 时钟以及来自内部逻辑的信号。其中来内部逻辑信号则容易受到内部其它信号的干扰，建议用户使用 PLL 专用反馈时钟。

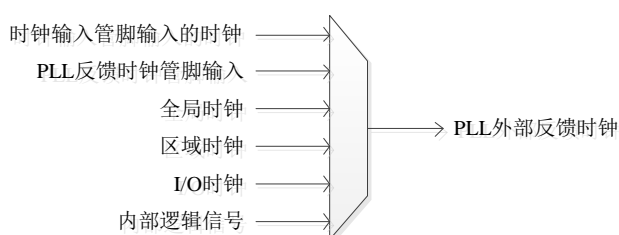


图 31 PLL 外部反馈时钟选择示意图

5. 输入时钟切换

在时钟自动切换模式时，PLL 有 2 个时钟输入（CLKIN1，CLKIN2）。在自动模式下，默认选择 CLKIN1 作为输入，如果 CLKIN1 时钟不再翻转时，会自动切换到 CLKIN2；在手动模式下，用户可以使用逻辑去切换 CLKIN1 或者 CLKIN2。注意，自动切换两个时钟输入的频率差不超过 5%，自动切换的最高频率为 320MHz。时钟自动切换时序图如下：

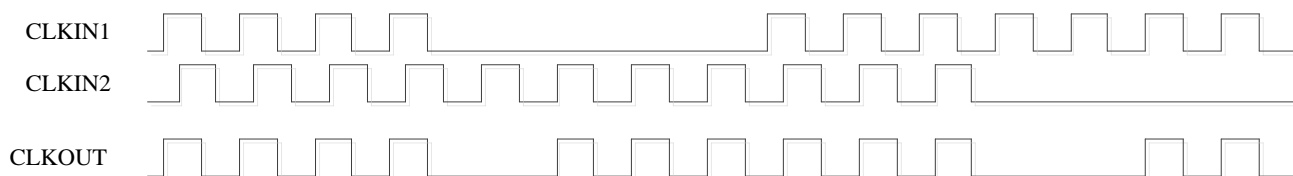


图 32 时钟自动切换时序

时钟切换时，lock 信号拉低，PLL 重新锁定，建议用户复位 PLL。

6. PLL 输出时钟频率编程

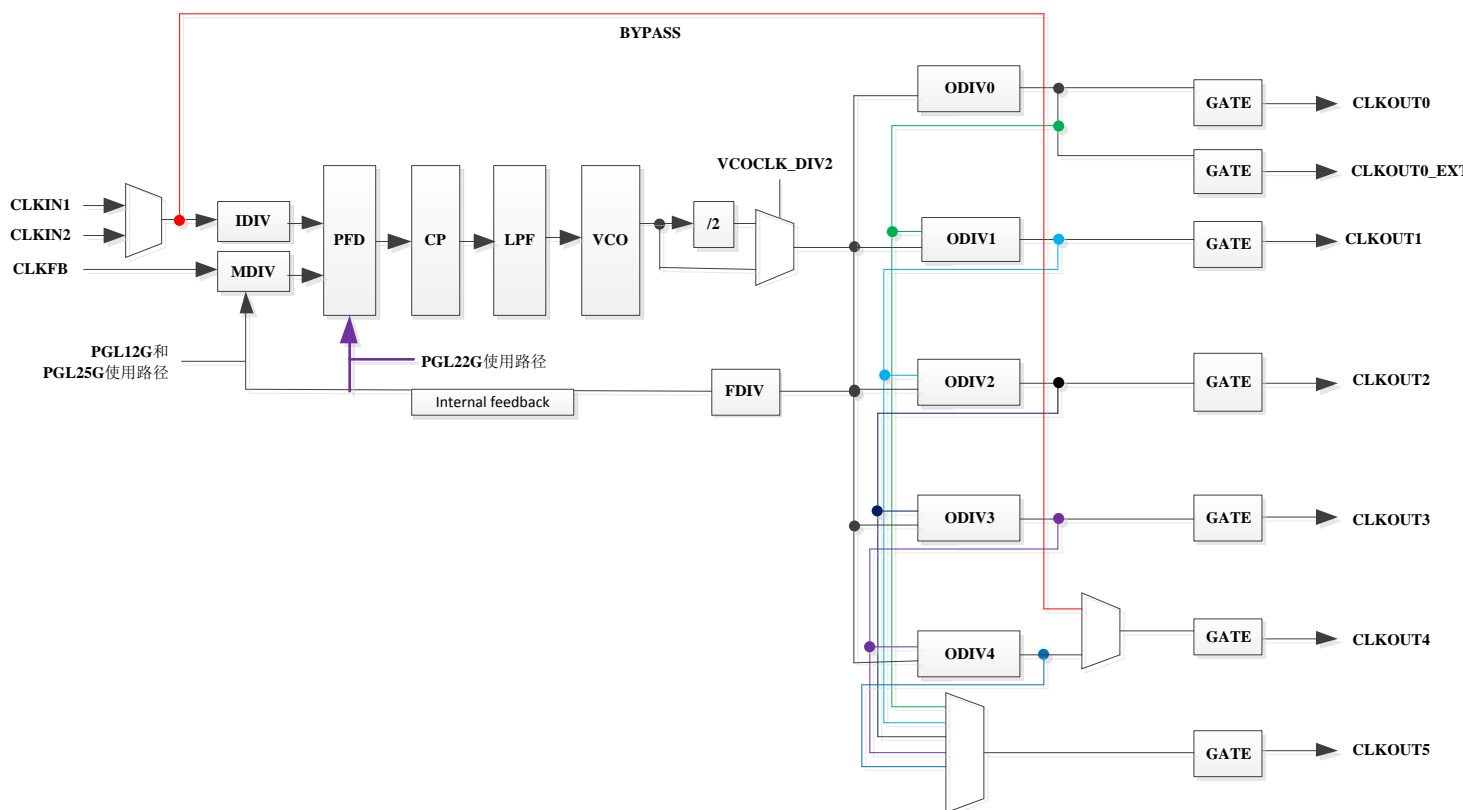


图 33 Logos 系列产品的 PLL 结构示意图

PLL 的主要功能之一为频率综合，上图所示，输入时钟和反馈时钟在经过频率鉴相器（PFD, Phase Frequencies Detector）和充电泵（CP, Charge Pump）之后，环路滤波器（LPF, Loop Filter），压控振荡器（VCO, Voltage Controlled Oscillator）频率及输出时钟的频率的计算公式如下，参数 " VCOCLK_DIV2 " 为 0 时 N=1；为 1 时 N=2。

内反馈：

$$F_{VCO} = F_{ref} * F_{DIV} * M_{DIV} * N / I_{DIV}$$

$$F_{clkout0\sim4} = F_{ref} * F_{DIV} * M_{DIV} / (I_{DIV} * O_{DIVx})$$

外反馈：

$$F_{VCO} = F_{ref} * M_{DIV} * O_{DIVF} * N / I_{DIV}$$

$$F_{clkout0\sim4} = F_{ref} * M_{DIV} * O_{DIVF} / (I_{DIV} * O_{DIVx})$$

表 21 PLL 输入输出频率和 divider 可用范围

参数	说明	范围
F_{VCO}	VCO 频率	600~1250M
$F_{clkout0\sim4}$	PLL 输出时钟 CLKOUT0~4 的频率	1.172~625M
F_{ref}	参考输入时钟的频率	5~625M
F_{DIV}	反馈路径上分频器 FDIV 的分频比，只在内反馈路径上	1~512
M_{DIV}	反馈路径上的分频器 MDIV 的分频比	1~64

I_{DIV}	输入分频器 $IDIV$ 分频比	1~512
O_{DIVx}	输出分频器 $ODIVx$ 的分频比 x 为 0~4	1~512
O_{DIVF}	反馈路径上的输出分频器的分频比，为 $ODIVx$ 其中的一个	1~512

7. PLL 相位位移功能

相位调整包含相位细调和相位粗调两种方式，相位细调有静态配置与动态调整两种控制模式，而相位粗调只有静态配置，最终的相位调整由相位细调和相位粗调共同决定。

相位调整方式：

➤ 相位细调

相对于输入的 VCO 时钟，输出时钟 CLKOUT0/1/2/3/4 相位细调的最小 step 为 $T_{VCO}/8$ ，调整范围为 $0 \sim 7/8 T_{VCO}$ 。

➤ 相位粗调

相对于输入的 VCO 时钟，参数 $VCOCLK_DIV2 = 1'b0$ 时，输出时钟 CLKOUT0/1/2/3/4 粗调的最小 step 为 T_{VCO} ，调整范围为 $[0 \sim ODIVx-1] * T_{VCO}$ ；参数 $VCOCLK_DIV2 = 1'b1$ 时，输出时钟 CLKOUT0/1/2/3/4 粗调的最小 step 为 $2 * T_{VCO}$ ，调整范围为 $[0 \sim ODIVx-1] * 2 * T_{VCO}$ 。

相位调整模式：

➤ 静态相位调整

PLL 输出时钟的相位位移功能包含细调和粗调两种方式。输出时钟 CLKOUT0/1/2/3/4 相位细调静态配置分别由参数 $STATIC_PHASE0/1/2/3/4$ 控制；相位粗调静态配置分别由 $STATIC_CPHASE0/1/2/3/4$ 控制。下图是按照如下表格配置参数所得到的时序图。

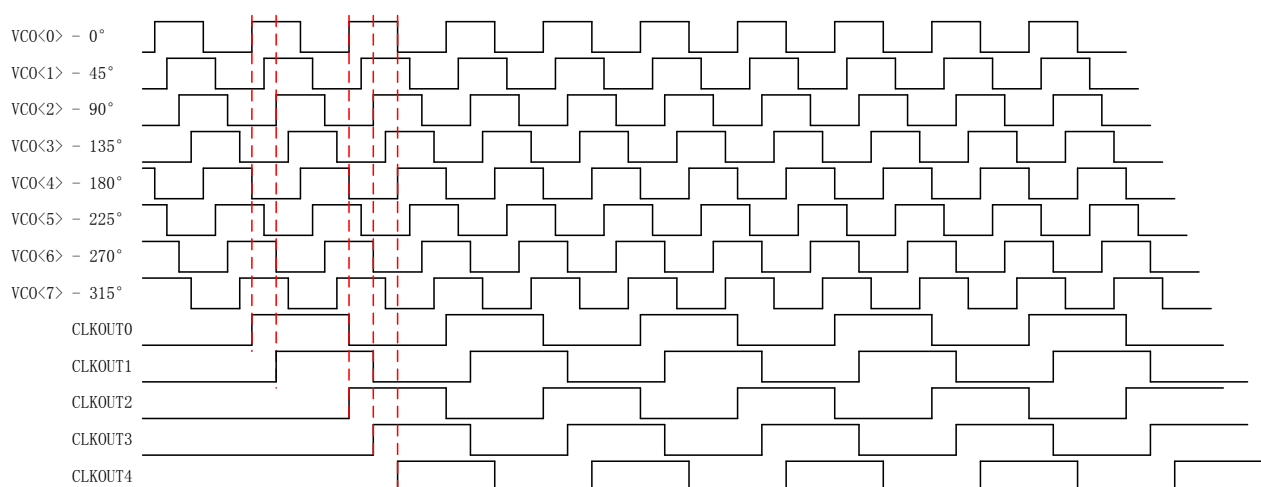


图 34 PLL 静态相位调整

表 22 静态相位调整参数配置

相位参数	配置值
STATIC_PHASE0	0
STATIC_PHASE1	2
STATIC_PHASE2	0
STATIC_PHASE3	2
STATIC_PHASE4	4
STATIC_CPHASE0	0
STATIC_CPHASE1	0
STATIC_CPHASE2	1
STATIC_CPHASE3	1
STATIC_CPHASE4	1
VCOCLK_DIV2	0

➤ 动态相位

Logos 系列产品中的 PGL22G 支持动态相位调整功能。

动态相位调整的端口包含 PHASE_SEL、PHASE_DIR、PHASE_STEP_N、LOAD_PHASE。输出时钟 CLKOUT0 /CLKOUT1/ CLKOUT2/ CLKOUT3/ CLKOUT4 都具有动态相位调整的特性，但是每次仅有一个输出时钟可进行相位调整。

PHASE_SEL 和 PHASE_DIR 必须在 LOAD_PHASE 信号触发之前保持配置稳定，LOAD_PHASE 在 PHASE_STEP_N 信号触发前要释放，通过触发 PHASE_STEP_N 实现相位调整，每触发一次相位调整一个 step ($T_{VCO}/8$)。PHASE_STEP_N 信号必须从逻辑 1 起始，在上升沿开始相位调整。切换相位调整通道或方向时，需用 LOAD_PHASE 信号加载所选通道的当前相位细调值，时序要求如下图所示。

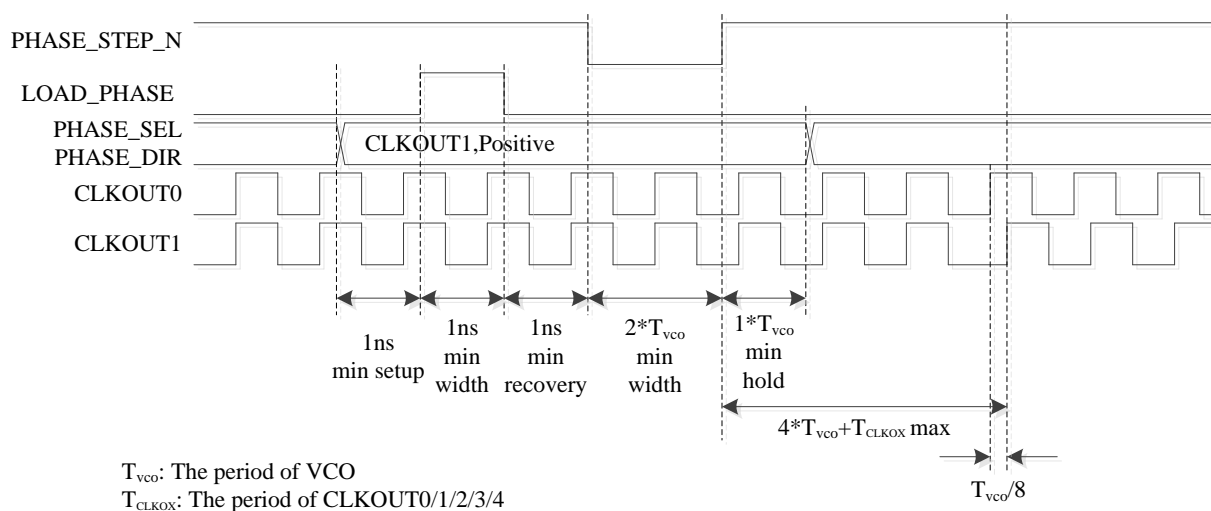


图 35 动态相位细调时序要求

8. PLL 可编程 Duty cycle

PLL 支持可编程的 duty cycle，最小 step 为 $50\%/ODIV_x$ ， $ODIV_x$ 为输出分频器的分频系数。duty 为 duty cycle 配置值，可以来源于静态参数 STATIC_DUTY0、STATIC_DUTY1、STATIC_DUTY2、STATIC_DUTY3、STATIC_DUTY4 也可以端口 DUTY0、DUTY1、DUTY2、DUTY3、DUTY0。Duty 的有效值的范围为 2~1022，同时也收到输出分频器分频比的限制。

$$\text{duty cycle} = (50\%/odiv) * \text{duty}$$

duty 的设置值受到 $ODIV_x$ 值（分频）限制，表达式如下，

$$ODIV_x > 1 \quad 2 \leq \text{duty} \leq 2 * ODIV_x - 2。$$

$$ODIV_x = 1 \quad \text{duty 无效，不起作用，默认 50\% 输出。}$$

9. PLL 输出时钟 gate 功能

时钟 CLKOUT0/0_EXT/1/2/3/4 输出之前会经过 GATE 模块，功能由静态参数控制。

当 CLKOUT0/0_EXT/1/2/3/4_SYN_EN = " TRUE " 时，时钟 GATE 功能开启；

当 CLKOUT0/0_EXT/1/2/3/4_SYN_EN = " FALSE " 时，时钟 GATE 功能关闭，时钟直通；

时钟 CLKOUT0/0_EXT/1/2/3/4 的 GATE 功能开启后，时钟的输出由相应的动态控制信号控制，以 CLKOUT0 为例，时序关系如下：

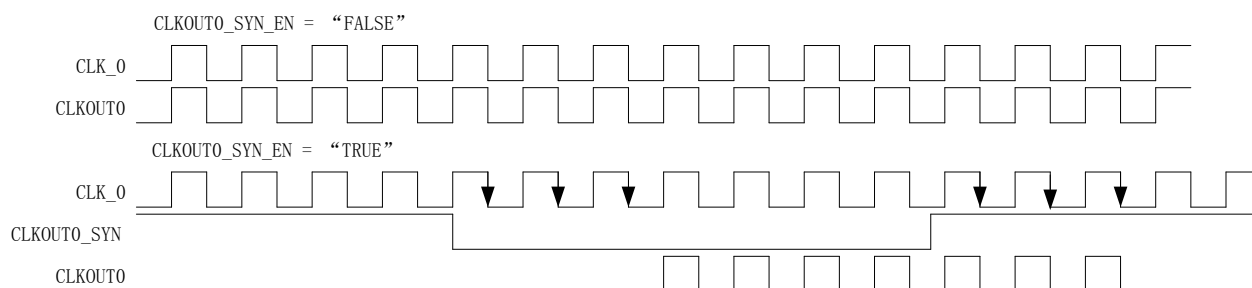


图 36 输出时钟 GATE 时序图

10. Divider 输出级联

PLL 静态配置分频级联原理图如下所示，CLK_CAS_EN(x 取值为 1、2、3、4) 分别控制 divider0~4 的时钟选择，当静态配置为 "TRUE" 时，选择级联时钟，当静态配置为 "FALSE" 时，选择 VCO 的输出时钟。

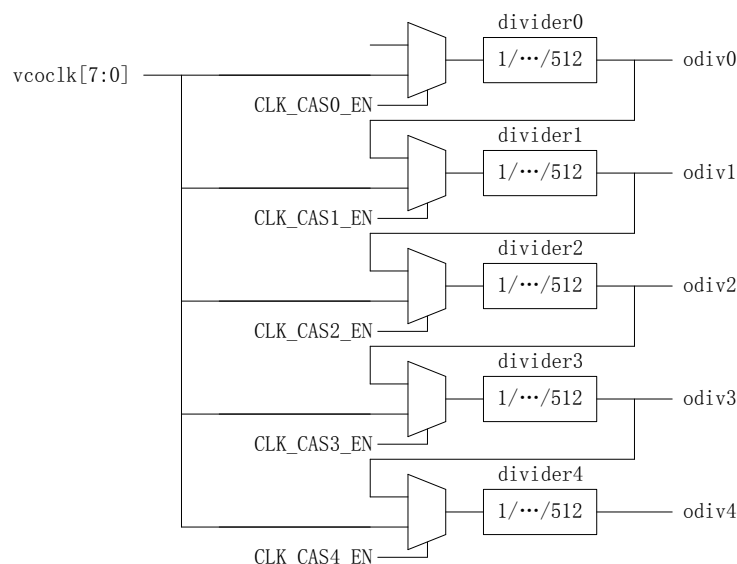


图 37 PLL 分频输出级联

(六) 内部振荡器(OSC)

Logos 系列芯片提供了一个内部振荡器 OSC，可以作为时钟源使用，但是其精度较差，具体参数请参见数据手册。内部振荡器输出的时钟可以作为全局时钟的输入源，不能作为区域时钟和 I/O 时钟的输入源。OSC 的使用可以直接例化 GTP_OSC_E3，其 GTP_OSC_E3 的结构图下图所示，端口及参数的描述如下表。

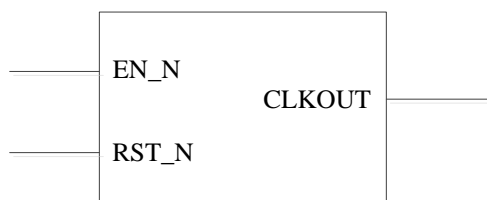


图 38 GTP_OSC_E3 框图

表 23 GTP_OSC_E3 端口说明

端口名	类型	描述
CLKOUT	输出	输出时钟，频率可以随着参数值得设置而改变。
EN_N	输入	OSC 关闭信号，高电平关闭 OSC，低电平开启 OSC。
RST_N	输入	OSC 复位信号，低电平有效

表 24 GTP_OSC_E3 参数说明

参数名	默认值	描述
CLK_DIV	2	时钟分频比设置，有效值为 0~127。

其中 CLK_DIV 取值为 0 时实现了 128 分频，其余其他值的对应关系如下表所述。

表 25 时钟频率配置

CLK_DIV	CLKOUT(MHz)
0	200/128
1	200/1
2	200/2
3	200/3
...	...
125	200/125
126	200/126
127	200/127

GTP_OSC_E3的例化，以Verilog例化为例：

GTP_OSC_E3

```

#(
    .CLK_DIV      (2          )    //0-127
) u_OSC_E3  (
    .CLKOUT      (CLKOUT   ),
    .RST_N       (RST_N    ),
    .EN_N        (EN_N     )
);
    
```

当参数 CLK_DIV 为 2 时，时序图如下图所示。

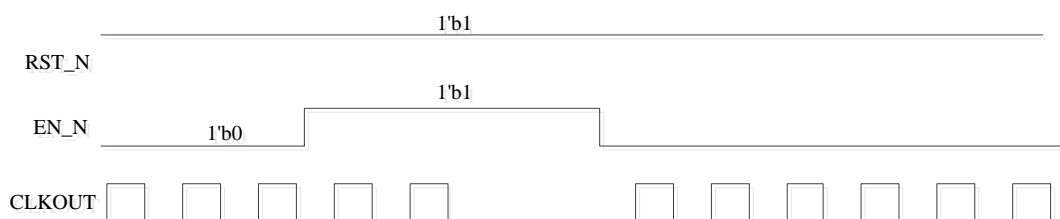


图 39 GTP_OSC_E3 时序图

附录一

附录一主要描述 PGL22G PLL 在使用反馈时钟来自 FPGA 反馈时钟专用输入引脚场景（外部反馈）时，出现时钟相位不同步问题的一种解决方法。

问题说明：

在使用 PGL22G 外部反馈时，PLL 输出多个时钟，每次复位后输出时钟（除反馈时钟外的其它输出时钟）的相位不固定。

PGL22G 是 Logos 系列最早的一款产品，设计时只支持环路外的所有输出 divider 之间做相位同步，PLL 环路内反馈 divider 与环路外输出 divider 在设计上没做 phase bonding；因为环路外 divider 与环路内的 divider 的同步复位信号来源不同，无法做到 phase 同步。比如，开发者在 IP Compiler 设置 CLKOUT0 作为外部反馈时钟，期望使用 ODIV0 作为反馈 divider 来做源同步，那么 CLKOUT1 与 CLKOUT0 之间的 phase 就没法同步了，如上述解释，ODIV0 在环路内 ODIV1 在环路外，它们的复位信号来源不同。

使用外部反馈模式的方案：

如果要求环路内 divider 和环路外 divider 之间 phase bonding，那就必须把反馈 divider 与环路外 divider 的复位来源选择成一致。可以采用如下方案：使用 IP Compiler 例化 PGL22G PLL 时设置 CLKOUT2 作为外部反馈时钟，如此 ODIV0 与 ODIV1 都算是环路外的 divider；在使用 PLL 时，PLL 的外部反馈时钟输入实际还是与 CLKOUT0 相连。这样就实现了 ODIV0 与 ODIV1 的复位信号同源，从而实现相位同步。

免责声明

版权声明

本文档版权归深圳市紫光同创电子有限公司所有，并保留一切权利。未经书面许可，任何公司和个人不得将此文档中的任何部分公开、转载或以其他方式披露、散发给第三方。否则，公司必将追究其法律责任。

免责声明

1、本文档仅提供阶段性信息，所含内容可根据产品的实际情况随时更新，恕不另行通知。如因本文档使用不当造成的直接或间接损失，本公司不承担任何法律责任。

2、本文档按现状提供，不负任何担保责任，包括对适销性、适用于特定用途或非侵权性的任何担保，和任何提案、规格或样品在他处提到的任何担保。本文档在此未以禁止反言或其他方式授予任何知识产权使用许可，不管是明示许可还是暗示许可。

3、公司保留任何时候在不事先声明的情况下对公司系列产品相关文档的修改权利。