

Logos 系列 FPGA 可配置逻辑模块（CLM） 用户指南

(UG020001, Version1.1)

(2018.12.18)

深圳市紫光同创电子有限公司

版权所有侵权必究

文档版本修订记录

版本号	发布日期	修订记录
V1.0	2018/4/11	初始版本
V1.1	2018/12/18	封面增加最新的版本更新时间；页脚去掉版本信息

名词术语解释

CLM: Configurable Logic Module

SP: Single Port

SDP : Simple Dual Port

目录

一、总体介绍	1
二、功能描述	2
(一) CLM 结构简介	2
(二) LUT5A 和 LUT5S 的工作模式	4
(三) CLM 寄存器的工作模式	5

图目录

图 1 CLMA 逻辑框图.....	3
图 2 CLMS 逻辑框图	4
图 3 CLMS 中的四个 LUT5S 配置为 16x4 SP RAM 时的逻辑示意图	5
图 4 CLMS 中的四个 LUT5S 配置为 16x4 SDP RAM 时的逻辑示意图	5

一、总体介绍

CLM (Configurable Logic Module, 可配置逻辑模块) 是 Logos 系列产品的的基本逻辑单元, 它主要由多功能 LUT5, 寄存器以及扩展功能选择器等组成。CLM 在 Logos 系列产品中按列分布, 支持 CLMA 和 CLMS 两种形态, 其分布比例为 3: 1。CLMA 和 CLMS 均可实现逻辑、算术、移位寄存器以及 ROM 功能, 仅有 CLMS 支持分布式 RAM 功能。CLM 与 CLM 之间, CLM 与其它片内资源之间通过信号互连模块联结。

CLM 的使用可通过深圳市紫光同创电子有限公司的软件 Pango Design Suite 来完成。CLMS 还可通过 Pango Design Suite 内嵌的 IP Compiler 工具生成分布式 RAM IP。

二、功能描述

CLM 主要功能特性包括:

- ✓ 采用创新的 LUT5 逻辑结构
- ✓ 每个 CLM 包含 4 个多功能 LUT5
- ✓ 每个 CLM 包含 6 个寄存器
- ✓ 支持算术功能模式
- ✓ 支持快速算术进位逻辑
- ✓ 可高效实现多路选择功能
- ✓ 可实现 ROM 功能
- ✓ 支持分布式 RAM 模式
- ✓ 支持级联链

(一) CLM 结构简介

CLMA 的逻辑框图如下所示, 每个 CLMA 包含 4 个 LUT5A、6 个寄存器、多个扩展功能选择器、以及 4 条独立的级联链等。其中 LUT5A 采用了创新的架构设计, 在 5 输入查找表的基础上集成了专用电路以实现 4:1 多路选择器功能和快速算术进位逻辑; 扩展功能选择器主要用于实现宽位查找表和输出选择功能; 级联链包括算术逻辑进位链(从 CIN 到 COUT), 专用移位寄存器链(从 SHIFTIN 到 SHIFTOUT), 寄存器复/置位级联链(从 RSIN 到 RSOUT)和寄存器 CE 级联链(从 CEIN 到 CEOUT)。此外, 相邻的两个 CLM 之间还有一条基于 LUT7 (从 L7IN 到 L7OUT) 的专用级联链, 用于组合生成 LUT8。

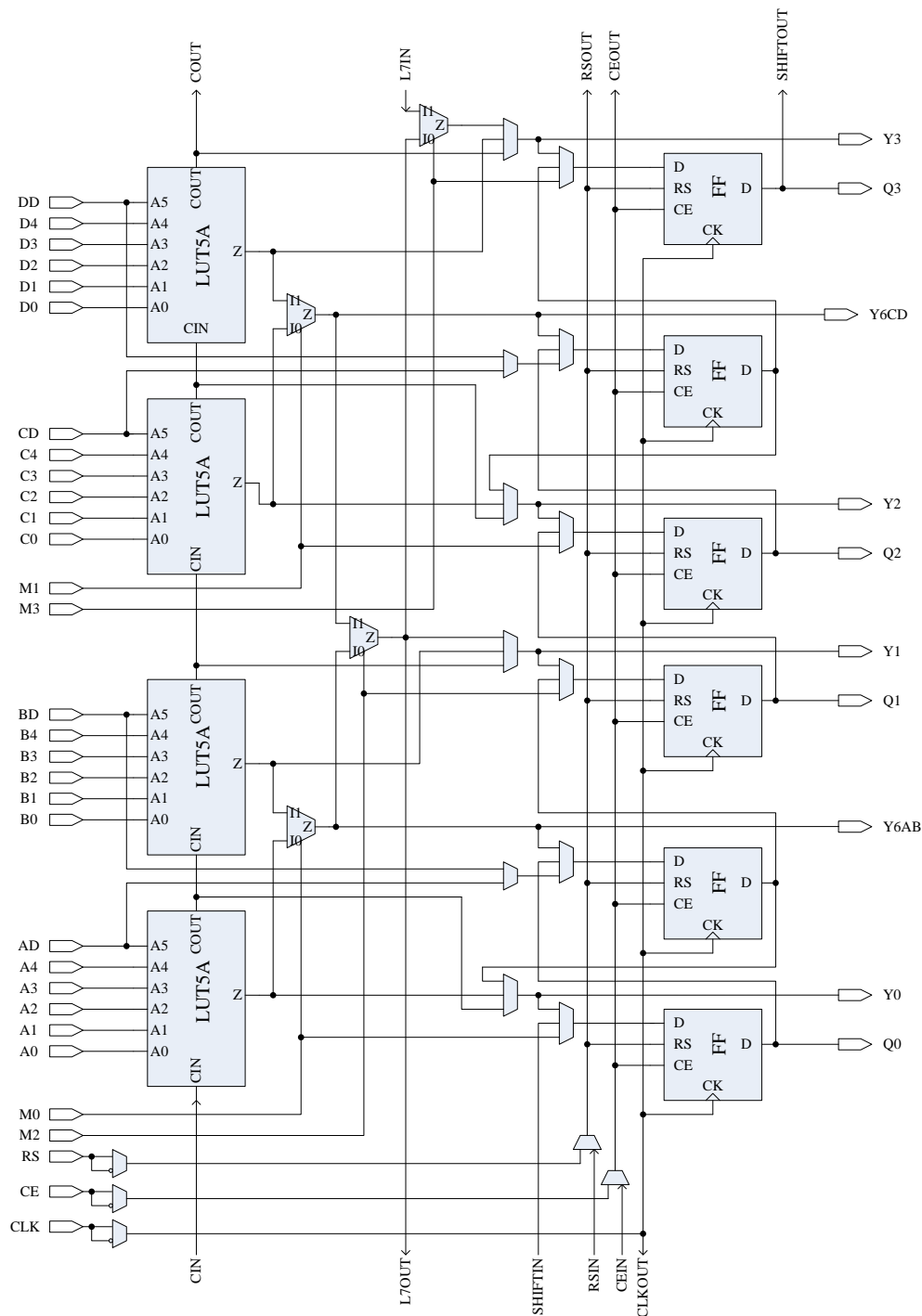


图 1 CLMA 逻辑框图

CLMS 是 CLMA 的扩展，它在支持 CLMA 所有功能的基础上增加了对分布式 RAM 的支持，其中的多功能 LUT5 称为 LUT5S。CLMS 可配置为大小为 16*4 的 SP (Single Port,单口) RAM 或大小为 16*4 的 SDP (Simple Dual Port, 简单双口) RAM。CLMS 的逻辑框图如下所示：

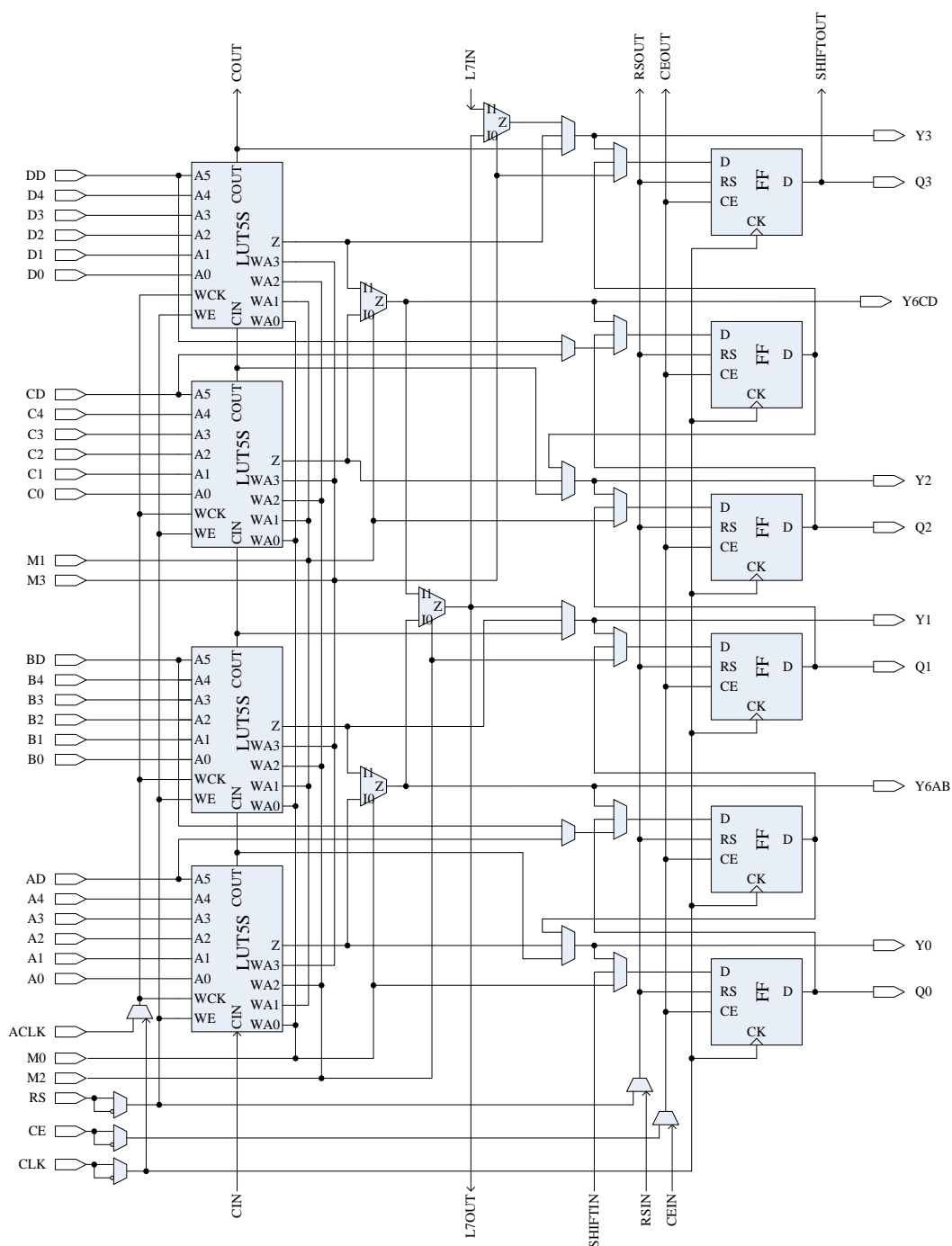


图 2 CLMS 逻辑框图

(二) LUT5A 和 LUT5S 的工作模式

LUT5A 和 LUT5S 可灵活配置，以支持基本逻辑，多路选择，算术逻辑，ROM 功能以及分布式 RAM 功能（仅限于 LUT5S）等不同功能。

在逻辑功能模式下，每个 LUT5A（或 LUT5S）可实现 1 个 LUT5，结合扩展功能选择器，每个 CLM 可支持实现 2 个 LUT6、1 个 LUT7 或与相邻 CLM 组合实现一个 LUT8。

在多路选择模式下，每个 LUT5A（或 LUT5S）可实现 1 个 4:1 多路选择器，每个 CLM 可支持 4 个 4:1 多路选择器。结合扩展功能选择器，每 2 个 LUT5A（或 LUT5S）可支持 1 个 8:1 多路选择器，

每个 CLM 可支持 2 个 8:1 多路选择器；每个 CLM 可支持 1 个 16:1 多路选择器。利用 LUT7 专用级联链，每 2 个 CLM 可支持为 1 个 32:1 多路选择器。更宽的多路数据选择可通过 CLM 组合产生。

在算术功能模式下，LUT5A(或 LUT5S)可实现加减法运算；计数器；比较器；快速异或逻辑运算以及宽位与逻辑运算等。

在 ROM 模式下，LUT5A(或 LUT5S)可以用作 32*1 ROM，还可以通过内置的扩展功能选择器进行深度级联。ROM 数据的初始化在编程配置过程中完成。

CLMS 中的 4 个 LUT5S 配置为分布式 RAM 时，其逻辑功能框图如下所示，此时 AD/BD/CD/DD 用作数据输入 WDI[3:0]，端口 M0/M1/M2/M3 用作写地址输入；RS 端口被用作写使能；ACLK/CLK 被用作时钟输入；A[4:0]/B[4:0]/C[4:0]/D[4:0]用作读地址输入。

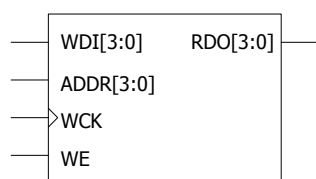


图 3 CLMS 中的四个 LUT5S 配置为 16x4 SP RAM 时的逻辑示意图

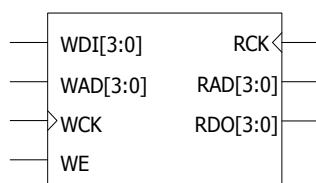


图 4 CLMS 中的四个 LUT5S 配置为 16x4 SDP RAM 时的逻辑示意图

(三) CLM 寄存器的工作模式

每个 CLM 包含 6 个可配置的寄存器，其可配置的属性主要包括：

- 灵活的数据输入选择；
- 支持同步复位，同步置位，异步复位或异步置位模式；
- 寄存器的时钟（CLK）、时钟使能（CE）、本地复位/置位（RS）信号均支持极性选择；
- 时钟使能（CE）、本地复位/置位（RS）信号均支持快速级联链；
- 支持移位寄存器的快速级联链。

免责声明

版权声明

本文档版权归深圳市紫光同创电子有限公司所有，并保留一切权利。未经书面许可，任何公司和个人不得将此文档中的任何部分公开、转载或以其他方式披露、散发给第三方。否则，公司必将追究其法律责任。

免责声明

- 1、本文档仅提供阶段性信息，所含内容可根据产品的实际情况随时更新，恕不另行通知。如因本文档使用不当造成的直接或间接损失，本公司不承担任何法律责任。
- 2、本文档按现状提供，不负任何担保责任，包括对适销性、适用于特定用途或非侵权性的任何担保，和任何提案、规格或样品在他处提到的任何担保。本文档在此未以禁止反言或以其他方式授予任何知识产权使用许可，不管是明示许可还是暗示许可。
- 3、公司保留任何时候在不事先声明的情况下对公司系列产品相关文档的修改权利。