

# Logos2 系列产品低功耗设计用户指南

(UG040010, Version 1.0)

(2021.10.21)

深圳市紫光同创电子有限公司

版权所有 侵权必究

## 文档版本修订记录

版本号	时间	修订记录
V1.0	2021/10/21	初始版本

## 目 录

文档版本修订记录.....	1
目 录.....	2
表目录.....	3
图目录.....	4
名词术语解释.....	5
1 总体介绍 .....	6
2 如何降低功耗.....	8
2.1 系统级降功耗技术.....	8
2.2 设计级降功耗技术.....	8
2.2.1 降低静态功耗设计指南 .....	8
2.2.2 降低动态功耗设计指南 .....	9
免责声明 .....	17

## 表目录

表 2-1 IO 管脚配置及功耗关系 .....	9
表 2-2 状态机编码方式 .....	12

## 图目录

图 1-1 白片功耗随结温变化图 .....	6
图 2-2 开启时钟端口使能选项.....	11
图 2-3 状态机编码 .....	12
图 2-4 Logos2 系列 CLMS 逻辑框图.....	13
图 2-5 Disable Channel.....	15
图 2-6 状态切换请求流程图 .....	16

## 名词术语解释

Abbreviations 缩略语	Full Spelling 英文全拼
FPGA	Field Programmable Gate Array
DRM	Dedicated RAM Module
$T_{jmax}$	Maximum Junction Temperature
$\theta_{JA}$	Junction to Ambient Thermal Resistance
PD	Power Dissipation
HSST	High Speed Serial Transceiver
PPP	Pango Power Planner
CLM	Configurable Logic Module
GTP	Generic Technology Primitive

## 1 总体介绍

本文档主要介绍从设计上降低FPGA功耗的方法。

FPGA功耗的基本概念。

### (1) 功耗的组成

FPGA功耗一般由两部分组成：静态功耗和动态功耗。

### (2) 静态功耗

静态功耗包括芯片静态功耗和设计静态功耗。

芯片静态功耗：主要是由漏电流引起。漏电流是芯片上电时，无论处于工作状态还是处于静止状态，都一直存在的电流，来源于晶体管的三个极。它分为两部分，一部分来自源极到漏极的泄漏电流 $I_{SD}$ ，另一部分来自栅极到衬底的泄漏电流 $I_G$ 。漏电流与晶体管的沟道长度和栅氧化物的厚度成反比。源极到漏极的泄漏电流是泄漏的主要原因。MOS管在关断的时候，沟道阻抗非常大，但是只要芯片供电就必然会存在从源极到漏极的泄漏电流。随着半导体工艺更加先进，晶体管尺寸不断减小，沟道长度也逐渐减小，使得沟道阻抗变小，从而泄漏电流变得越来越大，而且源极到漏极的漏电流随温度增加呈指数增长。不配置位流时白片功耗如图1-1所示。

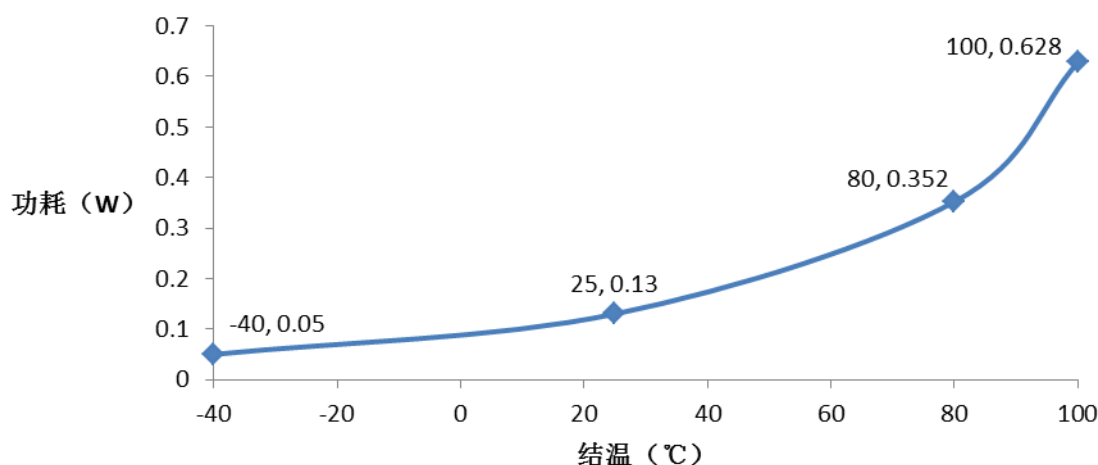


图 1-1 白片功耗随结温变化图

设计静态功耗：当FPGA配置完成后，当设计还未启动时，需要维持I/O的静态电流，时钟管理和其它部分电路的静态功耗。

### (3) 动态功耗

FPGA内设计正常启动后，设计的功耗；这部分功耗的多少主要取决于芯片所用电平，以及FPGA内部逻辑和布线资源的占用。

动态功耗主要由电容充放电引起，它与3个参数有关：节点电容、工作频率和内核电压，它们与功耗成正比例关系。节点电容越大，工作频率越高，内核电压越大，其动态功耗也就越高。而在FPGA中动态功耗主要体现为存储器、内部逻辑、时钟、I/O消耗的功耗。



## 2 如何降低功耗

FPGA 功耗一般由静态功耗和动态功耗组成。静态功耗取决于 FPGA 芯片及硬件设计本身，很难有较大改善。当 FPGA 配置完成后设计还未启动时，需要维持 I/O 的静态电流、时钟管理和其它部分电路的静态功耗。设计动态功耗较便于优化，降低设计动态功耗是降低整个系统功耗的关键因素。功耗的定量分析如下：

$$T_{jmax} > \theta_{JA} * PD + T_a$$

其中， $T_{jmax}$  表示 FPGA 芯片的最高结温（Maximum Junction Temperature）； $\theta_{JA}$  表示 FPGA 与周围大气环境的结区热阻抗（Junction to Ambient Thermal Resistance），单位是  $^{\circ}\text{C}/\text{W}$ ；PD 表示 FPGA 总功耗（Power Dissipation），单位是 W； $T_a$  表示周围环境温度（Ambient Temperature）。

在设计初期，推荐使用 PDS 自带的功耗估算软件 PPP 评估功耗，帮助客户对设计的整体架构进行评估，选择器件，设计电源，以及设计相应的散热方案。

### 2.1 系统级降功耗技术

- 降低环境温度
- 安装散热器
- 增加风量
- 使用纹波小的电源
- 同一系列芯片中选择封装更大的器件
- 选择满足性能的规模较小器件
- 选择低电压器件

### 2.2 设计级降功耗技术

#### 2.2.1 降低静态功耗设计指南

要减少静态功耗，所有输入连接必须是给定的状态。

许多应用中，要通过上拉或者下拉电阻来确保 I/O 电压标准。为减少功耗，接了上拉或者下拉电阻的 IO 管脚必须要么设为高阻态，要么与上下拉的电压相同。

管脚 I/O 输出驱动与外接的上下拉刚好相反是最常见的造成产生过多功耗的原因。FPGA 的 IO 管脚合适的连接方式有助于减少功率消耗，而不当的连接将会造成不必要的功率消耗。

例如，接口电压为 3.3V，采用 10kΩ 上拉电阻，如果输出为低，则单个管脚将会产生超过 1mW 的功耗。建议如下表表 2-1 连接。

表 2-1 IO 管脚配置及功耗关系

管脚类型	IO 配置	是否连接上/下拉电阻	低功耗场景	应避免情况（较大功耗）
已使用管脚	输出（输出驱动，双向 I/O 使能输出）	无	输出驱动为高或为低	或总线竞争（一个驱动为高，另一个驱动为低）
		内部或外部上拉	高阻态或输出为高	持续输出为低
		外部下拉	高阻态或输出为低	持续输出为高
	输入	无	稳定的高或者低输入值	或输入不定态；输入缓慢变化
		内部或外部上拉	高阻态或输入为高	输入为低
		外部下拉	高阻态或输入为低	输入为高
未使用管脚	未使用管脚	内部上拉（缺省设置）	高阻态或输入为高	输入为低

## 2.2.2 降低动态功耗设计指南

在FPGA设计中应用相应的低功耗设计技术可以减少FPGA的功耗。下面介绍几种常见的低功耗设计技术。

### (1) 时钟功耗

同步设计中，很大部分功耗来自时钟，这是因为时钟信号通常要驱动树状时钟网络，路径长并且翻转率很高。在Logos2系列芯片中，当时钟不需要时，可以通过专用PLL的Clock Gate 输出功能，GTP\_CLKBUFGCE模块，GTP\_CLKBUFGMUX模块对时钟进行控制来减少时钟功耗。不推荐使用CLM逻辑对时钟进行控制，因为很难保证不会生成毛刺信号。对于高速IO CLK，可使用GTP\_IOCLKBUF打开或关闭IO CLK。

以 GTP\_CLKBUFGCE 为例，其属于带 Clock Gate 功能的时钟 BUFFER，它的使用通过直接在 RTL 中例化 GTP 来实现，以 Verilog 例化为例：

```
GTP_CLKBUFGCE
#(
    .DEFAULT_VALUE (1'b0)    // "TRUE"; "FALSE"
) I_GTP_CLKBUFGCE (
    .CLKOUT           (Clkout),
```

```

.CLKIN      (Clkin),
.CE         (ce)    //gate 控制，为低时 CLKOUT 输出缺省值
);

```

对于 IO CLK，GTP\_IOCLKBUF 属于带 Clock Gate 功能的时钟 BUFFER，它的使用通过直接在 RTL 中例化 GTP 来实现，以 Verilog 例化为例：

```

GTP_IOCLKBUF
#(
    .GATE_EN ("TRUE")    //"TRUE"; "FALSE"
) I_GTP_IOCLKBUF (
    .CLKOUT      (Clkout),
    .CLKIN       (Clkin),
    .DI          (Di)    //gate 控制，为低时 CLKOUT 无输出
);

```

还可以使用GTP\_CLKBUFGMUX模块对时钟进行选择控制来减少时钟功耗，可根据需要选择切换到频率低的时钟，从而减少功耗。

此外，设计时合并时钟尽量减少时钟数目可减少时钟功耗。

## (2) DRM功耗

DRM模块在FPGA器件中占了很大部分功耗比例，典型应用中大约占整个FPGA内核功耗的20%。DRM模块工作时，内部按时序逻辑执行读操作和写操作。要减少DRM的功耗关键是减少memory中的时钟翻转事件。用户可以通过控制时钟网络对时钟进行gate，或者使用DRM模块的时钟使能端口。在使用IP Compiler工具生成DRM IP时，用户可以勾选“Enable clk\_en Signal”项来开启时钟使能端口，如图2-2所示。

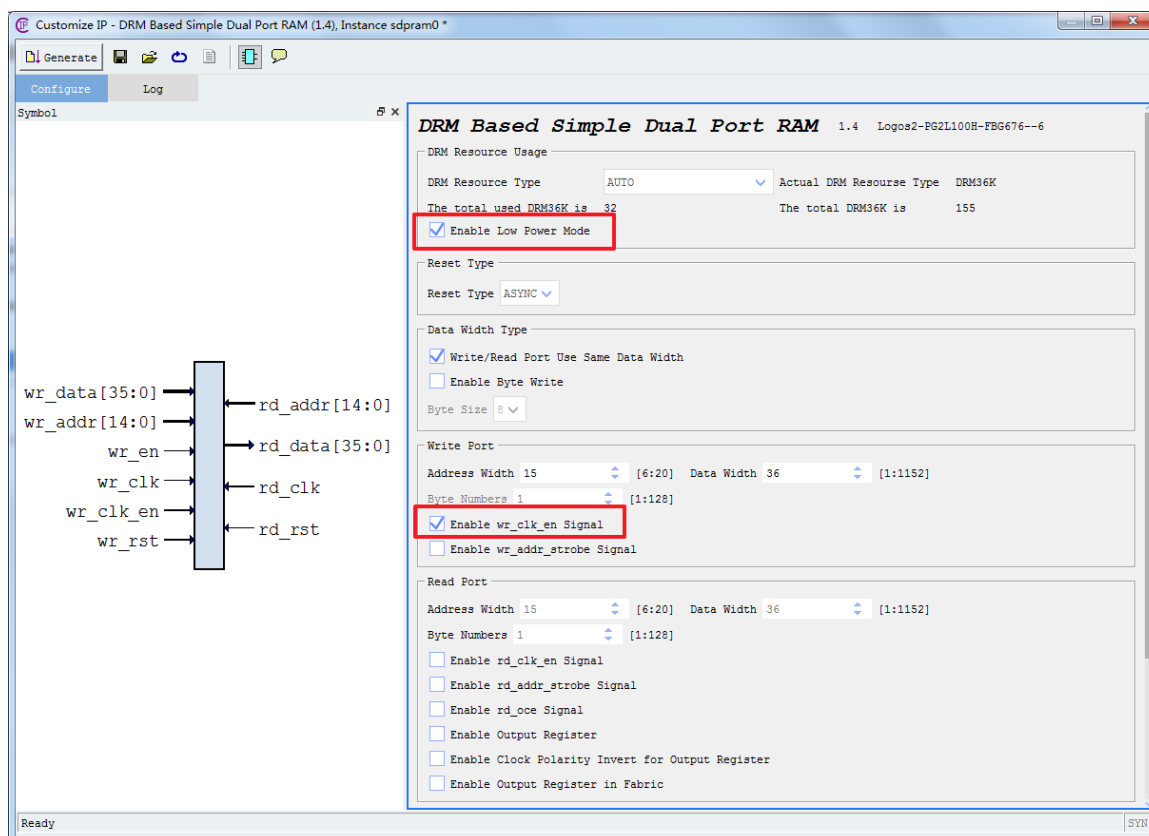


图 2-2 开启时钟端口使能选项

避免读写操作产生冲突。设计者需要保证程序运行时不会发生读写冲突，这样可以减少功耗。

当设计中使用了大量的存储器时，需要多块DRM拼接而成，采用“拼深度”结构可避免同时对多块DRM进行读写，可以降低功耗，即在图2-2中勾选“Enable Low Power Mode”。但是“拼深度”结构需要额外的数据选择逻辑，增加了逻辑层数，为了降低功耗也牺牲了面积和性能。

如果在写操作期间输出保持不变，推荐使用NormalWrite模式，该模式可以减少功耗。

### (3) Pipelining和Retiming

设计中如果含有许多毛刺信号，因为其翻转速率较正常逻辑更快，所以会产生额外的功耗。设计中的毛刺信号会导致组合逻辑输出产生不必要的或者非预期的逻辑翻转。通常当逻辑输入信号没有对齐，信号时延不同而导致产生毛刺信号。设计中若含有很多异或运算，例如CRC校验电路，算数运算电路，如果触发器之间组合逻辑有多个层次，均有可能产生毛刺。

Pipelining和Retiming处理，即在路径较长的组合逻辑中间插入触发器或调整触发器位置。由于触发器会阻止毛刺的传播，因此经过流水处理后，电路会消除掉毛刺信号。Pipelining（流水线）处理尽管增加了电路的延时，但是也带来了附加的优点，即可使得电路在更高的时钟频率下工作。

Pipelining是组合逻辑消除毛刺的有效方法，从而减少组合逻辑的功耗。但是如果对于不

易产生毛刺的设计来说，加入Pipelining触发器反而增加了功耗，而且增加了资源占用。

#### (4) 状态机编码

表2-2 状态机编码方式

状态	二进制码	独热码	格雷码
S0	000	00000001	000
S1	001	00000010	001
S2	010	00000100	011
S3	011	00001000	010
S4	100	00010000	110
S5	101	00100000	111
S6	110	01000000	101
S7	111	10000000	100
总跳变数	11	16	8
每个时钟周期的最大跳变数	3	2	1
时钟负载	3	8	3

使用格雷码能减少跳变，消除毛刺，降低时钟负载，减少功耗。改变编码方式，可以在PDS的Project Setting中实现，详见图2-3，各个编码方式的说明可以参考软件安装目录下的《ADS\_Synthesis\_User\_Guide》。

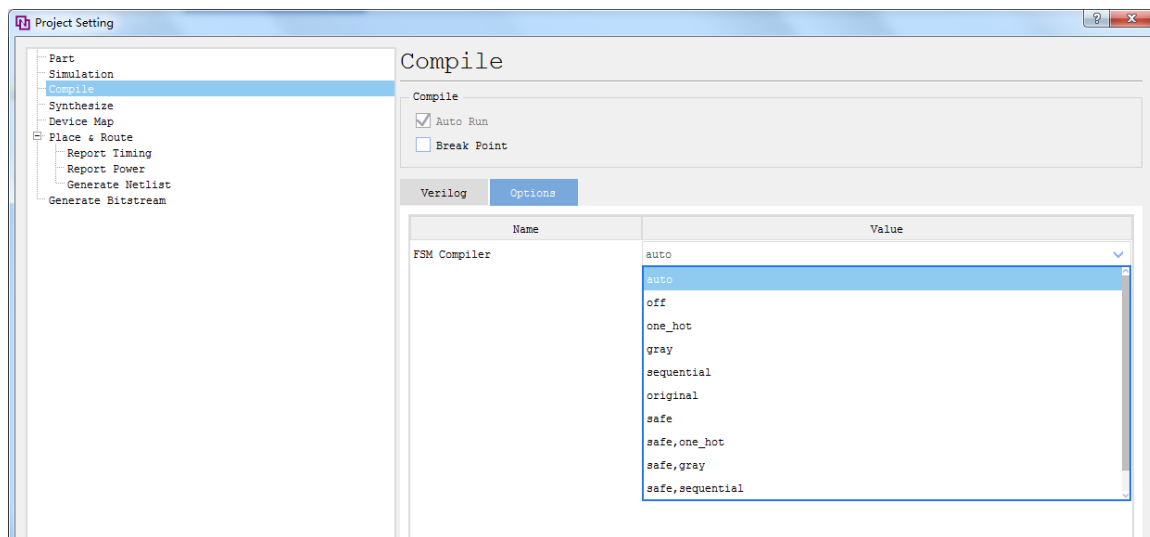


图 2-3 状态机编码

#### (5) 减少控制集和异步控制信号

控制集包括时钟（CLK）、时钟使能（CE）、本地复位/置位（RS）、分布式RAM的写使能（WE）。如果控制集不同，就不能放入一个CLM中。

从图2-4 CLMS逻辑框图看出来，当工程中控制集过多时，会阻止在附近放置相关逻辑，这将增加绕线从而增加功耗。另外，用户应该尽可能少使用复位，特别是少用全局复位，降低复位信号的扇出，也能降低功耗。

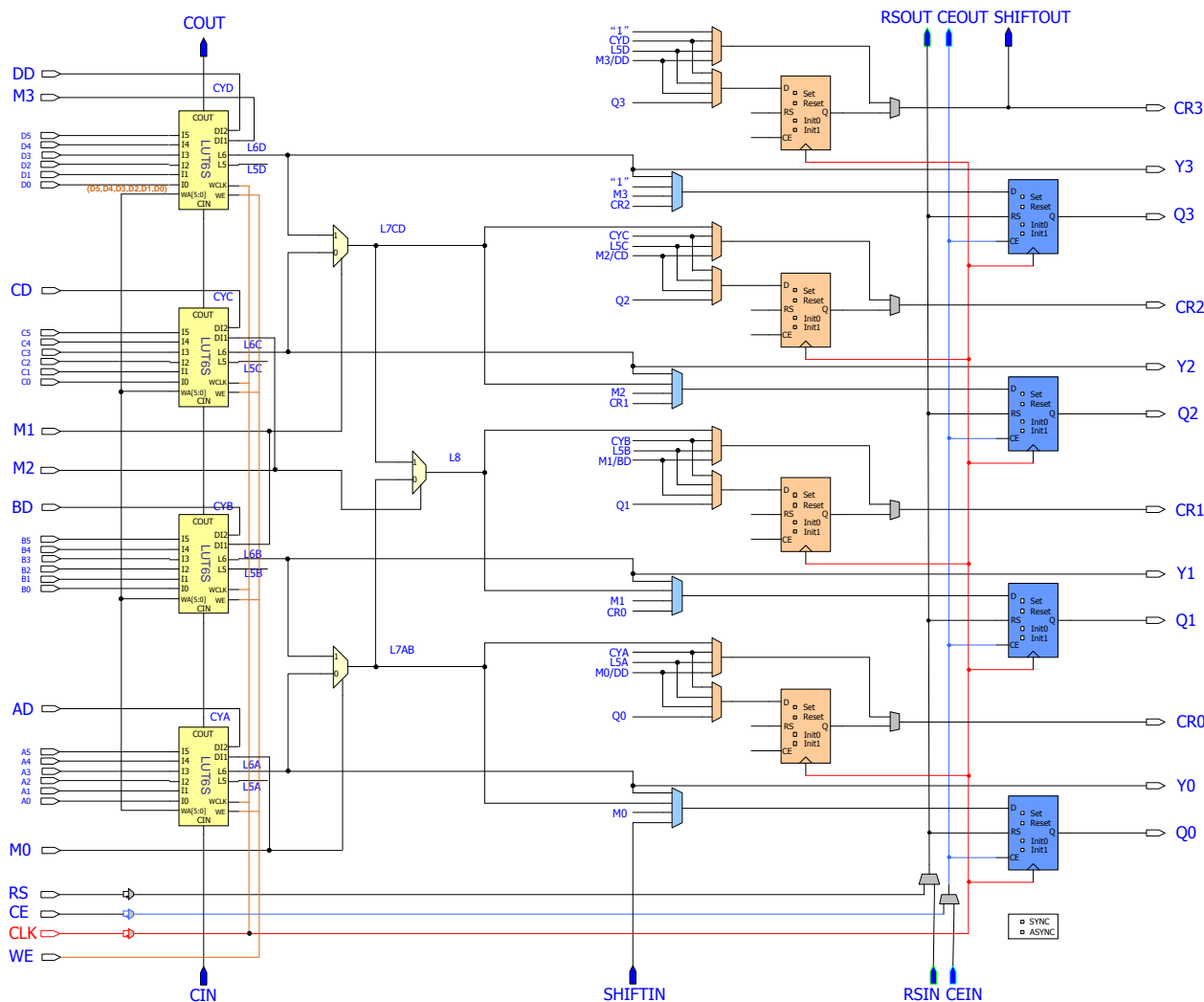


图 2-4 Logos2 系列 CLMS 逻辑框图

注：图2-4 CLMS逻辑框图，请以《UG040001\_Logos2系列FPGA可配置逻辑模块（CLM）用户指南》为准。

## (6) 布线功耗

跑多种子时，选择布线线长（Routing Arc Length）小的种子，其功耗最低（这只是一个粗略估计功耗的方法）。Routing Arc Length值可参考工程中../place\_route/multiseed\_result.csv文件。

## (7) 架构优化

在设计时注意利用FPGA器件的结构特性亦可优化设计的功耗。包括使用DRM（Dedicated RAM Module，专用RAM模块）、APM（Arithmetic Process Module,算术处理单元）。DRM为Logos2系列产品提供了丰富的片上RAM资源，APM为Logos2系列产品提供了高效的数字信号处理能力。使用这些特定结构模块相比使用CLM逻辑单元可以减少功耗。

## (8) I/O功耗优化

像LVTTTL和LVCMOS等无终端匹配电阻的IO接口标准，其输出逻辑高电平和低电平之间

的电压差就是VCCIO的供电电压值。此类IO接口标准静态功耗很小，而IO口驱动的动态功耗可以按下式计算： $P = 0.5 \times f \times c \times VCCIO^2$ ，其中f是信号输出频率，c是电平转换时的负载电容，VCCIO是IO供电电压。由于功耗P与VCCIO是平方关系，因此电平值较低的IO标准明显动态功耗要低。从上式看出，对于LVCMOS和LVTTL等IO接口，其功耗主要取决于负载电容、频率和电压，选择满足速率及波形需求的最小slew/standard/drive，功耗最小。

对于像SSTL和HSTL等有终端匹配电阻的IO接口标准，输出信号电压摆幅基于偏置点偏离很小。同样类似公式： $P = 0.5 \times f \times c \times V^2$ ，V是输出信号电压摆幅值，相比于无终端匹配电阻的IO标准，V值比VCCIO值小了很多，即动态功耗小了很多。但是有终端匹配电阻的IO标准接口消耗的静态功耗偏大，这是因为在IO中持续有电流通过匹配电阻。

由上可知，对于高频信号来说，使用有终端匹配电阻的IO标准其动态功耗较少。使用有终端匹配电阻的IO标准接口时，选择满足速率及波形需求的最小IO驱动设置，可以使其IO接口消耗的功耗最小。

#### (9) 减少Bank的使用

减少FPGA的Bank使用可降低功耗。除复用配置信号所在的Bank外，不用的Bank对应的VCCIO管脚可以悬空。复用配置信号所在的Bank未使用时，对应VCCIO要接到相应电压，具体以《UG040012\_Logos2单板硬件设计用户指南》为准。

#### (10) HSST功耗

当不使用高速串行收发器HSST模块时，HSST电源的处理请以《UG040012\_Logos2单板硬件设计用户指南》为准。

当不使用Channel时，可以在IPC界面中Disable，详见图2-5。



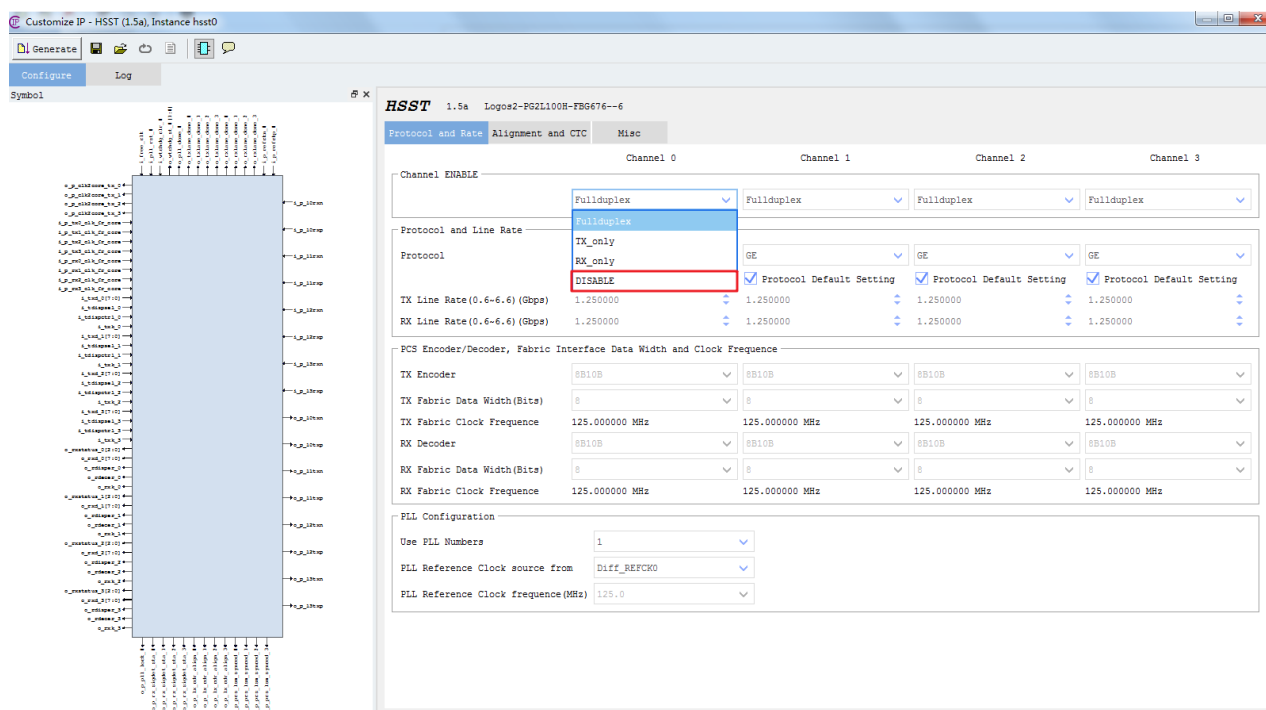


图 2-5 Disable Channel

通过降低摆幅（TX Swing）能降低功耗，代价是驱动能力减弱了，建议参考 PPP 评估功耗。控制 TX 输出摆幅推荐通过寄存器方式来实现，详见《AN04004\_Logos2 系列 FPGA 高速串行收发器(HSSTLP)常用功能应用指南》。

### (11)DDR功耗

通过APB接口配置对应的寄存器，可使DDR3 SDRAM在Power Down，Self-Refresh，MRS 和 Normal 各状态间互相切换，详见图 2-6，各寄存器的定义与地址值请参见《UG042003\_Logos2\_HMIC\_S\_IP\_UserGuide》。



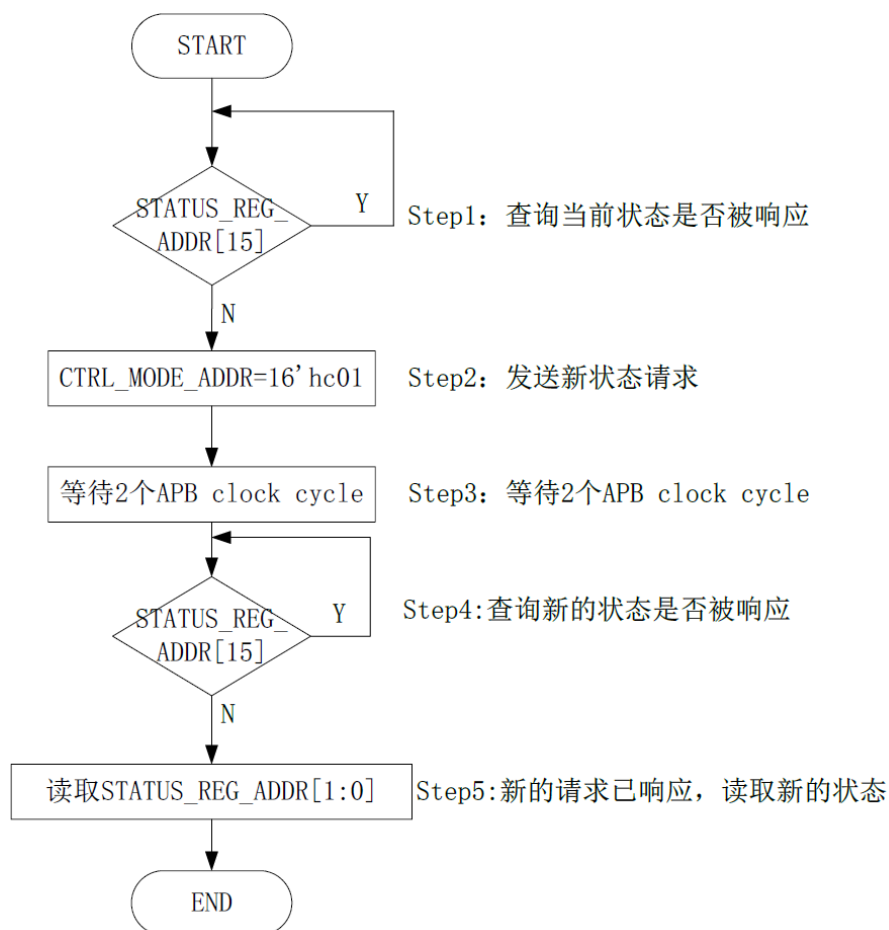


图 2-6 状态切换请求流程图

使用 Bus-Invert 编码，降低翻转次数，能达到降低功耗的效果。

另外，在满足系统性能要求的前提下，降低 DDR 数据速率也可以降低功耗。

## 免责声明

### 版权声明

本文档版权归深圳市紫光同创电子有限公司所有，并保留一切权利。未经书面许可，任何公司和个人不得将此文档中的任何部分公开、转载或以其他方式披露、散发给第三方。否则，公司必将追究其法律责任。

### 免责声明

1、本文档仅提供阶段性信息，所含内容可根据产品的实际情况随时更新，恕不另行通知。如因本文档使用不当造成的直接或间接损失，本公司不承担任何法律责任。

2、本文档按现状提供，不负任何担保责任，包括对适销性、适用于特定用途或非侵权性的任何担保，和任何提案、规格或样品在他处提到的任何担保。本文档在此未以禁止反言或其他方式授予任何知识产权使用许可，不管是明示许可还是暗示许可。

3、公司保留任何时候在不事先声明的情况下对公司系列产品相关文档的修改权利。