

# Logos2 系列单板硬件设计用户指南

(UG040012, V1.4)

(2023.01.03)

深圳市紫光同创电子有限公司

版权所有 侵权必究

## 文档版本修订记录

版本号	发布日期	修订记录
V0.1	2019/11/25	初始版本
V1.0	2020/06/09	<ol style="list-style-type: none"> <li>1. DDR3 设计说明中增加 VREF 说明；</li> <li>2. 修正配置管脚说明中 D[8,...,32]对应的数据总线位；</li> <li>3. 在 9.2 中增加 VCCB 电源说明；</li> <li>4. 表 8 中 HSST 管脚说明细化，HSST 未使用时电源改为悬空并预留接地处理；</li> </ol>
V1.1	2020/12/05	<ol style="list-style-type: none"> <li>1. 增加“推荐 HSSTAVCC 与 HSSTAVCCPLL 同时上电，无时序要求。”说明；</li> <li>2. 补充“CFG_CLK 上拉电阻到 VCCIOCFG”说明；</li> <li>3. DDR3 对应 Bank 中的两个单端管脚由“不能用作 DDR3 管脚”改为“可以作为 command/address 信号使用”；</li> <li>4. 去掉上拉电阻要求中的“不大于”字样。</li> </ol>
V1.2	2021/01/20	DDR3 设计说明中增加 PCB 设计说明。
V1.3	2021/07/15	<ol style="list-style-type: none"> <li>1. 新增章节 2.1 中配置相关 Bank 电源电压限制说明，更新章节 2.3.2 中的描述，删除 SCBV 管脚描述中的“VCCIOCFG 和复用配置管脚 VCCIO 必须相同”的内容；</li> <li>2. 更新 2.3.3 章节内容描述；</li> <li>3. 删除主 BPI 和从 SPI 配置相关描述；</li> <li>4. 更新章节 8.2 的第五条规则；</li> <li>5. 修正 HSSTLP 的命名；</li> <li>6. 新增表 2-2 中 FBG48 封装产品推荐电容数量；</li> <li>7. 表 5 补充 FBG484 封装产品 Pin number；</li> <li>8. 更新表 5-1 中校准电阻上拉 1V 电源改为 HSSTAVCC_QR3/6；</li> </ol>
V1.4	2023/01/03	<ol style="list-style-type: none"> <li>1. 章节 2.2 中新增表 2-2、表 2-3、表 2-5，表 2-4 中新增 MBG324 和 FBG256 封装的电源电容需求数量；</li> <li>2. 更新章节 2.2 的描述；</li> <li>3. 删除章节 3 的“Logos2 系列 FPGA 配置管脚说明”和“配置管脚 PIN Number”表格，新增配置相关管脚说明和管脚定义的描述；</li> <li>4. 删除章节 4 中的“ADC 管脚说明”、“ADC 模式说明”和“输入信号要求”，新增描述；</li> <li>5. 更新表 5-1 的“表头”、“管脚类型”及“方向”；</li> <li>6. 更新章节 5.3 中的第 4 条描述；</li> <li>7. 更新章节 5.3 的第 1 条描述；</li> <li>8. 更新章节 5.1 中表 5-1 的格式，更新注释说明；</li> <li>9. 更新章节 8.1 的第 1 条和第 2 条描述；</li> <li>10. 更新表 5-1 中的管脚名称表述方式，补充 PG2L200H HSSTRREF 的连接说明；</li> <li>11. 章节 5.3 中新增 PG2L200H 的 PCIE 硬核 HSSTLP 选择说明；</li> <li>12. 更新表 9-1 的“表头”、“管脚类型”及“方向”，更新管脚描述；</li> <li>13. 删除表 9-2 中 TSDP 和 TSDN 管脚的描述，新增对该表格的注释。</li> </ol>

## 术语与缩略语

Terms and Abbreviations 术语与缩略语	Full Spelling 英文全拼	Chinese Explanation 中文解释
FPGA	Field Programmable Gate Array	现场可编程逻辑门阵列
DRM	Dedicated RAM Module	专用 RAM 存储模块
DDR	Double Data Rate	双倍速率同步动态随机存储器
ADC	Analog to Digital Converter	模数转换器
HSSTLP	High Speed Serial Transceiver Low Performance	高速串行收发器
TMDS	Transition-minimized differential signal	过渡调制差分信号
LVDS	Low-Voltage Differential Signaling	低电压差分信号

## 目 录

文档版本修订记录 .....	1
术语与缩略语 .....	2
目 录 .....	3
表目录 .....	4
<b>1 概述 .....</b>	<b>5</b>
<b>2 电源设计 .....</b>	<b>6</b>
2.1 电压要求 .....	6
2.2 电容要求 .....	6
2.3 其它说明 .....	8
2.3.1 DRM 电源说明 .....	8
2.3.2 复用配置管脚电源说明 .....	8
2.3.3 设计功耗说明 .....	9
<b>3 配置说明 .....</b>	<b>10</b>
3.1 配置管脚说明 .....	10
3.2 配置模式选择 .....	10
<b>4 ADC 设计说明 .....</b>	<b>11</b>
<b>5 HSST 设计说明 .....</b>	<b>12</b>
5.1 HSST 管脚说明 .....	12
5.2 HSST 电源滤波电容要求 .....	12
5.3 其它注意事项 .....	13
<b>6 LVDS 设计说明 .....</b>	<b>14</b>
<b>7 TMDS 设计说明 .....</b>	<b>15</b>
<b>8 DDR3 设计说明 .....</b>	<b>16</b>
8.1 原理图设计说明 .....	16
8.2 PCB 设计说明 .....	17
<b>9 其它说明 .....</b>	<b>19</b>
9.1 时钟输入管脚说明 .....	19
9.2 其它特别管脚说明 .....	19
9.3 输出管脚说明 .....	19
9.4 确认管脚约束 .....	19
<b>免责声明 .....</b>	<b>20</b>

## 表目录

表 2-1 配置相关 Bank 电源电压.....	6
表 2-2 PG2L25H 各电源电容需求.....	7
表 2-3 PG2L50H 各电源电容需求.....	7
表 2-4 PG2L100H 各电源电容需求.....	7
表 2-5 PG2L200H 各电源电容需求.....	8
表 2-6 电源电容参数说明.....	8
表 5-1 Logos2 系列 FPGA HSST 管脚说明 .....	12
表 5-2 HSST 电源滤波电容要求 .....	12
表 9-1 Logos2 系列 FPGA 时钟输入管脚说明 .....	19
表 9-2 Logos2 系列 FPGA 特别管脚说明 .....	19

## 1 概述

本文档是深圳市紫光同创电子有限公司（以下简称紫光同创）Logos2 系列 FPGA 器件的单板硬件设计指南，用户可以通过文档了解使用 Logos2 系列 FPGA 单板硬件设计时的相关要求。

Logos2 系列 FPGA 器件产品特性、资源规模与封装信息等请参考《*DS04001\_Logos2 系列 FPGA 器件数据手册*》。

## 2 电源设计

### 2.1 电压要求

器件绝对极限电压、推荐工作电压、上电/下电要求、上电斜升时间要求等在《DS04001\_Logos2 系列 FPGA 器件数据手册》中有说明。

Logos2 系列 FPGA 支持多种配置方式，配置相关管脚分布在配置 Bank、Bank L4、Bank L5 三个 Bank 中。针对不同的配置信号电平，对上述的三个 Bank 有如下表 2-1 所示的电源电压限制，需要注意不支持表格以外的电压组合。

表 2-1 配置相关 Bank 电源电压

配置模式	配置接口 IO 电平	相关 Bank 电压			SCBV 管脚
		VCCIOCFG	VCCIO L4	VCCIO L5	
JTAG	3.3V	3.3V	Any <sup>(1)</sup>	Any <sup>(1)</sup>	VCCIOCFG
	2.5V	2.5V	Any <sup>(1)</sup>	Any <sup>(1)</sup>	VCCIOCFG
	1.8V	1.8V	1.8V/1.5V/1.2V	1.8V/1.5V/1.2V	GND
	1.5V	1.5V	1.8V/1.5V/1.2V	1.8V/1.5V/1.2V	GND
	1.2V	1.2V	1.8V/1.5V/1.2V	1.8V/1.5V/1.2V	GND
Slave Serial、 Slave Parallel、 Master SPI(x1/x2/x4)	3.3V	3.3V	Any <sup>(1)</sup>	3.3V	VCCIOCFG
	2.5V	2.5V	Any <sup>(1)</sup>	2.5V	VCCIOCFG
	1.8V	1.8V	1.8V/1.5V/1.2V	1.8V	GND
	1.5V	1.5V	1.8V/1.5V/1.2V	1.5V	GND
	1.2V	1.2V	1.8V/1.5V/1.2V	1.2V	GND
Master SPI(x8)	3.3V	3.3V	3.3V	3.3V	VCCIOCFG
	2.5V	2.5V	2.5V	2.5V	VCCIOCFG
	1.8V	1.8V	1.8V	1.8V	GND
	1.5V	1.5V	1.5V	1.5V	GND
	1.2V	1.2V	1.2V	1.2V	GND

注：

- Any 条件不支持悬空。

### 2.2 电容要求

以下表格给出了各电源在一定条件下的电容需求以及电容的参数要求。HSST 电源电容需求请见 [HSST 设计说明](#)。

表 2-2 PG2L25H 各电源电容需求

电源名称	封装	100uF	47uF	4.7uF	0.47uF	0.1uF	说明
VCC	MBG325	1	0	2	3	5	内核逻辑电源
VCC_DRM	MBG325	0	1	0	2	2	DRM 电源
VCCA	MBG325	0	1	1	2	2	辅助电源
VCCIOCFG	MBG325	0	1	0	1	1	配置 Bank 电源
VCCIO	MBG325	0	2	2	4	2	Bank 电源，多 Bank 共用电源时 47uF 电容可适当减少。

表 2-3 PG2L50H 各电源电容需求

电源名称	封装	100uF	47uF	4.7uF	0.47uF	0.1uF	说明
VCC	FBG484	3	0	6	8	5	内核逻辑电源
	MBG324	3	0	6	8	5	
VCC_DRM	FBG484	1	0	0	2	2	DRM 电源
	MBG324	1	0	0	2	2	
VCCA	FBG484	0	1	3	5	2	辅助电源
	MBG324	0	1	3	4	2	
VCCIOCFG	FBG484	0	1	0	1	1	配置 Bank 电源
	MBG324	0	1	0	1	1	
VCCIO	FBG484	0	2	2	4	2	Bank 电源，多 Bank 共用电源时 47uF 电容可适当减少。
	MBG324	0	2	2	4	2	

表 2-4 PG2L100H 各电源电容需求

电源名称	封装	100uF	47uF	4.7uF	0.47uF	0.1uF	说明
VCC	FBG484	3	0	6	8	5	内核逻辑电源
	FBG676	3	0	6	8	5	
	MBG324	3	0	6	8	5	
VCC_DRM	FBG484	1	0	0	2	2	DRM 电源
	FBG676	1	0	0	2	2	
	MBG324	1	0	0	2	2	
VCCA	FBG484	0	1	3	5	2	辅助电源
	FBG676	0	1	3	5	2	
	MBG324	0	1	3	4	2	
VCCIOCFG	FBG484	0	1	0	1	1	配置 Bank 电源
	FBG676	0	1	0	1	1	
	MBG324	0	1	0	1	1	
VCCIO	FBG484	0	2	2	4	2	Bank 电源，多 Bank 共用电源时 47uF 电容可适当减少。
	FBG676	0	2	2	4	2	



电源名称	封装	100uF	47uF	4.7uF	0.47uF	0.1uF	说明
	MBG324	0	2	2	4	2	

表 2-5 PG2L200H 各电源电容需求

电源名称	封装	100uF	47uF	4.7uF	0.47uF	0.1uF	说明
VCC	FBB484	7	0	12	14	10	内核逻辑电源
	FBB676	7	0	12	14	10	
	FFBG1156	7	0	12	14	10	
VCC_DRM	FBB484	1	0	0	5	5	DRM 电源
	FBB676	1	0	0	5	5	
	FFBG1156	1	0	0	5	5	
VCCA	FBB484	0	1	3	5	3	辅助电源
	FBB676	0	1	4	7	5	
	FFBG1156	0	1	5	9	7	
VCCIOCFG	FBB484	0	1	0	1	1	配置 Bank 电源
	FBB676	0	1	0	1	1	
	FFBG1156	0	1	0	1	1	
VCCIO	FBB484	0	2	2	4	2	Bank 电源，多 Bank 共用电源时 47uF 电容可适当减少。
	FBB676	0	2	2	4	2	
	FFBG1156	0	2	2	4	2	

表 2-6 电源电容参数说明

参数	100uF	47uF	4.7uF	0.47uF	0.1uF
封装	1210	1210	0805	0402	0402
耐压	$\geq 2V$	$\geq 6V$	$\geq 6V$	$\geq 6V$	$\geq 6V$
ESL	$\leq 1nH$	$\leq 1nH$	$\leq 0.5nH$	$\leq 0.5nH$	$\leq 0.5nH$
ESR	$\leq 40m\Omega$	$\leq 40m\Omega$	$\leq 20m\Omega$	$\leq 20m\Omega$	$\leq 20m\Omega$
材质	X5R	X5R	X7R	X7R	X7R

## 2.3 其它说明

### 2.3.1 DRM 电源说明

内核电源 VCC 和 DRM 供电的专用电源 VCC\_DRM 可以连接到同一路 1.0V 上。

### 2.3.2 复用配置管脚电源说明

Bank L4 和 Bank L5 电源必须满足表 2-1 中列出的电源电压条件。

### 2.3.3 设计功耗说明

设计功耗(包括 HSST 功耗)可以参考功耗评估软件(PDS 中的功耗评估工具 Pango Power Planner)。

## 3 配置说明

### 3.1 配置管脚说明

Logos2 系列 FPGA 配置相关管脚的使用说明，请参考《UG040005 Logos2 系列 FPGA 配置 (configuration) 用户指南》文档。需要注意 PDS 工程中的 SCBV 管脚状态，需要配置成与硬件单板的设计一致。配置相关管脚的定义，请参考相关器件的封装手册《PK04xxx》，例如“PK04001\_PG2L100H\_FBG676”。

### 3.2 配置模式选择

MODE[2:0]是配置模式选择管脚，当 INIT\_N 信号从低变高的时候，即对模式选择管脚进行采样，确定 FPGA 当前处于什么配置模式。

MODE[2:0]值与配置模式对应关系如下：

- 001：主 SPI 配置模式(X1/X2/X4/X8)；
- 101：JTAG 配置模式 (X1)；
- 110：从并行配置模式 (X8/X16/X32)；
- 111：从串行配置模式 (X1)。

## 4 ADC 设计说明

ADC 特性请参考《*DS04001\_Logos2 系列 FPGA 器件数据手册*》，ADC 应用请参考《*UG040009\_Logos2 系列 FPGA 模数转换模块（ADC）用户指南*》。

## 5 HSST 设计说明

在《DS04001\_Logos2 系列 FPGA 器件数据手册》中有 HSST 相关说明，应用 HSST 时请参阅。

### 5.1 HSST 管脚说明

表 5-1 Logos2 系列 FPGA HSST 管脚说明

管脚名称	管脚类型	方向	管脚说明
HSSTAVCC	专用	N/A	1.0V 模拟电源管脚给到内部的发射和接收电路；不使用 HSST 时悬空处理，并预留接地电阻位置。
HSSTAVCCPLL	专用	N/A	1.2V 模拟电源管脚给到 PLL；不使用 HSST 时悬空处理，并预留接地电阻位置。
HSSTRREF_Q[R,L][7:0]	专用	输入	终端电阻校准电路的校准电阻输入管脚； 1. PG2L200H 需要通过 100Ω 的校正电阻（精度 1%）上拉到 HSSTAVCCPLL； 2. PG2L200H 以外其它器件，需要通过 200Ω 的校正电阻（精度 1%）上拉到 HSSTAVCC；不使用 HSST 时接地处理。
HSSTREFCLK[0,1]P_Q[R,L][7:0]	专用	输入	差分时钟输入管脚 P 端，对 HSST 提供参考时钟。要求外部添加 100nF AC 耦合；不使用 HSST 时悬空处理。
HSSTREFCLK[0,1]N_Q[R,L][7:0]	专用	输入	差分时钟输入管脚 N 端，对 HSST 提供参考时钟。要求外部添加 100nF AC 耦合；不使用 HSST 时悬空处理。
HSSTTX[0,1,2,3][P,N]_Q[R,L][7:0]	专用	输出	HSST 的信道差分输出。每个 HSST 有 4 对；不使用 HSST 时悬空处理。
HSSTRX[0,1,2,3][P,N]_Q[R,L][7:0]	专用	输入	HSST 的信道差分输入。每个 HSST 有 4 对；不使用 HSST 时接地处理。

### 5.2 HSST 电源滤波电容要求

HSST 两组电源推荐都使用 LDO 供电，滤波电容要求如下表：

表 5-2 HSST 电源滤波电容要求

电源名称	产品型号	封装	4.7uF(X7R/10%)	0.1uF(X7R/10%)
HSSTAVCC	PG2L25H	MBG325	2	5
	PG2L50H	FBG484	2	5
	PG2L100H	FBG676	4	10
		FBG484	2	5
	PG2L200H	FBB484	2	5
		FBB676	4	10
		FFBG1156	8	20
HSSTAVCCPLL	PG2L25H	MBG325	2	6

电源名称	产品型号	封装	4.7uF(X7R/10%)	0.1uF(X7R/10%)
	PG2L50H	FBG484	2	6
	PG2L100H	FBG676	4	12
		FBG484	2	6
	PG2L200H	FBB484	2	6
		FBB676	4	12
		FFBG1156	8	24

注：

1. 用户可根据实际情况适当调整电容，但必须满足电源纹波的要求

### 5.3 其它注意事项

- 电源 HSSTAVCC 与 HSSTAVCCPLL 纹波要求小于 10mv，如果纹波偏大，需要容忍性能损失，制板时尽量把纹波做小；
- 推荐 HSSTAVCC 与 HSSTAVCCPLL 同时上电，无时序要求；
- 接收端支持内部配置为 AC 耦合或者 DC 耦合，内部配置成 DC 耦合时外部需要做 AC 耦合；
- Native X1 可以放在任意通道上。Native X2 限制在 lane0/lane1 或 lane2/lane3 上；详细的 PCIe 的 HSST 通道选择请参考 PCIe IP 用户指南；
- 不使用 HSST 时，HSST 电源悬空并预留接地电阻位置，RX 管脚接地，具体见表 5-1；
- 两个 HSSTLP 可以共用电源，但不建议这样使用；
- PG2L100H 使用 PCIE 硬核推荐选择 HSSTLP\_QR3；
- PG2L200H 使用 PCIE 硬核推荐选择 HSSTLP\_QL3。

## 6 LVDS 设计说明

- 每个 Bank 都支持输入输出，Bank 电压为 2.5V；
- LVDS 性能受容性负载大小和线路损耗影响，建议仿真评估；
- 差分 IO 内置 100 欧电阻；
- 输入时钟放在时钟输入管脚；
- PCB layout 时需要加入 pin delay 信息。

## 7 TMDs 设计说明

- 每个 Bank 都可以支持 TMDs，Bank 电压为 3.3V；
- 接收端需在外部使用 50 欧电阻上拉到所在 Bank 电压；
- 接收端时钟放在时钟输入管脚；
- PCB layout 时需要加入 pin delay 信息。



## 8 DDR3 设计说明

### 8.1 原理图设计说明

- Bank L 和 Bank R 分布在芯片的左右两侧，参考时钟输入管脚 GMCLK 需选择与 DDR 接口相同 Bank 或相邻的 Bank；x16 单 Bank 以外场景，需要选择 command/address 字节分组所在 Bank 的 GMCLK 作为参考时钟输入，以保证较小的时钟抖动；对于 x16 单 Bank 场景，时钟管脚通常被占用，推荐选择相邻 Bank 的 GMCLK 作为参考时钟输入。参考时钟管脚所选电平标准必须与所在 BANK 的 VCCIO 电压相匹配，器件支持输入的电平标准请查阅《UG040006\_Logos2 系列 FPGA 输入输出接口 (IO) 用户指南》；硬件电路必须满足《DS04001\_Logos2 系列 FPGA 器件数据手册》中该电平标准的 DC 特性，为满足上述要求，可以参考 AC 耦合加直流偏置电路；
- 每个 Bank 只需要一个外部 VREF 参考电压输入，电压值是 Bank 电压/DDR3 芯片供电电压的一半；VREF 可以通过两个 1K 欧姆电阻分压产生，也可以使用专用电源芯片提供；
- CK 必须接到某个 command/address 字节分组的 p-n 对管脚；
- DQS 信号必须连接到 DQS 专用管脚；
- DQ 和 DM（如果用到）必须连接到与之对应的 DQS 字节分组管脚；
- 单个 DDR3 接口的跨度不能超过 3 个同侧相邻的 Bank，对于跨度为 3 个 Bank 的 DDR3 接口，command/address 信号必须位于中间 Bank，且所有的 command/address 信号必须在同一个 Bank 中；
- command/address 信号必须连接到没有用作数据（DQ、DM）的字节分组管脚；
- RESET\_N 可以连接到任意管脚（电平须与 DDR3 要求一致），推荐约束该管脚到 DDR3 接口所在的 Bank 上以改善时序，该管脚不需要端接，预留接地电容位置，可以通过一个 4.7K $\Omega$  电阻下拉到 GND；
- 字节分组内信号可以自由交换（DQS 等特定管脚除外），Bank 内字节分组可以整体交换；
- DDR3 对应 Bank 中的两个单端管脚可以作为 command/address 信号使用；

## 8.2 PCB 设计说明

- PCB layout 时需要加入 pin delay 信息，并在走线时打开，同时打开过孔的延迟；
- Flyby 拓扑中，CK 走线长度不短于第一组 DQS 走线，两者长度差小于 1/4 个 CK 周期；
- CK 差分对内误差小于 5mil，控制阻抗差分 100 欧姆，需要有完整的参考 GND 层，走线尽量少换层，使用过孔换层的地方要对称加伴随 GND 孔；
- Flyby 拓扑中，CK 分段等长，主干线长度小于 2000mil，分支走线长度（含过孔）小于 120mil；
- command/address 信号线以 CK 为参考做等长，推荐长度差小于 200mil；
- command/address 信号需要有完整参考层，其中 ODT、CS、CKE 打孔的地方有 GND 伴随孔，其它信号 3-6 个信号孔旁边至少有一个 GND 孔；
- DQS 差分对内误差小于 5mil，控制阻抗差分 100 欧姆，需要有完整的参考 GND 层，换层不能超过 2 次，使用过孔换层的地方要对称加伴随 GND 孔；
- DQ 信号需要有完整参考层，2-4 个信号孔旁边至少有一个 GND 孔伴随；
- 同一 DQS 字节分组内，以 DQS 为基准控制走线误差小于 50mil，总长控制在 1500mil 以内；
- 不同 DQS 字节分组的走线可以做 200-300mil 的不等长错开设计降低 SSN 影响，例如分组 0 和 2 长度按常规做，分组 1 和 3 多绕 200mil 长度；
- 同组信号走在同一层，保证不会因换层影响信号时序。如果确需换层，换层前后要做等长，尽量避免表层走线；
- 蛇形绕线时，单线按 3W（W 是线宽）绕线，差分线按 5W 绕线。保证各信号组内间距不小于 3H（H 是走线到主参考平面的距离），组间间距不小于 5H，DQS 和时钟距离其它信号的间距做到 5H 以上；
- 电源铺完整电源平面，目标阻抗尽量控制在 0.01ohm@100M 以内；
- 电容尽量在 BGA 下方靠近摆放，保证每个电源管脚下方至少有一个电容滤波；
- VTT 电源对精度要求比较高，有很大的瞬间电流，需要使用足够的去耦电容。VTT 集中在终端的端接电阻处，一般在端接电阻同面做铺铜处理，铜皮宽度要大于 120mil；
- VREF 电源对精度要求很严格，但承载的电流很小，因此去耦电容数量不需要太多。VREF 需要远离干扰源；

- ZQ 校准电阻采用 1%精度电阻靠近管脚摆放，走线加宽，走线长度小于 100mil。

## 9 其它说明

### 9.1 时钟输入管脚说明

表 9-1 Logos2 系列 FPGA 时钟输入管脚说明

管脚名称	管脚类型	方向	管脚说明
GMCLK	时钟复用	Input	复用全局多区域时钟输入管脚；这些具有时钟输入能力的时钟除了可以直接驱动区域时钟缓冲器、IO 时钟缓冲器、全局时钟缓冲器，GPLL，PPLL。还能够驱动多区域时钟缓冲器；当不作为时钟输入时，其作为通用 IO。当差分对连接到单端时钟源时，只需要连接到差分对的 P 端。当这些 PIN 作为单区域时钟源时，它能够驱动这个 Bank 的所有 IO 时钟缓冲器和区域时钟缓冲器。
GSCLK	时钟复用	Input	复用全局单区域时钟输入管脚；这些具有时钟输入能力的时钟可以直接驱动区域时钟缓冲器、IO 时钟缓冲器、全局时钟缓冲器，GPLL，PPLL。当不作为时钟输入时，其作为通用 IO。当差分对连接到单端时钟源时，只需要连接到差分对的 P 端。它能够驱动这个 Bank 的所有 IO 时钟缓冲器和区域时钟缓冲器。

### 9.2 其它特别管脚说明

表 9-2 Logos2 系列 FPGA 特别管脚说明

管脚名称	管脚类型	方向	管脚说明
VREF	复用	N/A	作为输入参考电压管脚。当不需要外部参考电压管脚时，其可以作为用户 IO。 用到 DDR3 时该管脚用法请见 <a href="#">DDR3 设计说明</a> 。
VCCB	电源	input	秘钥存储器备用电池电源供电电压，1.0V~1.9V；当秘钥功能不使用时，该 PIN 需要连接到地或者 VCCA。

注：

1. TSDP/TSDN 管脚的使用说明请参考《UG040009\_Logos2 系列 FPGA 模数转换模块 (ADC) 用户指南》。

### 9.3 输出管脚说明

时钟输出管脚不要选择 Bank 中的两个单端管脚。芯片管脚大多为差分对的形式，当差分对中的一个管脚做时钟输出时，建议差分对中的另一个管脚不要用作一般信号的输入管脚。

### 9.4 确认管脚约束

在完成原理图后，需要跑工程文件确认管脚信号定义是否合理。

## 免责声明

### 版权声明

本文档版权归深圳市紫光同创电子有限公司所有，并保留一切权利。未经书面许可，任何公司和个人不得将此文档中的任何部分公开、转载或以其他方式披露、散发给第三方。否则，公司必将追究其法律责任。

### 免责声明

1、本文档仅提供阶段性信息，所含内容可根据产品的实际情况随时更新，恕不另行通知。如因本文档使用不当造成的直接或间接损失，本公司不承担任何法律责任。

2、本文档按现状提供，不负任何担保责任，包括对适销性、适用于特定用途或非侵权性的任何担保，和任何提案、规格或样品在他处提到的任何担保。本文档在此未以禁止反言或其他方式授予任何知识产权使用许可，不管是明示许可还是暗示许可。

3、公司保留任何时候在不事先声明的情况下对公司系列产品相关文档的修改权利。