



SALELF®3L90CG400B_MINI 板硬件使用指南

1 术语/缩略词

FPGA : Field Programmable Gate Array

现场可编程门阵列

TangDynasty® (以下简称 TD) : Tang Dynasty

安路 FPGA 编程软件

JTAG : Joint Test Action Group

联合测试工作组

2 关于本手册

EF3L90CG400B_MINI_V2.0 DEMO 板 (以下简称 MINI DEMO 板) 基于安路科技 SALELF®3 (以下简称 EF3) 系列 EF3L90CG400B 芯片设计, 本文档为 MINI DEMO 板的硬件使用指南。文中对每个接口的功能和信号都做了详细阐述, 并提供参考设计文件。同时配套有对应的参考例程, 用于接口功能的演示, 方便用户基于此开发板进行芯片的评估和使用。

对 EF3 系列 FPGA 器件的特性和使用方法, 请参考《DS600_ELF3_Datasheet》, 对于此 MINI DEMO 板的应用例程, 请参考《TN620_EF3L90CG400B 开发板例程说明》, 例程均使用我司在线下载器 AL-LINK-V3.0 进行下载和调试。

3 MINI DEMO 板介绍

本 MINI DEMO 板为用户提供常见的调试接口, 如 Micro SD 卡、8 段数码管、LED 指示灯、轻触按键、拨码开关等接口, 同时在扩展 IO 排针上预留若干单端 GPIO、LVDS 差分 and ELVDS、LVDSE 伪差分 IO 口。MINI DEMO 板上在适当位置预留相关丝印, 方便用户快速进行例程和功能演示。

3.1 MINI DEMO 板接口

MINI DEMO 板实物图如下所示:

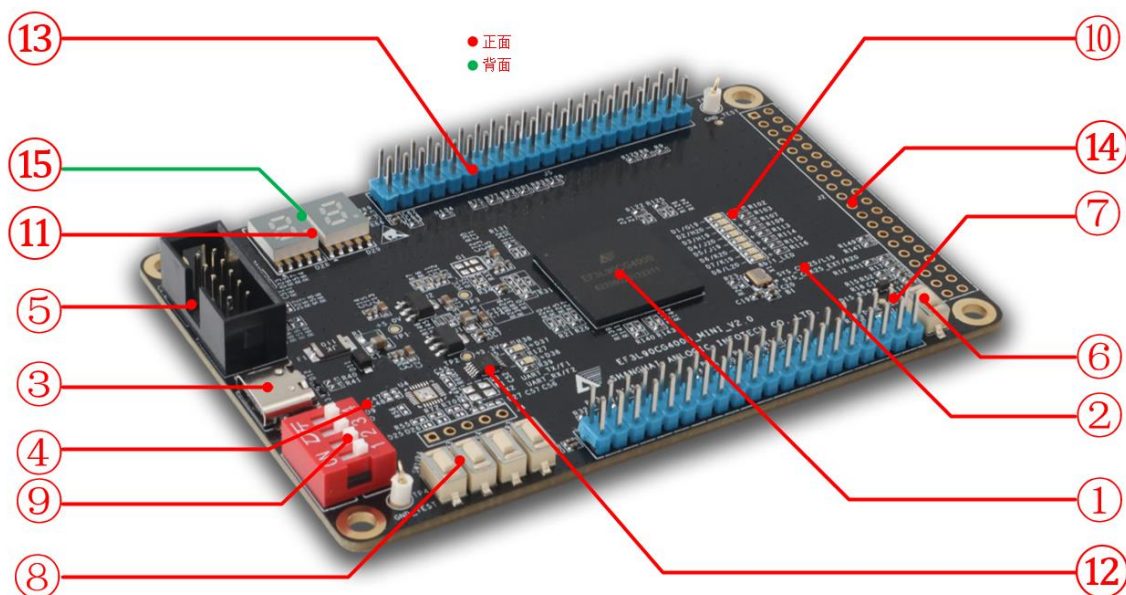


图 3-1 MINI DEMO 板实物图

MINI DEMO 板的相应功能和外设如下：

- ① EF3L90CG400B 主芯片
- ② Clcok_25MHz 时钟
- ③ TYPE_C 供电接口
- ④ POWER_LED 指示灯
- ⑤ JTAG 调试口
- ⑥ PROGN 复位按键
- ⑦ DONE_LED 指示灯
- ⑧ 按键
- ⑨ 拨码开关
- ⑩ LED 指示灯
- ⑪ 数码显示管
- ⑫ 串口模块
- ⑬ 用户扩展接口
- ⑭ 配置接口
- ⑮ Micro SD 卡

3.2 MINI DEMO 板功能框图

MINI DEMO 板主芯片为 EF3L90CG400B 器件，该器件提供丰富的 IO 接口和内部功能，内置 8Mb flash，最大支持 74Kbits 分布存储器等。

基于 EF3L90CG400B 主芯片的 MINI DEMO 板外围功能框图如下所示。

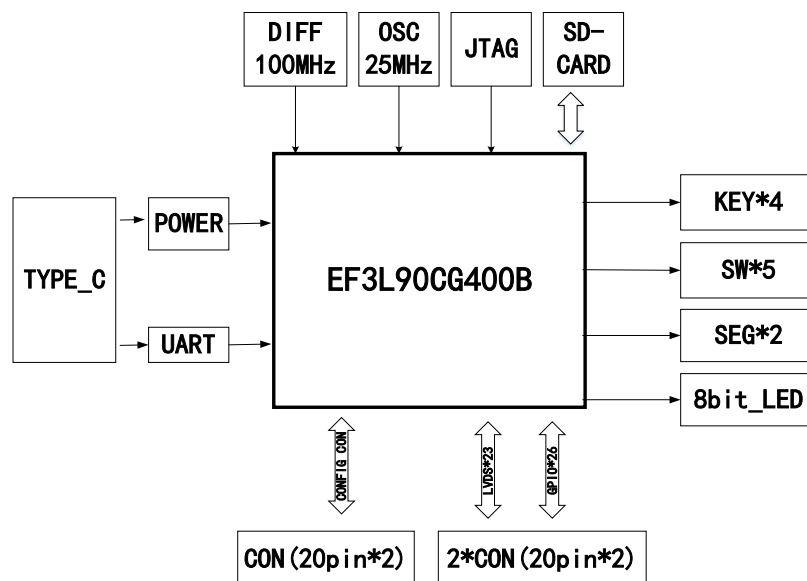
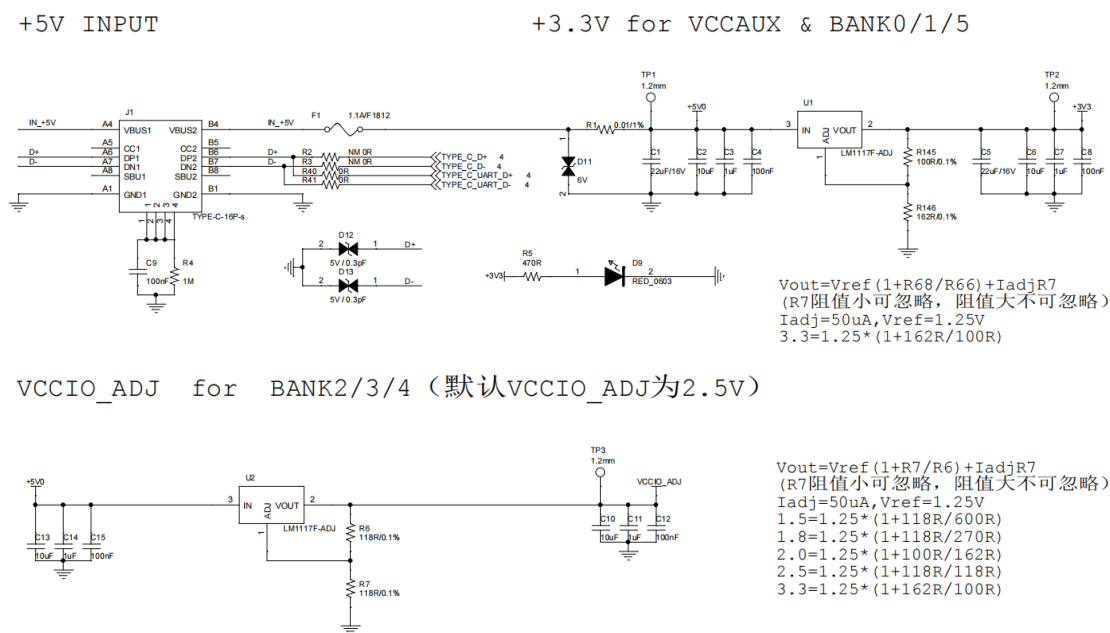


图 3-2 MINI DEMO 板功能框图

4 MINI DEMO 板功能介绍

4.1 系统电源

开发板电源通过 TYPE-C 接口提供 5V 供电，位号 D9 的红色 LED 灯为用户提供上电状态指示，为保证 FPGA 在全资源应用环境下的正常运行，推荐 5V/1A 的供电要求。MINI DEMO 板通过 1117 系列 LDO 构建整板所需电源，整板器件所需电源种类 2 种，分别为 +3.3V 和 VCCIO_ADJ（默认为 +2.5V）。VCCIO_ADJ 为可调电压，用户可根据自身使用场景修改，MINI DEMO 板的电源原理图 4-1 所示。



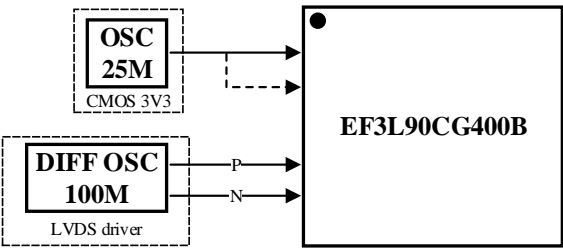


图 4-3 MINI DEMO 板时钟树

表 4-1 时钟信号引脚网络分配表

时钟位号	串接电阻位号	原理图网络名	FPGA 芯片引脚号	I/O 电平标准	备注
X1	R23	SYS_CLK25	L19	LVCOMS33	N/A
X1	R24	SYS_CLK25_EX T	R20	LVCOMS33	默认不焊接
G1	R35	SYS_CLK100_P	E2	LVDS25	差分时钟 P 端
G1	R33	SYS_CLK100_N	E1	LVDS25	差分时钟 N 端

4.3 Micro SD 卡

MINI DEMO 板左上角设计了 Micro SD 卡槽，用户可使用 SD 模式（可兼容 SPI 模式）对 Micro SD 卡进行文件的读写操作，MINI DEMO 板中对 SD 卡的网络信号均配置有 22Ω 串阻，且通过 4.7KΩ 电阻上拉至 3V3 电源。Micro SD 卡的原理图如图 4-4 所示，相关引脚网络分配如表 4-2 所列。

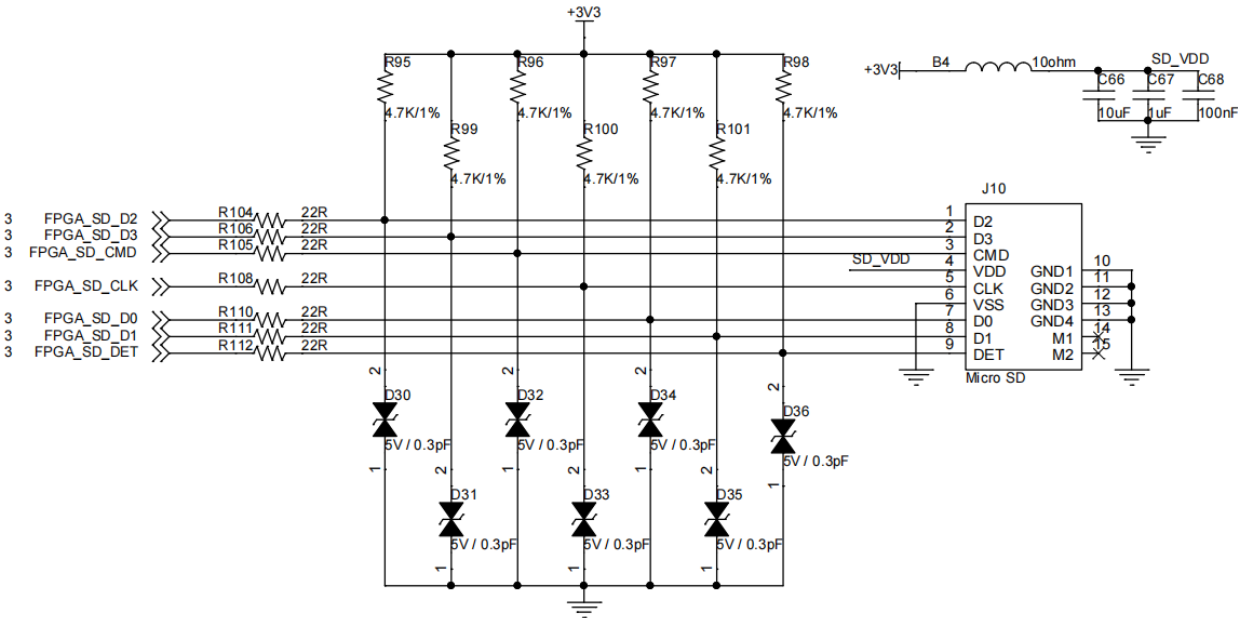


图 4-4 Micro SD 卡原理图

表 4-2 Micro SD 卡信号引脚网络分配表

Micro SD 卡引脚号	串接电阻	原理图网络名	FPGA 芯片引脚号	IO 电平标准	备注
1	R104	FPGA_SD_D2	H1	LVCOMS33	默认 22Ω 串阻
2	R106	FPGA_SD_D3	G2	LVCOMS33	默认 22Ω 串阻
3	R105	FPGA_SD_CMD	H4	LVCOMS33	默认 22Ω 串阻
5	R108	FPGA_SD_CLK	J3	LVCOMS33	默认 22Ω 串阻
7	R110	FPGA_SD_D0	H3	LVCOMS33	默认 22Ω 串阻
8	R111	FPGA_SD_D1	J4	LVCOMS33	默认 22Ω 串阻
9	R112	FPGA_SD_DET	J5	LVCOMS33	默认 22Ω 串阻

4.4 数码管

MINI DEMO 板在 FPGA 芯片左边设计有 2 个八段共阳极动态点亮的数码管，段码低电平有效，位码高电平有效。每个数码管的位码信号串联了 300Ω 的限流电阻，因此数码管单个段码点亮的工作电流在 11mA 左右。MINI DEMO 板中两个八段数码管的硬件原理图如图 4-5 所示，相关引脚网络分配如表 4-3 所列。

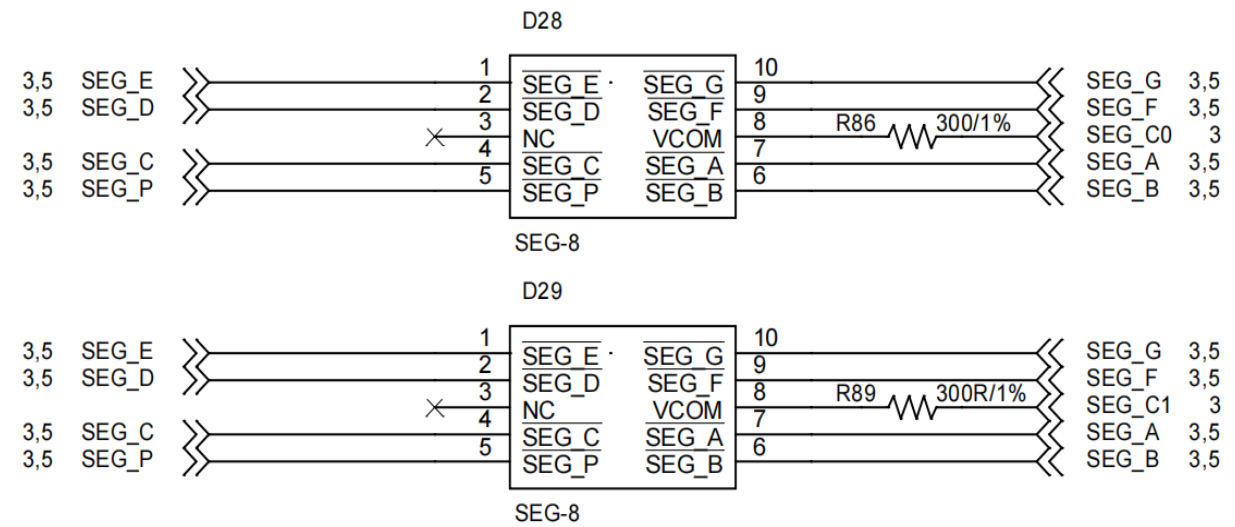


图 4-5 MINI DEMO 板数码管原理图

表 4-3 数码管信号引脚网络分配表

数码管引脚号	原理图网络名	FPGA 芯片引脚号	IO 电平标准	备注
7	SEG_A	E3	LVCOMS33	低电平有效
6	SEG_B	E4	LVCOMS33	低电平有效
4	SEG_C	G1	LVCOMS33	低电平有效
2	SEG_D	G3	LVCOMS33	低电平有效
1	SEG_E	G4	LVCOMS33	低电平有效
9	SEG_F	F4	LVCOMS33	低电平有效

数码管引脚号	原理图网络名	FPGA 芯片引脚号	I/O 电平标准	备注
10	SEG_G	F3	LVCOMS33	低电平有效
5	SEG_P	H2	LVCOMS33	低电平有效
D28:8	SEG_C0	D1	LVCOMS33	高电平有效
D29:8	SEG_C1	D2	LVCOMS33	高电平有效

4.5 用户按键、拨码开关

MINI DEMO 板中轻触按键和拨码开关均设计了 10KΩ 的上拉电阻，按键按下电平逻辑是“0”，按键释放时电平逻辑是“1”。

拨码开关拨上 ON 状态下是“0”，拨到下面是 OFF 状态“1”。用户工程中所需的其他按键功能，可从 KEY1-KEY4 的可编程按键和 J7 拨码开关中自定义。MINI DEMO 板中轻触按键和拨码开关的硬件原理图如图 4-6 所示，相关引脚网络分配如表 4-4 所列。

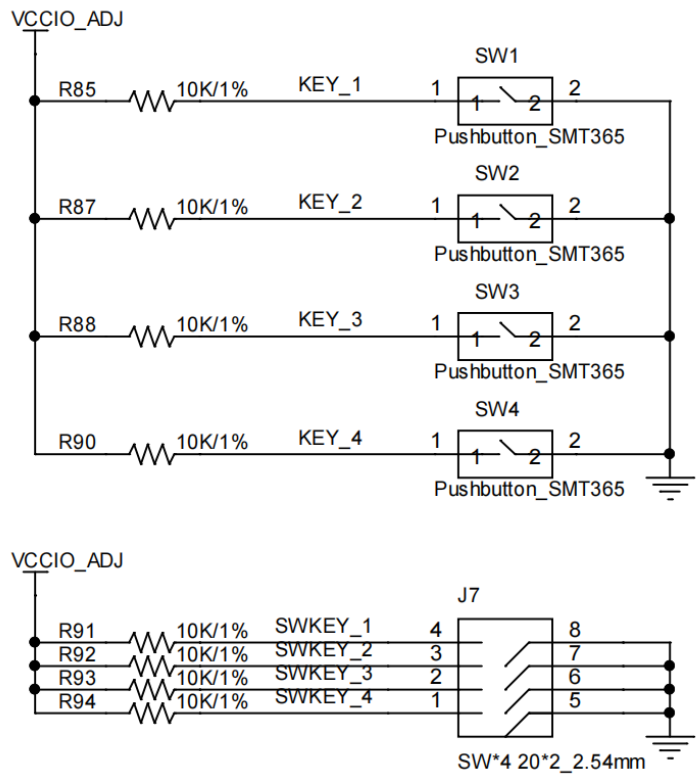


图 4-6 MINI DEMO 板轻触按键和拨码开关原理图

表 4-4 触按键和拨码开关信号引脚网络分配表

轻触按键、拨码开关位号	原理图网络名	FPGA 芯片引脚号	I/O 电平标准	备注
SW1	KEY_1	P4	LVCOMS33	按键按下，低电平有效
SW2	KEY_2	P3	LVCOMS33	按键按下，低电平有效
SW3	KEY_3	R4	LVCOMS33	按键按下，低电平有效
SW4	KEY_4	R3	LVCOMS33	按键按下，低电平有效
J7:4	SWKEY_1	M4	LVCOMS33	拨码开关 ON，低电平有效

轻触按键、拨码开关位号	原理图网络名	FPGA 芯片引脚号	I/O 电平标准	备注
J7:3	SWKEY_2	M3	LVCOMS33	拨码开关 ON，低电平有效
J7:2	SWKEY_3	N4	LVCOMS33	拨码开关 ON，低电平有效
J7:1	SWKEY_4	N3	LVCOMS33	拨码开关 ON，低电平有效

4.6 用户 LED 指示灯

MINI DEMO 板在 FPGA 芯片右方共设计有 8 个绿光 LED 指示灯，LED 指示灯阳极通过 1KΩ 限流电阻连接到 3.3V 电源，当 FPGA 引脚输出逻辑“0”时对应 LED 指示灯点亮。MINI DEMO 板中 LED 指示灯的硬件原理图如图 4-7 所示，相关引脚网络分配如表 4-5 所列。

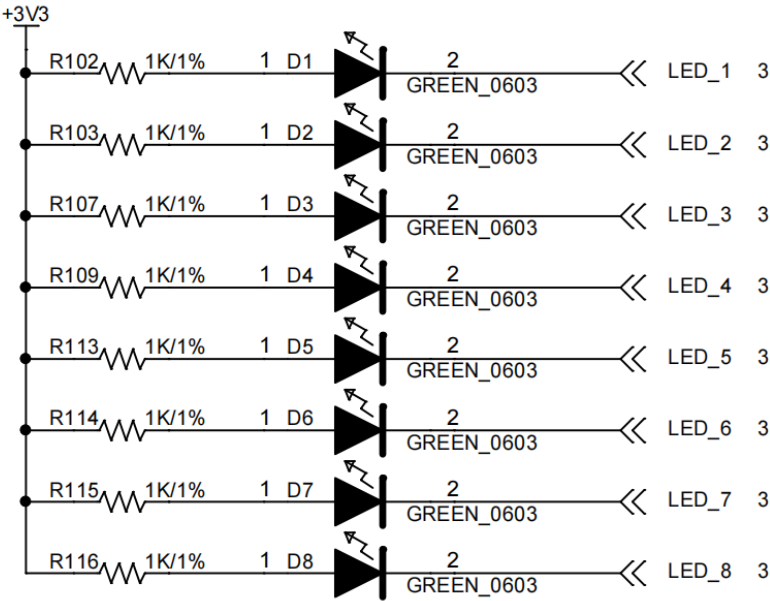


图 4-7 MINI DEMO 板 LED 指示灯原理图

表 4-5 LED 指示灯信号引脚网络分配表

LED 指示灯位号	原理图网络名	FPGA 芯片引脚号	I/O 电平标准	备注
D1	LED_1	G19	LVCOMS33	低电平点亮
D2	LED_2	H20	LVCOMS33	低电平点亮
D3	LED_3	H19	LVCOMS33	低电平点亮
D4	LED_4	J20	LVCOMS33	低电平点亮
D5	LED_5	J19	LVCOMS33	低电平点亮
D6	LED_6	K20	LVCOMS33	低电平点亮
D7	LED_7	K19	LVCOMS33	低电平点亮
D8	LED_8	L20	LVCOMS33	低电平点亮

4.7 配置接口

MINI DEMO 板的右下方设计有 FPGA 加载完成指示 LED 灯和 program 按键，位号分别为 D10 和 SW5。用户按下 SW5 program 按键后，FPGA 可在不断电的情况下从 FLASH 中重新加载。当用户所选加载模式配置完成后，D10 DONE 指示灯点亮。program 按键和 DONE 指示灯的网络分配表如表 4-6 所列。

表 4-6 program 按键和 DONE 指示灯网络分配表

位号	原理图网络名	FPGA 芯片引脚号	I/O 电平标准	备注
SW5	FPGA_PROGRAM	D13	LVCOMS33	按键按下，低电平有效，FPGA 复位
D10	FPGA_DONE	A19	LVCOMS33	高电平点亮，FPGA 加载完成指示

MINI DEMO 板在右侧设计了 20pin*2 的双排针 J2，MINI DEMO 板的 JTAG 配置接口位于本板左上角，位号为 J3，用户可使用我司在线下载器 AL-LINK-V3.0 连接 J3 进行下载和调试。配置接口排针的原理图如图 4-8 所示，引脚网络分配表如表 4-7 所列。

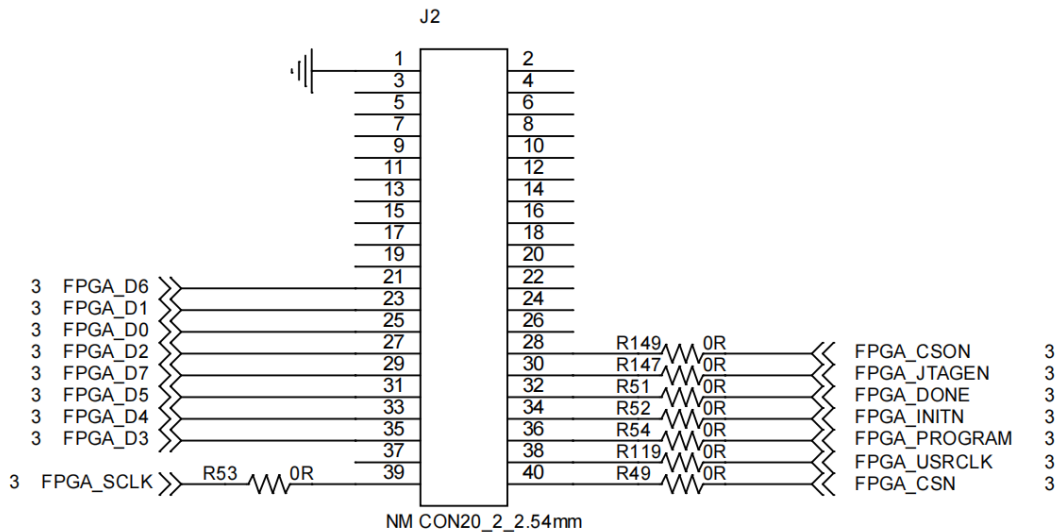


图 4-8 配置接口排针原理图

表 4-7 配置排针引脚网络分配表

J2 排针引脚号	原理图网络名	FPGA 芯片引脚号	I/O 电平标准
1	GND	N/A	N/A
21	FPGA_D6	M17	LVCOMS33
23	FPGA_D1	N14	LVCOMS33
25	FPGA_D0	N15	LVCOMS33
27	FPGA_D2	N16	LVCOMS33
28	FPGA_CSON	M20	LVCOMS33
29	FPGA_D7	N20	LVCOMS33
30	FPGA_JTAGEN	C13	LVCOMS33
31	FPGA_D5	P15	LVCOMS33
32	FPGA_DONE	A19	LVCOMS33
33	FPGA_D4	P20	LVCOMS33
34	FPGA_INITN	C17	LVCOMS33

J2 排针引脚号	原理图网络名	FPGA 芯片引脚号	I/O 电平标准
35	FPGA_D3	R19	LVCOMS33
36	FPGA_PROGRAM	D13	LVCOMS33
38	FPGA_USRCLK	N17	LVCOMS33
39	FPGA_SCLK	P18	LVCOMS33
40	FPGA_CSN	M15	LVCOMS33

4.8 用户串口

MINI DEMO 板设计了基于 CH340 串口芯片的 USB 总线转串口功能, 便于用户通过本板的 TYPE-C 接口进行基于串口功能的开发和调试。MINI DEMO 板分别在串口的收发方向设计了源端 22 Ω 串阻和相应的 ESD 防护措施。串口芯片的电路原理图如图 4-9 所示, 相关引脚网络分配如表 4-8 所列。

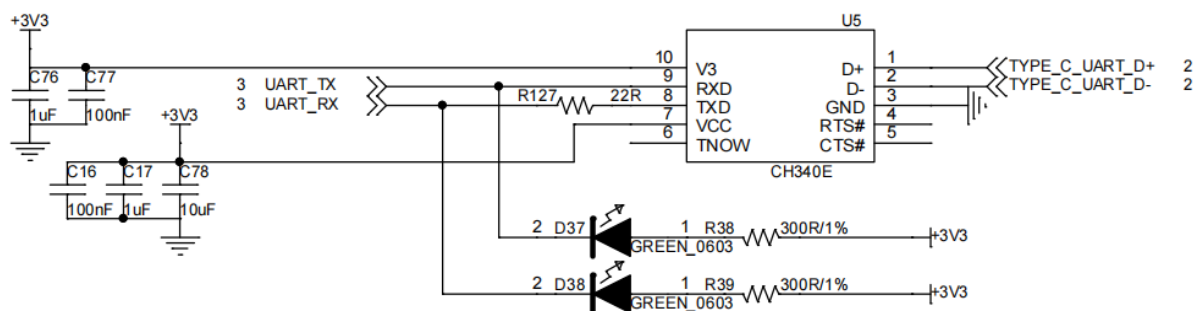


图 4-9 MINI DEMO 板串口芯片原理图

表 4-8 串口芯片引脚网络分配表

串口芯片引脚号	原理图网络名	FPGA 芯片引脚号	IO 电平标准	备注
1	TYPE_C_UART_D+	N/A	LVCOMS33	TYPE-C 的 D+
2	TYPE_C_UART_D-	N/A	LVCOMS33	TYPE-C 的 D-
8	UART_RX	F2	USB2.0	串口芯片引脚处有 22Ω 串阻
9	UART_TX	F1	USB2.0	串口芯片引脚处有 22Ω 串阻

4.9 用户扩展接口

MINI DEMO 板上下各设计了一个 20pin*2 的双排排针 J5 和 J6。MINI DEMO 板在底层排针相应引脚均用丝印标注了与排针引脚相连接的 FPGA 芯片引脚号，方便用户使用扩展接口时使用。

J5 用户扩展接口均包含 5 对 LVDSE 伪差分、6 对 LVDS 和 14 个 GPIO。J5 排针的 1-2 引脚均为 3V3 电源输出，39-40 引脚为整板地网络。LVDSE 伪差分输出在本板设计了 3R 匹配电路及端接 100Ω 电阻，LVDS 在本板设计了 100Ω 端接电阻，用户可根据自身使用场景选用和调整。图 4-10 和表 4-9 分别为 J5 用户扩展接口的原理图和引脚网络分配表。

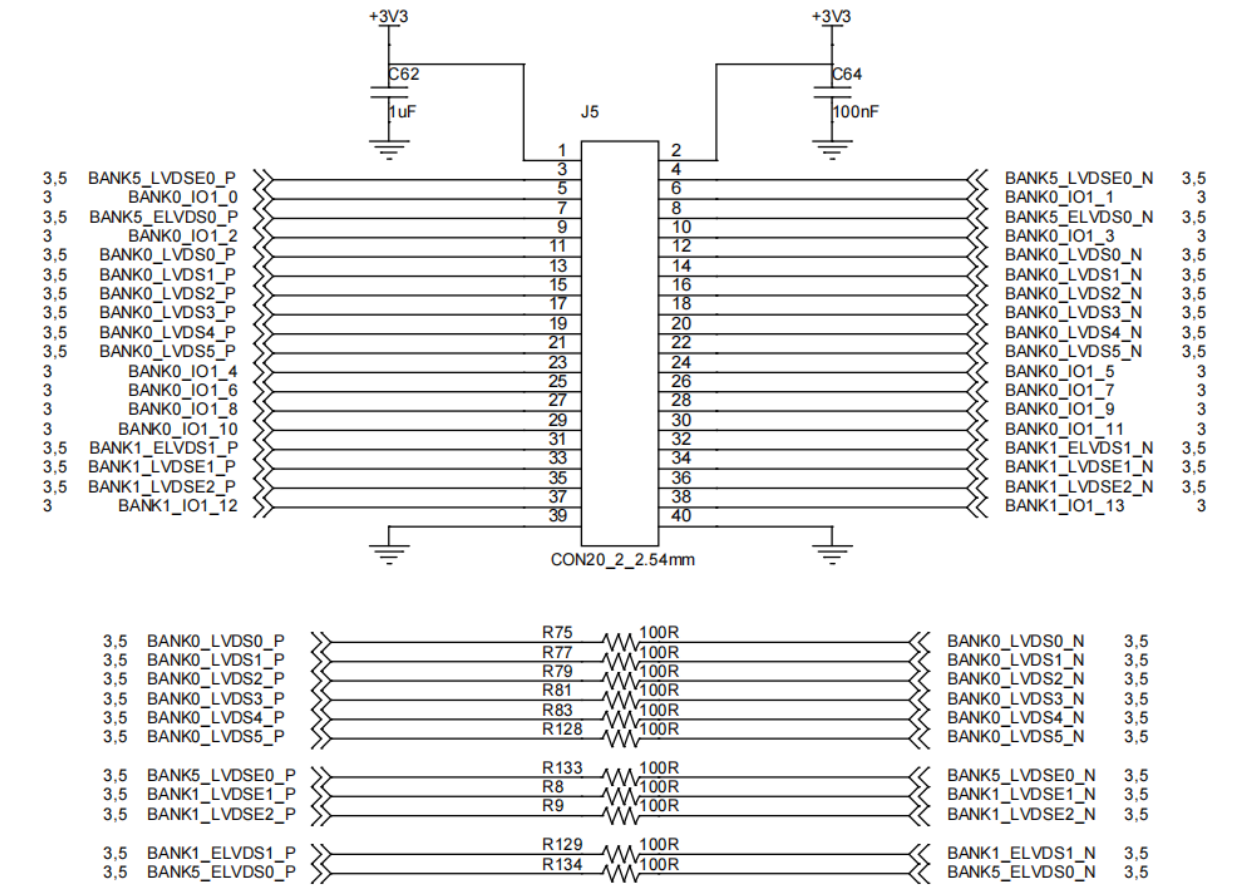


表 4-9 J5 用户扩展接口引脚网络分配表

J5 排 针引 脚号	原理图网络名	FPGA 芯片引 脚号	I/O 电平标 准	J5 排针 引脚号	原理图网络名	FPGA 芯片引 脚号	I/O 电平标 准
1	+3V3	N/A	N/A	2	+3V3	N/A	N/A
3	BANK5_LVDSE0_P	C2	LVPECL33	4	BANK5_LVDSE0_N	C1	LVPECL33
5	BANK0_IO1_0	A2	LVCOMS33	6	BANK0_IO1_1	A1	LVCOMS33
7	BANK5_ELVDSE0_P	C4	LVPECL33	8	BANK5_ELVDSE0_N	C3	LVPECL33
9	BANK0_IO1_2	B4	LVCOMS33	10	BANK0_IO1_3	A4	LVCOMS33
11	BANK0_LVDS0_P	B5	LVDS25	12	BANK0_LVDS0_N	A5	LVDS25
13	BANK0_LVDS1_P	B6	LVDS25	14	BANK0_LVDS1_N	A6	LVDS25
15	BANK0_LVDS2_P	B7	LVDS25	16	BANK0_LVDS2_N	A7	LVDS25
17	BANK0_LVDS3_P	B11	LVDS25	18	BANK0_LVDS3_N	A11	LVDS25
19	BANK0_LVDS4_P	A13	LVDS25	20	BANK0_LVDS4_N	B13	LVDS25
21	BANK0_LVDS5_P	A14	LVDS25	22	BANK0_LVDS5_N	B14	LVDS25
23	BANK0_IO1_4	B15	LVCOMS33	24	BANK0_IO1_5	A15	LVCOMS33
25	BANK0_IO1_6	B16	LVCOMS33	26	BANK0_IO1_7	A16	LVCOMS33

J5 排针引脚号	原理图网络名	FPGA 芯片引脚号	IO 电平标准	J5 排针引脚号	原理图网络名	FPGA 芯片引脚号	IO 电平标准
27	BANK0_I01_8	B17	LVCOMS33	28	BANK0_I01_9	A17	LVCOMS33
29	BANK0_I01_10	B18	LVCOMS33	30	BANK0_I01_11	A18	LVCOMS33
31	BANK1_ELVDS1_P	B20	LVPECL33	32	BANK1_ELVDS1_N	C20	LVPECL33
33	BANK1_LVDSE1_P	D20	LVPECL33	34	BANK1_LVDSE1_N	E19	LVPECL33
35	BANK1_LVDSE2_P	F19	LVPECL33	36	BANK1_LVDSE2_N	F20	LVPECL33
37	BANK1_I01_12	G20	LVCOMS33	38	BANK1_I01_13	E20	LVCOMS33
39	GND	N/A	N/A	40	GND	N/A	N/A

J6 用户扩展接口均包含 10 对 LVDSE 伪差分、2 对 LVDS 和 12 个 GPIO。LVDSE 伪差分输出在本板设计了 3R 匹配电路及端接 100Ω 电阻，LVDS 在本板设计了 100Ω 端接电阻，用户可根据自身使用场景选用和调整。J6 排针的 1-2 引脚为 VCCIO_ADJ 电源输出，39-40 引脚为整板地网络。LVDSE 伪差分输出在本板设计了 3R 匹配电路及端接 100Ω 电阻，LVDS 在本板设计了 100Ω 端接电阻，用户可根据自身使用场景选用和调整。图 4-11 和表 4-10 分别为 J6 用户扩展接口的原理图和引脚网络分配表。

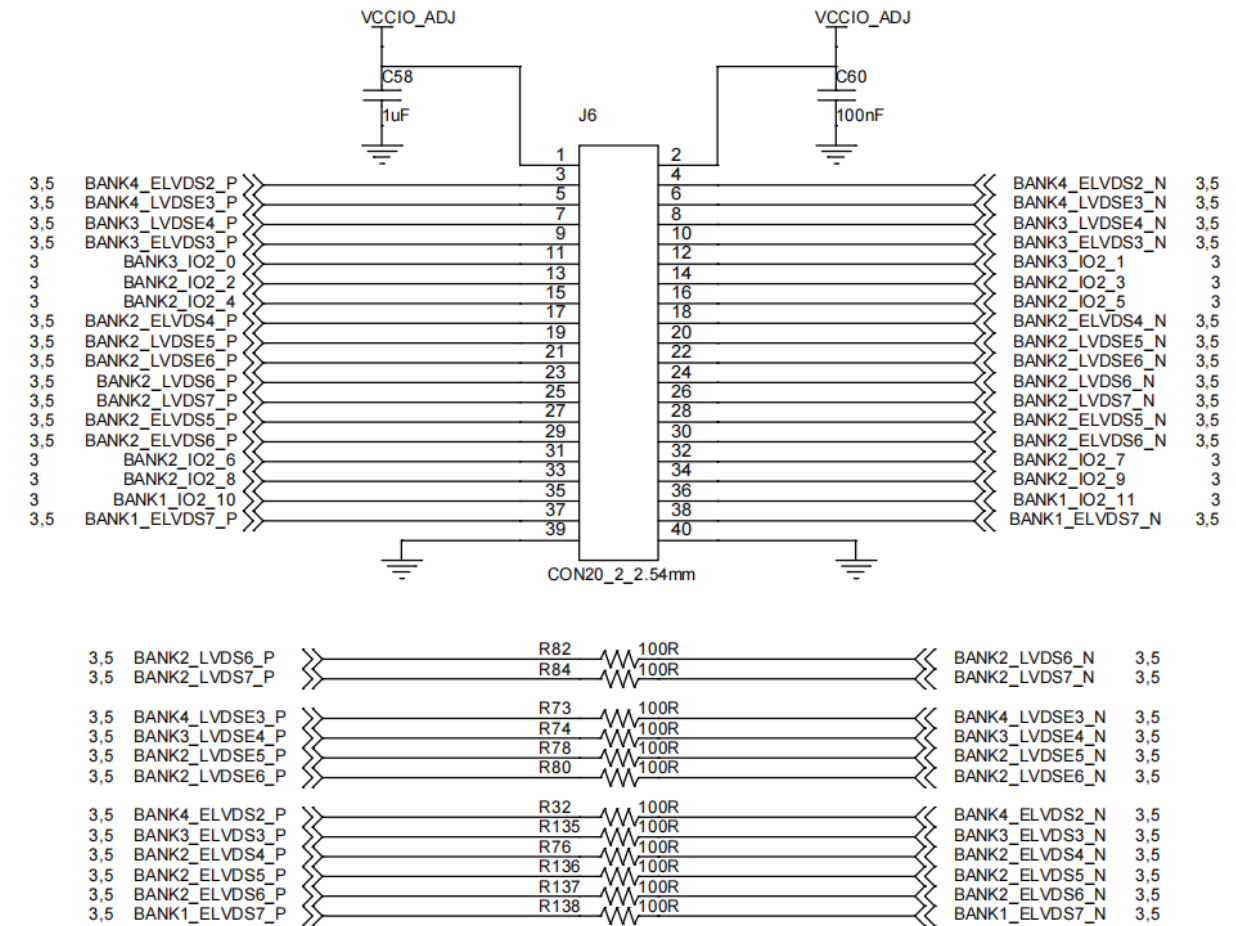


图 4-11 J6 用户扩展接口原理图

表 4-10 J6 用户扩展接口引脚网络分配表

J6 排 针引 脚号	原理图网络名	FPGA 芯片引 脚号	I/O 电平标准	J6 排针 引脚 号	原理图网络名	FPGA 芯片 引脚 号	I/O 电平标 准
1	VCC_ADJ	N/A	N/A	2	VCC_ADJ	N/A	N/A
3	BANK4_ELVDSE2_P	K2	LVPECL33	4	BANK4_ELVDSE2_N	K1	LVPECL33
5	BANK4_LVDSE3_P	M1	LVPECL33	6	BANK4_LVDSE3_N	M2	LVPECL33
7	BANK3_LVDSE4_P	R1	LVPECL33	8	BANK3_LVDSE4_N	R2	LVPECL33
9	BANK3_ELVDSE3_P	U1	LVPECL33	10	BANK3_ELVDSE3_N	U2	LVPECL33
11	BANK3_IO2_0	V1	LVCOMS33	12	BANK3_IO2_1	V2	LVCOMS33
13	BANK2_IO2_2	Y1	LVCOMS33	14	BANK2_IO2_3	W1	LVCOMS33
15	BANK2_IO2_4	Y2	LVCOMS33	16	BANK2_IO2_5	W2	LVCOMS33
17	BANK2_ELVDSE4_P	W4	LVPECL33	18	BANK2_ELVDSE4_N	Y4	LVPECL33
19	BANK2_LVDSE5_P	W5	LVPECL33	20	BANK2_LVDSE5_N	Y5	LVPECL33
21	BANK2_LVDSE6_P	W9	LVPECL33	22	BANK2_LVDSE6_N	Y9	LVPECL33
23	BANK2_LVDS6_P	Y11	LVDS25	24	BANK2_LVDS6_N	W11	LVDS25
25	BANK2_LVDS7_P	Y13	LVDS25	26	BANK2_LVDS7_N	W13	LVDS25

J6 排针引脚号	原理图网络名	FPGA 芯片引脚号	I/O 电平标准	J6 排针引脚号	原理图网络名	FPGA 芯片引脚号	I/O 电平标准
27	BANK2_ELVDS5_P	Y14	LVPECL33	28	BANK2_ELVDS5_N	W14	LVPECL33
29	BANK2_ELVDS6_P	Y15	LVPECL33	30	BANK2_ELVDS6_N	W15	LVPECL33
31	BANK2_I02_6	W17	LVCOMS33	32	BANK2_I02_7	Y17	LVCOMS33
33	BANK2_I02_8	Y18	LVCOMS33	34	BANK2_I02_9	W19	LVCOMS33
35	BANK1_I02_10	V20	LVCOMS33	36	BANK1_I02_11	U20	LVCOMS33
37	BANK1_ELVDS7_P	T20	LVPECL33	38	BANK1_ELVDS7_N	T19	LVPECL33
39	GND	N/A	N/A	40	GND	N/A	N/A

5 MINI DEMO 板尺寸

MINI DEMO 板尺寸为 100mm×65mm，四角螺柱孔尺寸为 M3，PCB 板厚为 1.6mm。MINI DEMO 板的顶层和底层丝印外框如图 5-1 和图 5-2 所示。

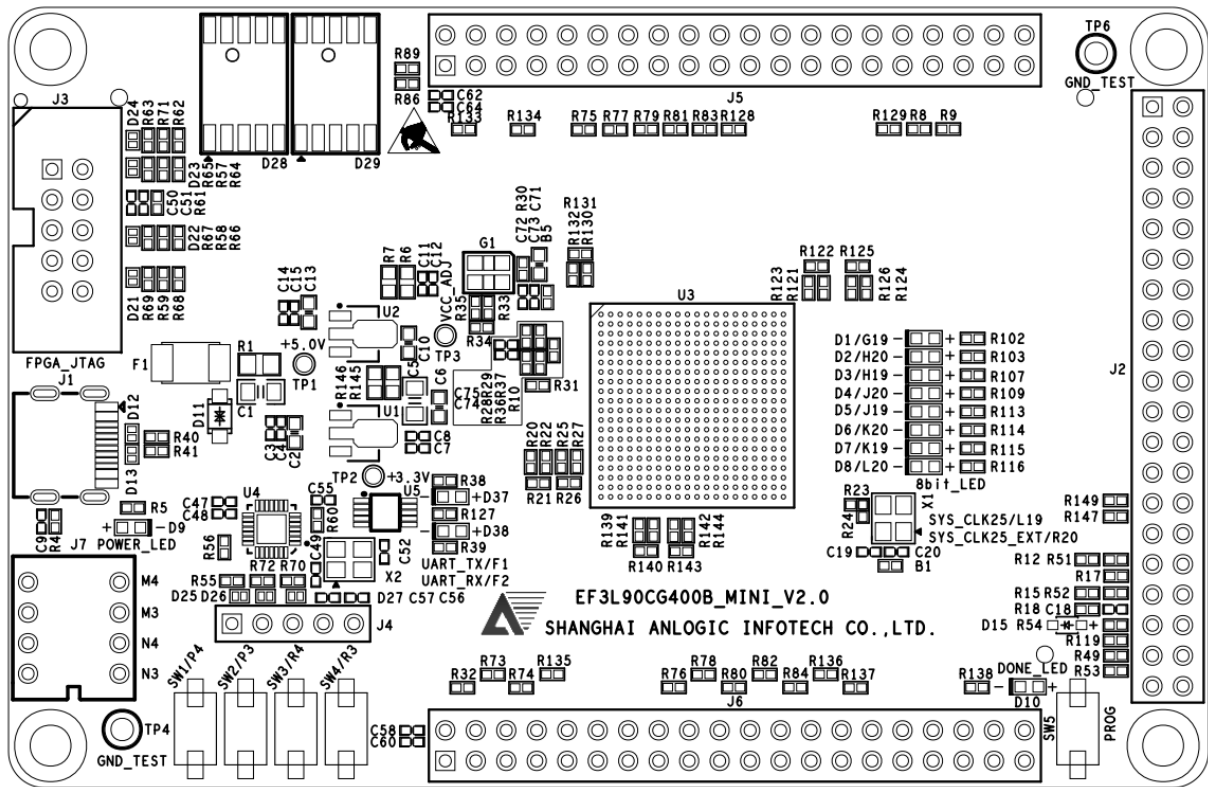


图 5-1 MINI DEMO 板顶层丝印外框图

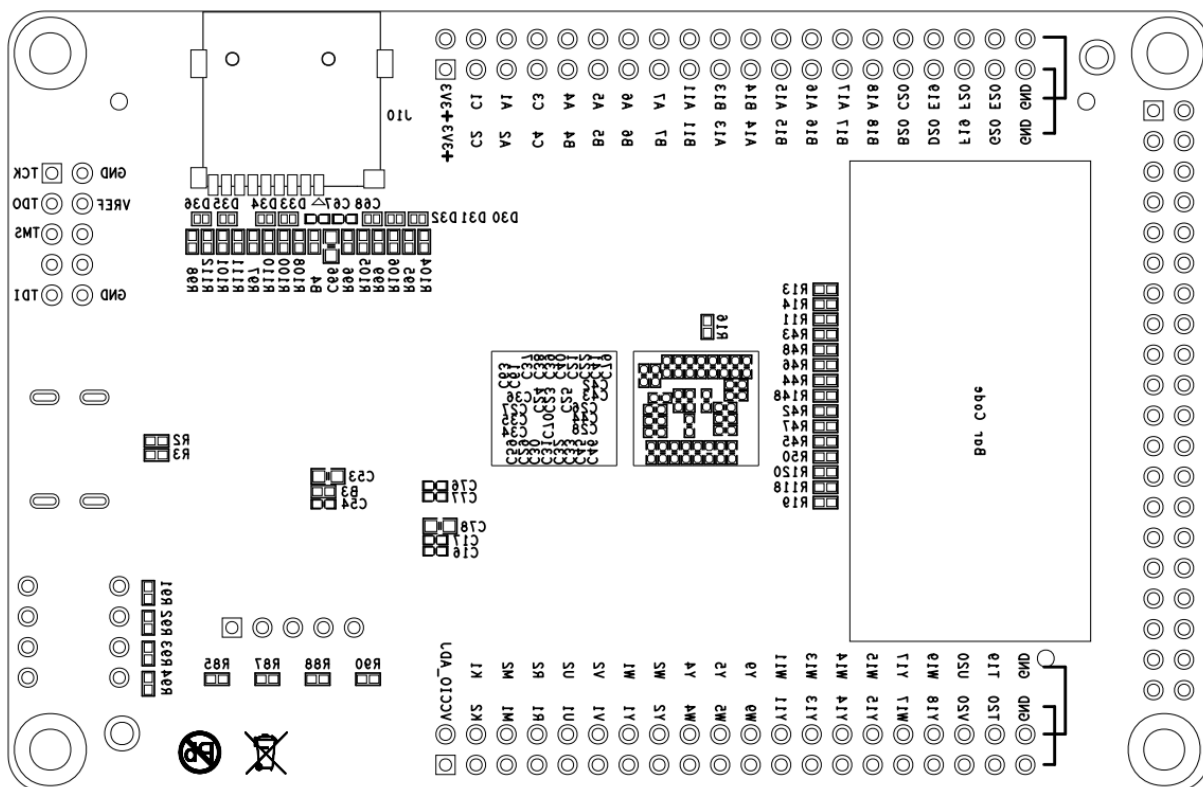


图 5-2 MINI DEMO 板底层丝印外框图

版本信息

日期	版本	说明
2023/03/01	1.0	首次发布正式版本

版权所有©2023 上海安路信息科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或以其他方式授予任何知识产权许可；本文档仅为向用户提供使用器件的参考，协助用户正确地使用安路科技产品之用，其著作权归安路科技所有；本文档所展示的任何产品信息均不构成安路科技对所涉产品或服务作出任何明示或默示的声明或保证。

安路科技将不定期地对本文档进行更新、修订。用户如需获取最新版本的文档，可通过安路科技的官方网站（网址为：<https://www.anlogic.com>）自行查询下载，也可联系安路科技的销售人员咨询获取。