

Logos 系列 FPGA

高速串行收发器(HSST)用户指南

(UG020013, Version 1.0)

(2020.08.27)

深圳市紫光同创电子有限公司

版权所有侵权必究

文档版本修订记录

版本号	发布日期	修订记录
V1.0	2020/08/27	初始版本

名词术语解释

HSST: High Speed Serial Transceiver

PCS: Physical Code Sublayer

PMA: Physical Media Attachment

SSC: Spread Spectrum Clock

XAUI: 10 Gigabit Attachment Unit interface

CPRI: Common Public Radio Interface

SRIO: Serial Rapid IO

CTC: Clock Tolerance Compensation

PRBS: Pseudo-Random Binary Sequence

APB: Advanced Peripheral Bus

UI: Unit Internal

CDR: Clock Data Recovery

LEQ: Linear Equalizer

目录

一、 HSST 总体介绍.....	1
二、 HSST 接口说明	5
三、 HSST 功能描述.....	9
(一) HSST 时钟结构	9
1. 参考时钟选择	9
2. 发送通路的时钟结构	10
3. 接收通路的时钟结构	11
(二) PLL 功能.....	12
(三) PCS TRANSMITTER 功能	12
1. Tx Bridge Reg 模块	12
2. Tx Bridge unit 模块.....	13
3. Tx gear 模块	13
4. 8b10b Encoder 模块	14
5. Tx Bit Slip 模块	14
6. PRBS Generator 模块	14
7. Tx Drive Reg 模块	15
(四) PMA TRANSMITTER 功能	15
1. Tx Digital 模块	15
2. Serializer 模块	15
3. Tx 可配置的输出模块	16
4. PCI Express Receiver Detect 模块	16
(五) PCS RECEIVER 功能	17
1. Rx Sample Reg 模块	17
2. Word Alignment 模块	17
3. 8b10b Decoder 模块.....	18
4. Channel Bonding 模块	19
5. CTC 模块.....	20
6. Rx gear 模块.....	21
7. Rx Bridge unit 模块	22
8. Rx Bridge Reg 模块.....	22
9. PRBS Checker 模块.....	23
(六) PMA RECEIVER 功能.....	23
1. Receiver Front-end 模块	23
2. LEQ 模块	24
3. CDR 模块.....	24
4. LOS Detect 模块	24
5. Deserializer 模块	24
6. Rx Digital 模块.....	25
(七) LOOPBACK 功能.....	25
1. PCS 近端环回	25
2. PMA 近端并行环回	26
3. PMA 近端串行环回	26
4. PMA 远端并行环回	27
5. PCS 远端环回	27
四、 HSST 的上电复位序列.....	29

(一) PLL 上电复位时序图	29
(二) 发送方向上电复位时序图	29
(三) 接收方向上电复位时序图	31
五、 HSST 寄存器说明	33
(一) PLL 配置寄存器说明	33
(二) PCS 通道配置寄存器说明	41
(三) PMA 通道配置寄存器说明	56
1. PMA RX 部分	56
2. PMA TX 部分	72
六、 免责声明.....	85

图目录

图 1: HSST 的结构示意图	2
图 2: PCS Transmitter 和 Receiver 结构示意图.....	2
图 3: PMA Transmitter 功能示意图	3
图 4: PMA Receiver 功能示意图.....	4
图 5: 参考时钟源选择的结构示意图	9
图 6: 参考时钟输入电路	10
图 7: 发送通路的时钟结构示意图	10
图 8: 接收 LANE 的时钟结构示意图.....	11
图 9: PLL 结构示意图	12
图 10: Tx Bit Slip 模块 0~19bit slip 功能示意图	14
图 11: Tx Bit Slip 模块 0~9bit slip 功能示意图.....	14
图 12: Tx 输出级电路架构图.....	16
图 13: 发送端负载检测原理图	17
图 14: 发送端负载检测时序图	17
图 15: Word Alignment 功能介绍.....	18
图 16: 通道绑定功能示意图	19
图 17: CTC 内部 FIFO 示意图.....	20
图 18: SKIP delete 时序示意图	20
图 19: SKIP add 时序示意图	21
图 20: Rx 接收端结构图.....	24
图 21: HSST 环回模式数据通路总图	25
图 22: PCS 近端环回数据通路示意图	26
图 23: PMA 近端并行环回数据通路示意图.....	26
图 24: PMA 近端串行环回数据通路示意图.....	26
图 25: PMA 远端并行环回数据通路示意图.....	27
图 26: PCS 远端环回数据通路示意图	27
图 27: PLL 上电复位时序图	29
图 28: 发送方向上电复位时序图	29
图 29: 发送方向动态速率切换同步时序图	30
图 30: 接收方向上电复位时序图	31
图 31: 接收方向动态切换同步时序图	32

表目录

表 1: HSST LANE 时钟相关端口	5
表 2: HSST LANE 复位相关端口	5
表 3: HSST LANE 和 Fabric 之间的发送端口	5
表 4: HSST LANE 和 Fabric 之间的接收端口	6
表 5: HSST LANE 和 Fabric 之间的其它端口	7
表 6: HSST PLL 端口	8
表 7: PLL 分频系数支持范围	12
表 8: LANE 发送数据定义	13
表 9: P_TDATA 中数据位的定义	13
表 10: PRBS 生成 Pattern	14
表 11: Tx 并行数据有效位宽和寄存器 PMA_REG_TX_BUSWIDTH 的对应关系	15
表 12: Lane 接收数据定义	22
表 13: P_RDATA_x 中数据位的定义	22
表 14: PRBS Checker Pattern	23
表 15: Rx 并行数据有效位宽和寄存器 PMA_REG_RX_BUSWIDTH 的对应关系	24
表 16: HSST 配置寄存器地址分配	33
表 17: PLL 配置寄存器描述: pma_pll_reg0, 偏移地址 0x000	33
表 18: PLL 配置寄存器描述: pma_pll_reg1, 偏移地址 0x001	33
表 19: PLL 配置寄存器描述: pma_pll_reg2, 偏移地址 0x002	34
表 20: PLL 配置寄存器描述: pma_pll_reg3, 偏移地址 0x003	34
表 21: PLL 配置寄存器描述: pma_pll_reg4, 偏移地址 0x004	34
表 22: PLL 配置寄存器描述: pma_pll_reg5, 偏移地址 0x005	34
表 23: PLL 配置寄存器描述: pma_pll_reg6, 偏移地址 0x006	35
表 24: PLL 配置寄存器描述: pma_pll_reg7, 偏移地址 0x007	35
表 25: PLL 配置寄存器描述: pma_pll_reg8, 偏移地址 0x008	36
表 26: PLL 配置寄存器描述: pma_pll_reg9, 偏移地址 0x009	37
表 27: PLL 配置寄存器描述: pma_pll_reg10, 偏移地址 0x00a	37
表 28: PLL 配置寄存器描述: pma_pll_reg11, 偏移地址 0x00b	38
表 29: PLL 配置寄存器描述: pma_pll_reg12, 偏移地址 0x00c	38
表 30: PLL 配置寄存器描述: pma_pll_reg13, 偏移地址 0x00d	38
表 31: PLL 配置寄存器描述: pma_pll_reg14, 偏移地址 0x00e	38
表 32: PLL 配置寄存器描述: pma_pll_reg15, 偏移地址 0x00f	38
表 33: PLL 配置寄存器描述: pma_pll_reg16, 偏移地址 0x010	39
表 34: PLL 配置寄存器描述: pma_pll_reg17, 偏移地址 0x011	39
表 35: PLL 配置寄存器描述: pma_pll_reg18, 偏移地址 0x012	39
表 36: PLL 配置寄存器描述: pma_pll_reg19, 偏移地址 0x013	39
表 37: PLL 配置寄存器描述: pma_pll_reg20, 偏移地址 0x014	39
表 38: PLL 配置寄存器描述: pma_pll_reg21, 偏移地址 0x015	40
表 39: PLL 配置寄存器描述: pma_pll_reg22, 偏移地址 0x016	40
表 40: PLL 配置寄存器描述: pma_pll_reg23, 偏移地址 0x017	40
表 41: PLL 配置寄存器描述: pma_pll_reg24, 偏移地址 0x018	40
表 42: PLL 配置寄存器描述: pma_pll_reg25, 偏移地址 0x019	40
表 43: PLL 配置寄存器描述: pma_pll_reg26, 偏移地址 0x01a	40
表 44: PLL 配置寄存器描述: pma_pll_reg27, 偏移地址 0x01b	40
表 45: PLL 配置寄存器描述: pma_pll_reg28, 偏移地址 0x01c	40
表 46: PLL 配置寄存器描述: pma_pll_reg29, 偏移地址 0x01d	41
表 47: PLL 配置寄存器描述: pma_pll_reg30, 偏移地址 0x01e	41

表 48: PLL 配置寄存器描述: pma_pll_reg31,偏移地址 0x01f.....	41
表 49: PCS 通道配置寄存器描述: 偏移地址 0x000	41
表 50: PCS 通道配置寄存器描述: 偏移地址 0x001	42
表 51: PCS 通道配置寄存器描述: 偏移地址 0x002	42
表 52: PCS 通道配置寄存器描述: 偏移地址 0x003	43
表 53: PCS 通道配置寄存器描述: 偏移地址 0x004	43
表 54: PCS 通道配置寄存器描述: 偏移地址 0x005	43
表 55: PCS 通道配置寄存器描述: 偏移地址 0x006	43
表 56: PCS 通道配置寄存器描述: 偏移地址 0x007	43
表 57: PCS 通道配置寄存器描述: 偏移地址 0x008	44
表 58: PCS 通道配置寄存器描述: 偏移地址 0x009	44
表 59: PCS 通道配置寄存器描述: 偏移地址 0x00a.....	44
表 60: PCS 通道配置寄存器描述: 偏移地址 0x00b	44
表 61: PCS 通道配置寄存器描述: 偏移地址 0x00c.....	44
表 62: PCS 通道配置寄存器描述: 偏移地址 0x00d	45
表 63: PCS 通道配置寄存器描述: 偏移地址 0x00e.....	46
表 64: PCS 通道配置寄存器描述: 偏移地址 0x00f	46
表 65: PCS 通道配置寄存器描述: 偏移地址 0x010	46
表 66: PCS 通道配置寄存器描述: 偏移地址 0x011	47
表 67: PCS 通道配置寄存器描述: 偏移地址 0x012	47
表 68: PCS 通道配置寄存器描述: 偏移地址 0x013	47
表 69: PCS 通道配置寄存器描述: 偏移地址 0x014	48
表 70: PCS 通道配置寄存器描述: 偏移地址 0x015	48
表 71: PCS 通道配置寄存器描述: 偏移地址 0x016	49
表 72: PCS 通道配置寄存器描述: 偏移地址 0x017	49
表 73: PCS 通道配置寄存器描述: 偏移地址 0x018	49
表 74: PCS 通道配置寄存器描述: 偏移地址 0x019	49
表 75: PCS 通道配置寄存器描述: 偏移地址 0x01a.....	49
表 76: PCS 通道配置寄存器描述: 偏移地址 0x01b	49
表 77: PCS 通道配置寄存器描述: 偏移地址 0x01c.....	50
表 78: PCS 通道配置寄存器描述: 偏移地址 0x01d	50
表 79: PCS 通道配置寄存器描述: 偏移地址 0x01e.....	50
表 80: PCS 通道配置寄存器描述: 偏移地址 0x01f.....	51
表 81: PCS 通道配置寄存器描述: 偏移地址 0x020	51
表 82: PCS 通道配置寄存器描述: 偏移地址 0x021	51
表 83: PCS 通道配置寄存器描述: 偏移地址 0x022	51
表 84: PCS 通道配置寄存器描述: 偏移地址 0x023	51
表 85: PCS 通道配置寄存器描述: 偏移地址 0x024	51
表 86: PCS 通道配置寄存器描述: 偏移地址 0x025	52
表 87: PCS 通道配置寄存器描述: 偏移地址 0x026	52
表 88: PCS 通道配置寄存器描述: 偏移地址 0x027	53
表 89: PCS 通道配置寄存器描述: 偏移地址 0x028	53
表 90: PCS 通道配置寄存器描述: 偏移地址 0x029	53
表 91: PCS 通道配置寄存器描述: 偏移地址 0x02a.....	54
表 92: PCS 通道配置寄存器描述: 偏移地址 0x02b	54
表 93: PCS 通道配置寄存器描述: 偏移地址 0x02c.....	54
表 94: PCS 通道配置寄存器描述: 偏移地址 0x02d	54
表 95: PCS 通道配置寄存器描述: 偏移地址 0x02e.....	55
表 96: PCS 通道配置寄存器描述: 偏移地址 0x02f.....	55

表 97: PMA 通道配置寄存器描述: pma_rx_reg0, 偏移地址 0x000.....	56
表 98: PMA 通道配置寄存器描述: pma_rx_reg1, 偏移地址 0x001.....	56
表 99: PMA 通道配置寄存器描述: pma_rx_reg2, 偏移地址 0x002.....	57
表 100: PMA 通道配置寄存器描述: pma_rx_reg3, 偏移地址 0x003.....	57
表 101: PMA 通道配置寄存器描述: pma_rx_reg4, 偏移地址 0x404.....	57
表 102: PMA 通道配置寄存器描述: pma_rx_reg5, 偏移地址 0x005.....	58
表 103: PMA 通道配置寄存器描述: pma_rx_reg6, 偏移地址 0x006.....	58
表 104: PMA 通道配置寄存器描述: pma_rx_reg7, 偏移地址 0x007.....	58
表 105: PMA 通道配置寄存器描述: pma_rx_reg8, 偏移地址 0x008.....	58
表 106: PMA 通道配置寄存器描述: pma_rx_reg9, 偏移地址 0x009.....	59
表 107: PMA 通道配置寄存器描述: pma_rx_reg10, 偏移地址 0x00a.....	59
表 108: PMA 通道配置寄存器描述: pma_rx_reg11, 偏移地址 0x00b.....	59
表 109: PMA 通道配置寄存器描述: pma_rx_reg12, 偏移地址 0x00c.....	60
表 110: PMA 通道配置寄存器描述: pma_rx_reg13, 偏移地址 0x00d.....	60
表 111: PMA 通道配置寄存器描述: pma_rx_reg14, 偏移地址 0x00e.....	61
表 112: PMA 通道配置寄存器描述: pma_rx_reg15, 偏移地址 0x00f.....	61
表 113: PMA 通道配置寄存器描述: pma_rx_reg16, 偏移地址 0x010.....	62
表 114: PMA 通道配置寄存器描述: pma_rx_reg17, 偏移地址 0x011.....	62
表 115: PMA 通道配置寄存器描述: pma_rx_reg18, 偏移地址 0x012.....	62
表 116: PMA 通道配置寄存器描述: pma_rx_reg19, 偏移地址 0x013.....	63
表 117: PMA 通道配置寄存器描述: pma_rx_reg20, 偏移地址 0x014.....	63
表 118: PMA 通道配置寄存器描述: pma_rx_reg21, 偏移地址 0x015.....	63
表 119: PMA 通道配置寄存器描述: pma_rx_reg22, 偏移地址 0x016.....	64
表 120: PMA 通道配置寄存器描述: pma_rx_reg23, 偏移地址 0x417.....	64
表 121: PMA 通道配置寄存器描述: pma_rx_reg24, 偏移地址 0x018.....	64
表 122: PMA 通道配置寄存器描述: pma_rx_reg25, 偏移地址 0x019.....	65
表 123: PMA 通道配置寄存器描述: pma_rx_reg26, 偏移地址 0x01a.....	65
表 124: PMA 通道配置寄存器描述: pma_rx_reg27, 偏移地址 0x01b.....	66
表 125: PMA 通道配置寄存器描述: pma_rx_reg28, 偏移地址 0x01c.....	66
表 126: PMA 通道配置寄存器描述: pma_rx_reg29, 偏移地址 0x01d.....	66
表 127: PMA 通道配置寄存器描述: pma_rx_reg30, 偏移地址 0x01e.....	66
表 128: PMA 通道配置寄存器描述: pma_rx_reg31, 偏移地址 0x01f.....	66
表 129: PMA 通道配置寄存器描述: pma_rx_reg32, 偏移地址 0x020.....	67
表 130: PMA 通道配置寄存器描述: pma_rx_reg33, 偏移地址 0x021.....	67
表 131: PMA 通道配置寄存器描述: pma_rx_reg34, 偏移地址 0x022.....	68
表 132: PMA 通道配置寄存器描述: pma_rx_reg35, 偏移地址 0x023.....	68
表 133: PMA 通道配置寄存器描述: pma_rx_reg36, 偏移地址 0x024.....	68
表 134: PMA 通道配置寄存器描述: pma_rx_reg37, 偏移地址 0x025.....	69
表 135: PMA 通道配置寄存器描述: pma_rx_reg38, 偏移地址 0x026.....	69
表 136: PMA 通道配置寄存器描述: pma_rx_reg39, 偏移地址 0x027.....	70
表 137: PMA 通道配置寄存器描述: pma_rx_reg40, 偏移地址 0x028.....	70
表 138: PMA 通道配置寄存器描述: pma_rx_reg41, 偏移地址 0x029.....	70
表 139: PMA 通道配置寄存器描述: pma_rx_reg42, 偏移地址 0x02a.....	70
表 140: PMA 通道配置寄存器描述: pma_rx_reg43, 偏移地址 0x02b.....	70
表 141: PMA 通道配置寄存器描述: pma_rx_reg44, 偏移地址 0x02c.....	70
表 142: PMA 通道配置寄存器描述: pma_rx_reg45, 偏移地址 0x02d.....	70
表 143: PMA 通道配置寄存器描述: pma_rx_reg46, 偏移地址 0x02e.....	71
表 144: PMA 通道配置寄存器描述: pma_rx_reg47, 偏移地址 0x02f.....	71
表 145: PMA 通道配置寄存器描述: pma_rx_reg48, 偏移地址 0x030.....	71

表 146: PMA 通道配置寄存器描述: pma_rx_reg49, 偏移地址 0x031.....	71
表 147: PMA 通道配置寄存器描述: pma_rx_reg50, 偏移地址 0x032.....	71
表 148: PMA 通道配置寄存器描述: pma_rx_reg51, 偏移地址 0x033.....	71
表 149: PMA 通道配置寄存器描述: pma_rx_reg52, 偏移地址 0x034.....	71
表 150: PMA 通道配置寄存器描述: pma_rx_reg53, 偏移地址 0x035.....	71
表 151: PMA 通道配置寄存器描述: pma_rx_reg54, 偏移地址 0x036.....	71
表 152: PMA 通道配置寄存器描述: pma_rx_reg55, 偏移地址 0x037.....	72
表 153: PMA 通道配置寄存器描述: pma_rx_reg56, 偏移地址 0x038.....	72
表 154: PMA 通道配置寄存器描述: pma_tx_reg0, 偏移地址 0x039.....	72
表 155: PMA 通道配置寄存器描述: pma_tx_reg1, 偏移地址 0x03a.....	72
表 156: PMA 通道配置寄存器描述: pma_tx_reg2, 偏移地址 0x03b.....	73
表 157: PMA 通道配置寄存器描述: pma_tx_reg3, 偏移地址 0x03c.....	73
表 158: PMA 通道配置寄存器描述: pma_tx_reg4, 偏移地址 0x03d.....	73
表 159: PMA 通道配置寄存器描述: pma_tx_reg5, 偏移地址 0x03e.....	73
表 160: PMA 通道配置寄存器描述: pma_tx_reg6, 偏移地址 0x03f.....	73
表 161: PMA 通道配置寄存器描述: pma_tx_reg7, 偏移地址 0x040.....	73
表 162: PMA 通道配置寄存器描述: pma_tx_reg8, 偏移地址 0x041.....	73
表 163: PMA 通道配置寄存器描述: pma_tx_reg9, 偏移地址 0x042.....	74
表 164: PMA 通道配置寄存器描述: pma_tx_reg10, 偏移地址 0x043.....	74
表 165: PMA 通道配置寄存器描述: pma_tx_reg11, 偏移地址 0x044.....	75
表 166: PMA 通道配置寄存器描述: pma_tx_reg12, 偏移地址 0x045.....	75
表 167: PMA 通道配置寄存器描述: pma_tx_reg13, 偏移地址 0x046.....	75
表 168: PMA 通道配置寄存器描述: pma_tx_reg14, 偏移地址 0x047.....	76
表 169: PMA 通道配置寄存器描述: pma_tx_reg15, 偏移地址 0x048.....	76
表 170: PMA 通道配置寄存器描述: pma_tx_reg16, 偏移地址 0x049.....	76
表 171: PMA 通道配置寄存器描述: pma_tx_reg17, 偏移地址 0x04a.....	76
表 172: PMA 通道配置寄存器描述: pma_tx_reg18, 偏移地址 0x04b.....	77
表 173: PMA 通道配置寄存器描述: pma_tx_reg19, 偏移地址 0x04c.....	77
表 174: PMA 通道配置寄存器描述: pma_tx_reg20, 偏移地址 0x04d.....	77
表 175: PMA 通道配置寄存器描述: pma_tx_reg21, 偏移地址 0x04e.....	77
表 176: PMA 通道配置寄存器描述: pma_tx_reg22, 偏移地址 0x04f.....	77
表 177: PMA 通道配置寄存器描述: pma_tx_reg23, 偏移地址 0x050.....	78
表 178: PMA 通道配置寄存器描述: pma_tx_reg24, 偏移地址 0x051.....	78
表 179: PMA 通道配置寄存器描述: pma_tx_reg25, 偏移地址 0x052.....	78
表 180: PMA 通道配置寄存器描述: pma_tx_reg26, 偏移地址 0x053.....	79
表 181: PMA 通道配置寄存器描述: pma_tx_reg27, 偏移地址 0x054.....	79
表 182: PMA 通道配置寄存器描述: pma_tx_reg28, 偏移地址 0x055.....	79
表 183: PMA 通道配置寄存器描述: pma_tx_reg29, 偏移地址 0x056.....	79
表 184: PMA 通道配置寄存器描述: pma_tx_reg30, 偏移地址 0x057.....	80
表 185: PMA 通道配置寄存器描述: pma_tx_reg31, 偏移地址 0x058.....	80
表 186: PMA 通道配置寄存器描述: pma_tx_reg32, 偏移地址 0x059.....	80
表 187: PMA 通道配置寄存器描述: pma_tx_reg33, 偏移地址 0x05a.....	80
表 188: PMA 通道配置寄存器描述: pma_tx_reg34, 偏移地址 0x05b.....	81
表 189: PMA 通道配置寄存器描述: pma_tx_reg35, 偏移地址 0x05c.....	81
表 190: PMA 通道配置寄存器描述: pma_tx_reg36, 偏移地址 0x05d.....	82
表 191: PMA 通道配置寄存器描述: pma_tx_reg37, 偏移地址 0x05e.....	82
表 192: PMA 通道配置寄存器描述: pma_tx_reg38, 偏移地址 0x05f.....	82
表 193: PMA 通道配置寄存器描述: pma_tx_reg39, 偏移地址 0x060.....	82
表 194: PMA 通道配置寄存器描述: pma_tx_reg40, 偏移地址 0x061.....	82

表 195: PMA 通道配置寄存器描述: pma_tx_reg41, 偏移地址 0x062.....	82
表 196: PMA 通道配置寄存器描述: pma_tx_reg42, 偏移地址 0x063.....	82
表 197: PMA 通道配置寄存器描述: pma_tx_reg43, 偏移地址 0x064.....	82
表 198: PMA 通道配置寄存器描述: pma_tx_reg44, 偏移地址 0x065.....	82
表 199: PMA 通道配置寄存器描述: pma_tx_reg45, 偏移地址 0x066.....	83
表 200: PMA 通道配置寄存器描述: pma_tx_reg46, 偏移地址 0x067.....	83
表 201: PMA 通道配置寄存器描述: pma_tx_reg47, 偏移地址 0x068.....	83
表 202: PMA 通道配置寄存器描述: pma_tx_reg48, 偏移地址 0x069.....	83
表 203: PMA 通道配置寄存器描述: pma_tx_reg49, 偏移地址 0x06a.....	83
表 204: PMA 通道配置寄存器描述: pma_tx_reg50, 偏移地址 0x06b.....	83
表 205: PMA 通道配置寄存器描述: pma_tx_reg51, 偏移地址 0x06c.....	83
表 206: PMA 通道配置寄存器描述: pma_tx_reg52, 偏移地址 0x06d.....	83

一、HSST 总体介绍

Logos系列产品内置了线速率高达6.375Gbps高速串行接口模块，即HSST。除了PMA，HSST还集成了丰富的PCS功能，可灵活应用于各种串行协议标准。在Logos系列产品内部，每个HSST支持1~4个全双工收发LANE。HSST主要特性包括：

- 支持线速率：0.6bps-6.375Gbps
- 灵活的参考时钟选择方式
- 可编程输出摆幅和去加重
- 接收端自适应线性均衡器
- 数据通道支持8bit only, 10bit only, 8b10b 8bit, 16bit only, 20bit only, 8b10b 16bit, 32bit only, 40bit only, 8b10b 32bit, 64b66b/64b67b 16bit, 64b66b/64b67b 32bit模式
- 可灵活配置的PCS，可支持PCI Express GEN1, PCI Express GEN2, XAUI, 千兆以太网, CPRI, SRIO等协议
- 灵活的字节对齐功能
- 支持RxClock Slip功能以保证固定的接收延时
- 支持协议标准8b10b编码解码
- 支持协议标准64b66b/64b67b数据适配功能
- 灵活的CTC方案
- 支持x2和x4的通道绑定
- HSST的配置支持动态修改
- 近端环回和远端环回模式
- 内置PRBS功能

PGL100H包含2个HSST，共8个全双工收发LANE；PGL50H包含1个HSST，共4个全双工收发LANE。

每个HSST由两个PLL和四个收发LANE组成，其中每个LANE又包括四个组件：PCS Transmitter，PMA Transmitter，PCS Receiver，PMA Receiver。PCS Transmitter和PMA Transmitter组成发送通路，PCS Receiver和PMA Receiver组成接收通路。HSST的结构示意图如图1所示：

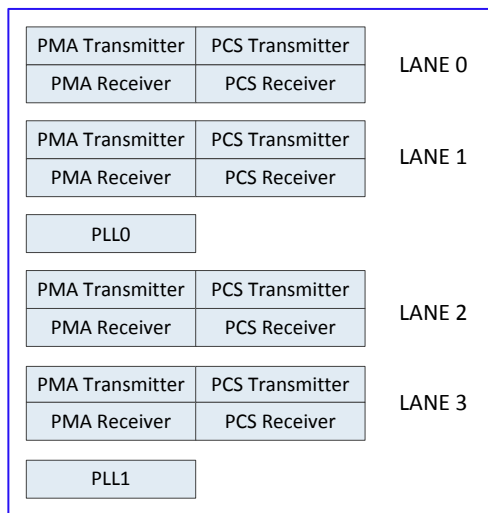


图 1: HSST 的结构示意图

HSST 中的四个收发 LANE, 其中 LANE0/1 只能由 PLL0 提供时钟, LANE2/3 可由 PLL0 或 PLL1 提供时钟, PLL VCO 的转出频率范围为 2.125GHz~3.1875GHz。PLL0 和 PLL1 都各自对应有一对外部差分参考时钟输入, 每个 PLL 还可以选择来自另一个 PLL 的参考时钟或者来自 Fabric 的时钟作为参考时钟输入 (Fabric 逻辑时钟做参考时钟, 仅用于内部测试); PLL 输出频率支持动态再分频, 以适应 0.6Gbps~6.375Gbps 的线速率范围。

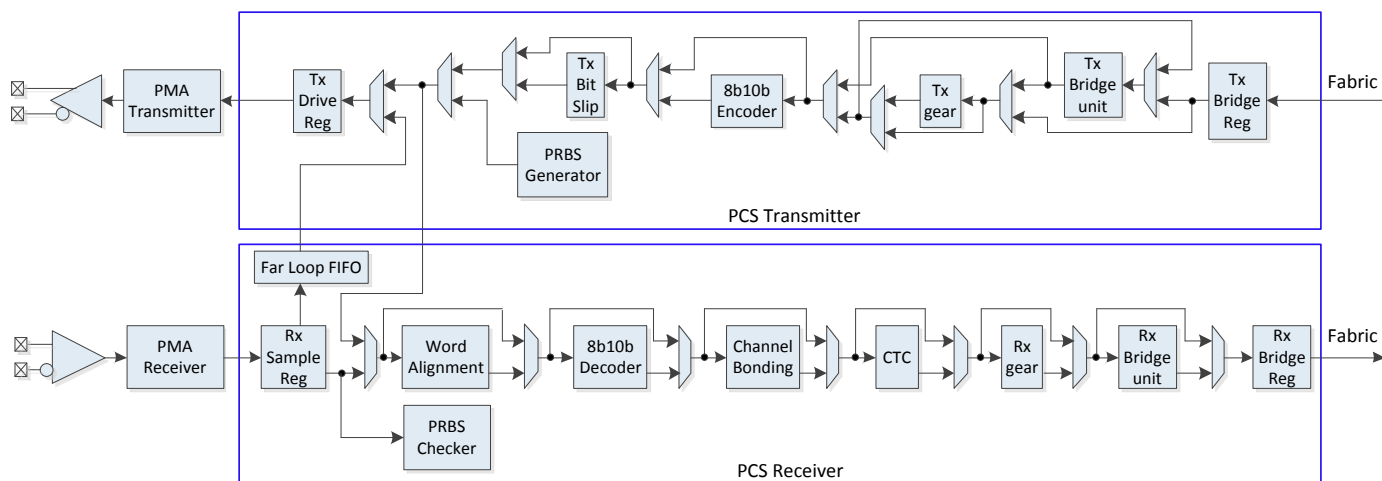


图 2: PCS Transmitter 和 Receiver 结构示意图

如图 2 所示, 每个 PCS Transmitter 主要包含以下模块:

- Tx Bridge Reg 模块: 用于从 Fabric 到 PCS Transmitter 的数据桥接
- Tx Bridge unit 模块: 用于 PCS Transmitter 内部时钟域和 Fabric 时钟域相位补偿
- 8b10b Encoder 模块: 完成符合 IEEE 802.3 1000BASE-X specification 的 8b10b 编码
- Tx gear 模块: 完成 64b66b/64b67b 数据适配功能
- Tx Bit Slip 模块: 主要功能是根据配置对发送数据实现按位 Slip
- PRBS Generator 模块: 产生 PRBS 测试序列
- Tx Drive Reg 模块: 用于从 PCS Transmitter 到 PMA Transmitter 数据桥接

其中 Tx Bridge unit, Tx gear, 8b10b Encoder 或 Tx Bit Slip 模块可以 Bypass, 以适应不同协议的应用

需求。用户可以根据协议需要，灵活选择 HSST 和 Fabric 之间的接口数据位宽，支持的位宽模式包括 8bit only, 10bit only, 8b10b 8bit (采用 8b10b 编码,编码后数据有效为 10bits), 16bit only, 20bit only, 8b10b 16bit, 32bit only, 40bit only, 8b10b 32bit, 64b66b/64b67b 16bit,以及 64b66b/64b67b 32bit (注: 这里的位宽模式指的是有效数据位,实际数据接口 bit 数会有所扩展)。线速率越高,选择的接口数据位宽越宽,以降低对 Fabric 内部逻辑的时序要求。数据位宽为 32bit only, 40bit only, 8b10b 32bit 以及 64b66b/64b67b 32bit 时, PCS Transmitter 在把数据传递给 PMA Transmitter 之前, 会先转换成 16bits 或 20bits。

如图 2 所示, 每个 PCS Receiver 主要包含以下功能模块:

- Rx Sample Reg 模块: 用于从 PMA Receiver 到 PCS Receiver 的数据桥接
- PRBS Checker 模块: 用于 PRBS 序列的校验
- Word Alignment 模块: 支持灵活的字节对齐功能
- 8b10b Decoder 模块: 完成符合 IEEE 802.3 1000BASE-X Specification 的 8b10b 解码
- Rx gear 模块: 完成 64b66b/64b67b 数据适配功能
- Channel Bonding 模块: 用于通道绑定
- CTC 模块: 用于补偿发送时钟和接收时钟的微小频差
- Rx Bridge unit 模块: 用于 PCS Receiver 内部时钟域和 Fabric 时钟域相位补偿
- Rx Bridge Reg 模块: 用于从 PCS Receiver 到 Fabric 的数据桥接

Word Alignment, 8b10b Decoder, Channel Bonding, CTC, Rx gear 和 Rx Bridge unit 模块用户可以 Bypass, 以适应不同协议的应用需求。用户也可以根据协议需要灵活选择 HSST 和 Fabric 之间的接口数据位宽, 支持的位宽模式包括 8bit only, 10 bit only, 8b10b 8bit (采用 8b10b 编码,解码前数据有效为 10bits), 16bit only, 20bit only, 8b10b 16bit, 32bit only, 40bit only, 8b10b 32bit, 64b66b/64b67b 16bit, 以及 64b66b/64b67b 32bit。数据位宽模式 32bit only, 40bit only, 8b10b 32bit 以及 64b66b/64b67b 32bit 适用于线速率较大的应用,此时 PCS Receiver 把来自 PMA Receiver 的 16bits 或 20bits 数据转换成 32bits 或 40bits 传递给 Fabric。

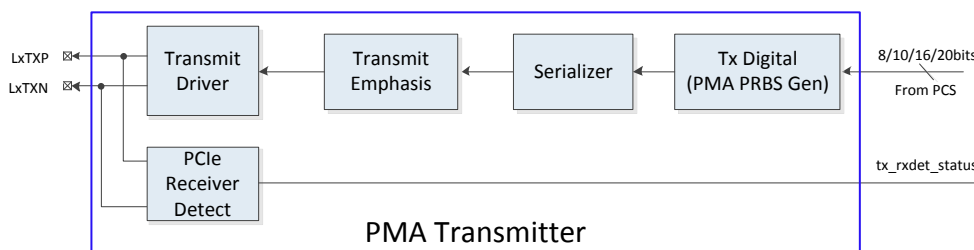


图 3: PMA Transmitter 功能示意图

如图 3 所示, 每个 PMA Transmitter 主要包含以下功能模块:

- Tx Digital 模块: 完成 PCS Transmitter 到 PMA Transmitter 的数据桥接, 以及 PMA PRBS Generator

- Serializer 模块：完成并行数据到串行数据的转换功能
- Transmit Emphasis 模块：支持可调节的去加重功能
- Transmit Driver 模块：支持可调节的发送驱动
- PCI Express Receiver Detect 模块：支持基于 PCI Express 的接收检测功能

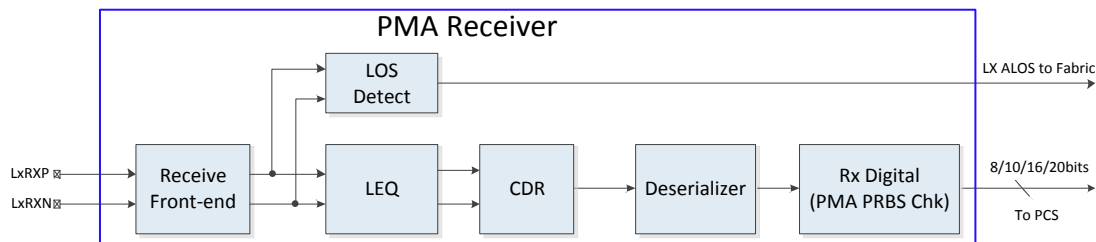


图 4：PMA Receiver 功能示意图

如图 4 所示，每个 PMA Receiver 主要包含以下功能模块：

- Receive Front-end 模块：支持多种接收终端模式
- LEQ 模块：支持线性均衡功能
- CDR 模块：数据和时钟恢复功能
- LOS Detect 模块：用于检测接收信号是否有效功能
- Deserializer 模块：完成串行数据到 8 bits, 10bits, 16bits 以及 20bits 并行数据的转换功能
- Rx Digital 模块：完成 PMA Receiver 到 PCS Receiver 的数据桥接，以及 PMA PRBS Checker

二、HSST 接口说明

表 1: HSST LANE 时钟相关端口

端口命名	输入/输出	描述
P_RCLK2FABRIC	输出	送到 Fabric 的接收时钟
P_TCLK2FABRIC	输出	送到 Fabric 的发送时钟
P_RX_CLK_FR_CORE	输入	来自 Fabric 的接收时钟
P_RCLK2_FR_CORE	输入	来自 Fabric 的接收时钟, 由 P_REFCK2CORE 通过 PLL 倍频生成, 是 P_RX_CLK_FR_CORE 的 2 倍频
P_TX_CLK_FR_CORE	输入	来自 Fabric 的发送时钟
P_TCLK2_FR_CORE	输入	来自 Fabric 的接收时钟, 由 P_REFCK2CORE 通过 PLL 倍频生成, 是 P_TX_CLK_FR_CORE 的 2 倍频
P_CA_ALIGN_RX	输出	接收 LANE CLK 对齐动态状态输出, 0 > 1 的跳变状态表示对齐成功, 为异步信号
P_CA_ALIGN_TX	输出	发送 LANE CLK 对齐动态状态输出, 0 > 1 的跳变状态表示对齐成功, 为异步信号
P_CIM_CLK_ALIGNER_RX[7:0]	输入	接收侧的 CLK 对齐延时步长选择, 为异步信号
P_CIM_CLK_ALIGNER_TX[7:0]	输入	发送侧的 CLK 对齐延时步长选择, 为异步信号
P_CIM_DYN_DLY_SEL_RX	输入	接收 LANE 的 CLK 对齐功能使能, 为异步信号, 1:使能; 0:不使能
P_CIM_DYN_DLY_SEL_TX	输入	发送 LANE 的 CLK 对齐功能使能, 为异步信号, 1:使能; 0:不使能
P_CIM_START_ALIGN_RX	输入	用于产生接收 LANE CLK 对齐脉冲的输入源, 为异步信号
P_CIM_START_ALIGN_TX	输入	用于产生发送 LANE CLK 对齐脉冲的输入源, 为异步信号

表 2: HSST LANE 复位相关端口

端口命名	输入/输出	描述
P_PCS_TX_RST	输入	对 PCS Transmitter 进行复位, 1:复位; 0:不复位
P_PCS_RX_RST	输入	对 PCS Receiver 进行复位, 1:复位; 0:不复位
P_LANE_PD	输入	通道电源关闭, 包括:RX LANE 和 TX LANE; 1:电源关闭; 0:电源不关闭
P_LANE_RST	输入	Lane 复位, 包括:RX LANE 和 TX LANE; 1:复位; 0:不复位
P_RX_LANE_PD	输入	接收通道电源关闭, 包括:RX PMA 和 RX PCS; 1:电源关闭; 0:电源不关闭
P_RX_PMA_RST	输入	对 PMA Receiver 进行复位, 为异步信号, 1:复位; 0:不复位
P_TX_PMA_RST	输入	对 PMA Transmitter 进行复位, 为异步信号, 1:复位; 0:不复位
P_TX_LANE_PD	输入	TX LANE power down, 包括:TX PMA 和 TX PCS; 1:电源关闭; 0:电源不关闭
P_PCS_CB_RST	输入	复位通道绑定之后的模块, 1:复位; 0:不复位; 内部测试信号, 接固定值 0。
P_CTLE_ADP_RST	输入	PMA 接收端的线性均衡器复位, 1:复位; 0:不复位; 内部测试信号, 接固定值 0。

表 3: HSST LANE 和 Fabric 之间的发送端口

端口命名	输入/输出	描述
------	-------	----

P_TDATA[45:0]	输入	发送数据
P_TX_LS_DATA	输入	发送的低频信号
P_TX_BEACON_EN	输入	TX beacon 使能信号, 1:使能; 0:不使能
P_TX_DEEMP[1:0]	输入	Transmitter 去加重控制
P_TX_SWING	输入	Transmitter 输出摆幅值进行半摆幅控制 1'b0: 满摆幅(默认值); 1'b1: 半摆幅
P_TX_MARGIN[2:0]	输入	Transmitter 输出摆幅的 DAC 来源选择。默认值 3'b000 3'b000:摆幅来源寄存器 PMA_CH_REG_TX_AMP_DAC0; 3'b001:摆幅来源寄存器 PMA_CH_REG_TX_AMP_DAC1; 3'b010:摆幅来源寄存器 PMA_CH_REG_TX_AMP_DAC2; 3'b011:摆幅来源寄存器 PMA_CH_REG_TX_AMP_DAC3; 其他值: 保留
P_TX_RXDET_REQ	输入	接收检测请求信号
P_TX_RXDET_STATUS	输出	接收检测结果, 为异步信号, 1:检测到 Receiver
P_TX_RATE[2:0]	输入	TX 线速率控制信号 2'b00: 线速率是 PLL 时钟频率的 1/4 倍; 2'b01: 线速率和 PLL 时钟频率的 1/2; 2'b10: 线速率和 PLL 时钟频率相等; 2'b11: 线速率是 PLL 时钟频率的 2 倍。 bit[2]: 保留, 接固定值 0
P_TX_BUSWIDTH[2:0]	输入	TX PCS 到 TX PMA 的数据位宽选择 3'bX00: 8bit; 3'bX01: 10bit; 3'bX10: 16bit; 3'bX11: 20bit; bit[2]: 保留, 接固定值 0
P_TX_SDN	输出	差分输出数据负端, HSST 专用管脚
P_TX_SDP	输出	差分输出数据正端, HSST 专用管脚

表 4: HSST LANE 和 Fabric 之间的接收端口

端口命名	输入/输出	描述
P_RDATA[46:0]	输出	接收数据
P_RX_SIGDET_STATUS	输出	端口有效信号检测, 为异步信号: 0:从端口 P_RX_SDP/P_RX_SDN 没有检测到有效信号 1:从端口 P_RX_SDP/P_RX_SDN 检测到了有效信号
P_RX_SATA_COMINIT	输出	SATA COMINIT 状态, 1:检测到; 0:未检测到
P_RX_SATA_COMWAKE	输出	SATA COMWAKE 状态, 1:检测到; 0:未检测到
P_RX_LS_DATA	输出	输出到 Fabric 的低频信号
P_RX_READY	输出	CDR 已成功锁定标志信号, 为异步信号, 1:锁定;0:未锁定
P_TEST_STATUS[19:0]	输出	RX 输出测试状态寄存器, 内部测试信号
P_PCS_WORD_ALIGN_EN	输入	当配置为 RX CLK Slip 端口控制方式有效后控制有效, 则作为 RX CLK Slip 控制信号, 为异步信号, 0->1 的一次上升沿, PMA RX 的解串器模块的数据 slip 一个比特 当配置为外部状态机时, 作为字节对齐使能信号, 为异步信号, 1:使能; 0:不使能

P_PCS_LSM_SYNCED	输出	字节对齐成功，状态机锁定标志，为异步信号， 1: 字节对齐成功;0: 字节对齐未成功;
P_PCS_MCB_EXT_EN	输入	外置状态机模式下通道绑定使能，为异步信号， 1:使能；0:不使能
P_PCS_RX_MCB_STATUS	输出	通道绑定控制状态机指示信号，为异步信号， 1:处于绑定状态;0:未绑定状态
P_RXGEAR_SLIP	输入	slip indication to rx gear box with 64b66b/67b 解码模式，边沿触发，检测到上升沿或者下降沿都会延时 1bit
P_RX_POLARITY_INVERT	输入	Rx Sample Reg 的极性反转使能，为异步信号， 1:极性反转;0:极性不反转
P_CEB_ADETECT_EN[3:0]	输入	测试信号，正常模式下需在外部置 4'b1111
P_RX_RATE[2:0]	输入	RX 线速率控制信号 2'b00: 线速率是 PLL 时钟频率的 1/4; 2'b01: 线速率是 PLL 时钟频率的 1/2; 2'b10: 线速率和 PLL 时钟频率相等; 2'b11: 线速率是 PLL 时钟频率的 2 倍. bit[2]: 保留，接固定值 0
P_RX_BUSWIDTH[2:0]	输入	Rx PMA 到 RX PCS 的数据位宽选择 3'bX00: 8bit; 3'bX01: 10bit; 3'bX10: 16bit; 3'bX11: 20bit; bit[2]: 保留，接固定值 0
P_RX_HIGHZ	输入	Rx 输入高阻控制信号，0:不高阻；1:高阻
P_RX_SDN	输入	差分输入数据负端，HSST 专用管脚
P_RX_SDP	输入	差分输入数据正端，HSST 专用管脚

表 5: HSST LANE 和 Fabric 之间的其它端口

端口命名	输入/输出	描述
P_PCS_NEAREND_LOOP	输入	PCS 近端环回控制信号，1:使能；0:不使能
P_PCS_FAREND_LOOP	输入	PCS 远端环回控制信号，1:使能；0:不使能
P_PMA_NEAREND_PLOOP	输入	PMA 近端并行环回控制信号，1:使能；0:不使能
P_PMA_NEAREND_SLOOP	输入	PMA 近端串行环回控制信号，1:使能；0:不使能
P_PMA_FAREND_PLOOP	输入	PMA 远端并行环回控制信号，1:使能；0:不使能
P_CFG_READY	输出	动态配置接口的读写 ready 输出，1:有效；0:无效
P_CFG_RDATA[7:0]	输出	动态配置接口的读数据
P_CFG_INT	输出	动态配置接口的中断输出，1:有效；0:无效
P_CFG_CLK	输入	动态配置接口的时钟输入
P_CFG_RST	输入	动态配置接口的复位信号，1:复位；0:不复位。 复位后所有寄存器恢复到 Parameter 设置的初始值
P_CFG_PSEL	输入	动态配置接口的选择信号，1:选中；0:不选中
P_CFG_ENABLE	输入	动态配置接口的访问使能，1:使能；0:不使能
P_CFG_WRITE	输入	动态配置接口的读写选择信号，1:写；0:读
P_CFG_ADDR[15:0]	输入	动态配置接口的写地址
P_CFG_WDATA[7:0]	输入	动态配置接口的写数据

表 6: HSST PLL 端口

端口命名	输入/输出	描述
P_REFCK2CORE	输出	管脚输入的参考时钟 Bypass 输出到 Fabric
P_PLL_REF_CLK	输入	来自 Fabric 的 PLL 参考时钟
P_PLL_READY	输出	PLL 锁定状态，为异步信号，1:锁定；0:未锁定
P_PLLPOWERDOWN	输入	PLL 电源关闭控制 0:电源不关闭(default) ;1:电源关闭
P_PLL_RST	输入	PLL 复位控制，0:不复位 (default)；1:复位
P_RESCAL_RST_I	输入	电阻校正复位，1:复位；0:不复位， 内部测试信号，接固定值 0。
P_RESCAL_I_CODE_I[5:0]	输入	pma 手动配置电阻值 ,默认值 6b'101110, 内部测试信号
P_RESCAL_I_CODE_O[5:0]	输出	无效时的电阻控制输出码 ，默认值 6b'101110 内部测试信号
P_LANE_SYNC	输入	发送通道的同步信号
P_RATE_CHANGE_TXPCLK_ON	输入	用于动态切换的同步控制信号使能
P_REFCLKN	输入	差分输入参考时钟负端，HSST 专用管脚
P_REFCLKP	输入	差分输入参考时钟正端，HSST 专用管脚

三、HSST 功能描述

(一) HSST 时钟结构

1. 参考时钟选择

HSST 支持 PLL0、PLL1 和 LANE TX, RX 参考时钟的灵活选择：每个 HSST 都有两对专用的差分参考时钟输入管脚 P_REFCK0P/P_REFCK0N 和 P_REFCK1P/P_REFCK1N。PLL 也可以选择来自 Fabric 的时钟 P_PLL0_REF_CLK, P_PLL1_REF_CLK(Fabric 逻辑时钟做参考时钟, 仅用于内部测试)；专用时钟输入管脚 P_REFCK0P/P_REFCK0N 和 P_REFCK1P/P_REFCK1N 也可以通过端口 P_PLL0_REFCK2CORE 和 P_PLL1_REFCK2CORE 输出到 Fabric。参考时钟选择的结构示意图如图 5 所示：

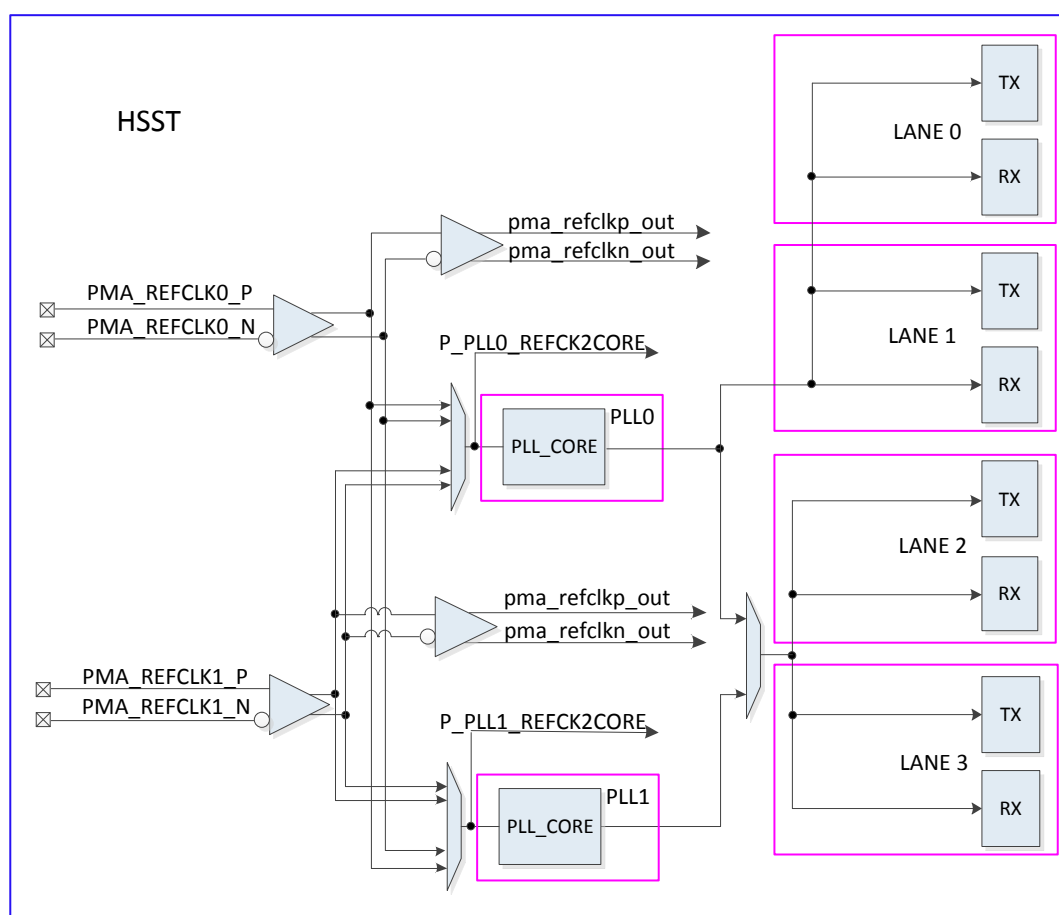


图 5：参考时钟源选择的结构示意图

参考时钟输入电路如图 6 所示，输入端口 P 和 N 上各接 50 欧姆电阻作为匹配电阻，中间虚地点可以悬空，也可以接到内部的共模电位上。参考时钟通过 AC 耦合电容以后再接到 buffer 输出到内部 PLL 环路。

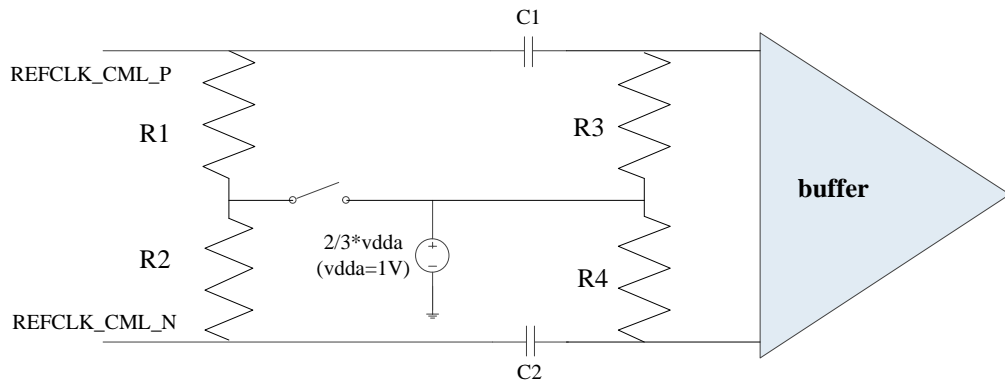


图 6: 参考时钟输入电路

2. 发送通路的时钟结构

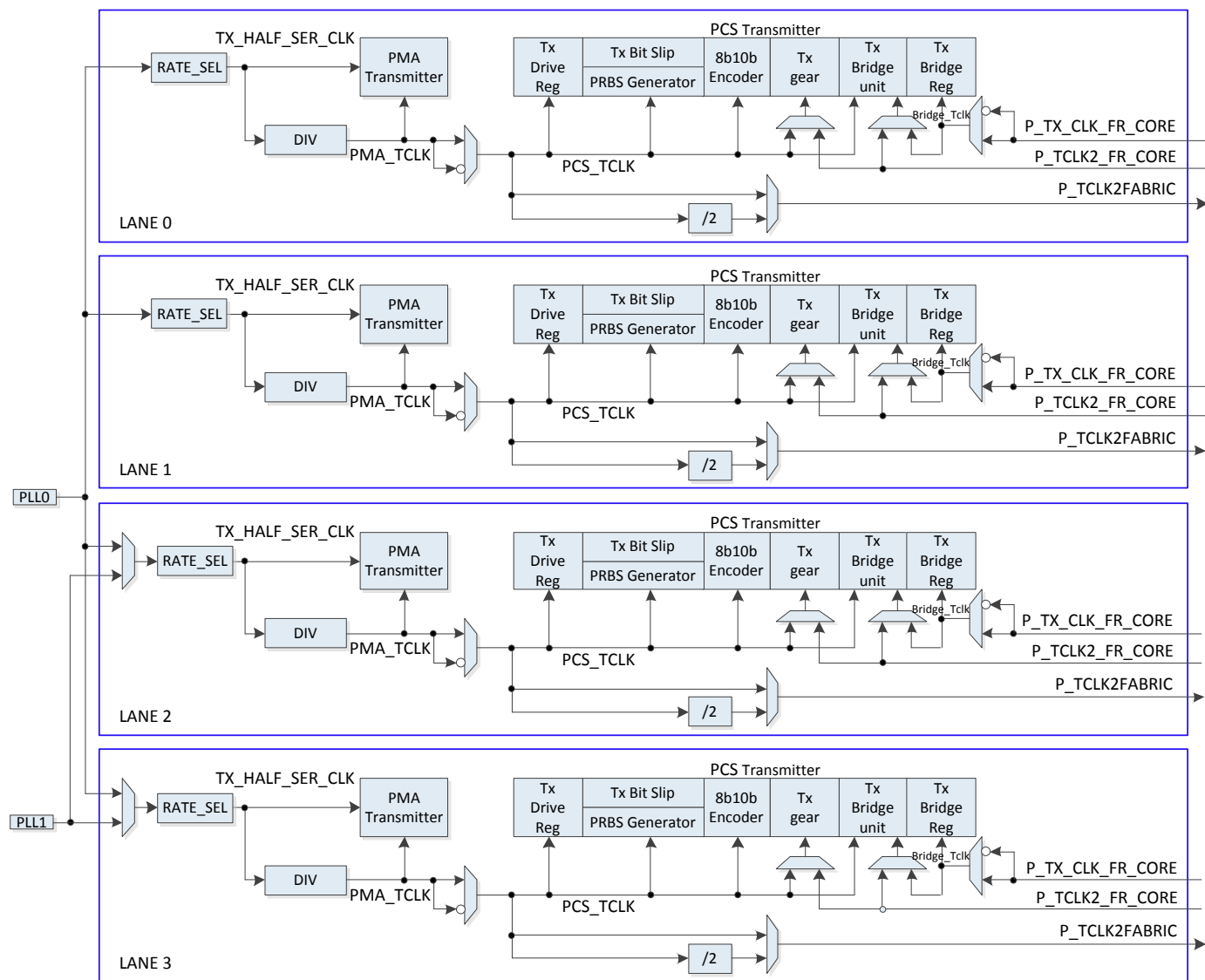


图 7: 发送通路的时钟结构示意图

如图 7 所示，每个 HSST 共享 PLL0 和 PLL1，PLL0 和 PLL1 输出的高速时钟分布到四个 LANE，每个 LANE 独立选择 PLL0 或 PLL1 的输出时钟；用户可以在 PLL 输出的基础上通过分频系数独立产生每个 LANE 的 TX_HALF_SER_CLK，线速率是 TX_HALF_SER_CLK 频率的 2 倍频。这里 TX_HALF_SER_CLK 的频率由 PLL 输出频率经过 RATE_SLE 分频得到的。

通道速率支持动态配置，适用于 PCI Express 等应用中的动态速率选择。

PMA_TCLK 是在 TX_SER_CLK 基础上再次分频产生的，支持多种分频比，以适应 PMA 和 PCS 间接口的 8/10/16/20bits 数据位宽。PMA_TCLK 传递到 PCS Transmitter 后被称为 PCS_TCLK。

时钟输出 P_TCLK2FABRIC 可用于 Fabric 内部处理，在 Data Rate 较低的时候（例如 3Gbps），它的频率和 PCS_TCLK 一致；在 Data Rate 较高的时候，可以降低至 PCS_TCLK 频率的一半。

时钟输入 P_TX_CLK_FR_CORE 是 Fabric 反馈的发送时钟，P_TX_CLK2_FR_CORE 是 P_TX_CLK_FR_CORE 的二倍频时钟，相位对齐，P_TX_CLK_FR_CORE 和 P_TX_CLK2_FR_CORE 可由 PCS 输出的 refclk 经过 Fabric 中 PLL 生成。

3. 接收通路的时钟结构

每个 HSST 接收 LANE 拥有一个 Rx CDR，它集成了 PLL 功能；经过 RATE_SEL 分频之后，产生的时钟信号 RX_HALF_SER_CLK 频率是通道线速率的一半。接收 LANE 的时钟结构示意图如图 8 所示：

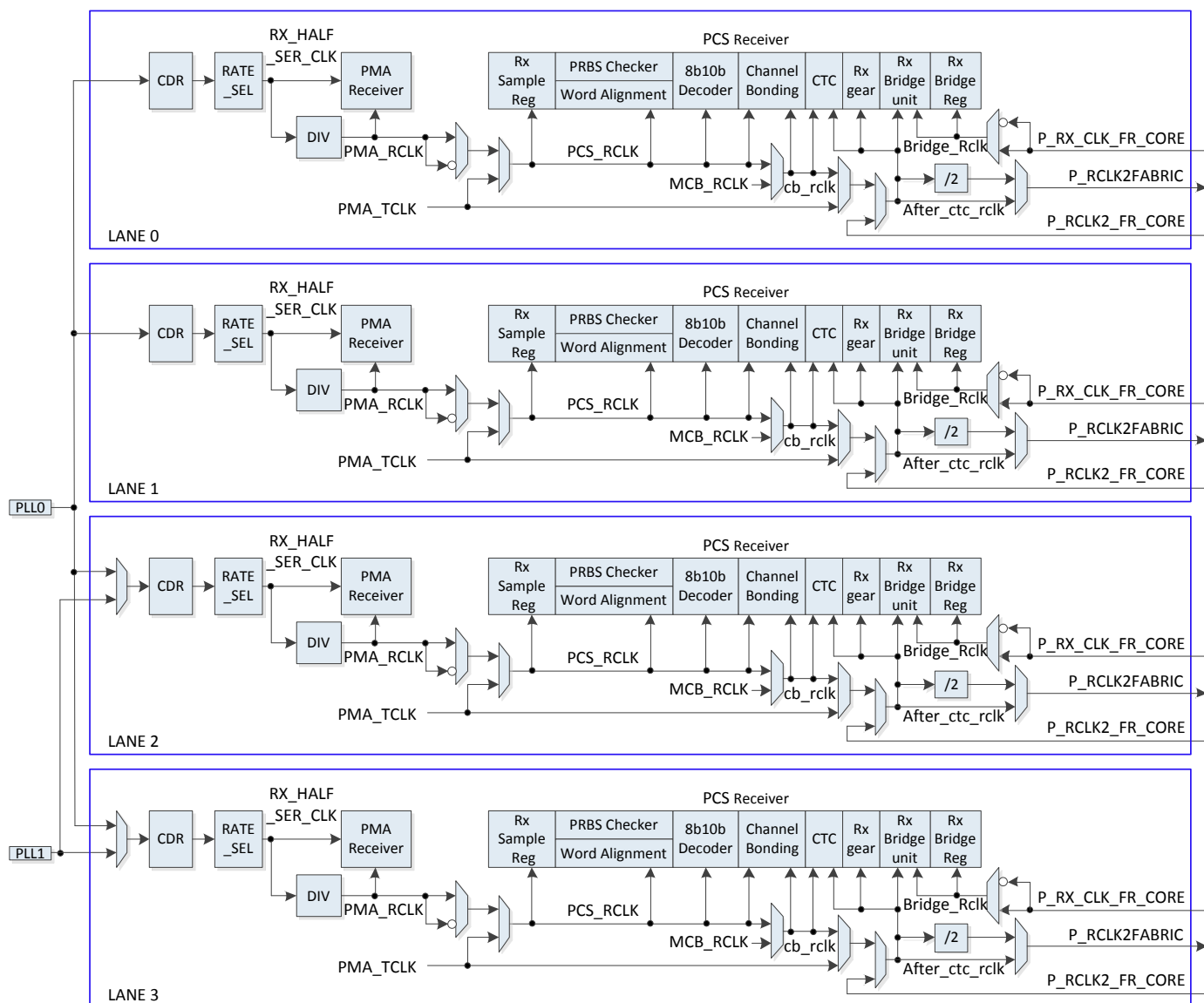


图 8：接收 LANE 的时钟结构示意图

PMA_RCLK 是在 RX_HALF_SER_CLK 基础上的再次分频产生的，支持多分频比，以适应 PMA 和 PCS 间接口的 8/10/16/20bits 数据位宽。PMA_RCLK 传递到 PCS Receiver 之后被称为 PCS_RCLK。

当通道绑定功能使能时,各 LANE 数据在经过通道绑定模块后将被同步到同一时钟 MCB_RCLK。这里的 MCB_RCLK 来自 Bonding Master 的 PMA_RCLK,4 个通道绑定时来自 LANE 0 的 PMA_RCLK;2 个通道绑定时来自 LANE 0 或 LANE 2 的 PMA_RCLK。

当 CTC 功能使能时,经过 CTC 模块后的数据将转到 PMA_TCLK 时钟域,这里的 PMA_TCLK 来自本 LANE 的 PMA Transmitter。

时钟输出 P_RCLK2FABRIC 可用于 Fabric 接收数据处理,在 Data Rate 较低的时候(例如 3Gbps),它的频率和 PMA_RCLK 一致;在 Data Rate 较高的时候,可以降低 P_RCLK2FABRIC 的频率为 PMA_RCLK 的一半。

(二)PLL 功能

每个 HSST 中有四个 LANE, TX、RX 共享 PLL0 和 PLL1。其中 PLL0 可以为所有 4 个 LANE 提供时钟, PLL1 只能为 LANE2/3 提供时钟。它的功能结构示意图如图 9 所示。

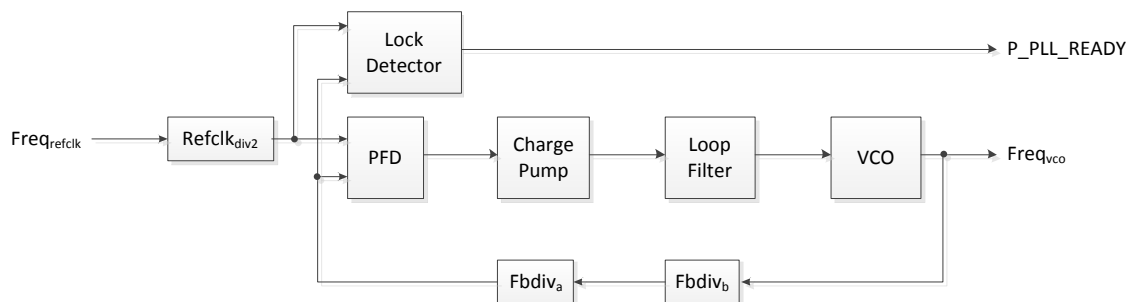


图 9: PLL 结构示意图

PLL 的主要功能为频率综合,输入时钟和反馈时钟在经过频率鉴相器(PFD), Charge Pump, Loop Filter, VCO 频率锁定在 2.125GHz~3.1875GHz 之间。PLL 输出频率由输入时钟 $Freq_{refclk}$ 频率,输入分频系数 $Refclk_{div2}$ 以及反馈分频系数 $Fbdiv_a$ 和 $Fbdiv_b$ 决定,其计算方法为:

$$VCO \text{ 时钟频率与参考时钟频率的关系为 } Freq_{vco} = \frac{Freq_{refclk}}{Refclk_{div2}} \times Fbdiv_a \times Fbdiv_b$$

PMA 线速率和 PLL 输出的关系,其计算方法为:

$$\text{线速率} = 2 \times Freq_{pll} / N, N \text{ 表示串行时钟分频比。}$$

表 7: PLL 分频系数支持范围

分频系数	支持的值
$Refclk_{div2}$	1, 2
$Fbdiv_a$	4, 5
$Fbdiv_b$	2, 4, 5

(三) PCS Transmitter 功能

1. Tx Bridge Reg 模块

完成从 Fabric 到 HSST 的发送数据桥接,确保接口时序。每个 LANE 有 46bits 发送数据,其定义根据不同数据位宽模式不同,详见表 8:

表 8: LANE 发送数据定义

	P_TDATA_x数据位																		
数据位宽模式	[45:44]	[43]	[42]	[41]	[40:39]	[38:33]	[32]	[31]	[30]	[29:22]	[21]	[20]	[19]	[18:17]	[16:11]	[10]	[9]	[8]	[7:0]
8bit only	PCIE_EI	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	TXD [7:0]
10bit only	PCIE_EI	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	TXD [9:0]		
8b10b 8bit	PCIE_EI	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	TXK	TDISP_CTRL	TDISP_SEL	TXD [7:0]
16bit only	PCIE_EI	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	TXD [15:10]	NA	TXD [9:0]		
20bit only	PCIE_EI	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	TXD [19:10]				NA	TXD [9:0]		
8b10b 16bit	PCIE_EI	NA	NA	NA	NA	NA	NA	NA	NA	NA	TXK [1]	TDISP_CTRL [1]	TDISP_SEL [1]	TXD [15:8]		TXK [0]	TDISP_CTRL [0]	TDISP_SEL [0]	TXD [7:0]
32bit only	PCIE_EI	NA	NA	NA	NA	TXD [31:26]	NA	TXD [25:16]			NA	NA	NA	NA	TXD [15:10]	NA	TXD [9:0]		
40bit only	PCIE_EI	NA	TXD [39:30]				NA	TXD [29:20]			NA	TXD [19:10]				NA	TXD [9:0]		
8b10b 32bit	PCIE_EI	TXK [3]	TDISPCTRL [7:6]		TXD [31:24]		TXK [2]	TDISP_CTRL [2]	TDISP_SEL [2]	TXD [23:16]	TXK [1]	TDISP_CTRL [1]	TDISP_SEL [1]	TXD [15:8]		TXK [0]	TDISP_CTRL [0]	TDISP_SEL [0]	TXD [7:0]
64b 66b 16bit	PCIE_EI	TXH[2:0]			TXQ [6:5]	NA	NA	NA	NA	NA	TXQ[4:0]				TXD [15:10]	NA	TXD[9:0]		
64b 66b 32bit	PCIE_EI	TXH[2:0]			TXQ [6:5]	TXD [31:26]	NA	TXD[25:16]			TXQ[4:0]				TXD [15:10]	NA	TXD[9:0]		

其中，数据位的定义如下表所示：

表 9: P_TDATA 中数据位的定义

数据位名	含义
TXK	1 表示 TXD 为 IEEE 802.3 1000BASE-X Specification 的 8b10b Special Code-groups; 0 表示 TXD 为 IEEE 802.3 1000BASE-X Specification 的 8b10b Data Code-groups;
TXD	code-groups
TDISPCTRL	用于强制 8b10b 极性和从 I2 到 I1 的强制替换，{TDISPCTRL, TDISPSEL}为 2'b00: 正常数据发送 2'b01: 根据 IEEE 802.3 1000BASE-X specification 协议，实现帧尾第一个 I1/I2 的选择，满足条件下自动实现从 I2 到 I1 的替换。 2'b10: 强制 8b10b 编码极性为负 2'b11: 强制 8b10b 编码极性为正
TDISPSEL	
PCIE_EI	
TXH	
TXQ	64b66b 模式的序号

2. Tx Bridge unit 模块

Tx Bridge unit 模块完成从 BRIDGE_TCLK 到 PCS_TCLK 的相位补偿，其 FIFO 深度为 8。

3. Tx gear 模块

Tx gear 模块完成 Tx 方向的 64b66b 或 64b67b 的接口速率适配功能。支持 PCS 与 Fabric 接口的两种数据位宽模式：64b66b_16b 和 64b66b_32bit。

64b66b_16b: 对应 64b66b 或 64b67b 编码数据，与 Fabric 接口位宽 TX_DATA 为 16;

64b66b_32b: 对应 64b66b 或 64b67b 编码数据，与 Fabric 接口位宽 TX_DATA 为 32。

4. 8b10b Encoder 模块

实现了符合 IEEE 802.3 1000BASE-X Specification 的 8b10b Encode 功能, 详见 IEEE Std802.3 36.2 Physical Coding Sublayer(PCS)。

5. Tx Bit Slip 模块

主要功能是根据配置对发送数据实现按位移位操作, 以实现 CPRI 等应用中的数据收发延迟一致性, Slip 的 Bit 数通过 Parameter PCS_TX_BIT_SLIP_CYCLES 设置。

Tx Bit Slip 的 Slip 功能可以工作在各种数据位宽模式下。在 20bit only, 8b10b 16bit, 40bit only 和 8b10b 32bit 模式下 Tx Bit Slip 可以实现 0~19bit 的 slip 功能, 如图 10 所示:

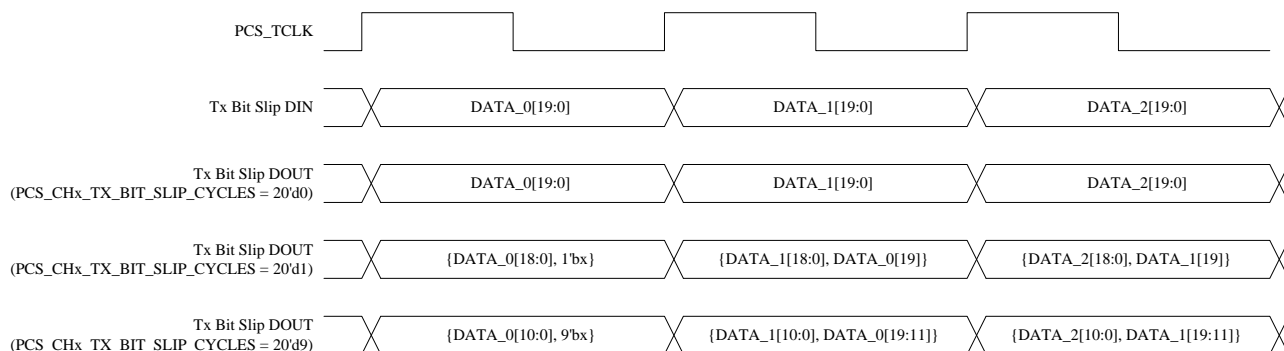


图 10: Tx Bit Slip 模块 0~19bit slip 功能示意图

在 10bit only 和 8b10b 8bit 模式下 Tx Bit Slip 可以实现 0~9bit 的 slip 功能, 如图 11 所示:

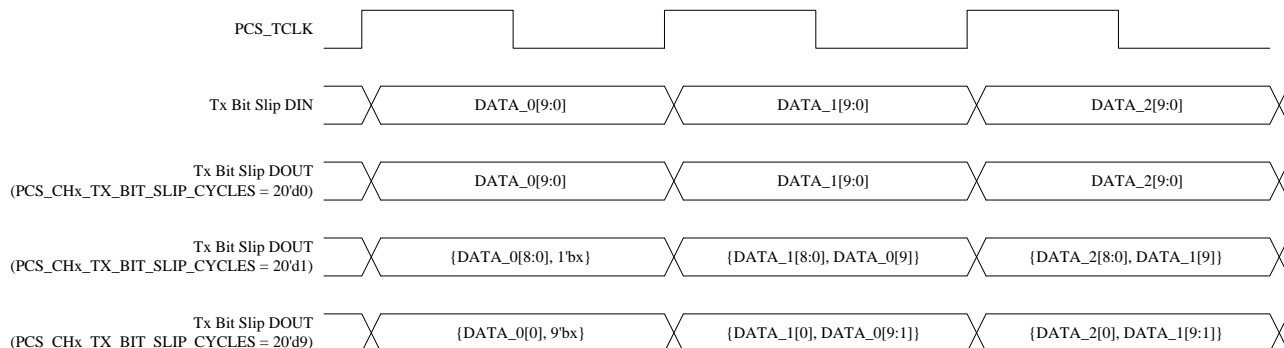


图 11: Tx Bit Slip 模块 0~9bit slip 功能示意图

6. PRBS Generator 模块

PRBS Generator 模块负责产生多种特征码流, 常用于 PMA 测试; 用户可以通过 Parameter PCS_TX_PRBS_MODE 来选择所需要的特征码流。PRBS Generator 模块可工作在 8bit, 10bit, 16bit, 20bit only 模式。

表 10: PRBS 生成 Pattern

PCS_TX_PRBS_MODE 值	特征码流
"PRBS_7"	产生基于多项式 $1 + X^6 + X^7$ 的随机数
"PRBS_15"	产生基于多项式 $1 + X^{14} + X^{15}$ 的随机数
"PRBS_23"	产生基于多项式 $1 + X^{18} + X^{23}$ 的随机数
"PRBS_31"	产生基于多项式 $1 + X^{28} + X^{31}$ 的随机数
"LONG_1"	输出全 1 信号

"LONG_0"	输出全 0 信号
"20UI"	20bit 1 和 20bit 0 交替发送
"D10_2"	输出序列 20'b0101010101_0101010101; 对应于 8b10b 编码中的 D10.2 对应
"PCIE"	输出 PCI Express Compliance Pattern;即序列 20'b001111_1010_101010_1010 和序列 20'b110000_0101_010101_0101 交替发送

用户可以通过动态修改 PCS 通道配置 Parameter PCS_TX_INSERT_ER 在产生的测试码流中插入错误码, PCS_TX_INSERT_ER 对应寄存器从 0 到 1 的一次跳变产生 1bit 的错误码。

7. Tx Drive Reg 模块

完成从 PCS Transmitter 到 PMA Transmitter 的数据桥接, 确保接口时序。Tx Drive Reg 模块可以通过 Parameter PCS_TX_DRIVE_REG_MODE 实现发送串行数据的极性反转, 和基于 PCS 和 PMA 接口并行数据的比特序反转。

使能极性反转时, 从 HSST 发送出去的数据端口 P_TX_SDP 和 P_TX_SDN 互相交换。使能比特序反转时, 从 PCS Transmitter 到 PMA Transmitter 的发送数据按 bit 顺序反转, 即:

有效数据为 8bits 时, 比特序反转后数据为 data_out[7:0]={data_in[0],data_in[1]...,data_in[7]}

有效数据为 10bits 时, 比特序反转后数据为 data_out[9:0]={data_in[0],data_in[1]...,data_in[9]}

有效数据为 16bits 时, 比特序反转后数据为 data_out[15:0]={data_in[0],data_in[1]...,data_in[15]}

有效数据为 20bits 时, 比特序反转后数据为 data_out[19:0]={data_in[0],data_in[1]...,data_in[19]}

(四) PMA Transmitter 功能

1. Tx Digital 模块

Tx Digital模块主要实现PCS到PMA的数据桥接, 具体包括以下功能点:

- 对发送相关的控制信号进行处理;
- PRBS generator;
- 实现PMA远端并行环回;
- 可选择发送到PMA的并行数据类型;
- 数据错误注入;

2. Serializer 模块

Serializer 的主要功能是将来自 Tx Digital 的 20bits 并行数据转换为串行数据, 这里的 20bits 指的是 PCS 和 PMA 之间的并行数据位宽, 属于 HSST 内部数据位宽。Tx 并行数据有效位宽由寄存器 PMA_REG_TX_BUSWIDTH 控制, 它们的对应关系为:

表 11: Tx 并行数据有效位宽和寄存器 PMA_REG_TX_BUSWIDTH 的对应关系

PMA_REG_TX_BUSWIDTH	Tx 并行数据有效位宽	输出数据
2'b00	8bit	pma_txd<7:0>串化输出, 高位舍弃
2'b01	10bit	pma_txd<9:0>串化输出, 高位舍弃
2'b10	16bit	pma_txd<17:10>, pma_txd<7:0>串化输出, 其它位舍弃
2'b11	20bit	pma_txd<19:0>串化输出

3. Tx 可配置的输出模块

Tx 的输出级采用电流模式，为了适应不同协议和不同场景的需求，其输出级包含了如下特性：

- 高速的差分电流模式输出；
- 可配置的输出幅度；
- 后标量的可配置去加重；
- 可校正的输出阻抗；

输出级的电路架构如下：

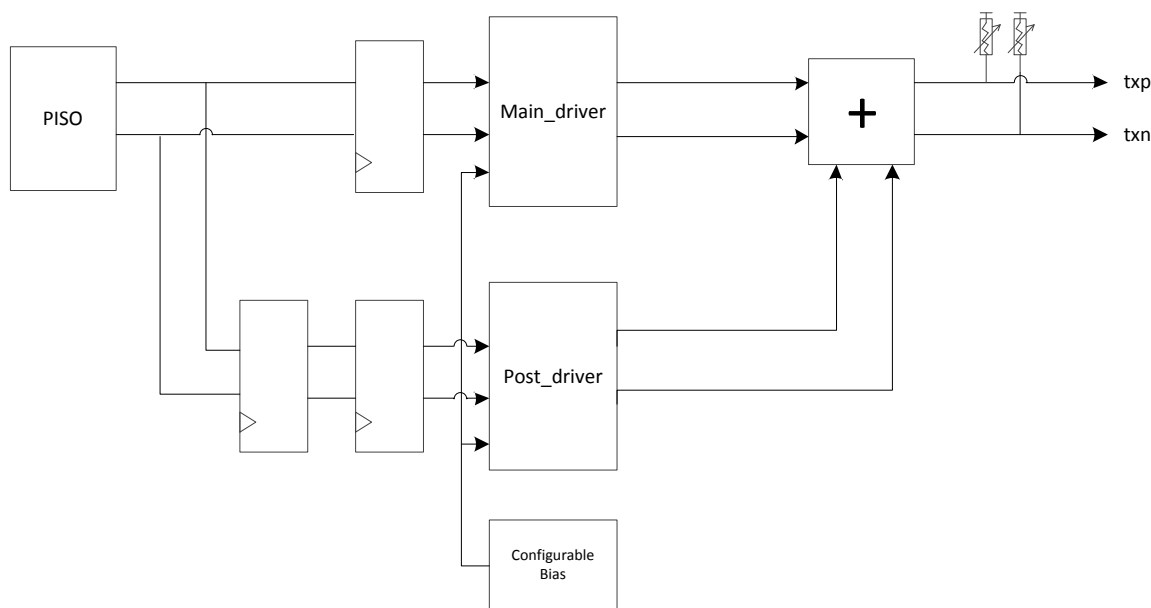


图 12: Tx 输出级电路架构图

4. PCI Express Receiver Detect 模块

PCIE 协议要求 PMA 可以实现在发送端检测接收端负载，以确认链路是否建立链接。发送端负载检测的原理是基于输出信号的上升时间来实现的，原理图如下。在负载检测的时候，Tx 的输出和 Rx 的输入之间需要外接一个大于 100nF 的电容，同时 Rx 的输入必须通过匹配电阻下拉到地。开始检测时，首先将 Tx 的输出置于输出共模上，然后切断 Tx 驱动级的偏置电流，经过一段时间后，Tx 的输出电位会跟相应的阈值电压做对比，如果小于阈值电压的值，则表明链路建立连接，反之则表示链路未建立连接。

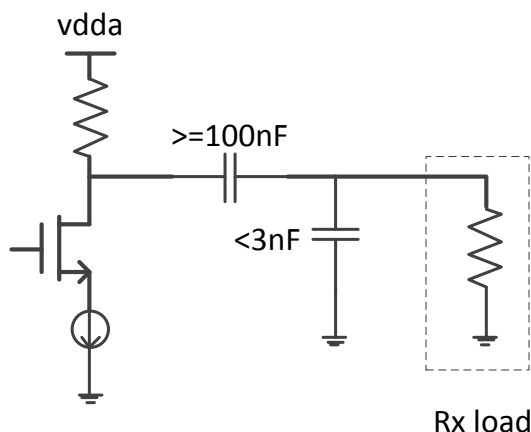


图 13: 发送端负载检测原理图

接收端检测由寄存器信号 P_TX_RXDET_REQ 来控制，检测结果由 P_TX_RXDET_STATUS 来体现，两者的时序关系如下。

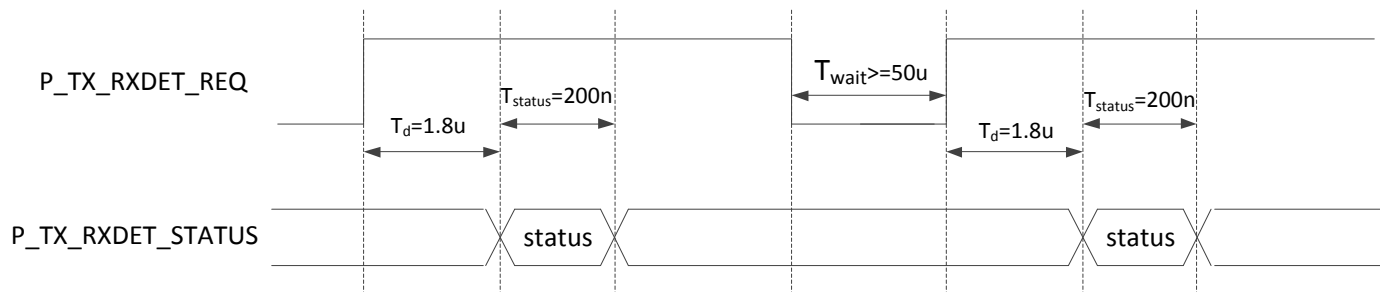


图 14: 发送端负载检测时序图

(五) PCS Receiver 功能

1. Rx Sample Reg 模块

完成从 PMA Receiver 到 PCS Receiver 的数据桥接，确保接口时序。

Rx Sample Reg 模块可以通过配置端口信号 PCS_RX_POLARITY_INV[0]实现接收串行数据的极性反转。使能极性反转时，可以弥补 PCB 中 HSST 数据接收端口 P_RX_SDP 和 P_RX_SDN 错误交换的缺陷。

通过参数 PCS_RX_POLARITY_INV[1]，Rx Sample Reg 模块还支持基于 PMA 和 PCS 接口并行数据的比特序反转。使能比特序反转时，从 PMA Receiver 到 PCS Receiver 的接收数据按 Bit 顺序反转，即：

有效数据为 8bits 时，比特序反转后数据为 $data_out[7:0]=\{data_in[0],data_in[1]...,data_in[7]\}$

有效数据为 10bits 时，比特序反转后数据为 $data_out[9:0]=\{data_in[0],data_in[1]...,data_in[9]\}$

有效数据为 16bits 时，比特序反转后数据为 $data_out[15:0]=\{data_in[0],data_in[1]...,data_in[15]\}$

有效数据为 20bits 时，比特序反转后数据为 $data_out[19:0]=\{data_in[0],data_in[1]...,data_in[19]\}$

2. Word Alignment 模块

Word Alignment 模块主要功能为按照预定的模式实现字节对齐功能。以 10bit 数据位宽为例，发

送端的并行数据以 10bits 为一个字节，经过串行传输后，其字节边界信息已经丢失，所以在 PMA 中完成串并转换后产生的并行数据并未遵循字节边界规则。如下图所示，在字节对齐之前，并行数据的默认字节（Before Word Alignment）可能是发送端 Slip 若干个 Bit 后的形式，其中 Slip 的 Bit 数是随机的。Word Alignment 模块利用了发送数据流本身的一些特性，实现字节对齐的功能，使其恢复到和发送端一致的边界（见图中 After Word Alignment）。

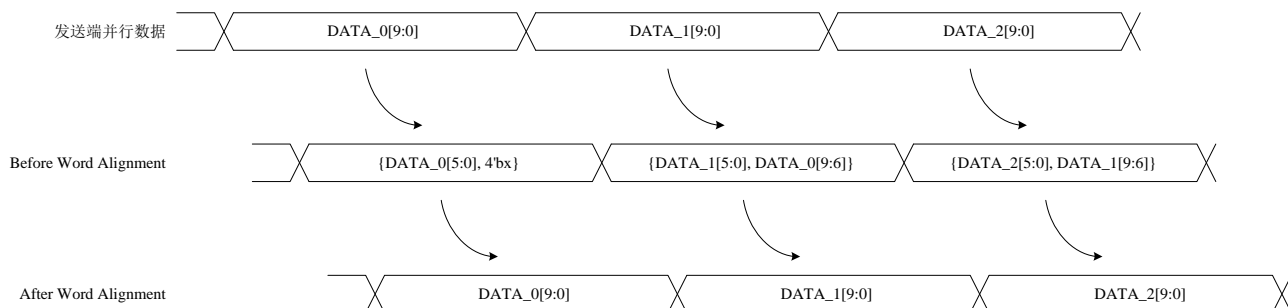


图 15: Word Alignment 功能介绍

HSST 支持两种字节对齐模式：基于 Comma 检测的字节对齐模式和基于 RX CLK Slip 的字节对齐模式。用户逻辑通过 Parameter PCS_COMMA_DET_MODE 来选择字节对齐模式。

在基于 Comma 检测的字节对齐模式下，Parameter PCS_COMMA_REG0 和 PCS_COMMA_REG1 用来指定 Comma 检测的 Pattern。例如，针对 8b10b 的 Special Data Group 中的 K28.5，可以设 PCS_COMMA_REG0/1 为 10'b0101_1111_00 和 10'b1010_0000_11。Parameter PCS_COMMA_MASK 被用来 Mask Parameter PCS_COMMA_REG0/1 对应 bit，从而产生少于 10bit 的 Comma。在该模式下，数据在检测到指定 Comma 后，会自动完成字节边界调整。

基于 RX CLK Slip 的字节对齐模式下，字节边界调整的功能在 PMA Deserializer 中实现的。

字节对齐的字节边界调整往往需要一个状态机来控制，以避免因线路误码产生的错误字节边界调整。HSST 中支持内置 Link State Machine，或外置 Link State Machine，其中支持的内置 Link State Machine 包括：

- (1) 1Gb Ethernet Link State Machine (802.3 “Figure 36–9—Synchronization state diagram”)
- (2) 10Gb Ethernet Link State Machine(802.3 “Figure 48–7—PCS synchronization state diagram”)
- (3) RapidIO Interconnect Specification Part 6 (Figure 4-15. LaneAlignment State Machine)

字节对齐状态机通过配置 Parameter PCS_ALIGN_MODE 来选择。在基于 Comma 检测的字节对齐模式下：如果选择内置 Link State Machine，HSST 将自动完成字节对齐的相关功能，对齐的结果通过端口信号 P_PCS_LSM_SYNCED 来输出；如果选择外置 Link State Machine，用户逻辑可以自定义 Link State Machine，通过端口 P_PCS_WORD_ALIGN_EN 来使能字节重对齐。

3. 8b10b Decoder 模块

实现了符合 IEEE 802.3 1000BASE-X specification 的 8b10b Decode 功能，详见 IEEE Std802.3 36.2

Physical Coding Sublayer (PCS)。

4. Channel Bonding 模块

Channel Bonding 模块的主要功能为按照预定的模式实现多通道之间的字节对齐功能。多通道数据发送时，其通道之间的字节是对齐的，经过发送侧的并串变换，板上串行传输，接收侧的串并变换，Word Alignment 模块后，通道间的字节已不再对齐。如下图所示，在通道绑定之前，通道之间的数据可能有多个字节的 Skew。Channel Bonding 模块，利用了数据流本身的一些特性，实现通道间字节对齐的功能，使其恢复到和发送端一致的边界（见图中 After Channel Bonding）。

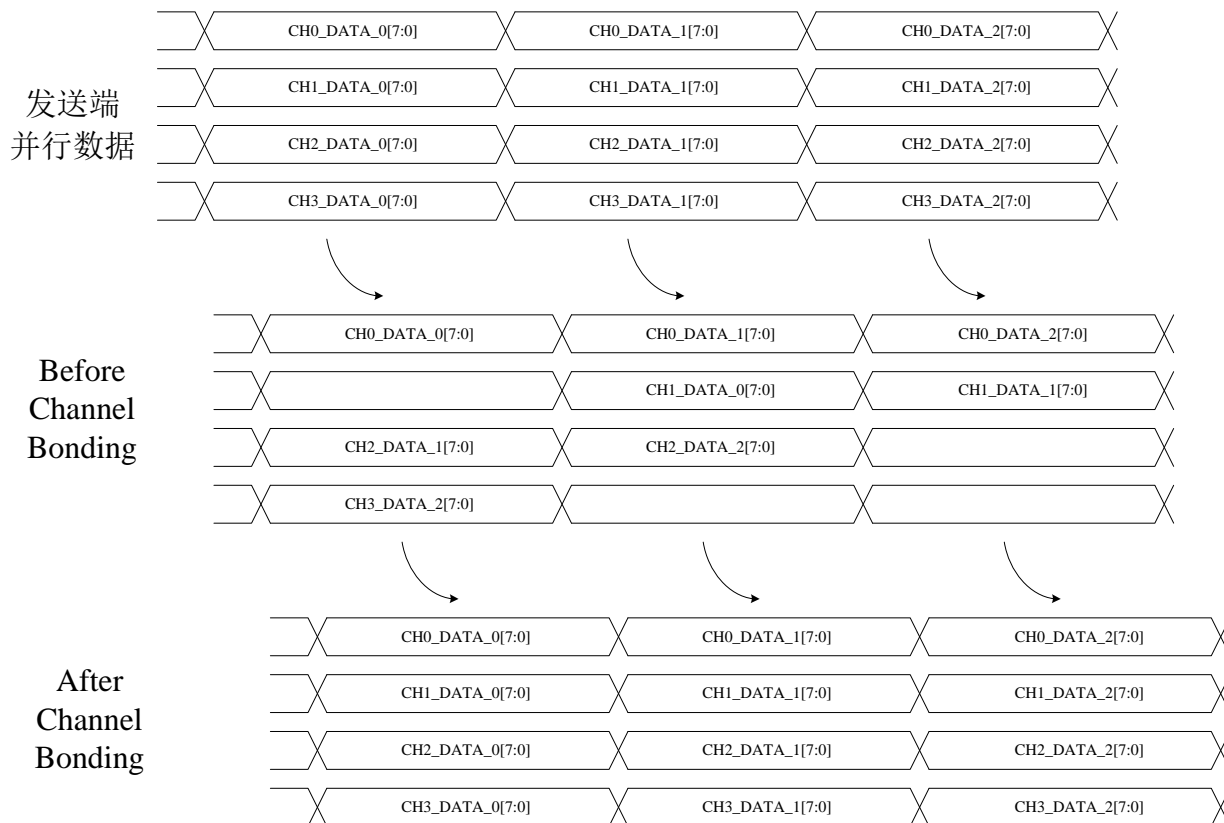


图 16: 通道绑定功能示意图

通道绑定是在数据流中按照协议规定插入特定的 Special Code 基础上实现的，不同的协议规定了不同的 Special Code，用户可以通过 Parameter PCS_A_REG 来设置。

Logos HSST 的通道绑定可以实现 2 Channel 或 4 Channel 间的绑定，最大的 Deskew 能力为 ± 80 bits，可以满足所支持的协议要求。其中两个通道绑定时，只支持 Channel 0 和 Channel 1 之间的绑定，或 Channel 2 和 Channel 3 之间的绑定。

通道绑定的绑定往往需要一个状态机来控制，以避免因线路误码产生错误绑定调整。HSST 中支持内置 Bonding State Machine，或外置 Bonding State Machine，其中支持的内置 Bonding State Machine 包括：

- 内置 10Gb XAUI Channel Bonding State Machine (“Figure 48–8—PCS deskew state diagram”)
- 内置 Rapid IO Channel Bonding State Machine (“Figure 4-15. LaneAlignment State Machine”)

通道绑定状态机通过 Parameter PCS_CEB_MODE 来选择，如果选择内置 Bonding State Machine，

HSST 将自动完成通道绑定的相关功能，绑定的结果通过 Bonding Master Channel（两个通道绑定的 Bonding Master Channel 为 Channel 0/2；4 个通道绑定的 Bonding Master Channel 为 Channel 0）的端口信号 P_PCS_RX_MCB_STATUS 来输出；如果选择外置 Bonding State Machine，用户逻辑可以自定义控制状态机，并通过端口 P_PCS_MCB_EXT_EN 来使能绑定过程。

5. CTC 模块

CTC（Clock Tolerance Compensation）模块的功能是按照预定的模式补偿远端时钟和本地时钟的微小频率误差（PCI Express 协议规定的频差为 $\pm 300\text{ppm}$ ，其它协议一般为 $\pm 100\text{ppm}$ ）。CTC 模块内部包含了一个深度为 32 的异步 FIFO，如图 17 所示，FIFO 的写时钟为 CB_RCLK，它来自 PMA_RCLK，而 PMA_RCLK 在 CDR 模块中已同步到远端的发送时钟；FIFO 的读时钟为 AFTER_CTC_RCLK，它来自本地时钟。

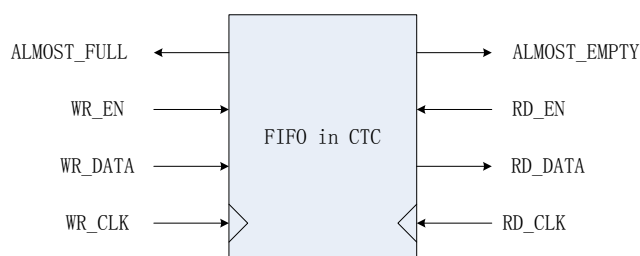


图 17: CTC 内部 FIFO 示意图

当写时钟比读时钟快时，FIFO 水位会逐渐升高，高至一定程度后，水位标志信号 ALMOST_FULL 将置高。此时 CTC 将在写 FIFO 之前丢弃部分特定字符（或字符序列），从而避免 FIFO 的溢出。这里的特定字符（或字符序列）被称为 SKIP。如图 18 所示：

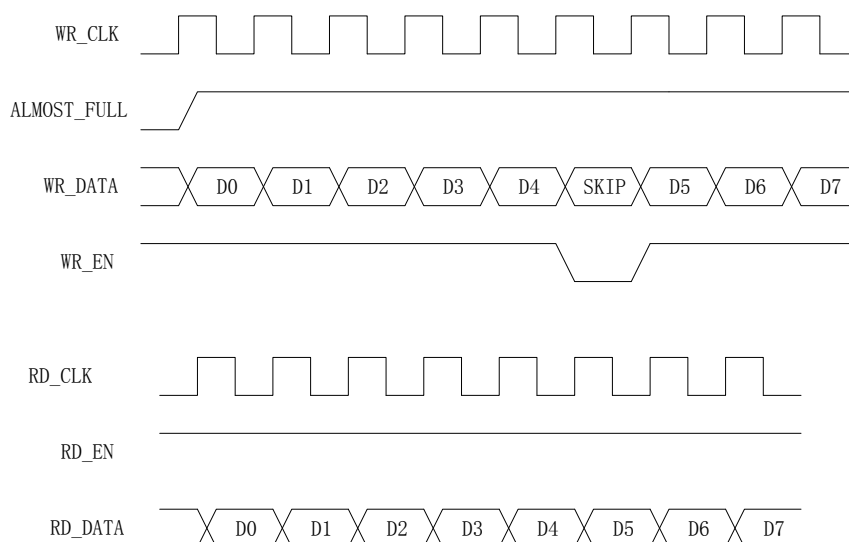


图 18: SKIP delete 时序示意图

当写时钟比读时钟慢时，FIFO 水位会逐渐降低，低至一定程度后，水位标志信号 ALMOST_EMPTY 将置高。此时 CTC 将在读到特定字符（或字符序列）之后，暂停 FIFO 的读取，改为自动插入 SKIP 字符，从而避免 FIFO 的读空。如图 19 所示：

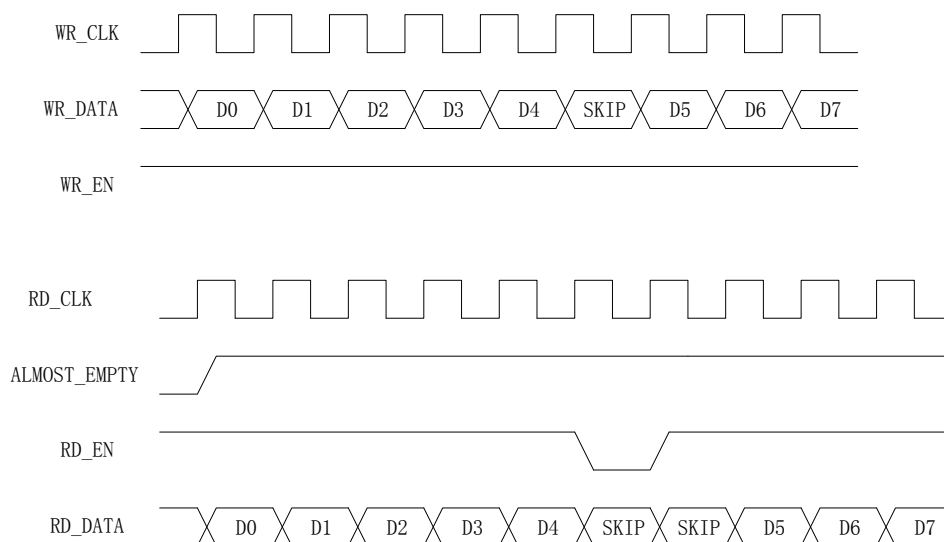


图 19: SKIP add 时序示意图

不同协议对 SKIP 有不同的定义，HSST 中的 CTC 模块支持三种 SKIP 长度（通过 Parameter PCS_CTC_MODE 选择）：

- 1SKIP 模式，通过 Parameter PCS_SKIP_REG0 来设置，插入/删除的 SKIP 字符为 1 个字节；
- 2SKIP 模式，通过 Parameter PCS_SKIP_REG0 和 PCS_SKIP_REG1 来设置，插入/删除的 SKIP 字符为 2 个字节；
- PCIE_2BYTE 模式，通过 Parameter PCS_SKIP_REG0 和 PCS_SKIP_REG1 来设置，只增加或者删除后面的 SKIP；
- 4SKIP(PCIE_4BYTE)模式，通过 Parameter PCS_SKIP_REG0, PCS_SKIP_REG1, PCS_SKIP_REG2 和 PCS_SKIP_REG3 来设置。此时，只对 SKIP 序列的最后一个字节作插入或删除操作，但只插入/删除 SKIP 字符中的最后一个字节；

CTC FIFO 的 Almost Full/Empty 门限可以根据应用需求修改，以满足不同应用需求，其中：Almost Full 门限通过 Parameter PCS_CTC_AFULL 设置，默认设置为 5'd20；Almost Empty 门限通过 Parameter PCS_CTC_AEMPTY 设置，默认设置为 5'd12。

在 1G Ethernet 的自协商过程中，通信双方持续发送/C/字符，并没有 SKIP 字符出现。因此，HSST 会在 CTC 操作之前，会自动以两个/I2/替换部分/C/，以方便 CTC 的进行。这里的/I2/将被用作 CTC 的 SKIP 字符，关于/C/和/I2/的详细功能请参见 IEEE Std802.3 36.2 Physical Coding Sublayer (PCS)。

6. Rx gear 模块

Rx gear 模块完成 Rx 方向的 64b66b 或 64b67b 的接口速率适配功能。支持 PCS 与 Fabric 接口的两种数据位宽模式：64b66b_16b 和 64b66b_32bit。

64b66b_16b：对应 64b66b 或 64b67b 编码数据，与 Fabric 接口位宽 P_RDATA 为 16；

64b66b_32b：对应 64b66b 或 64b67b 编码数据，与 Fabric 接口位宽 P_RDATA 为 32。

7. Rx Bridge unit 模块

Rx Bridge unit 模块完成从 AFTER_CTC_RCLK 到 BRIDGE_RCLK 的相位补偿，FIFO 深度为 8。

8. Rx Bridge Reg 模块

完成从 HSST 到 Fabric 的接收数据桥接，确保接口时序。每个 Lane 的接收数据端口 P_RDATA 有 47bits，其定义根据不同数据位宽模式不同，详见表 12：

表 12: Lane 接收数据定义

	P_RDATA_x数据位																				
数据位宽模式	[46:44]	[43]	[42]	[41]	[40:39]	[38]	[37:33]	[32]	[31]	[30]	[29:22]	[21]	[20]	[19]	[18:17]	[16]	[15:11]	[10]	[9]	[8]	[7:0]
8bit only	RX STATUS	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	RXD [7:0]
10bit only	RX STATUS	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	RXD [9:0]		
8b10b 8bit	RX STATUS	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	RXK	RDEC_ER	RDIS_P_ER	RXD [7:0]
16bit only	RX STATUS	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	RXD [15:10]		NA	RXD [9:0]		
20bit only	RX STATUS	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	RXD [19:10]					NA	RXD [9:0]		
8b10b 16bit	RX STATUS	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	RXK [1]	RDEC_ER [1]	RDIS_P_ER [1]	RXD [15:8]			RXK [0]	RDEC_ER [0]	RDIS_P_ER [0]	RXD [7:0]
32bit only	RX STATUS	NA	NA	NA	NA	RXD [31:26]		NA	RXD [25:16]			NA	NA	NA	NA	RXD [15:10]		NA	RXD [9:0]		
40bit only	RX STATUS	NA	RXD [39:30]					NA	RXD [29:20]			NA	RXD [19:10]					NA	RXD [9:0]		
8b10b 32bit	RX STATUS	RXK [3]	RDEC_ER [3]	RDIS_P_ER [3]	RXD [31:24]			RXK [2]	RDEC_ER [2]	RDIS_P_ER [2]	RXD [23:16]	RXK [1]	RDEC_ER [1]	RDIS_P_ER [1]	RXD [15:8]			RXK [0]	RDEC_ER [0]	RDIS_P_ER [0]	RXD [7:0]
64b 66b 16bit	RX STATUS	NA										RXQ_START	RXH_VLD	RXH[2:0]		RXD_VLD	RXD[15:0]				
64b 66b 32bit	RX STATUS	NA					RXD[31:16]					RXQ_START	RXH_VLD	RXH[2:0]		RXD_VLD	RXD[15:0]				

其中，数据位的定义如表 13 所示：

表 13: P_RDATA_x 中数据位的定义

数据位名	含义
RXK	1 表示 RXD 为 IEEE 802.3 1000BASE-X Specification 的 8b10b Special Code-Groups; 0 表示 RXD 为 IEEE 802.3 1000BASE-X Specification 的 8b10b Data Code-Groups;
RXD	Code-Groups
RDEC_ER	高电平表示 8b10b Decoder 检测到无效码
RDISP_ER	高电平表示 8b10b Decoder 检测到 Invalid Disparity
RXSTATUS	用于 PCI Express PHY Interface (PIPE)接口的接收状态编码 3'b000: Normal 3'b001: CTC 模块执行了 SKIP add 操作 3'b010: CTC 模块执行了 SKIP delete 操作 3'b011: PCIe 4byte 模式，连续删除 3'b100: Rx Bridge FIFO 溢出 3'b101: CTC FIFO 溢出 3'b110: CTC FIFO 下溢

	3'b111: Rx Bridge FIFO Under Flow
RXQ_START	64b66b 模式的 rxsequence 起始指示信号
RXHVLVD	64b66b 模式的 rx_header 同步头有效指示
RXDVLVD	64b66b 模式的 rx_data 接收数据有效指示

9. PRBS Checker 模块

PRBS Checker 模块负责自动化检测多种特征码流，常用于 HSST 线路误码测试。用户可以通过 Parameter PCS_RX_PRBS_MODE 来选择所需要的特征码流，支持的选择包括：

表 14: PRBS Checker Pattern

PCS_RX_PRBS_MODE	特征码流
"PRBS_7"	产生基于多项式 $1 + X^6 + X^7$ 的随机数
"PRBS_15"	产生基于多项式 $1 + X^{14} + X^{15}$ 的随机数
"PRBS_23"	产生基于多项式 $1 + X^{18} + X^{23}$ 的随机数
"PRBS_31"	产生基于多项式 $1 + X^{28} + X^{31}$ 的随机数

PRBS Checker 检测到的错误计数可以通过读配置寄存器 PCS_ERR_CNT 获取，用户逻辑可以通过寄存器 PCS_RX_ERRCNT_CLR 清除错误计数器。

(六) PMA Receiver 功能

1. Receiver Front-end 模块

Rx 的接收端是差分电流模式输入，包含以下特性：

- 可配置的 AC 或者 DC 耦合，推荐采用外部 AC 内部 DC 的耦合方式；
- 可配置的 Rx 终端电位；
- 可校正的匹配电阻；

结构如图 20 所示

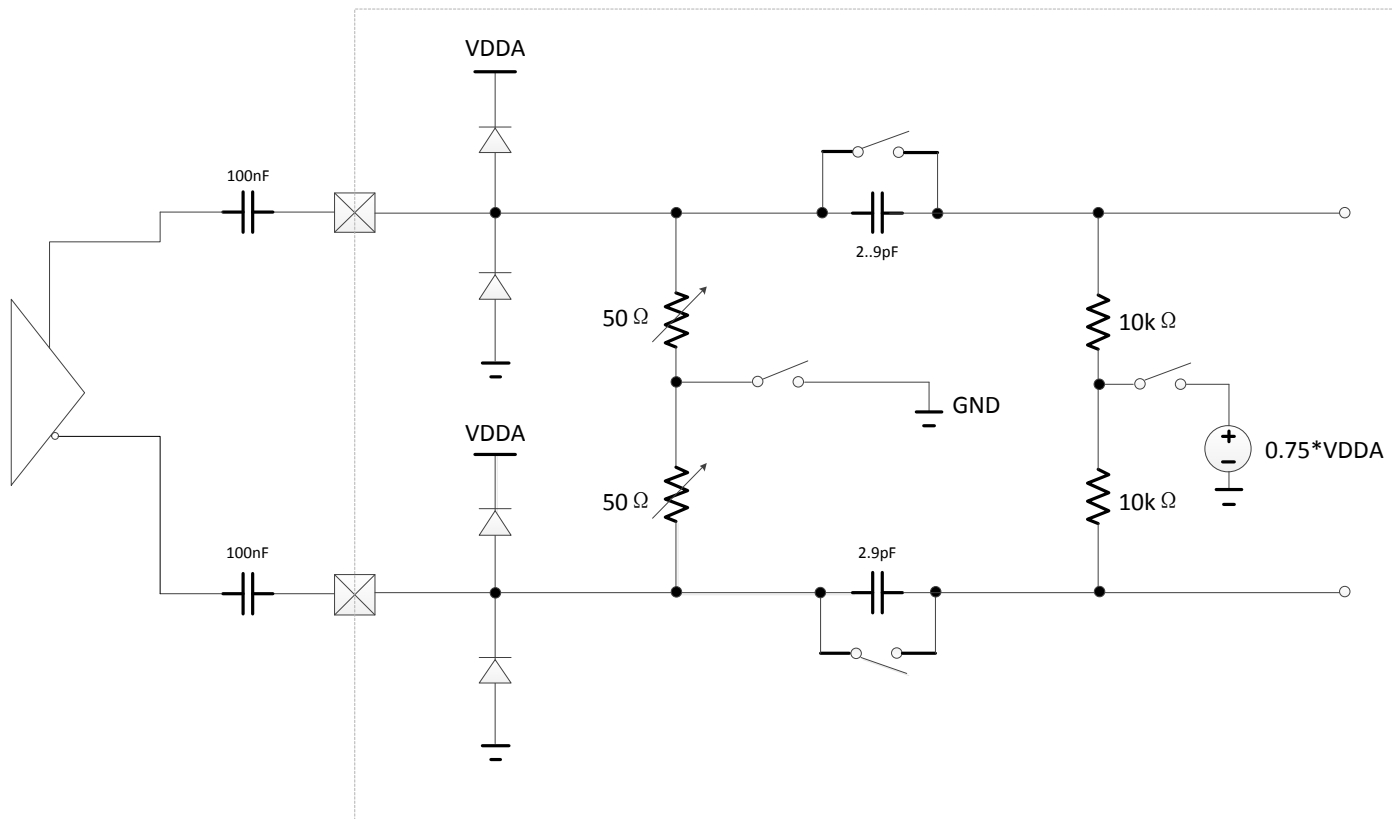


图 20: Rx 接收端结构图

2. LEQ 模块

LEQ (Linear Equalizer) 模块是接收端的自适应线性均衡器，用于补偿接收信号的高频损失。LEQ 能够支持 6.6Gb/s 的最大的信道衰减补偿是 15dB 左右(在奈奎斯特频点)。

3. CDR 模块

CDR 的主要作用是从数据中恢复出时钟信息，从而恢复出正确的数据。Rx 的 CDR 基于相位内插的架构，其时钟源来自于公用时钟 PLL。数据经过 LEQ 后会经过边沿采样器和数据采样器，采样器的时钟来自于 PI 的输出，两组数据经过 DEMUX 后进入到 CDR 状态机进行处理。CDR 状态机经过比较边沿信号和数据信号来决定相位信息，从而输出控制信号控制时钟来最终使数据信号的采样时钟在数据的中间位置。

4. LOS Detect 模块

LOS Detect 用于检测接收端口是否存在有效信号，检测结果通过状态寄存器 PMA_REG_RX_SIGDET_STATUS 传递给 Fabric, 高电平表示 LOS Detect 模块从端口检测到有效信号。

5. Deserializer 模块

Deserializer 的主要功能是将 PMA 的高速串行数据转换成 20bits 并行数据发送给 Rx Digital，这里的 20bits 指的是 PMA Receiver 和 PCS Receiver 之间的并行数据位宽，属于 HSST 内部接口。Rx 并行数据有效位宽由 Parameter PMA_REG_RX_BUSWIDTH 控制，它们的对应关系为：

表 15: Rx 并行数据有效位宽和寄存器 PMA_REG_RX_BUSWIDTH 的对应关系

PMA_REG_RX_BUSWIDTH	Rx 并行数据有效位宽	输出数据
2'b00	8bit	pma_rxd<7:0>并行输出, 高位数据无效
2'b01	10bit	pma_rxd<9:0>并行输出, 高位数据无效
2'b10	16bit	pma_rxd<17:10>, pma_rxd<7:0>并行输出, 其它数据位无效
2'b11	20bit	pma_rxd<19:0>并行输出

此外, Deserializer 模块还支持 Rx CLK Slip 功能以保证固定的接收延时。电路中通过寄存器 PMA_REG_RXPCLK_SLIP 来实现, 每当 PMA_REG_RXPCLK_SLIP 信号的一个上升沿来临, PMA 的并行输出时钟 PMA_RCLK 会延时一个 UI, 如果需要延时多个 UI, 则需要 PMA_REG_RXPCLK_SLIP 有等同的上升沿数量。最大的延时 UI 取决于并行数据的位宽(如位宽为 N bit 时, 则并行时钟最大可以移动 N-1 个 UI)。PMA_REG_RXPCLK_SLIP 脉冲持续时间至少需要 20 个 UI 才能保证电路的正确响应。

6. Rx Digital 模块

Rx Digital 模块主要完成 PMA Receiver 到 PCS Receiver 的数据桥接, 具体包括以下功能点:

- 对接收相关控制信号进行处理;
- PRBS checker;
- 实现 PMA 远端并行环回;
- 接收数据错误注入;
- Signal detect、OOB detect 信号检测;

(七) loopback 功能

HSST 支持多种环回模式以便于测试, 包括 PCS 近端环回, PMA 近端并行环回, PMA 近端串行环回, PMA 远端并行环回, PCS 远端环回。

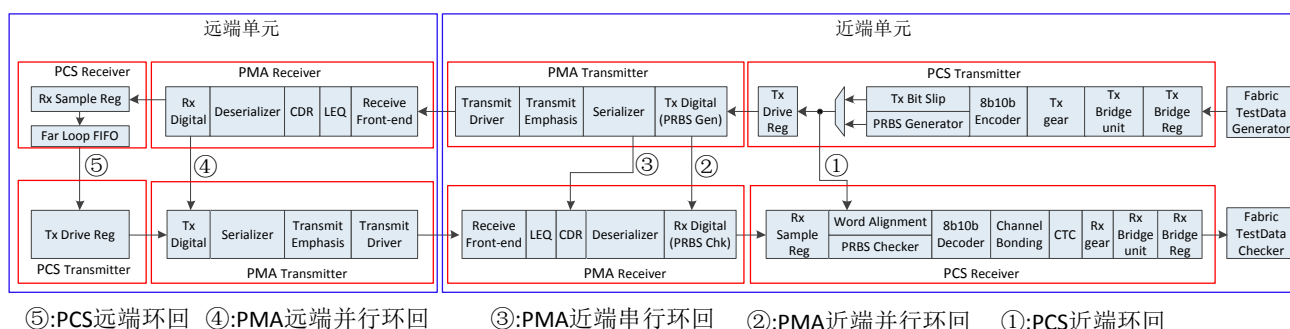


图 21: HSST 环回模式数据通路总图

1. PCS 近端环回

PCS 近端环回在 PCS 中实现, 在该模式下来自 Fabric 的发送数据, 在 PCS Transmitter 中经过 Tx Bit Slip 模块后, 环回到 Word Alignment 模块, 再通过 PCS Receiver 的 Rx Bridge Reg 模块环回输出到 Fabric, 其数据通路如下图所示。

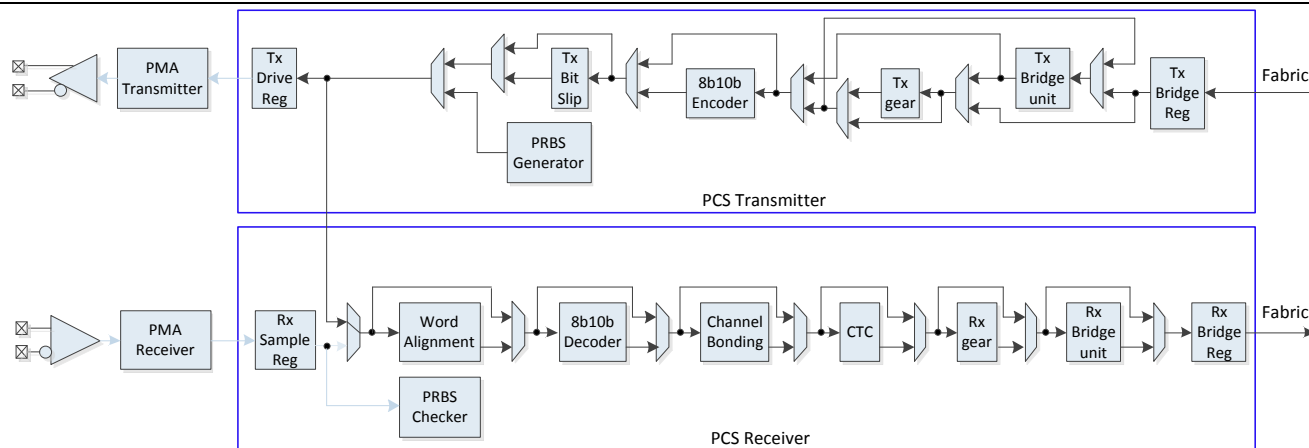


图 22: PCS 近端环回数据通路示意图

PCS 近端环回的寄存器配置方式如下:

(a) PCS_NEAR_LOOP="TRUE"

2. PMA 近端并行环回

PMA 近端并行环回在 PMA 中实现,在该模式下来自 PCS Transmitter 的并行数据,经过 PMA Tx Digital 模块后,环回到 PMA Rx Digital 模块,最后环回给 PCS,其数据通路如下图所示。

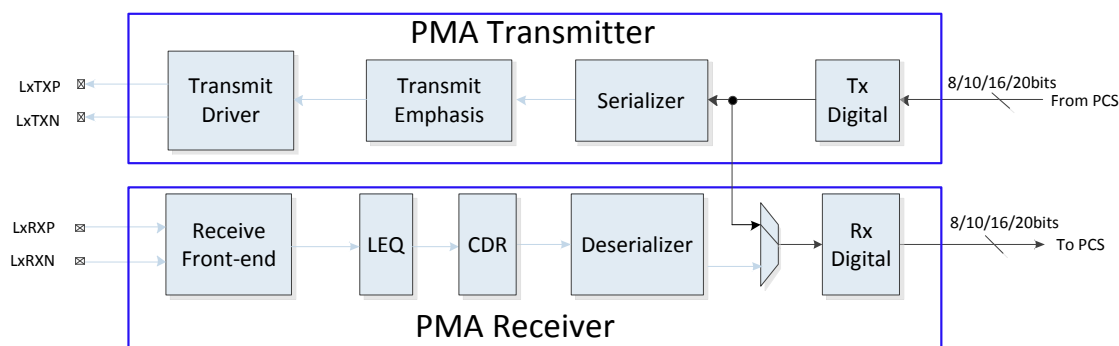


图 23: PMA 近端并行环回数据通路示意图

PMA 近端并行环回的寄存器配置方式如下:

(a) PMA_REG_RX_TX2RX_PLPBK_EN="TRUE"

3. PMA 近端串行环回

PMA 近端串行环回在 PMA 中实现,在该模式下来自 PCS Transmitter 的并行数据,经过并串转换后,环回到 PMA Receiver 的 CDR 模块,最后通过串并转换环回给 PCS,其数据通路如下图所示。

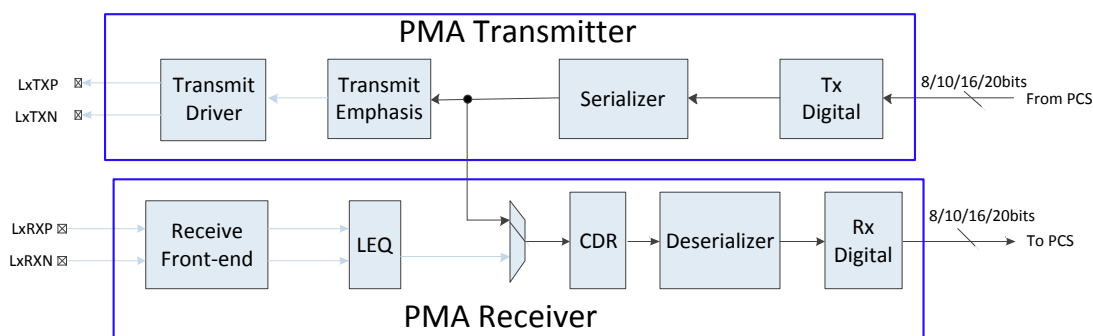


图 24: PMA 近端串行环回数据通路示意图

PMA 近端串行环回的寄存器配置方式如下：

- (a) PMA_REG_TX_TX2RX_SLPBACK_EN="TRUE"
- (b) PMA_REG_RX_TX2RX_PLPBK_EN="TRUE"

4. PMA 远端并行环回

PMA 远端并行环回在 PMA 中实现，在该模式下接收数据，经过 PMA 采样并转换为并行数据，在经过 PMA Rx Digital 模块后，环回到 PMA Tx Digital 模块，再通过 PMA 环回输出，其数据通路如下图所示。

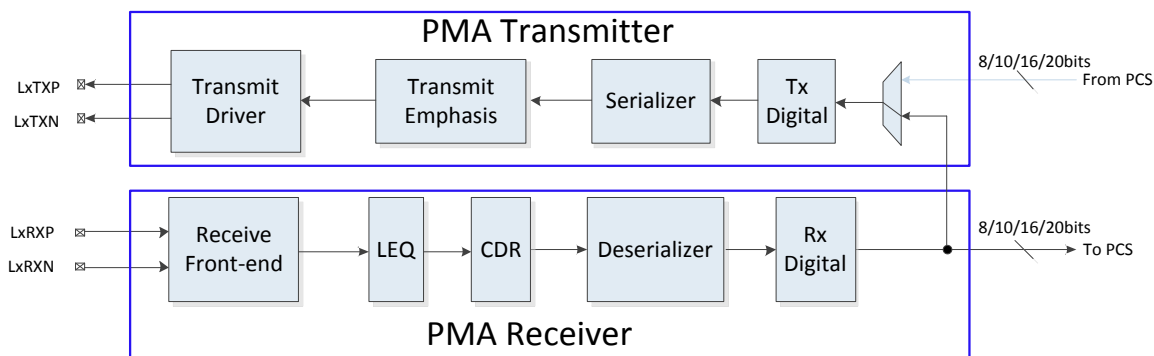


图 25: PMA 远端并行环回数据通路示意图

PMA 远端并行环回的寄存器配置方式如下：

- (a) PMA_REG_TX_DATA_MUX_SEL=3
- (b) PMA_REG_TX_FIFO_EN="TRUE"
- (c) PMA_REG_PLPBK_TXPCLK_EN="TRUE"

5. PCS 远端环回

PCS 远端并行环回在 PCS 中实现，在该模式下接收数据，经过 PMA 采样并转换为并行数据，在经过 Rx Sample Reg 模块后，通过一个深度为 8 的异步 FIFO（用于补偿 PCS_RCLK 和 PCS_TCLK 之间的相位差异），环回到 Tx Drive Reg 模块，再通过 PMA 环回输出，其数据通路如下图所示。

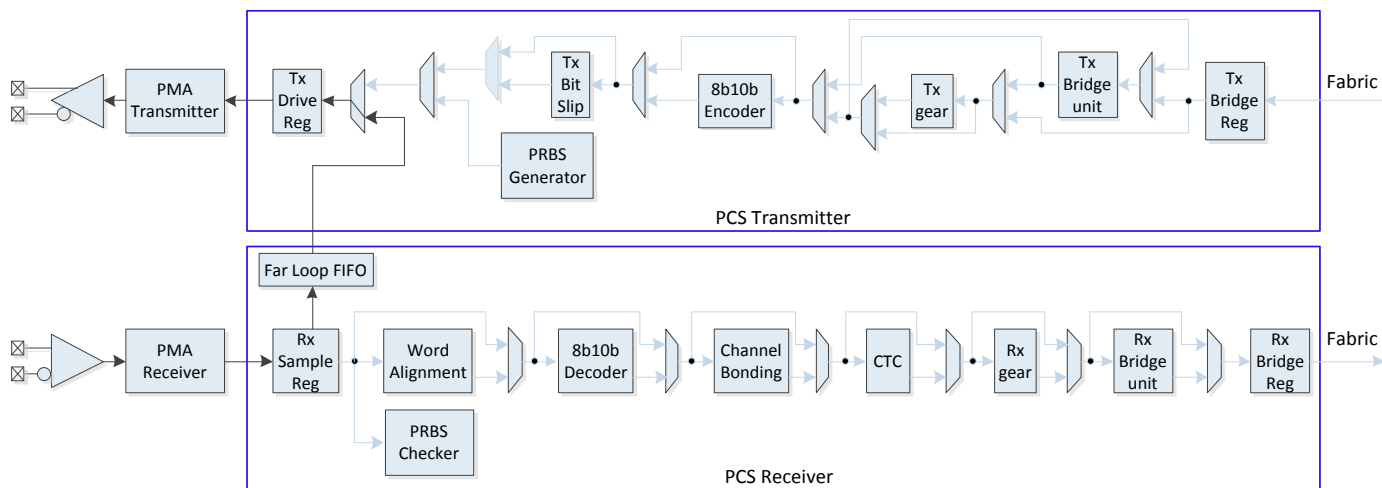


图 26: PCS 远端环回数据通路示意图

PCS 远端环回的寄存器配置方式如下：

- (a) PCS_FAR_LOOP="TRUE"
- (b) PMA_REG_PLPBK_TXPCLK_EN="TRUE"

四、HSST 的上电复位序列

(一)PLL 上电复位时序图

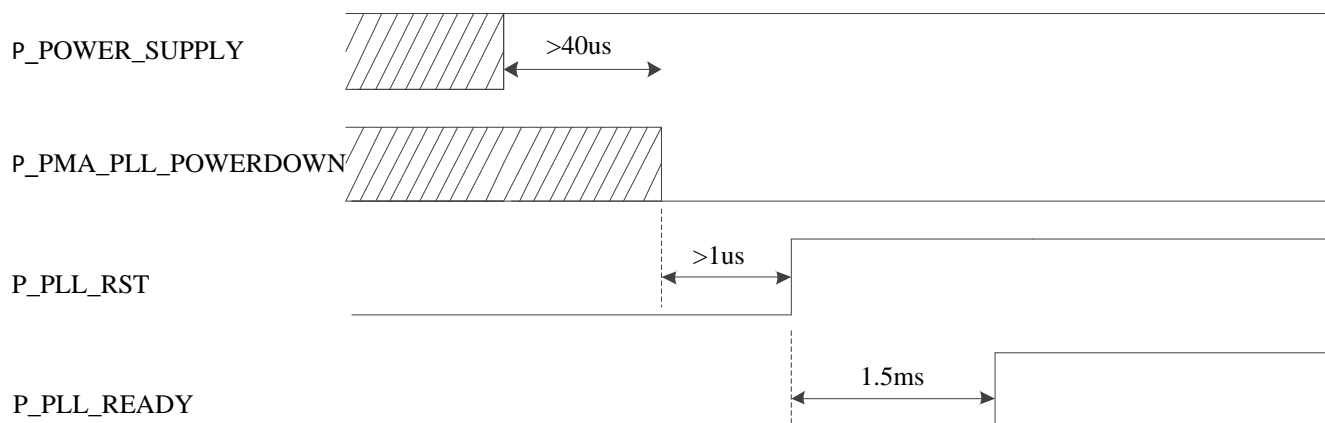


图 27: PLL 上电复位时序图

PLL 上电后，首先 P_PMA_PLL_POWERDOWN 由高电平变为低电平，然后等待至少 1us 的时间，P_PLL_RST 端口复位，复位的高电平脉冲时间最大 1.5ms，然后等待端口 P_PLL_READY 变为高电平，则 PLL 相位锁定。

PLL 不工作时，P_PMA_PLL_POWERDOWN 为高电平，且 P_PLL_RST 为低电平。在下一次 PLL 工作之前，必须确保 P_PMA_PLL_POWERDOWN 高电平的时间大于 40us。

正常工作时，P_PMA_PLL_POWERDOWN 保持为低电平，则只需要操作 P_PLL_RST 进行 PLL 复位。

(二)发送方向上电复位时序图

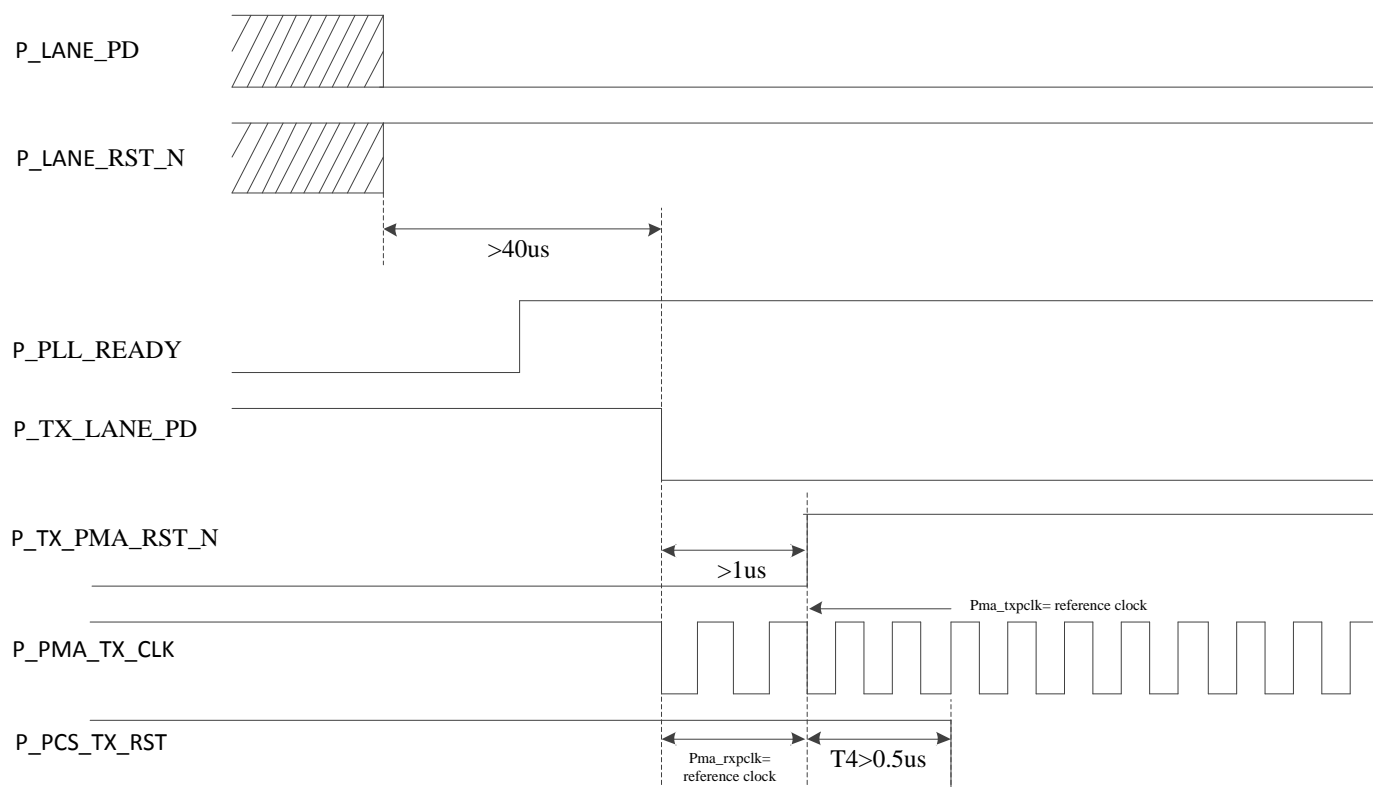


图 28: 发送方向上电复位时序图

P_TX_LANE_PD 从高电平变低电平之前的 40us, P_LANE_PD 和 P_LANE_RST_N 需要变为高电平, 并且 P_PLL_READY 应当为高电平 (即 PLL 锁定)。

P_TX_LANE_PD 变低电平之后, P_TX_PMA_RST_N 需要等待 1us 以上, 再释放 (即从低电平变高电平)。

P_TX_PMA_RST_N 变高电平之后, P_PCS_TX_RST 需要等待 0.5us 以上, 再释放 (即从高电平变低电平)。

发送方向通过改变 P_TX_RATE 实现动态速率切换同步时序图如下图所示。图中 PCIe_EI 是 PCI Express electrical_idle 指示, 包括 PCIe_EI_H 和 PCIe_EI_L, 在 P_TDATA[45:44]比特位定义, 同步时序控制时, PCIe_EI_H 和 PCIe_EI_L 都产生同样的 PCIe_EI 控制时序。

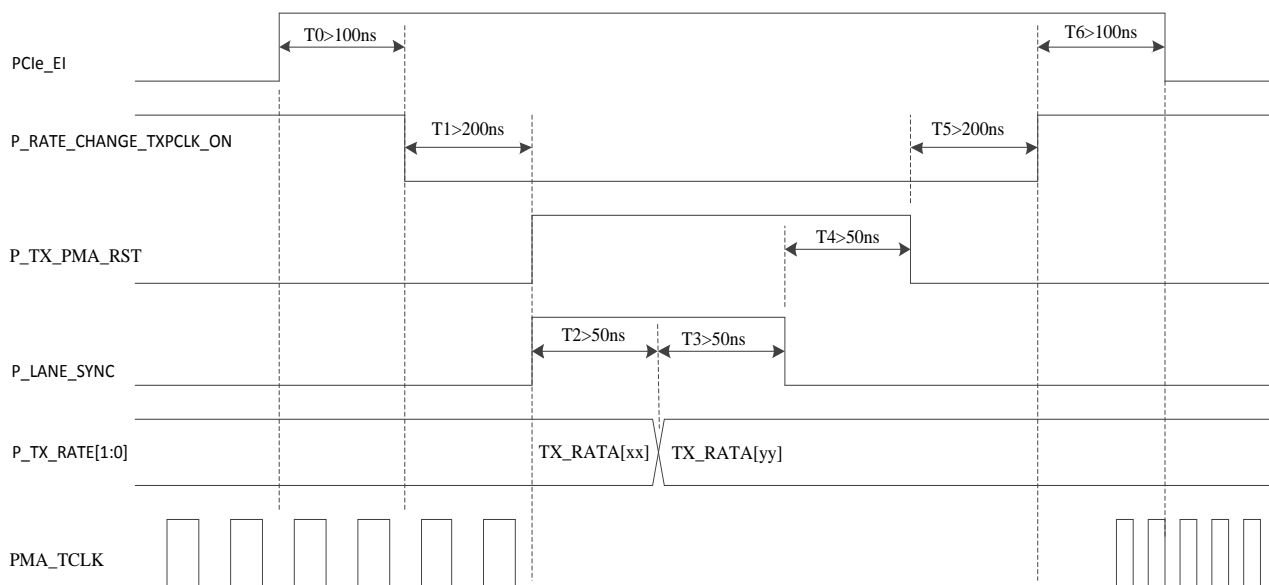


图 29: 发送方向动态速率切换同步时序图

发送方向通过改变 P_TX_RATE 实现动态速率切换时, PLL 不会失锁, 所以不需要重新复位 P_PCS_TX_RST。

假如还需要通过修改 PLL 配置参数来实现发送方向速率切换时, 则需要重新进行发送方向上电复位时序操作。

(三)接收方向上电复位时序图

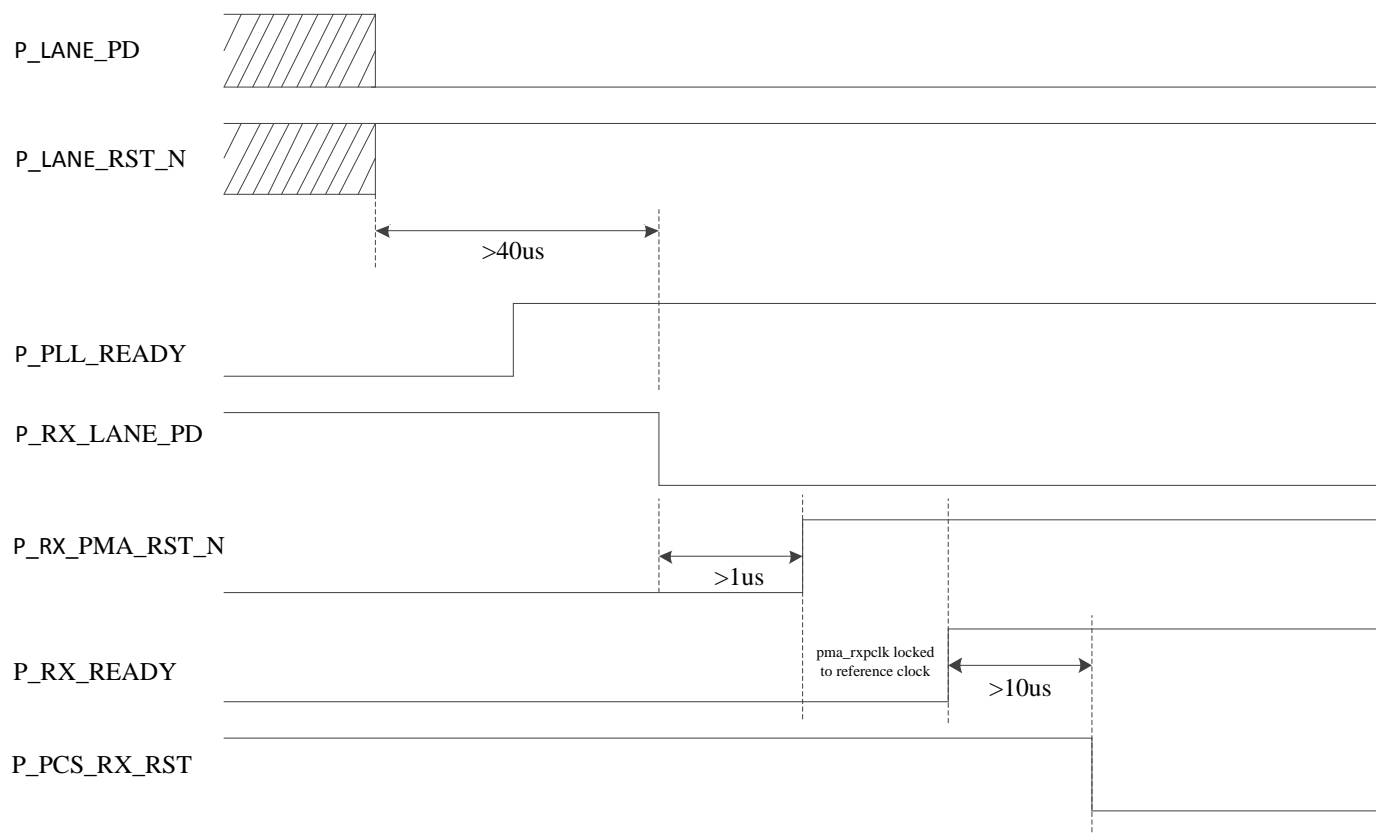


图 30：接收方向上电复位时序图

P_RX_LANE_PD 从高电平变低电平之前的 40us, P_LANE_PD 需要变为低电平, P_LANE_RST_N 需要变为高电平, 并且 P_PLL_READY 应当为高电平 (即 PLL 锁定)。

P_RX_LANE_PD 变低电平之后, P_LANE_RST_N 需要等待 1us 以上, 再释放 (即从低电平变高电平)。

有效数据到来之后, CDR 开始进入跟踪锁定过程, 当检测到 P_RX_READY 变为高电平, 表示 CDR 完成锁定。如果数据中断, 则 CDR 会自动被复位, P_RX_READY 变为低电平。当有效数据再次到来之后, CDR 重新进入跟踪锁定过程。

有效数据到来之后, P_RX_READY 变为高电平之后, 需要等待 10us 以上, P_PCS_RX_RST 再释放 (即从高电平变低电平)。

RX 在正常工作的情况下被 POWER DOWN, 至少需要 40us, 以保证所有模块被关掉。

接收方向通过改变 P_RX_RATE 实现动态速率切换同步时序图如下图所示。

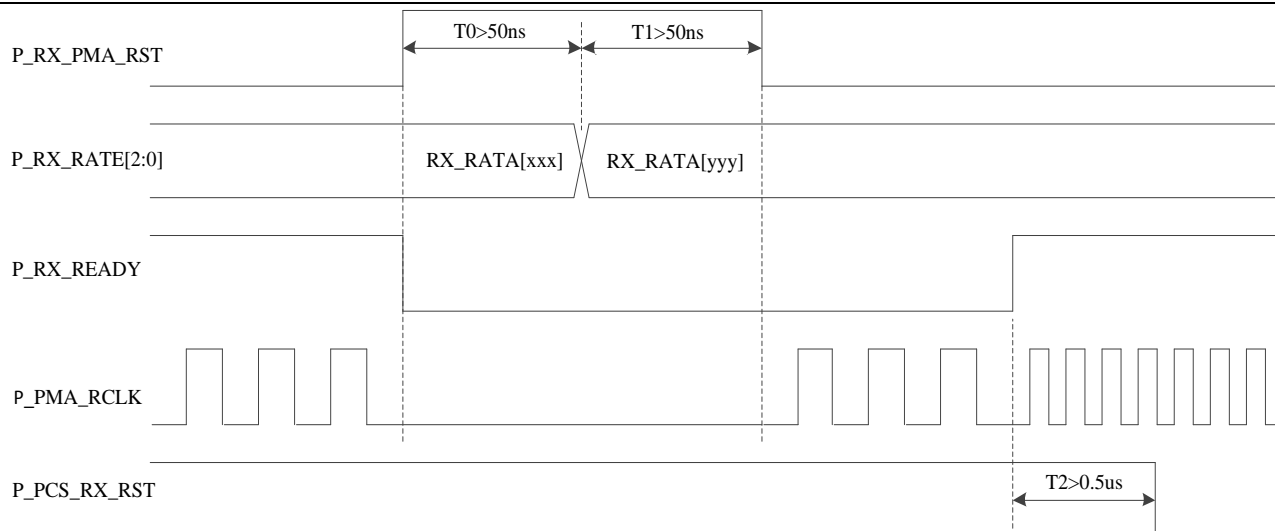


图 31：接收方向动态切换同步时序图

接收方向通过改变 **P_RX_RATE** 实现动态速率切换时，涉及到 CDR 重新锁定，所以 **P_PCS_RX_RST** 需要重新复位。

假如还需要通过修改 PLL 配置参数来实现接收方向速率切换时，则需要重新进行接收方向上电复位时序操作

五、HSST 寄存器说明

采用 APB 总线对 HSST 的寄存器进行配置，支持配置寄存器可回读。总线数据位宽 8 比特，总线地址位宽 16 比特。每个 HSST 包含 2 组 PMA pll，4 条 PCS LANE 和 4 条 PMA LANE，各通道配置寄存器地址分配如下表：

表 16: HSST 配置寄存器地址分配

通道模块	配置寄存器地址范围
PMA PLL0	0x0000——0x0fff
PMA PLL1	0x1000——0x1fff
PCS LANE0	0x8000——0x8fff
PMA LANE0	0x9000——0x9fff
PCS LANE1	0xa000——0xafff
PMA LANE1	0xb000——0xbfff
PCS LANE2	0xc000——0xcfff
PMA LANE2	0xd000——0xdfff
PCS LANE3	0xe000——0xefff
PMA LANE3	0xf000——0xffff

(一)PLL 配置寄存器说明

表 17: PLL 配置寄存器描述: pma_pll_reg0, 偏移地址 0x000

Bits	R/W	对应 Parameter 名	描述
7	R/W	LANE_SYNC	发送通道一旦同步上 lane_sync 由 0 变 1。Default:1'b0
6	R/W	LANE_SYNC_OW	1'b0:通道同步去使能; 1'b1:通道同步使能。 Default:1'b0
5	R/W	PLL_READY	1'b0: PLL 未锁定; 1'b1: PLL 锁定。 Default:1'b0
4	R/W	PLL_READY_OW	1'b0: PLL ready 由内部状态机控制; 1'b1: PLL ready 由寄存器控制。 Default:1'b0
3	R/W	PLL_RESET_N	1'b0: 低复位; 1'b1: 不复位。 Default:1'b0
2	R/W	PLL_RESET_N_OW	1'b0: PLL 复位由端口控制; 1'b1: PLL 复位由寄存器控制。 Default:1'b0
1	R/W	PLL_POWERDOWN	1'b0:电源不关闭; 1'b1:电源关闭。 Default:1'b0
0	R/W	PLL_POWERDOWN_OW	1'b0: PLL 电源关闭由端口控制; 1'b1: PLL 电源关闭由寄存器控制。 Default:1'b0

表 18: PLL 配置寄存器描述: pma_pll_reg1,偏移地址 0x001

Bits	R/W	对应 Parameter 名	描述
7:6	R	Reserved	Default:2'b00
5	R/W	RESCAL_DONE	1'b0:电阻校正未完成; 1'b1:电阻校正完成。 Default:1'b0
4	R/W	RESCAL_DONE_OW	1'b0: rescal_done 由实际状态控制; 1'b1: rescal_done 由寄存器控制。 Default:1'b0
3	R/W	RESCAL_RESET_N	1'b0: 低复位; 1'b1: 不复位。 Default:1'b0
2	R/W	RESCAL_RESET_N_OW	1'b0: rescal_reset_n 由端口控制;

			1'b1: rescal_reset_n 由寄存器控制。Default:1'b0
1	R/W	RESCAL_I_CODE_PMA	1'b0: rescal 码不来自 PMA; 1'b1: rescal 码来自 PMA。Default:1'b0
0	R/W	LOCKDET_REPEAT	1'b0:锁定检测模块检测一次; 1'b1:锁定检测模块连续检测。Default:1'b0

表 19: PLL 配置寄存器描述: pma_pll_reg2,偏移地址 0x002

Bits	R/W	对应 Parameter 名	描述
7:5	R	Reserved	
4:3	R/W	REG_BIAS_VCOREP_C	偏置电流控制 vco replica 模块 00:偏置电流为 43.75uA 01:偏置电流为 50uA 10:偏置电流为 56.25uA 11:偏置电流为 62.5uA。Default:2'b01
2:1	R/W	REG_LDO_VREF_SEL	ldo 输出电压控制寄存器 00: ldo 输出电压为 1.05V 01: ldo 输出电压为 1.1V 10: ldo 输出电压为 1.15V 11: ldo 输出电压为 1.2V "。Default:2'b10
0	R/W	REG_RESCAL_CODE_OW	1'b0:电流控制偏移码用于校正; 1'b1: rescal_i_tune<4:0> = reg_rescal_i_offset<4:0>, rescal_r_code<5:0>={reg_rescal_onchip_small, reg_rescal_r_offset<4:0>}。Default:1'b0

表 20: PLL 配置寄存器描述: pma_pll_reg3,偏移地址 0x003

Bits	R/W	对应 Parameter 名	描述
7	R/W	REG_RESCAL_ONCHIP_SMALL	1'b0:片上电阻大于片外电阻; 1'b1:片上电阻小于片外电阻。Default:1'b0
6	R/W	REG_RESCAL_ONCHIP_SMALL_OW	1'b0: rescal_onchip_small is used ; 1'b1: rescal_onchip_small is ignored。Default:1'b0
5:0	R/W	REG_RESCAL_I_CODE	如果 rescal_i_code 不在这个范围内 [reg_i_ctrl_min, reg_i_ctrl_max],则令 rescal_i_code=reg_rescal_i_code。 Default:6'b10_0000

表 21: PLL 配置寄存器描述: pma_pll_reg4,偏移地址 0x004

Bits	R/W	对应 Parameter 名	描述
7:5	R	Reserved	
4:2	R/W	REG_JTAG_VHYSTSEL	refclk jtag 迟滞电压选择
1	R/W	refclk acjtag mode enable register	refclk acjtag 模式使能寄存器。Default:1'b0
0	R/W	REG_JTAG_OE	1'b0: refclk jtag 不使能; 1'b1: refclk jtag 使能。Default:1'b0

表 22: PLL 配置寄存器描述: pma_pll_reg5,偏移地址 0x005

Bits	R/W	对应 Parameter 名	描述
7	R/W	PLL_UNLOCKED_STICKY_CLEAR	1'b0: pll 不锁定状态保持; 1'b1: pll_unlocked_sticky_status=0。Default:1'b0

6	R/W	PLL_LOCKED_STICKY_CLEAR	1'b0: pll 锁定状态保持; 1'b1: pll_locked_sticky_status=0。Default:1'b0
5	R/W	PLL_LOCKED	1'b0: PLL 未锁定; 1'b1: PLL 锁定。Default:1'b0
4	R/W	PLL_LOCKED_OW	1'b0: pll_locked 由实际锁定信号控制; 1'b1: pll_lock 由寄存器 reg_pll_locked 控制。 Default:1'b0
3	R/W	PLL_LOCKDET_RESET_N	1'b0: pll 锁定检测保持复位; 1'b1: pll 锁定检测正常。Default:1'b0
2	R/W	PLL_LOCKDET_RESET_N_OW	1'b0: pll_lockdet_reset_n 由实际信号控制; 1'b1: pll_lockdet_reset_n 忽略。Default:1'b0
1	R/W	PLL_LOCKDET_EN	1'b0: pll 锁定检测去使能; 1'b1: pll 锁定检测使能。Default:1'b0
0	R/W	PLL_LOCKDET_EN_OW	1'b0: pll 由实际信号控制; 1'b1: pll_lockdet_en 忽略。Default:1'b0

表 23: PLL 配置寄存器描述: pma_pll_reg6,偏移地址 0x006

Bits	R/W	对应 Parameter 名	描述
7	R	Reserved	
6:4	R/W	PLL_LOCKDET_FBCT	反馈时钟锁定检测超时计数值。 3'b000: 2^7 3'b 001: 2^8 3'b 010: 2^9 3'b 011: 2^10 3'b 100: 2^11 3'b 101: 2^12 3'b 110: 2^14 3'b 111 2^16。Default:3'b111
3:1	R/W	PLL_LOCKDET_REFCT	参考时钟锁定检测超时计数值。 3'b000: 2^9 3'b001: 2^10 3'b010: 2^11 3'b011: 2^12 3'b100: 2^13 3'b101: 2^14 3'b110: 2^15 3'b111: 2^16 。Default:3'b111
0	R/W	NOFBCLK_STICKY_CLEAR	1'b0: nofbclk_sticky 状态不清除; 1'b1: nofbclk_sticky 状态清除。Default:1'b0

表 24: PLL 配置寄存器描述: pma_pll_reg7,偏移地址 0x007

Bits	R/W	对应 Parameter 名	描述
7:6	R/W	PLL_UNLOCKDET_ITER	pll 不锁定前锁定检测迭代次数。 2'b00: 63 2'b01: 127 2'b10: 255 2'b11: 1023。Default:2'b10

5:3	R/W	PLL_LOCKDET_ITER	pll 锁定前连续成功检测次数. 3'b000: 1 3'b001: 2 3'b010: 4 3'b011: 8 3'b100: 16 3'b101: 32 3'b110: 64 3'b111: 128。Default:3'b011
2:0	R/W	PLL_LOCKDET_LOCKCT	Register value of lock detection threshold for count difference between ref_clk & fb_clk counters. 3'b000: 2 3'b001: 4 3'b010: 8 3'b011: 16 3'b100: 32 3'b101: 64 3'b110: 128 3'b111: 256。Default:3'b100

表 25: PLL 配置寄存器描述: pma_pll_reg8,偏移地址 0x008

Bits	R/W	对应 Parameter 名	描述
7:3	R/W	TEST_SEL	测试信号选择 00000: vssa 00001: vdda 00010: vdda25/3 00011: vc_cap (ring:1, lc: 1/2) 00100: biasp_test (ring:1, lc: 1/2) 00101: biasp_fb_test (ring:1, lc: 1/2) 00110: vc_dummy (ring:1, lc: 1/2) 00111: lcvco_amp 01000: lcvco_amp_ref 01001: rnposab 1k 01010: rnposab 2k 01011: rpposab 1k 01100: rpposab 2k 01101: rhrho 1k 01110: rhrho 2k 01111: reserved 10000: test_fbclk 10001: test_refclk 10010: test_pll_fsm

			10011: test_trx 10100: test_lcvco_amp_det. Default:4'b00000
2	R/W	REFCLK_TEST_EN	1'b0: refclk 接到测试端口不使能; 1'b1: refclk 接到测试端口使能。Default:1'b0
1	R/W	FBCLK_TEST_EN	1'b0: feedback clk 接到测试端口不使能; 1'b1: feedback clk 接到测试端口使能。Default:1'b0
0	R/W	PD_VCO	1'b0: VCO 不关闭电源; 1'b1: VCO 关闭电源。Default:1'b0

表 26: PLL 配置寄存器描述: pma_pll_reg9,偏移地址 0x009

Bits	R/W	对应 Parameter 名	描述
7	R/W	PD_BGR	1'b0: bgr 打开; 1'b1: bgr 关闭。Default:1'b0
6	R/W	BGR_STARTUP	1'b0: bandgap 未启动; 1'b1: bandgap 已启动。Default:1'b0
5	R/W	BGR_STARTUP_EN	1'b0: bandgap 启动电路去使能; 1'b1: bandgap 启动电路使能。Default:1'b0
4	R/W	REFCLK_OUT_PD	1'b0: refclk 输出 buffer 打开; 1'b1: refclk 输出 buffer 关闭。Default:1'b1
3:2	R/W	TEST_FSM	FSM 测试信号选择 2'b00: test_fsm=pll_ready 2'b01: test_fsm=rescal_en 2'b10: test_fsm=pll_locked 2'b11: test_fsm=pll_unlocked。Default:2'b00
1	R/W	TEST_SIG_HALF_EN	1'b0:测试信号电压输出为 1:1; 1'b1:测试信号电压输出为 1:2。Default:1'b0
0	R/W	TEST_V_EN	1'b0:测试信号电压不使能; 1'b1:测试信号电压使能。Default:1'b0

表 27: PLL 配置寄存器描述: pma_pll_reg10,偏移地址 0x00a

Bits	R/W	对应 Parameter 名	描述
7:6	R	Reserved	
5	R/W	RESET_N_PFDQP	1'b0: PFD/QP 在复位; 1'b1: PFD/QP 在正常模式。Default:1'b0
4	R/W	RESET_N_PFDQP_OW	1'b0: reset_n_pfdqp 由状态机控制; 1'b1: reset_n_pfdqp 由寄存器控制。Default:1'b0
3:2	R/W	FBDIVB	feedback divider B 2'b00: 1/2 2'b01: 1/5 2'b10: 1/4。Default:2'b00
1	R/W	FBDIVA_5_EN	feedback divider A div-5 enable 1'b0: 1/4; 1'b1: 1/5。Default:1'b1
0	R/W	REFCLK_TERM_VCM_EN	refclk 终端共模电压选择寄存器 1'b0: refclk 终端共模电压选择输入直流耦合; 1'b1: refclk 终端共模电压选择内部 vcm。Default:1'b0

表 28: PLL 配置寄存器描述: pma_pll_reg11,偏移地址 0x00b

Bits	R/W	对应 Parameter 名	描述
7:5	R	Reserved	
4	R/W	VC_FORCE_EN	vc_force 使能控制寄存器 1'b0:vc force 不使能(default); 1'b1:vc force 使能。Default:1'b1
3:0	R/W	QPCURRENT	电荷泵电流设置

表 29: PLL 配置寄存器描述: pma_pll_reg12,偏移地址 0x00c

Bits	R/W	对应 Parameter 名	描述
7:5	R	Reserved	
4:0	R/W	VCRESET_C_RING	11000: 400uA x 1.6k = 640mV (ring VCO)

表 30: PLL 配置寄存器描述: pma_pll_reg13,偏移地址 0x00d

Bits	R/W	对应 Parameter 名	描述
7:4	R/W	LPF_TR_C	0010: 1k
3:0	R/W	LPF_R_C	0010: 1k

表 31: PLL 配置寄存器描述: pma_pll_reg14,偏移地址 0x00e

Bits	R/W	对应 Parameter 名	描述
7	R	Reserved	
6:5	R/W	BIAS_LANE_SYNC	通道同步模块偏置电流控制寄存器 2'b00: 43.75uA 2'b 01: 50uA 2'b10: 56.25uA 2'b11: 62.5uA。Default:2'b01
4:3	R/W	BIAS_QP	电荷泵偏置控制。Default:2'b01
2:1	R/W	ICTRL_PLL	锁相环偏置控制。Default:2'b01
0	R/W	PD_BIAS	锁相环偏置开关控制 1'b0:锁相环偏置开; 1'b1:锁相环偏置关。Default:1'b0

表 32: PLL 配置寄存器描述: pma_pll_reg15,偏移地址 0x00f

Bits	R/W	对应 Parameter 名	描述
7	R/W	LANE_SYNC_EN_OW	通道同步使能控制选择。 1'b0:通道同步使能选择输入信号。 1'b1:通道同步使能选择寄存器 reg_lane_sync_en。 Default:1'b0
6	R/W	LANE_SYNC_EN	1'b0:通道同步不使能; 1'b1:通道同步使能。Default:1'b0
5:4	R/W	BIAS_CLKBUFS3	Default:2'b01
3:2	R/W	TXPCLK_SEL	2'b00:选择 txpclk0; 2'b01:选择 txpclk1; 2'b10:选择 txpclk2; 2'b11:选择 txpclk3。Default:2'b00
1:0	R/W	BIAS_CLKBUFS1	Default:2'b01

表 33: PLL 配置寄存器描述: pma_pll_reg16,偏移地址 0x010

Bits	R/W	对应 Parameter 名	描述
7:6	R/W	BIAS_REFBUF_C	Default:2'b00
5:4	R/W	BIAS_VCRST_C	Default:2'b01
3:2	R/W	BIAS_REFD2S_C	Default:2'b01
1:0	R/W	BIAS_D2S	Default:2'b01

表 34: PLL 配置寄存器描述: pma_pll_reg17,偏移地址 0x011

Bits	R/W	对应 Parameter 名	描述
7:5	R/W	CLKBUFS3_C	Default:3'b110
4:2	R/W	CLKBUFS2_C	Default:3'b110
1:0	R/W	CLKBUFS1_C	Default:2'b01

表 35: PLL 配置寄存器描述: pma_pll_reg18,偏移地址 0x012

Bits	R/W	对应 Parameter 名	描述
7	R/W	PLL_UNLOCKED	1'b0: PLL 锁定; 1'b1: PLL 未锁定。Default:1'b0
6	R/W	PLL_UNLOCKED_OW	1'b0: pll_unlocked 由实际信号控制; 1'b1: pll_unlock 由寄存器控制。Default:1'b0
5	R/W	RESCAL_R_CODE_SIGN	1'b0: 对应于参数值"FALSE"; 1'b1: 对应于参数值"TRUE"。Default:1'b1
4	R/W	REFCLK_SEL	1'b0: refclk 来自焊盘; 1'b1: refclk is from digital。Default:1'b0
3:2	R/W	PLL_REFCLK_CML_SEL	2'b00: refclk 来自本地焊盘; 2'b01: refclk 来自同一 HSST 的另一个 PLL 的焊盘; 2'b10: refclk 来自相邻 HSST 的焊盘。 2'b11: reserved。Default:2'b00
1:0	R/W	CLKBUFS4_C	Default:2'b01

表 36: PLL 配置寄存器描述: pma_pll_reg19,偏移地址 0x013

Bits	R/W	对应 Parameter 名	描述
7:4	R/W	RESCAL_I_CODE_VAL_0TO3	Default:4'b0000
3	R/W	RESCAL_EN	1'b0: rescal 去使能; 1'b1: rescal 使能。Default:1'b0
2	R/W	PLL_CLKBUF_PD_RIGHT	1'b0:右边时钟 buffer 打开; 1'b1:右边时钟 buffer 打开。Default:1'b0
1	R/W	PLL_CLKBUF_PD_LEFT	1'b0:左边时钟 buffer 打开; 1'b1:左边时钟 buffer 打开。Default:1'b0
0	R/W	PLL_LOCKDET_MODE	1'b0: FALSE; 1'b1: TRUE。Default:1'b0

表 37: PLL 配置寄存器描述: pma_pll_reg20,偏移地址 0x014

Bits	R/W	对应 Parameter 名	描述
7:6	R	Reserved	
5	R/W	RESCAL_WAIT_SEL	1'b 0: 32 refclk 周期; 1'b 1: 64 refclk 周期。Default:1'b0
4:3	R/W	RESCAL_ITER_VALID_SEL	有效电阻校正迭代次数(有效表示校正结果在合理范

			围内) 2'b 00: 64 2'b 01: 32 2'b 10: 16 2'b 11: 8。Default:2'b00
2	R/W	RESCAL_I_CODE_OW	1'b0: rescal 输入码来自 pma_rescal_i_code_i 1'b1: rescal 输入码来自 reg_rescal_i_code_val。 Default:1'b0
1:0	R/W	RESCAL_I_CODE_VAL_4TO5	rescal_i_code_val[5:4]。Default:2'b00

表 38: PLL 配置寄存器描述: pma_pll_reg21,偏移地址 0x015

Bits	R/W	对应 Parameter 名	描述
7:6	R	Reserved	
5:0	R/W	I_CTRL_MAX	i_ctrl_max[5:0]。Default:5'b110001

表 39: PLL 配置寄存器描述: pma_pll_reg22,偏移地址 0x016

Bits	R/W	对应 Parameter 名	描述
7:6	R	Reserved	
5:0	R/W	I_CTRL_MIN	i_ctrl_min[5:0]。Default:5'b010011

表 40: PLL 配置寄存器描述: pma_pll_reg23,偏移地址 0x017

Bits	R/W	对应 Parameter 名	描述
7:0	R/W	pma_quadreg_txpll_160to167	[7:2]:0; [1]:带隙基准电路 bgr11_ring bypass enable [0]:pll_refclk_div2_en_o。Default:8'b0000_0000

表 41: PLL 配置寄存器描述: pma_pll_reg24,偏移地址 0x018

Bits	R/W	对应 Parameter 名	描述
7:0	R/W	pma_quadreg_txpll_168to175	

表 42: PLL 配置寄存器描述: pma_pll_reg25,偏移地址 0x019

Bits	R/W	对应 Parameter 名	描述
7:0	R/W	pma_quadreg_txpll_176to183	

表 43: PLL 配置寄存器描述: pma_pll_reg26,偏移地址 0x01a

Bits	R/W	对应 Parameter 名	描述
7:0	R/W	pma_quadreg_txpll_184to191	

表 44: PLL 配置寄存器描述: pma_pll_reg27,偏移地址 0x01b

Bits	R/W	对应 Parameter 名	描述
7:0	R	pma_pll_status_7_0	[0]:rescal_done; [6:1]:pma_rescal_i_code_o; [7]:'0'

表 45: PLL 配置寄存器描述: pma_pll_reg28,偏移地址 0x01c

Bits	R/W	对应 Parameter 名	描述
7:0	R	pma_pll_status_15_8	[9:8]:0;

			[10]:rescal_int_r_small_i; [11]:pll_nofbclk_sticky_o; [12]:pll_norefclk_sticky_o; [13]:pll_locked; [14]:pll_unlocked; [15]:pll_locked_sticky
--	--	--	---

表 46: PLL 配置寄存器描述: pma_pll_reg29,偏移地址 0x01d

Bits	R/W	对应 Parameter 名	描述
7:0	R	pma_pll_status_23_16	[16]:pll_unlocked_sticky; [17]:rescal_en_o; [23:18]:0

表 47: PLL 配置寄存器描述: pma_pll_reg30,偏移地址 0x01e

Bits	R/W	对应 Parameter 名	描述
7:0	R	pma_pll_status_31_24	[31:24]:0

表 48: PLL 配置寄存器描述: pma_pll_reg31,偏移地址 0x01f

Bits	R/W	对应 Parameter 名	描述
7:3	R	Reserved	
2	R/W	cfg_pll_rstn	配置 PLL 的 cfg_pll_rstn 1'b0:低复位; 1'b1:不复位。Default:1'b0
1	R/W	cfg_pllpowerup	配置 PLL 的 cfg_pllpowerup 1'b0: ON; 1'b1: OFF。Default:1'b0
0	R/W	cfg_hsst_rstn	配置 PLL 的 cfg_hsst_rstn 1'b0:低复位; 1'b1:不复位。Default:1'b0

(二)PCS 通道配置寄存器说明

表 49: PCS 通道配置寄存器描述: 偏移地址 0x000

Bits	R/W	对应 Parameter 名	描述
7	R/W	PCS_BYPASS_BRIDGE_FIFO	Bypass 模块 Rx Bridge unit/Rx Bridge FIFO 控制,
6	R/W	PCS_BYPASS_BRIDGE	[7:6]=2'b00:Rx Bridge unit 有效(default); [7:6]=2'b01:bypass Rx Bridge unit; [7:6]=2'b1x: bypass Rx Bridge FIFO。 [7]或[6]=1'b0: 对应于 Parameter 参数值"FALSE" [7]或[6]=1'b1: 对应于 Parameter 参数值"TRUE"
5	R/W	PCS_BYPASS_GEAR	高有效 Bypass 模块 Rx Gear, 跟 IP 配置相关 1'b0: 对应于 Parameter 参数值"FALSE" 1'b1: 对应于 Parameter 参数值"TRUE"
4	R/W	PCS_BYPASS_CTC	高有效 Bypass 模块 CTC, 跟 IP 配置相关 1'b0: 对应于 Parameter 参数值"FALSE" 1'b1: 对应于 Parameter 参数值"TRUE"
3	R/W	PCS_BYPASS_BONDING	高有效 Bypass 模块 Channel Bonding, 跟 IP 配置相关 1'b0: 对应于 Parameter 参数值"FALSE" 1'b1: 对应于 Parameter 参数值"TRUE"

2	R/W	PCS_BYPASS_DENC	高有效 Bypass 模块 8b10b Decoder, 跟 IP 配置相关 1'b0: 对应于 Parameter 参数值"FALSE" 1'b1: 对应于 Parameter 参数值"TRUE"
1	R/W	PCS_BYPASS_WORD_ALIGN	高有效 Bypass 模块 Word Alignment, 跟 IP 配置相关 1'b0: 对应于 Parameter 参数值"FALSE" 1'b1: 对应于 Parameter 参数值"TRUE"
0	R		Reserved

表 50: PCS 通道配置寄存器描述: 偏移地址 0x001

Bits	R/W	对应 Parameter 名	描述
7	R		Reserved,固定值 0
6	R/W	PCS_FARLP_PWR_REDUCTION	高有效关闭 PCS 远端环回 FIFO 功能, 降低功耗 1'b0: 对应于 Parameter 参数值"FALSE", 做 PCS 远端环回测试时, 打开 PCS 远端环回 FIFO 功能。(default) 1'b1: 对应于 Parameter 参数值"TRUE", 不做 PCS 远端环回测试时, 可以关闭 PCS 远端环回 FIFO 功能, 降低功耗。
5	R/W	PCS_SAMP_16B	PCS Receiver 模块数据位宽选择之一, 跟 IP 配置相关 1'b0: 对应于 Parameter 参数值"X20"; 用于除 8/16/32 bits only 之外的位宽模式; 1'b1: 对应于 Parameter 参数值"X16"; 用于 8/16/32 bits only 位宽模式;
4:3	R/W	PCS_ALIGN_MODE	Word Alignment Link State Machine 选择, 跟 IP 配置相关 2'b00: 对应于 Parameter 参数值" 1GB"; 选择基于 Gig Ethernet 的 Link State Machine 2'b01:对应于 Parameter 参数值" 10GB"; 选择基于 10G Ethernet 的 Link State Machine 2'b10: 对应于 Parameter 参数值" RAPIDIO"; 选择基于 RapidIO 的 Link State Machine 2'b11: 对应于 Parameter 参数值" OUTSIDE"; 选择外部状态机控制
2:1	R/W	PCS_RX_POLARITY_INV	Rx Sample Reg 模块极性反转和 bit order 反转; 2'b00: 对应于 Parameter 参数值" DELAY"; 无反转(default) 2'b01 : 对 应 于 Parameter 参 数 值 " BIT_POLARITY_INVERION"; 使能极性反转 2'b10: 对应于 Parameter 参数值" BIT_REVERSAL"; 使能 bit order 反转 2'b11: 对应于 Parameter 参数值"BOTH"; 同时使能极性反转和 bit order 反转
0	R/W	PCS_DATA_MODE	PCS Receiver 模块数据位宽选择之一, 跟 IP 配置相关 1'b0: 对应于 Parameter 参数值"X8", "X10"; 用于 8bit only , 10bit only 或 8b10b 8bit 位宽模式; 1'b1: 对应于 Parameter 参数值"X16", "X20"; 用于除 8bit only , 10bit only 或 8b10b 8bit 之外的位宽模式;

表 51: PCS 通道配置寄存器描述: 偏移地址 0x002

Bits	R/W	对应 Parameter 名	描述
------	-----	----------------	----

7:0	R/W	PCS_COMMA_REG0[7:0]	Word Alignment Comma 字节定义 0, 低 8bits 跟 IP 配置相关
-----	-----	---------------------	---

表 52: PCS 通道配置寄存器描述: 偏移地址 0x003

Bits	R/W	对应 Parameter 名	描述
7:2	R/W	PCS_COMMA_MASK[5:0]	Word Alignment Comma Mask bit 定义, 低 6bits 跟 IP 配置相关
1:0	R/W	PCS_CHx_COMMA_REG0[9:8]	Word Alignment Comma 字节定义 0, 高 2bits 跟 IP 配置相关

表 53: PCS 通道配置寄存器描述: 偏移地址 0x004

Bits	R/W	对应 Parameter 名	描述
7:6	R/W	PCS_CTC_MODE	CTC 模式选择, 跟 IP 配置相关 2'b00: 对应于 Parameter 参数值"1SKIP"; 插入/删除的 SKIP 字符为 1 个字节 2'b01:对应于 Parameter 参数值" 2SKIP"; 插入/删除的 SKIP 字符为 2 个字节 2'b10: 对应于 Parameter 参数值"PCIE_2BYTE"; PCIe 的 2 字节模式, 只增加或者删除后面的 skip 2'b11: 对应于 Parameter 参数值"4SKIP"; PCIe 的 4 字节模式, SKIP 字节为 4 个字节, 但只插入/删除 SKIP 字符中的最后一个字节
5:4	R/W	PCS_CEB_MODE	Channel Bonding State Machine 选择, 跟 IP 配置相关 2'b00: 对应于 Parameter 参数值"10GB"; 选择基于 XAUI 的 Channel Bonding State Machine 2'b01:对应于 Parameter 参数值"RAPIDIO"; 选择基于 RapidIO 的 Channel Bonding State Machine 2'b10: 对应于 Parameter 参数值"OUTSIDE"; 选择外部状态机控制 2'b11: Reserved
3:0	R/W	PCS_COMMA_MASK[9:6]	Word Alignment Comma Mask bit 定义, 高 4 bits 跟 IP 配置相关

表 54: PCS 通道配置寄存器描述: 偏移地址 0x005

Bits	R/W	对应 Parameter 名	描述
7:0	R/W	PCS_A_REG	通道绑定使用的 Align Pattern 定义, 跟 IP 配置相关

表 55: PCS 通道配置寄存器描述: 偏移地址 0x006

Bits	R/W	对应 Parameter 名	描述
7:2	R/W	PCS_SKIP_REG0[5:0]	CTC 使用的 SKIP 字符 Byte 0, 低 6bits, 跟 IP 配置相关
1	R/W	PCS_GE_AUTO_EN	高有效使能基于 1 Gig Ethernet 的/C/到/I2/的自动替换, 跟 IP 配置相关 1'b0: 对应于 Parameter 参数值"FALSE"; 不使能 1'b1: 对应于 Parameter 参数值"TRUE"; 使能
0	R		Reserved, 固定值 0

表 56: PCS 通道配置寄存器描述: 偏移地址 0x007

Bits	R/W	对应 Parameter 名	描述
7:4	R/W	PCS_SKIP_REG1[3:0]	CTC 使用的 SKIP 字符 Byte 1, 低 4bits, 跟 IP 配置相关

3	R		Reserved, 固定值 0
2:0	R/W	PCS_SKIP_REG0[8:6]	CTC 使用的 SKIP 字符 Byte 0, 高 3bits, 跟 IP 配置相关

表 57: PCS 通道配置寄存器描述: 偏移地址 0x008

Bits	R/W	对应 Parameter 名	描述
7:6	R/W	PCS_SKIP_REG2[1:0]	CTC 使用的 SKIP 字符 Byte 2, 低 2bits, 跟 IP 配置相关
5	R		Reserved, 固定值 0
4:0	R/W	PCS_SKIP_REG1[8:4]	CTC 使用的 SKIP 字符 Byte 1, 高 5bits, 跟 IP 配置相关

表 58: PCS 通道配置寄存器描述: 偏移地址 0x009

Bits	R/W	对应 Parameter 名	描述
7	R		Reserved, 固定值 0
6:0	R/W	PCS_SKIP_REG2[8:2]	CTC 使用的 SKIP 字符 Byte 2, 高 7bits, 跟 IP 配置相关

表 59: PCS 通道配置寄存器描述: 偏移地址 0x00a

Bits	R/W	对应 Parameter 名	描述
7:0	R/W	PCS_SKIP_REG3[7:0]	CTC 使用的 SKIP 字符 Byte 3, 低 8bits, 跟 IP 配置相关

表 60: PCS 通道配置寄存器描述: 偏移地址 0x00b

Bits	R/W	对应 Parameter 名	描述
7	R		Reserved, 固定值 0
6	R/W	PCS_ERRDETECT_SILENCE	1'b0: 对应于 Parameter 参数值"FALSE", 1'b1: 对应于 Parameter 参数值"TRUE" (default)
5	R/W	PCS_COMMA_DET_MODE	Word Alignment 模块中 Alignment 模式选择, 跟 IP 配置相关 1'b0: 对应于 Parameter 参数值" COMMA_PATTERN "; 选择 Comma Alignment 模式 1'b1: 对应于 Parameter 参数值"RX_CLK_SLIP"; 选择 Rx CLK Slip 模式
4	R/W	PCS_FIFOFLAG_CTC	1'b0:对应于 Parameter 参数值"FALSE"(default) 1'b1: 对应于 Parameter 参数值"TRUE"
3	R/W	PCS_SPLIT	PCS Receiver 模块数据位宽选择之一, 跟 IP 配置相关 1'b0: 对应于 Parameter 参数值"FALSE"; 用于除 8bit only , 10bit only 或 8b10b 8bit 之外的位宽模式; 1'b1: 对应于 Parameter 参数值"TRUE"; 用于 8bit only , 10bit only 或 8b10b 8bit 位宽模式;
2	R/W	PCS_DEC_DUAL	PCS Receiver 模块数据位宽选择之一, 跟 IP 配置相关 1'b1: 对应于 Parameter 参数值"TRUE"; 1'b0: 对应于 Parameter 参数值"FALSE"
1	R		Reserved, 固定值 0
0	R/W	PCS_SKIP_REG3[8]	CTC 使用的 SKIP 字符 Byte 3, 高 1bits, 跟 IP 配置相关

表 61: PCS 通道配置寄存器描述: 偏移地址 0x00c

Bits	R/W	对应 Parameter 名	描述
7	R/W	PCS_RCLK_POLINV	RCLK 时钟源选择 1'b0:对应于 Parameter 参数值" RCLK"(default); 1'b1:对应于 Parameter 参数值" REVERSE_OF_RCLK";
6:5	R/W	PCS_AFTER_CTC_RCLK_SEL	AFTER_CTC_RCLK 时钟源选择, 跟 IP 配置相关

			2'b00:对应于 Parameter 参数值"PMA_RCLK"; 2'b01:对应于 Parameter 参数值"PMA_TCLK"; 2'b10:对应于 Parameter 参数值"MCB_RCLK"; 2'b11:对应于 Parameter 参数值"RCLK2"
4:3	R/W	PCS_CB_RCLK_SEL	CB_RCLK 时钟源选择, 跟 IP 配置相关 2'b00:对应于 Parameter 参数值"PMA_RCLK"; 2'b01:对应于 Parameter 参数值"PMA_TCLK"; 2'b10:对应于 Parameter 参数值"MCB_RCLK"; 2'b11: Reserved
2:1	R/W	PCS_PCS_RCLK_SEL	PCS_RCLK 时钟源选择, 跟 IP 配置相关 2'b00:对应于 Parameter 参数值"PMA_RCLK"; 2'b01:对应于 Parameter 参数值"PMA_TCLK"; 2'b10:对应于 Parameter 参数值"RCLK"; 2'b11:reserved;
0	R/W	PCS_PMA_RCLK_POLINV	1'b0:对应于 Parameter 参数值"PMA_RCLK"(default); 1'b1: reserved

表 62: PCS 通道配置寄存器描述: 偏移地址 0x00d

Bits	R/W	对应 Parameter 名	描述
7:6	R/W	CFG_AFTER_CTC_RCLK_SEL_1	选择 after_ctc_rclk2fabric 来源, 2'b00:pma_rclk; 2'b01:pma_tclk; 2'b10:mcb_rclk 2'b11:rclk2。Default:2'b00
5	R/W	PCS_AFTER_CTC_RCLK_EN_GB	PCS Receiver 模块数据位宽选择之一, 跟 IP 配置相关 1'b0: 对应于 Parameter 参数值"FALSE"; 用于除 32bit only, 40bit only 或 8b10b 32bit 之外的的位宽模式; 1'b1: 对应于 Parameter 参数值"TRUE"; 用于 32bit only, 40bit only 或 8b10b 32bit 的位宽模式;
4	R/W	PCS_AFTER_CTC_RCLK_EN	PCS Receiver 模块数据位宽选择之一, 跟 IP 配置相关 1'b0: 对应于 Parameter 参数值"FALSE"; 用于除 8bit only, 10bit only 或 8b10b 8bit 之外的的位宽模式; 1'b1: 对应于 Parameter 参数值"TRUE";用于 8bit only, 10bit only 或 8b10b 8bit 的位宽模式;
3	R/W	PCS_CB_RCLK_EN	PCS Receiver 模块数据位宽选择之一, 跟 IP 配置相关 1'b0: 对应于 Parameter 参数值"FALSE"; 用于除 8bit only, 10bit only 或 8b10b 8bit 之外的的位宽模式; 1'b1: 对应于 Parameter 参数值"TRUE";用于 8bit only, 10bit only 或 8b10b 8bit 的位宽模式;
2	R/W	PCS_PCS_RCLK_EN	PCS Receiver 模块数据位宽选择之一, 跟 IP 配置相关 1'b0: 对应于 Parameter 参数值"FALSE"; 用于除 8bit only, 10bit only 或 8b10b 8bit 之外的的位宽模式; 1'b1: 对应于 Parameter 参数值"TRUE";用于 8bit only, 10bit only 或 8b10b 8bit 的位宽模式;
1:0	R/W	PCS_BRIDGE_RCLK_SEL	CB_RCLK 时钟源选择 2'b00: 对应于 Parameter 参数值"PMA_RCLK"(default); 2'b01: 对应于 Parameter 参数值"PMA_TCLK"; 2'b10: 对应于 Parameter 参数值"MCB_RCLK";

			2'b11: 对应于 Parameter 参数值"RCLK";
--	--	--	---------------------------------

表 63: PCS 通道配置寄存器描述: 偏移地址 0x00e

Bits	R/W	对应 Parameter 名	描述
7	R		Reserved, 固定值 0
6	R/W	CFG_AFTER_CTC_RCLK_EN_GB_1	配置为 1, 将会对 after_ctc_rclkfabric 进行 2 分频。 Default:1'b0
5	R/W	PCS_RX_BRIDGE_CLK_POLINV	1'b0: 对应于 Parameter 参数值 "RX_BRIDGE_CLK"(default); 1'b1: Reserved
4:3	R/W	PCS_RX_64B66B_67B	64B66B_67B 选择, 跟 IP 配置相关 2'b00: 对应于 Parameter 参数值"NORMAL"; 2'b01: 对应于 Parameter 参数值"64B_66B"; 2'b11: 对应于 Parameter 参数值"64B_67B";
2	R/W	PCS_PCIE_SLAVE	基于 PCI Express 的 channel bonding 设置, 跟 IP 配置相关 1'b0: 对应于 Parameter 参数值"MASTER"; 1'b1: 对应于 Parameter 参数值"SLAVE";
1	R/W	PCS_SLAVE	除 PCI Express 之外的 channel bonding 设置, 跟 IP 配置相关 1'b0: 对应于 Parameter 参数值 0, 表示 MASTER; 1'b1: 对应于 Parameter 参数值 1, 表示 SLAVE";
0	R/W	PCS_PCS_RX_RSTN	针对 PCS Receiver 的复位寄存器, 即 cfg_pcs_rx_rstn, 低有效 1'b0: 对应于 Parameter 参数值"FALSE "; 1'b1: 对应于 Parameter 参数值"TRUE "(default);

表 64: PCS 通道配置寄存器描述: 偏移地址 0x00f

Bits	R/W	对应 Parameter 名	描述
7:1	R		Reserved, 固定值 0
0	R/W	PCS_PCS_CB_RSTN	PCS CB 复位寄存器, 即 cfg_pcs_cb_rstn,低有效 1'b0:对应于 Parameter 参数值" FALSE"; 1'b1:对应于 Parameter 参数值" TRUE"(default);

表 65: PCS 通道配置寄存器描述: 偏移地址 0x010

Bits	R/W	对应 Parameter 名	描述
7:6	R		Reserved, 固定值 0
5	R/W	PCS_TX_BYPASS_BIT_SLIP	Tx BitSlip 模块 Bypass 使能, 高有效 1'b0: 对应于 Parameter 参数值"FALSE" 1'b1: 对应于 Parameter 参数值"TRUE"(default)
4	R/W	PCS_TX_BYPASS_ENC	8b10b Encoder 模块 Bypass 使能, 高有效, 跟 IP 配置相关 1'b0: 对应于 Parameter 参数值"FALSE" 1'b1: 对应于 Parameter 参数值"TRUE"
3	R/W	PCS_TX_BYPASS_GEAR	PCS Transmitter 模块数据位宽选择之一, 跟 IP 配置相关 1'b0: 对应于 Parameter 参数值"FALSE", 用于 32bit only, 40bit only 或 8b10b 32bit 位宽模式; 1'b1: 对应于 Parameter 参数值"TRUE", 用于除 32bit only, 40bit only 或 8b10b 32bit 之外的位宽模式;
2	R/W	PCS_TX_BYPASS_BRIDGE_FIFO	Bypass 模块 Tx Bridge unit/Tx Bridge FIFO 控制,

1	R/W	PCS_TX_BYPASS_BRIDGE_UINT	[2:1]=2'b00:Tx Bridge unit 有效(default); [2:1]=2'b01:bypass Tx Bridge unit; [2:1]=2'b10: bypass Tx Bridge FIFO。 [2]或[1]=1'b0: 对应于 Parameter 参数值"FALSE" [2]或[1]=1'b1: 对应于 Parameter 参数值"TRUE"
0	R/W	PCS_TX_BRIDGE_GEAR_SEL	配置选择 tx 方向 bridge unit 模块和 gear 模块的顺序, 跟 IP 配置相关 1'b0:对应于 Parameter 参数值"FALSE",bridge unit 在先; 1'b1:对应于 Parameter 参数值"TRUE",gear 模块在先;

表 66: PCS 通道配置寄存器描述: 偏移地址 0x011

Bits	R/W	对应 Parameter 名	描述
7:3	R/W	PCS_TX_BIT_SLIP_CYCLES	确定 Tx Bit Slip 模块中 Slip 的 bit 数, 默认值 0
2:1	R/W	PCS_TX_DRIVE_REG_MODE	Tx Drive Reg 模块极性反转和 bit order 反转; 2'b00: 对应于 Parameter 参数值"NO_CHANGE"; 无反转(default) 2'b01: 对应于 Parameter 参数值"EN_POLARIY_REV"; 使能极性反转 2'b10: 对应于 Parameter 参数值"EN_BIT_REV"; 使能 bit order 反转 2'b11: 对应于 Parameter 参数值"EN_BOTH"; 同时使能极性反转和 bit order 反转
0	R/W	PCS_TX_GEAR_SPLIT	PCS Transmitter 模块数据位宽选择之一, 跟 IP 配置相关 1'b0: 对应于 Parameter 参数值"FALSE"; 用于其它模式 1'b1: 对应于 Parameter 参数值"TRUE"; 用于 32bit only, 40bit only 或 8b10b 32bit 的位宽模式下

表 67: PCS 通道配置寄存器描述: 偏移地址 0x012

Bits	R/W	对应 Parameter 名	描述
7:3	R		Reserved, 固定值 0
2	R/W	PCS_INT_TX_MASK_2	高有效 Mask 发送通道中断状态寄存器 (偏移地址 0x27) bit 2 1'b0: 对应于 Parameter 参数值"FALSE "(default); 1'b1: 对应于 Parameter 参数值"TRUE ";
1	R/W	PCS_INT_TX_MASK_1	高有效 Mask 发送通道中断状态寄存器 (偏移地址 0x27) bit 1 1'b0: 对应于 Parameter 参数值"FALSE "(default); 1'b1: 对应于 Parameter 参数值"TRUE ";
0	R/W	PCS_INT_TX_MASK_0	高有效 Mask 发送通道中断状态寄存器 (偏移地址 0x27) bit 0 1'b0: 对应于 Parameter 参数值"FALSE "(default); 1'b1: 对应于 Parameter 参数值"TRUE ";

表 68: PCS 通道配置寄存器描述: 偏移地址 0x013

Bits	R/W	对应 Parameter 名	描述
7:3	R		Reserved, 固定值 0
2	R/W	PCS_INT_TX_CLR_2	高有效清除发送通道中断状态寄存器 (偏移地址 0x27) bit 2 1'b0: 对应于 Parameter 参数值"FALSE "(default); 1'b1: 对应于 Parameter 参数值"TRUE ";
1	R/W	PCS_INT_TX_CLR_1	高有效清除发送通道中断状态寄存器 (偏移地址 0x27) bit 1 1'b0: 对应于 Parameter 参数值"FALSE "(default); 1'b1: 对应于 Parameter 参数值"TRUE ";

0	R/W	PCS_INT_TX_CLR_0	高有效清除发送通道中断状态寄存器（偏移地址 0x27）bit 0 1'b0: 对应于 Parameter 参数值"FALSE "(default); 1'b1: 对应于 Parameter 参数值"TRUE ";
---	-----	------------------	--

表 69: PCS 通道配置寄存器描述: 偏移地址 0x014

Bits	R/W	对应 Parameter 名	描述
7	R/W	PCS_TX_GEAR_CLK_EN_SEL	PCS Transmitter 模块数据位宽选择之一, 跟 IP 配置相关 1'b0: 对应于 Parameter 参数值"FALSE"; 用于其它模式 1'b1: 对应于 Parameter 参数值"TRUE"; 用于 32bit only, 40bit only 或 8b10b 32bit 的位宽模式下, 并且 Bypass Tx Bridge FIFO 的模式;
6	R/W	PCS_TX_SLAVE	发送侧的 channel bonding 设置, 跟 IP 配置相关 1'b0: 对应于 Parameter 参数值"MASTER"; 1'b1: 对应于 Parameter 参数值"SLAVE";
5	R/W	PCS_TX_PCS_TX_RSTN	针对 PCS Transmitter 的复位寄存器, 即 cfg_pcs_tx_rstn, 低有效 1'b0: 对应于 Parameter 参数值"FALSE "; 1'b1: 对应于 Parameter 参数值"TRUE "(default);
4	R/W	PCS_PCS_TCLK_SEL	PCS_TCLK 选择, 跟 IP 配置相关 1'b0: 对应于 Parameter 参数值"PMA_TCLK "; 1'b1: 对应于 Parameter 参数值"TCLK";
3	R/W	PCS_TX_TCLK_POLINV	1'b0: 对应于 Parameter 参数值"TCLK"(default); 1'b1: Reserved
2	R/W	PCS_TX_BRIDGE_TCLK_SEL	TCLK 时钟源选择, 跟 IP 配置相关 1'b0:对应于 Parameter 参数值"PCS_TCLK"; 1'b1:对应于 Parameter 参数值"TCLK";
1	R/W	PCS_TX_PCS_CLK_EN_SEL	PCS Transmitter 模块数据位宽选择之一, 跟 IP 配置相关 1'b0: 对应于 Parameter 参数值"FALSE"; 用于其它模式 1'b1: 对应于 Parameter 参数值"TRUE"; 用于 32bit only, 40bit only 或 8b10b 32bit 的位宽模式下;
0	R/W	PCS_TX_PMA_TCLK_POLINV	1'b0: 对应于 Parameter 参数值"PMA_TCLK"(default); 1'b1: Reserved

表 70: PCS 通道配置寄存器描述: 偏移地址 0x015

Bits	R/W	对应 Parameter 名	描述
7:5	R		Reserved, 固定值 0
4	R/W	PCS_GEAR_TCLK_SEL	GEAR_TCLK 选择, 跟 IP 配置相关 1'b0: 对应于 Parameter 参数值"PMA_TCLK "; 1'b1: 对应于 Parameter 参数值"TCLK2";
3:2	R/W	PCS_TX_64B66B_67B	TX 64B66B_67B 选择, 跟 IP 配置相关 2'b00: 对应于 Parameter 参数值"NORMAL"; 2'b01: 对应于 Parameter 参数值"64B_66B"; 2'b11: 对应于 Parameter 参数值"64B_67B";
1:0	R/W	PCS_DATA_WIDTH_MODE	PCS Transmitter 模块数据位宽选择之一, 跟 IP 配置相关 2'b00: 对应于 Parameter 参数值"X20"; 用于 20bit only, 8b10b 16bit, 8b10b 32bit 和 40bit only 模式 2'b01: 对应于 Parameter 参数值"X16"; 用于 16bit only 和 32bit only 模式

			2'b10: 对应于 Parameter 参数值"X10";用于 10bit only 和 8b10b 8bit 模式 2'b11: 对应于 Parameter 参数值"X8"; 用于 8bit only 模式
--	--	--	--

表 71: PCS 通道配置寄存器描述: 偏移地址 0x016

Bits	R/W	对应 Parameter 名	描述
7:5	R		Reserved, 固定值 0
4	R/W	PCS_TX_BRIDGE_CLK_POLINV	TX_BRIDGE_CLK 时钟选择 1'b0:对应于 Parameter 参数值"TX_BRIDGE_CLK"(default); 1'b1: 对 应 于 Parameter 参 数 值 "REVERSE_OF_TX_BRIDGE_CLK";
3	R		Reserved, 固定值 0
2	R/W	PCS_ENC_DUAL	PCS Transmitter 模块数据位宽选择之一, 跟 IP 配置相关 1'b0: 对应于 Parameter 参数值"FALSE"; 用于除 8b10b 16bit 和 8b10b 32bit 之外的其它模式 1'b1: 对应于 Parameter 参数值"TRUE"; 用于 8b10b 16bit 和 8b10b 32bit 模式
1	R/W	PCS_TX_OUTZZ	1'b0: 对应于 Parameter 参数值"FALSE"(default); 1'b1: Reserved
0	R/W	PCS_TX_TCLK2FABRIC_SEL	PCS Transmitter 模块数据位宽选择之一, 跟 IP 配置相关 1'b0: 对应于 Parameter 参数值"FALSE"; 用于除 32bit only, 40bit only 和 8b10b 32bit 之外的其它模式 1'b1: 对应于 Parameter 参数值"TRUE"; 用于 32bit only, 40bit only 和 8b10b 32bit 模式

表 72: PCS 通道配置寄存器描述: 偏移地址 0x017

Bits	R/W	对应 Parameter 名	描述
7:0	R/W	PCS_COMMA_REG1	Word Alignment Comma 字节定义 1, 低 8 bits, 跟 IP 配置相关

表 73: PCS 通道配置寄存器描述: 偏移地址 0x018

Bits	R/W	对应 Parameter 名	描述
7:2	R		Reserved, 固定值 0
1:0	R/W	PCS_COMMA_REG1	Word Alignment Comma 字节定义 1, 高 2 bits, 跟 IP 配置相关

表 74: PCS 通道配置寄存器描述: 偏移地址 0x019

Bits	R/W	对应 Parameter 名	描述
7:3	R		Reserved, 固定值 0
2:0	R/W	PCS_RAPID_IMAX	Rapid IO Link State Machine 锁定状态的检测字节数, 跟 IP 配置相关

表 75: PCS 通道配置寄存器描述: 偏移地址 0x01a

Bits	R/W	对应 Parameter 名	描述
7:0	R/W	PCS_RAPID_VMIN_1	Rapid IO Link State Machine 退出状态的检测字节数, 低 8 bits, 跟 IP 配置相关

表 76: PCS 通道配置寄存器描述: 偏移地址 0x01b

Bits	R/W	对应 Parameter 名	描述
------	-----	----------------	----

7:0	R/W	PCS_RAPID_VMIN_2	Rapid IO Link State Machine 退出状态的检测字节数，高 8 bits 跟 IP 配置相关
-----	-----	------------------	---

表 77: PCS 通道配置寄存器描述: 偏移地址 0x01c

Bits	R/W	对应 Parameter 名	描述
7:6	R		Reserved, 固定值 0
5	R/W	PCS_PRBS_ERR_LPBK	PRBS_ERR_LPBK 使能 1'b0: 对应于 Parameter 参数值"FALSE"(default); 1'b1: 对应于 Parameter 参数值"TRUE";
4	R/W	PCS_RX_ERRCNT_CLR	PCS_ERR_CNT 计数器清零, 高电平清零 1'b0: 对应于 Parameter 参数值"FALSE"(default); 1'b1: 对应于 Parameter 参数值"TRUE", 计数器清零;
3:0	R/W	PCS_RX_PRBS_MODE	接收侧 PRBS Checker 模式选择 4'd0:对应于 Parameter 参数值"DISABLE"(default); 4'd1:对应于 Parameter 参数值"PRBS_7"; 4'd2: 对应于 Parameter 参数值"PRBS_15"; 4'd3: 对应于 Parameter 参数值"PRBS_23"; 4'd4: 对应于 Parameter 参数值"PRBS_31";

表 78: PCS 通道配置寄存器描述: 偏移地址 0x01d

Bits	R/W	对应 Parameter 名	描述
7:6	R		Reserved, 固定值 0
5	R/W	PCS_ENABLE_PRBS_GEN	PCS PRBS Generator 使能, 高电平使能 1'b0: 对应于 Parameter 参数值"FALSE",disable PRBS (default) 1'b1: 对应于 Parameter 参数值"TRUE",enable PRBS
4	R/W	PCS_TX_INSERT_ER	PRBS 错误码注入, 由 0→1 的上升沿触发 PRBS 数据注入一次错误码, 正常发送 PRBS 测试数据的时候, 值保持为 0。 1'b0: 对应于 Parameter 参数值"FALSE" (default); 1'b1: 对应于 Parameter 参数值"TRUE";
3:0	R/W	PCS_TX_PRBS_MODE	发送侧 PCS PRBS Generator 模式选择 4'd0: 对应于 Parameter 参数值"DISABLE" (default); 4'd1: 对应于 Parameter 参数值"PRBS_7"; 4'd2: 对应于 Parameter 参数值"PRBS_15"; 4'd3: 对应于 Parameter 参数值"PRBS_23"; 4'd4: 对应于 Parameter 参数值"PRBS_31"; 4'd5: 对应于 Parameter 参数值"LONG_1"; 4'd6: 对应于 Parameter 参数值"LONG_0"; 4'd7: 对应于 Parameter 参数值"20UI"; 4'd8: 对应于 Parameter 参数值"D10_2"; 4'd9: 对应于 Parameter 参数值"PCIE";

表 79: PCS 通道配置寄存器描述: 偏移地址 0x01e

Bits	R/W	对应 Parameter 名	描述
7:0	R	PCS_ERR_CNT	PCS PRBS checker 中的校验错误计数器, 计数器到最大值 0xFF 之后, 链路再有错误, 也不会累加, 保持为 0xFF, 直到计数器重新清零

表 80: PCS 通道配置寄存器描述: 偏移地址 0x01f

Bits	R/W	对应 Parameter 名	描述
7:4	R/W	PCS_MASTER_CHECK_OFFSET	用于通道绑定, 跟 IP 配置相关
3:0	R/W	PCS_DEFAULT_RADDDR	用于通道绑定, 默认值 6

表 81: PCS 通道配置寄存器描述: 偏移地址 0x020

Bits	R/W	对应 Parameter 名	描述
7	R	NA	Reserved, 固定值 0
6:4	R/W	PCS_SEACH_OFFSET	Channel Bonding 范围设置, 跟 IP 配置相关 4'd0: 对应于 Parameter 参数值"20BIT"; 4'd1: 对应于 Parameter 参数值"30BIT"; 4'd2: 对应于 Parameter 参数值"40BIT"; 4'd3: 对应于 Parameter 参数值"50BIT"; 4'd4: 对应于 Parameter 参数值"60BIT"; 4'd5: 对应于 Parameter 参数值"70BIT"; 3'd6: 对应于 Parameter 参数值"80BIT";
3:0	R/W	PCS_DELAY_SET	用于 Channel Bonding, 跟 IP 配置相关

表 82: PCS 通道配置寄存器描述: 偏移地址 0x021

Bits	R/W	对应 Parameter 名	描述
7:3	R		Reserved, 固定值 0
2:0	R/W	PCS_CEB_RAPIDLS_MMAX	Channel Bonding RapidIO 状态机使用的 MMAX 值, 跟 IP 配置相关

表 83: PCS 通道配置寄存器描述: 偏移地址 0x022

Bits	R/W	对应 Parameter 名	描述
7:5	R		Reserved, 固定值 0
4:0	R/W	PCS_CTC_AFULL	CTC FIFO 的 Almost Full 门限, 默认值 5'd20

表 84: PCS 通道配置寄存器描述: 偏移地址 0x023

Bits	R/W	对应 Parameter 名	描述
7:6	R		Reserved, 固定值 0
5	R/W	PCS_CTC_CONTI_SKP_SET	1'b0:不使能连续 SKP 删除功能(default) 1'b1:使能连续 SKP 删除功能
4:0	R/W	PCS_CTC_AEMPTY	CTC FIFO 的 Almost Empty 门限, 默认值 5'd12

表 85: PCS 通道配置寄存器描述: 偏移地址 0x024

Bits	R/W	对应 Parameter 名	描述
7:5	R		Reserved, 固定值 0
4	R/W	PCS_PMA_RX2TX_PLOOP_EN	PMA 远端并行环回端口方式使能, 值为 1 表示 P_PMA_FAREND_PLOOP 端口有效。跟 IP 配置相关 1'b0: 对应于 Parameter 参数值"FALSE ",diasble; 1'b1: 对应于 Parameter 参数值"TRUE ",enable
3	R/W	PCS_PMA_TX2RX_SLOOP_EN	PMA 近端串行环回端口方式使能, 值为 1 表示 P_PMA_NEAREND_SLOOP 端口有效。跟 IP 配置相关 1'b0: 对应于 Parameter 参数值"FALSE ",diasble; 1'b1: 对应于 Parameter 参数值"TRUE ",enable

2	R/W	PCS_PMA_TX2RX_PLOOP_EN	PMA 近端并行环回端口方式使能，值为 1 表示 P_PMA_FAREND_PLOOP 端口有效。跟 IP 配置相关 1'b0: 对应于 Parameter 参数值"FALSE ",diasble; 1'b1: 对应于 Parameter 参数值"TRUE ",enable
1	R/W	PCS_NEAR_LOOP	PCS 近端环回使能(寄存器方式)，高有效 1'b0: 对应于 Parameter 参数值"FALSE ",diasble(default); 1'b1: 对应于 Parameter 参数值"TRUE ",enable;
0	R/W	PCS_FAR_LOOP	PCS 远端环回使能(寄存器方式)，高有效 1'b0: 对应于 Parameter 参数值"FALSE ",diasble(default); 1'b1: 对应于 Parameter 参数值"TRUE ",enable;

表 86: PCS 通道配置寄存器描述：偏移地址 0x025

Bits	R/W	对应 Parameter 名	描述
7	R/W	PCS_INT_RX_MASK_7	接收通道中断状态寄存器（偏移地址 0x28）bit 7 的掩码，高有效 1'b0: 对应于 Parameter 参数值"FALSE "(default); 1'b1: 对应于 Parameter 参数值"TRUE ";
6	R/W	PCS_INT_RX_MASK_6	接收通道中断状态寄存器（偏移地址 0x28）bit 6 的掩码，高有效 1'b0: 对应于 Parameter 参数值"FALSE "(default); 1'b1: 对应于 Parameter 参数值"TRUE ";
5	R/W	PCS_INT_RX_MASK_5	接收通道中断状态寄存器（偏移地址 0x28）bit 5 的掩码，高有效 1'b0: 对应于 Parameter 参数值"FALSE "(default); 1'b1: 对应于 Parameter 参数值"TRUE ";
4	R/W	PCS_INT_RX_MASK_4	接收通道中断状态寄存器（偏移地址 0x28）bit 4 的掩码，高有效 1'b0: 对应于 Parameter 参数值"FALSE "(default); 1'b1: 对应于 Parameter 参数值"TRUE ";
3	R/W	PCS_INT_RX_MASK_3	接收通道中断状态寄存器（偏移地址 0x28）bit 3 的掩码，高有效 1'b0: 对应于 Parameter 参数值"FALSE "(default); 1'b1: 对应于 Parameter 参数值"TRUE ";
2	R/W	PCS_INT_RX_MASK_2	接收通道中断状态寄存器（偏移地址 0x28）bit 2 的掩码，高有效 1'b0: 对应于 Parameter 参数值"FALSE "(default); 1'b1: 对应于 Parameter 参数值"TRUE ";
1	R/W	PCS_INT_RX_MASK_1	接收通道中断状态寄存器（偏移地址 0x28）bit 1 的掩码，高有效 1'b0: 对应于 Parameter 参数值"FALSE "(default); 1'b1: 对应于 Parameter 参数值"TRUE ";
0	R/W	PCS_INT_RX_MASK_0	接收通道中断状态寄存器（偏移地址 0x28）bit 0 的掩码，高有效 1'b0: 对应于 Parameter 参数值"FALSE "(default); 1'b1: 对应于 Parameter 参数值"TRUE ";

表 87: PCS 通道配置寄存器描述：偏移地址 0x026

Bits	R/W	对应 Parameter 名	描述
7	R/W	PCS_INT_RX_CLR_7	清除接收通道中断状态寄存器（偏移地址 0x28）bit 7，高有效 1'b0: 对应于 Parameter 参数值"FALSE "(default); 1'b1: 对应于 Parameter 参数值"TRUE ";
6	R/W	PCS_INT_RX_CLR_6	清除接收通道中断状态寄存器（偏移地址 0x28）bit 6，高有效 1'b0: 对应于 Parameter 参数值"FALSE "(default); 1'b1: 对应于 Parameter 参数值"TRUE ";
5	R/W	PCS_INT_RX_CLR_5	清除接收通道中断状态寄存器（偏移地址 0x28）bit 5，高有效 1'b0: 对应于 Parameter 参数值"FALSE "(default);

			1'b1: 对应于 Parameter 参数值"TRUE ";
4	R/W	PCS_INT_RX_CLR_4	清除接收通道中断状态寄存器（偏移地址 0x28）bit 4，高有效 1'b0: 对应于 Parameter 参数值"FALSE "(default); 1'b1: 对应于 Parameter 参数值"TRUE ";
3	R/W	PCS_INT_RX_CLR_3	清除接收通道中断状态寄存器（偏移地址 0x28）bit 3，高有效 1'b0: 对应于 Parameter 参数值"FALSE "(default); 1'b1: 对应于 Parameter 参数值"TRUE ";
2	R/W	PCS_INT_RX_CLR_2	清除接收通道中断状态寄存器（偏移地址 0x28）bit 2，高有效 1'b0: 对应于 Parameter 参数值"FALSE "(default); 1'b1: 对应于 Parameter 参数值"TRUE ";
1	R/W	PCS_INT_RX_CLR_1	清除接收通道中断状态寄存器（偏移地址 0x28）bit 1，高有效 1'b0: 对应于 Parameter 参数值"FALSE "(default); 1'b1: 对应于 Parameter 参数值"TRUE ";
0	R/W	PCS_INT_RX_CLR_0	清除接收通道中断状态寄存器（偏移地址 0x28）bit 0，高有效 1'b0: 对应于 Parameter 参数值"FALSE "(default); 1'b1: 对应于 Parameter 参数值"TRUE ";

表 88: PCS 通道配置寄存器描述: 偏移地址 0x027

Bits	R/W	对应 Parameter 名	描述
7:3	R	NA	Reserved
2	R	NA	1'b1:8b10b 编码中检测到非法字符
1	R	NA	1'b1:Tx Bridge FIFO 读空
0	R	NA	1'b1:Tx Bridge FIFO 溢出

表 89: PCS 通道配置寄存器描述: 偏移地址 0x028

Bits	R/W	对应 Parameter 名	描述
7	R	NA	1'b1:Rx Bridge FIFO 读空
6	R	NA	1'b1:Rx Bridge FIFO 溢出
5	R	NA	1'b1:CTC FIFO 读空
4	R	NA	1'b1:CTC FIFO 溢出
3	R	NA	1'b1:Channel Bonding FIFO 读空
2	R	NA	1'b1:Channel Bonding FIFO 溢出
1	R	NA	1'b1:Channel Bonding 状态机失锁
0	R	NA	1'b1:Word Alignment 状态机失锁

表 90: PCS 通道配置寄存器描述: 偏移地址 0x029

Bits	R/W	对应 Parameter 名	描述
7:3	R		Reserved, 固定值 0
2	R/W	PCS_CA_DYN_DLY_SEL_RX	高有效, 使能对应接收通道的 CLK Aligner 功能。 1'b0: 对应于 Parameter 参数值"FALSE ", bypass CLK Aligner(default); 1'b1: 对应于 Parameter 参数值"TRUE ",使能 CLK Aligner;
1	R/W	PCS_CA_DYN_DLY_EN_RX	高有效, 控制使能接收通道 CLK Aligner delay step 1'b0: 对应于 Parameter 参数值"FALSE ", CLK Aligner delay step 为 0(default); 1'b1: 对应于 Parameter 参数值"TRUE ",CLK Aligner delay step 由 CLK_ALIGNER_RXx 或 P_CIM_CLK_ALIGNER_RXx [7:0]

			确定;
0	R/W	PCS_CA_RSTN_RX	Rx CLK Aligner 复位, 即 cfg_ca_rstn_rx, 低有效。 1'b0: 对应于 Parameter 参数值"FALSE "(default); 1'b1: 对应于 Parameter 参数值"TRUE ".

表 91: PCS 通道配置寄存器描述: 偏移地址 0x02a

Bits	R/W	对应 Parameter 名	描述
7:0	R/W	PCS_CA_RX	对应接收通道的 CLK Aligner delay step 的静态设置, P_CIM_CLK_DYN_DLY_SEL_RX[x]无效时使用,默认值 0

表 92: PCS 通道配置寄存器描述: 偏移地址 0x02b

Bits	R/W	对应 Parameter 名	描述
7:3	R		Reserved, 固定值 0
2	R/W	PCS_CA_DYN_DLY_SEL_TX	高有效, 使能对应发送通道的 CLK Aligner 功能。 1'b0: 对应于 Parameter 参数值 "FALSE ", bypass CLK Aligner(default); 1'b1: 对应于 Parameter 参数值"TRUE ", 使能 CLK Aligner
1	R/W	PCS_CA_DYN_DLY_EN_TX	高有效, 控制使能发送通道 CLK Aligner delay step 1'b0: 对应于 Parameter 参数值"FALSE ", CLK Aligner delay step 为 0(default); 1'b1: 对应于 Parameter 参数值"TRUE ", CLK Aligner delay step 由 CLK_ALIGNER_TXx 或 P_CIM_CLK_ALIGNER_TXx [7:0] 确定;
0	R/W	PCS_CA_RSTN_TX	Tx CLK Aligner 复位, 即 cfg_ca_rstn_tx, 低有效。 1'b0: 对应于 Parameter 参数值"FALSE "(default); 1'b1: 对应于 Parameter 参数值"TRUE ".

表 93: PCS 通道配置寄存器描述: 偏移地址 0x02c

Bits	R/W	对应 Parameter 名	描述
7:0	R/W	PCS_CA_TX	对应发送通道的 CLK Aligner delay step 的静态设置, P_CIM_CLK_DYN_DLY_SEL_TX[x]无效时使用, 默认值 0

表 94: PCS 通道配置寄存器描述: 偏移地址 0x02d

Bits	R/W	对应 Parameter 名	描述
7	R/W	PCS_RXTEST_PWR_REDUCTION	高有效关闭 RX test_status 功能, 降低 power 1'b0: 对应于 Parameter 参数值"NORMAL"(default), 1'b1: 对应于 Parameter 参数值"POWER_REDUCTION"
6	R/W	PCS_RXBRG_PWR_REDUCTION	高有效关闭 RX bridge 功能, 降低 power 1'b0: 对应于 Parameter 参数值"NORMAL"(default), 1'b1: 对应于 Parameter 参数值"POWER_REDUCTION"
5	R/W	PCS_RXGEAR_PWR_REDUCTION	高有效关闭 RX GEAR 功能, 降低 power 1'b0: 对应于 Parameter 参数值"NORMAL"(default), 1'b1: 对应于 Parameter 参数值"POWER_REDUCTION"
4	R/W	PCS_RXCTC_PWR_REDUCTION	高有效关闭 RX CTC 功能, 降低 power 1'b0: 对应于 Parameter 参数值"NORMAL"(default), 1'b1: 对应于 Parameter 参数值"POWER_REDUCTION"
3	R/W	PCS_RXCB_PWR_REDUCTION	高有效关闭 RX channel bonding 功能, 降低 power 1'b0: 对应于 Parameter 参数值"NORMAL"(default),

			1'b1: 对应于 Parameter 参数值"POWER_REDUCTION"
2	R/W	PCS_RXDEC_PWR_REDUCTION	高有效关闭 RX decoder 功能, 降低 power 1'b0: 对应于 Parameter 参数值"NORMAL"(default), 1'b1: 对应于 Parameter 参数值"POWER_REDUCTION"
1	R/W	PCS_WDALIGN_PWR_REDUCTION	高有效关闭 RX wordalign 功能, 降低 power 1'b0: 对应于 Parameter 参数值"NORMAL"(default), 1'b1: 对应于 Parameter 参数值"POWER_REDUCTION"
0	R/W	PCS_RXPRBS_PWR_REDUCTION	高有效关闭 RX PRBS 功能, 降低 power 1'b0: 对应于 Parameter 参数值"NORMAL"(default), 1'b1: 对应于 Parameter 参数值"POWER_REDUCTION"

表 95: PCS 通道配置寄存器描述: 偏移地址 0x02e

Bits	R/W	对应 Parameter 名	描述
7	R		Reserved, 固定值 0
6	R/W	CFG_TXBRG_EMPTY_CHK_EN	tx bridge unit fifo 空检测使能 1'b1: true 1'b0: false。Default:1'b0
5	R/W	CFG_TXBRG_FULL_CHK_EN	tx bridge unit fifo 满检测使能 1'b1: true 1'b0: false。Default:1'b0
4	R/W	PCS_TXPRBS_PWR_REDUCTION	高有效关闭 TX PRBS 功能, 降低功耗 1'b0: 对应于 Parameter 参数值"NORMAL"(default), 1'b1: 对应于 Parameter 参数值"POWER_REDUCTION"
3	R/W	PCS_TXBSLP_PWR_REDUCTION	高有效关闭 TX bitslip 功能, 降低功耗 1'b0: 对应于 Parameter 参数值"NORMAL"(default), 1'b1: 对应于 Parameter 参数值"POWER_REDUCTION"
2	R/W	PCS_TXENC_PWR_REDUCTION	高有效关闭 TX encoder 功能, 降低功耗 1'b0: 对应于 Parameter 参数值"NORMAL"(default), 1'b1: 对应于 Parameter 参数值"POWER_REDUCTION"
1	R/W	PCS_TXGEAR_PWR_REDUCTION	高有效关闭 TX GEAR 功能, 降低功耗 1'b0: 对应于 Parameter 参数值"NORMAL"(default), 1'b1: 对应于 Parameter 参数值"POWER_REDUCTION"
0	R/W	PCS_TXBRG_PWR_REDUCTION	高有效关闭 TX bridge 功能, 降低功耗 1'b0: 对应于 Parameter 参数值"NORMAL"(default), 1'b1: 对应于 Parameter 参数值"POWER_REDUCTION"

表 96: PCS 通道配置寄存器描述: 偏移地址 0x02f

Bits	R/W	对应 Parameter 名	描述
7	R/W	CFG_FLP_EMPTY_CHK_EN	远端环回 fifo 读空检测使能 1'b1: true; 1'b0: false。Default:1'b0
6	R/W	CFG_FLP_FULL_CHK_EN	端环回 fifo 写满检测使能 1'b1: true 1'b0: false。Default:1'b0
5	R/W	CFG_CEB_EMPTY_CHK_EN	接收侧通道绑定单元 fifo 读空检测使能 1'b1: true 1'b0: false。Default:1'b0
4	R/W	CFG_CEB_FULL_CHK_EN	接收侧通道绑定单元 fifo 写满检测使能

			1'b1: true 1'b0: false。Default:1'b0
3	R/W	CFG_CTC_EMPTY_CHK_EN	接收侧 ctc 单元 fifo 读空检测使能 1'b1: true 1'b0: false。Default:1'b0
2	R/W	CFG_CTC_FULL_CHK_EN	接收侧 ctc 单元 fifo 写满检测使能 1'b1: true 1'b0: false。Default:1'b0
1	R/W	CFG_RXBRG_EMPTY_CHK_EN	接收侧桥接单元 fifo 读空检测使能 1'b1: true 1'b0: false。Default:1'b0
0	R/W	CFG_RXBRG_FULL_CHK_EN	接收侧桥接单元 fifo 写满检测使能 1'b1: true 1'b0: false。Default:1'b0

(三)PMA 通道配置寄存器说明

1. PMA RX 部分

表 97: PMA 通道配置寄存器描述: pma_rx_reg0, 偏移地址 0x000

Bits	R/W	对应 Parameter 名	描述
7	R/W	PMA_REG_RX_SIGDET_PD_EN	1'b0:对应于 Parameter 参数值"FALSE"(default) 1'b1:对应于 Parameter 参数值"TRUE"
6	R/W	PMA_REG_RX_SIGDET_PD	1'b0:对应于 Parameter 参数值"ON"(default) 1'b1:对应于 Parameter 参数值"OFF"
5	R/W	PMA_REG_RX_DATAPATH_PD_EN	1'b0:对应于 Parameter 参数值"FALSE"(default) 1'b1:对应于 Parameter 参数值"TRUE"
4	R/W	PMA_REG_RX_DATAPATH_PD	1'b0:对应于 Parameter 参数值"ON"(default) 1'b1:对应于 Parameter 参数值"OFF"
3	R/W	PMA_REG_RX_CLKPATH_PD_EN	1'b0:对应于 Parameter 参数值"FALSE"(default) 1'b1:对应于 Parameter 参数值"TRUE"
2	R/W	PMA_REG_RX_CLKPATH_PD	1'b0:对应于 Parameter 参数值"ON"(default) 1'b1:对应于 Parameter 参数值"OFF"
1	R/W	PMA_REG_RX_PD_EN	1'b0:对应于 Parameter 参数值"FALSE"(default) 1'b1:对应于 Parameter 参数值"TRUE"
0	R/W	PMA_REG_RX_PD	1'b0:对应于 Parameter 参数值"ON"(default) 1'b1:对应于 Parameter 参数值"OFF"

表 98: PMA 通道配置寄存器描述: pma_rx_reg1, 偏移地址 0x001

Bits	R/W	对应 Parameter 名	描述
7	R/W	PMA_REG_RXPCLK_SLIP_OW	1'b0:对应于 Parameter 参数值"FALSE" (default) 1'b1:对应于 Parameter 参数值"TRUE"
6	R/W	PMA_REG_RXPCLK_SLIP	1'b0:对应于 Parameter 参数值"FALSE"(default) 1'b1:对应于 Parameter 参数值"TRUE"
5	R/W	PMA_REG_RX_SIGDET_RST_N_EN	1'b0:对应于 Parameter 参数值"FALSE" (default) 1'b1:对应于 Parameter 参数值"TRUE"

4	R/W	PMA_REG_RX_SIGDET_RST_N	低电平有效 1'b0:对应于 Parameter 参数值"FALSE":reset 1'b1:对应于 Parameter 参数值"TRUE":normal (default)
3	R/W	PMA_REG_RX_CDR_RST_N_EN	1'b0:对应于 Parameter 参数值"FALSE" (default) 1'b1:对应于 Parameter 参数值"TRUE"
2	R/W	PMA_REG_RX_CDR_RST_N	低电平有效 1'b0:对应于 Parameter 参数值"FALSE":reset 1'b1:对应于 Parameter 参数值"TRUE":normal (default)
1	R/W	PMA_REG_RX_DCC_RST_N_EN	1'b0:对应于 Parameter 参数值"FALSE" (default) 1'b1:对应于 Parameter 参数值"TRUE"
0	R/W	PMA_REG_RX_DCC_RST_N	低电平有效 1'b0:对应于 Parameter 参数值"FALSE":reset 1'b1:对应于 Parameter 参数值"TRUE":normal (default)

表 99: PMA 通道配置寄存器描述: pma_rx_reg2, 偏移地址 0x002

Bits	R/W	对应 Parameter 名	描述
7:6	R		reserved, 固定值 0
5	R/W	PMA_REG_RX_HIGHZ_EN	1'b0:对应于 Parameter 参数值"FALSE" (default) 1'b1:对应于 Parameter 参数值"TRUE"
4	R/W	PMA_REG_RX_HIGHZ	1'b0:对应于 Parameter 参数值"FALSE"(default) 1'b1:对应于 Parameter 参数值"TRUE"
3	R/W	PMA_REG_RX_PCLKSWITCH_EN	1'b0:对应于 Parameter 参数值"FALSE" (default) 1'b1:对应于 Parameter 参数值"TRUE"
2	R/W	PMA_REG_RX_PCLKSWITCH	1'b0:对应于 Parameter 参数值"FALSE"(default) 1'b1:对应于 Parameter 参数值"TRUE"
1	R/W	PMA_RX_PCLKSWITCH_RST_N_EN	1'b0:对应于 Parameter 参数值"FALSE" (default) 1'b1:对应于 Parameter 参数值"TRUE"
0	R/W	PMA_REG_RX_PCLKSWITCH_RST_N	低电平有效 1'b0:对应于 Parameter 参数值"FALSE": reset rx pclk switch block 1'b1: 对 应 于 Parameter 参 数 值 "TRUE": normal(default)

表 100: PMA 通道配置寄存器描述: pma_rx_reg3, 偏移地址 0x003

Bits	R/W	对应 Parameter 名	描述
7:4	R/W	REG_RX_EQ_R_SET	接收器 EQ 控制电阻 0000~1111, default setting is 1000
3:0	R/W	REG_RX_EQ_C_SET	接收器 EQ 控制电容 0000~1111, default setting is 1000

表 101: PMA 通道配置寄存器描述: pma_rx_reg4, 偏移地址 0x404

Bits	R/W	对应 Parameter 名	描述
7	R/W	PMA_REG_RX_RATE_EN	1'b0:对应于 Parameter 参数值"FALSE" (default), 接收线速率由参数 P_RX_RATE 控制 1'b1:对应于 Parameter 参数值"TRUE", 接收线速率

			由参数 PMA_REG_RX_RATE 控制
6	R		reserved, 固定值 0
5:4	R/W	PMA_REG_RX_RATE	2'b00: 线速率是 PLL 时钟频率的 1/4; 对应于 Parameter 参数值"DIV4" 2'b01: 线速率是 PLL 时钟频率的 1/2; 对应于 Parameter 参数值"DIV2" 2'b10: 线速率和 PLL 时钟频率相等; (default) 对应于 Parameter 参数值"DIV1" 2'b11: 线速率是 PLL 时钟频率的 2 倍. 对应于 Parameter 参数值"MUL2"
3	R/W	PMA_REG_RX_BUSWIDTH_EN	跟 IP 配置相关 1'b0:对应于 Parameter 参数值"FALSE" 1'b1:对应于 Parameter 参数值"TRUE" (default)
2:0	R/W	PMA_REG_RX_BUSWIDTH	由 IP 配置决定数值 bit[1:0]=2'b00: 8-bit, Parameter 参数值"8BIT" bit[1:0]=2'b01:10-bit, Parameter 参数值"10BIT" bit[1:0]=2'b10:16-bit, Parameter 参数值"16BIT" bit[1:0]=2'b11:20-bit, Parameter 参数值"20BIT" bit[2] is reserved

表 102: PMA 通道配置寄存器描述: pma_rx_reg5, 偏移地址 0x005

Bits	R/W	对应 Parameter 名	描述
7	R		reserved, 固定值 0
6	R/W	PMA_REG_RX_RES_TRIM_EN	1'b0: 接收侧电阻校正由参数 pll_res_trim (internal, from pll) (default)控制 1'b1:接收侧电阻校正由寄存器 reg_rx_res_trim 控制
5:0	R/W	PMA_REG_RX_RES_TRIM	默认值 6'b101110: 100 ohm

表 103: PMA 通道配置寄存器描述: pma_rx_reg6, 偏移地址 0x006

Bits	R/W	对应 Parameter 名	描述
7:4	R/W	PMA_REG_RX_ICTRL_SIGDET	信号检测偏置电流控制寄存器, [1:0] to control sigdet module, [3:2] to control sigdet preamp module,默认值 5
3:0	R		reserved, 固定值 0

表 104: PMA 通道配置寄存器描述: pma_rx_reg7, 偏移地址 0x007

Bits	R/W	对应 Parameter 名	描述
7:1	R/W	PMA_REG_RX_PREAMP_IC_0_6	(default:7'b101_0111)
0	R/W	PMA_REG_EQ_OFF	1'b0:接收均衡开(default) 1'b1:接收均衡关.

表 105: PMA 通道配置寄存器描述: pma_rx_reg8, 偏移地址 0x008

Bits	R/W	对应 Parameter 名	描述
7:6	R		reserved, 固定值 0
5	R/W	PMA_REG_RX_PCLK_EDGE_SEL	1'b0: 对应于 Parameter 参数值 "POS_EDGE": rx_pdata 在 rxpclk 上升沿锁定到发送侧 (default) 1: rx_pdata 在 rxpclk 下降沿锁定到发送侧

4:0	R/W	PMA_REG_RX_PREAMP_IC_7_11	default:5'b01010
-----	-----	---------------------------	------------------

表 106: PMA 通道配置寄存器描述: pma_rx_reg9, 偏移地址 0x009

Bits	R/W	对应 Parameter 名	描述
7	R		reserved, 固定值 0
6:5	R/W	PMA_REG_RX_DCC_IC_TX	default:2'b11
4:3	R/W	PMA_REG_RX_DCC_IC_RX	default:2'b11
2	R		reserved, 固定值 0
1:0	R/W	PMA_REG_RX_PIBUF_IC	default:1

表 107: PMA 通道配置寄存器描述: pma_rx_reg10, 偏移地址 0x00a

Bits	R/W	对应 Parameter 名	描述
7:6	R/W	PMA_REG_RX_ICTRL_SLICER	slicer 偏置电流控制 2'b00: 87.5%,Parameter 参数值"87_5PCT" 2'b01: 100%,Parameter 参数值"100PCT"(default) 2'b10: 112.5%,Parameter 参数值"112_5PCT" 2'b11: 125%,Parameter 参数值"125PCT"
5:4	R/W	PMA_REG_RX_ICTRL_PREAMP	preamp 偏置电流控制 2'b00: 87.5%,Parameter 参数值"87_5PCT" 2'b01: 100%,Parameter 参数值"100PCT"(default) 2'b10: 112.5%,Parameter 参数值"112_5PCT" 2'b11: 125%,Parameter 参数值"125PCT"
3:2	R		reserved, 固定值 0
1:0	R/W	PMA_REG_RX_ICTRL_TRX	trx global 偏置电流控制 2'b00: 87.5%,Parameter 参数值"87_5PCT" 2'b01: 100%,Parameter 参数值"100PCT"(default) 2'b10: 112.5%,Parameter 参数值"112_5PCT" 2'b11: 125%,Parameter 参数值"125PCT"

表 108: PMA 通道配置寄存器描述: pma_rx_reg11, 偏移地址 0x00b

Bits	R/W	对应 Parameter 名	描述
7:6	R/W	PMA_REG_RX_ICTRL_PREDRV	tx predriver 偏置电流控制 2'b00: 87.5%,Parameter 参数值"87_5PCT" 2'b01: 100%,Parameter 参数值"100PCT"(default) 2'b10: 112.5%,Parameter 参数值"112_5PCT" 2'b11: 125%,Parameter 参数值"125PCT"
5:4	R/W	PMA_REG_RX_ICTRL_DCC	receiver DCC 偏置电流控制 2'b00: 87.5%,Parameter 参数值"87_5PCT" 2'b01: 100%,Parameter 参数值"100PCT"(default) 2'b10: 112.5%,Parameter 参数值"112_5PCT" 2'b11: 125%,Parameter 参数值"125PCT"
3:2	R/W	PMA_REG_RX_ICTRL_PI	phase interpolator path 偏置电流控制 2'b00: 87.5%,Parameter 参数值"87_5PCT" 2'b01: 100%,Parameter 参数值"100PCT"(default) 2'b10: 112.5%,Parameter 参数值"112_5PCT" 2'b11: 125%,Parameter 参数值"125PCT"
1:0	R/W	PMA_REG_RX_ICTRL_PIBUF	phase interpolator pre-buffer 偏置电流控制 2'b00: 87.5%,Parameter 参数值"87_5PCT"

			2'b01: 100%,Parameter 参数值"100PCT"(default) 2'b10: 112.5%,Parameter 参数值"112_5PCT" 2'b11: 125%,Parameter 参数值"125PCT"
--	--	--	--

表 109: PMA 通道配置寄存器描述: pma_rx_reg12, 偏移地址 0x00c

Bits	R/W	对应 Parameter 名	描述
7	R/W	PMA_REG_TXCLK_SEL	txclk 来源选择 1'b0:对应于 Parameter 参数值"PLL":select pll clock as txclk(default) 1'b1: select rxclk as txclk
6	R/W	PMA_REG_RX_TX2RX_PLPBK_EN	PMA 近端并行环回使能(寄存器方式) 1'b0: 对 应 于 Parameter 参 数 值 "FALSE":disable(default) 1'b1:对应于 Parameter 参数值"TRUE":enable
5	R/W	PMA_REG_RX_TX2RX_PLPBK_RST_N_EN	寄存器控制 tx2rx 并行环回复位使能 1'b0:对应于 Parameter 参数值"FALSE"(default) 1'b1:对应于 Parameter 参数值"TRUE"
4	R/W	PMA_REG_RX_TX2RX_PLPBK_RST_N	tx2rx 并行环回模块复位寄存器, 低电平有效 1'b0:对应于 Parameter 参数值"FALSE":复位并行环回模块 1'b1:对应于 Parameter 参数值"TRUE":正常运行(default)
3	R/W	PMA_REG_TX_RATE_EN	enable the tx rate control from register 1'b0:对应于 Parameter 参数值"FALSE"(default) tx rate controlled by P_TX_RATE 1'b1:对应于 Parameter 参数值"TRUE", tx rate controlled by PMA_REG_TX_RATE
2	R		reserved, 固定值 0
1:0	R	PMA_REG_TX_RATE	tx rate control register 2'b00: 线速率是 PLL 时钟频率的 1/8 倍; 对应于 Parameter 参数值"DIV8" 2'b01: 线速率和 PLL 时钟频率的 1/4; 对应于 Parameter 参数值"DIV4" 2'b10: 线速率和 PLL 时钟频率的 1/2; 对应于 Parameter 参数值"DIV2" 2'b11: 线速率是 PLL 时钟频率相等。 对应于 Parameter 参数值" DIV"(default)

表 110: PMA 通道配置寄存器描述: pma_rx_reg13, 偏移地址 0x00d

Bits	R/W	对应 Parameter 名	描述
7:6	R/W	PMA_REG_PRBS_CHK_WIDTH_SEL	PRBS check 的 width 的选择 2'b00:8b, 对应 Parameter 参数值"8BIT" 2'b01:10b, 对应 Parameter 参数值"10BIT" 2'b10:16b, 对应 Parameter 参数值"16BIT" 2'b11:20b, 对应 Parameter 参数值"20BIT"(default)
5	R/W	PMA_REG_PRBS_CHK_EN	PMA RX PRBS check 使能 1'b0: 对 应 于 Parameter 参 数 值 "FALSE",disabled(default)

			1'b1:对应于 Parameter 参数值"TRUE",enabled
4:3	R/W	PMA_REG_PRBS_SEL	PMA RX PRBS 模式选择,默认值 2'b00 2'b00: PRBS7, 对应 Parameter 参数值"PRBS7" 2'b01: PRBS15, 对应 Parameter 参数值"PRBS15" 2'b10: PRBS23, 对应 Parameter 参数值"PRBS23" 2'b11: PRBS31, 对应 Parameter 参数值"PRBS31"
2	R/W	PMA_REG_UDP_CHK_EN	BIST UDP check 使能 1'b0: 对应于 Parameter 参数值 "FALSE":disabled(default) 1'b1:对应于 Parameter 参数值"TRUE":enabled
1	R/W	PMA_REG_RX_ERR_INSERT	上升沿用于检测时钟循环脉冲 1'b0:对应于 Parameter 参数值"FALSE"(default) 1'b1:对应于 Parameter 参数值"TRUE"
0	R/W	PMA_REG_RX_DATA_POLARITY	接收数据极性翻转控制寄存器 1'b0: 对应于 Parameter 参数值 "NORMAL": normal(default) 1'b1:数据按位取反输出

表 111: PMA 通道配置寄存器描述: pma_rx_reg14, 偏移地址 0x00e

Bits	R/W	对应 Parameter 名	描述
7:6	R		reserved, 固定值 0
5:3	R/W	PMA_REG_CDR_PROP_GAIN	比例增益控制: 3'b000: 1/2 ¹² 3'b001: 1/2 ¹¹ 3'b010: 1/2 ¹⁰ 3'b011: 1/2 ⁹ 3'b100: 1/2 ⁸ 3'b101: 1/2 ⁷ 3'b110: 1/2 ⁶ 3'b111: 1/2 ⁵ (default)
2	R/W	PMA_REG_CHK_COUNTER_EN	校验错误检测计数使能/清零控制 1'b0:对应于 Parameter 参数值 "FALSE",disable, 计数器值清零(default) 1'b1:对应于 Parameter 参数值"TRUE",enable, 计数器统计错误
1	R/W	PMA_REG_LOAD_ERR_CNT	校验错误检测计数器 hold 控制 1'b0:对应于 Parameter 参数值"FALSE", 计数器 值一直更新当前链路检测的错误累计值(default) 1'b1:对应于 Parameter 参数值"TRUE", 计数器值 保持, 链路有错也不再更新
0	R/W	PMA_REG_BIST_CHK_PAT_SEL	BIST constant pattern or PRBS pattern selection 1'b0:对应于 Parameter 参数值"PRBS",PRBS pattern (default) 1'b1:对应于 Parameter 参数值"CONSTANT", constant pattern

表 112: PMA 通道配置寄存器描述: pma_rx_reg15, 偏移地址 0x00f

Bits	R/W	对应 Parameter 名	描述
------	-----	----------------	----

7:6	R		reserved, 固定值 0
5:3	R/W	PMA_REG_CDR_INT_GAIN	积分增益控制 3'b000: 1/2 ¹⁷ 3'b001: 1/2 ¹⁶ 3'b010: 1/2 ¹⁵ 3'b011: 1/2 ¹⁴ 3'b100: 1/2 ¹³ 3'b101: 1/2 ¹² (default) 3'b110: 1/2 ¹¹ 3'b111: 1/2 ¹⁰
2:0	R/W	PMA_REG_CDR_PROP_TURBO_GAIN	turbo proportional gain control: (refer to the PI control value) 3'b000: 1/2 ¹² 3'b001: 1/2 ¹¹ 3'b010: 1/2 ¹⁰ 3'b011: 1/2 ⁹ 3'b100: 1/2 ⁸ 3'b101: 1/2 ⁷ 3'b110: 1/2 ⁶ (default) 3'b111: 1/2 ⁵

表 113: PMA 通道配置寄存器描述: pma_rx_reg16, 偏移地址 0x010

Bits	R/W	对应 Parameter 名	描述
7:3	R/W	PMA_REG_CDR_INT_SAT_MAX[4:0]	积分路径最大正偏差, CDR_INT_SAT_MAX[4:0]=5'b00000(default)
2:0	R/W	PMA_REG_CDR_INT_TURBO_GAIN	turbo integral gain control: (refer to the PI control value) 3'b000: 1/2 ¹⁷ 3'b001: 1/2 ¹⁶ 3'b010: 1/2 ¹⁵ 3'b011: 1/2 ¹⁴ 3'b100: 1/2 ¹³ 3'b101: 1/2 ¹² 3'b110: 1/2 ¹¹ (default) 3'b111: 1/2 ¹⁰

表 114: PMA 通道配置寄存器描述: pma_rx_reg17, 偏移地址 0x011

Bits	R/W	对应 Parameter 名	描述
7:5	R/W	PMA_REG_CDR_INT_SAT_MIN[2:0]	积分路径最大负偏差, CDR_INT_SAT_MIN[2:0]=3'b000(default)
4:0	R/W	PMA_REG_CDR_INT_SAT_MAX[9:5]	积分路径最大正偏差, CDR_INT_SAT_MAX[9:5]=5'b11000(default)

表 115: PMA 通道配置寄存器描述: pma_rx_reg18, 偏移地址 0x012

Bits	R/W	对应 Parameter 名	描述
7	R		reserved, 固定值 0
6:0	R/W	PMA_REG_CDR_INT_SAT_MIN[9:3]	积分路径最大负偏差, CDR_INT_SAT_MIN [9:3] =7'b010_0000(default)

表 116: PMA 通道配置寄存器描述: pma_rx_reg19, 偏移地址 0x013

Bits	R/W	对应 Parameter 名	描述
7	R		reserved, 固定值 0
6	R/W	PMA_REG_CDR_RX_PI_FORCE_SEL	cdr rx PI control force value selection. 1'b0: rx pi ctrl using the accumulator output (default) 1'b1: rx pi ctrl using the force data(bypass CDR)
5	R/W	PMA_REG_CDR_LOCK_RST_OW	1'b0:对应于 Parameter 参数值"FALSE"(default) 1'b1:对应于 Parameter 参数值"TRUE"
4	R/W	PMA_REG_CDR_LOCK_RST	1'b0:对应于 Parameter 参数值"FALSE"(default) 1'b1:对应于 Parameter 参数值"TRUE":reset
3	R/W	PMA_REG_CDR_PROP_RST_OW	1'b0:对应于 Parameter 参数值"FALSE"(default) 1'b1:对应于 Parameter 参数值"TRUE"
2	R/W	PMA_REG_CDR_PROP_RST	1'b0:对应于 Parameter 参数值"FALSE"(default) 1'b1:对应于 Parameter 参数值"TRUE":reset
1	R/W	PMA_REG_CDR_INT_RST_OW	1'b0:对应于 Parameter 参数值"FALSE"(default) 1'b1:对应于 Parameter 参数值"TRUE"
0	R/W	PMA_REG_CDR_INT_RST	1'b0:对应于 Parameter 参数值"FALSE"(default) 1'b1:对应于 Parameter 参数值"TRUE":reset

表 117: PMA 通道配置寄存器描述: pma_rx_reg20, 偏移地址 0x014

Bits	R/W	对应 Parameter 名	描述
7:0	R/W	PMA_REG_CDR_RX_PI_FORCE_D	cdr rx PI control force data, 取值范围 0~255, 默认值 0

表 118: PMA 通道配置寄存器描述: pma_rx_reg21, 偏移地址 0x015

Bits	R/W	对应 Parameter 名	描述
7	R/W	PMA_REG_CDR_INT_SAT_DET_EN	积分路径饱和度检测使能: 1'b0:对应于 Parameter 参数值"FALSE":disable 1'b1:对应于 Parameter 参数值"TRUE":enable (default)
6	R/W	PMA_REG_CDR_LOCK_OW	cdr 锁定检测使能 1'b0:对应于 Parameter 参数值"FALSE" (default) 1'b1:对应于 Parameter 参数值"TRUE"
5	R/W	PMA_REG_CDR_LOCK_VAL	cdr 锁定检测值 1'b0:对应于 Parameter 参数值"FALSE" (default) 1'b1:对应于 Parameter 参数值"TRUE":reset
4:3	R/W	PMA_REG_CDR_TURBO_MODE_TIMER	2'b00:turbo_mode time equal to the lock time 2'b01:turbo_mode time 3/4 of the lock time(default) 2'b10:turbo_mode time 1/2 of the lock time 2'b11:turbo_mode time 1/4 of the lock time
2:0	R/W	PMA_REG_CDR_LOCK_TIMER	cdr lock detection pseudo timer control (for 800MHz clock) 3'b000:对应于 Parameter"0_32U", 256cycles

			3'b001:对应于 Parameter"0_665U",512cycles 3'b010:对应于 Parameter"1_28U",1028cycles 3'b011:对应于 Parameter"1_96U",1536cycles (default) 3'b100:对应于 Parameter"2_6U",2048cycles 3'b101:对应于 Parameter"5_2U",4096cycles 3'b110:对应于 Parameter"7_8U",6144cycles 3'b111:对应于 Parameter"10_5U",8192cycles
--	--	--	--

表 119: PMA 通道配置寄存器描述: pma_rx_reg22, 偏移地址 0x016

Bits	R/W	对应 Parameter 名	描述
7:0	R		reserved, 固定值 0

表 120: PMA 通道配置寄存器描述: pma_rx_reg23, 偏移地址 0x417

Bits	R/W	对应 Parameter 名	描述
7	R/W	PMA_REG_CDR_PI_CTRL_RST_OW	cdr pi control reset overwrite, 固定值 0 1'b0:对应于 Parameter 参数值"FALSE" 1'b1:对应于 Parameter 参数值"TRUE"
6	R/W	PMA_REG_CDR_PI_CTRL_RST	cdr pictrl reset register, 固定值 0 1'b0:对应于 Parameter 参数值"FALSE" 1'b1:对应于 Parameter 参数值"TRUE"
5	R/W	PMA_REG_CDR_SAT_DET_STATUS_RESET_EN	When the cdr saturation is detected, reset the cdr: 1'b0: 对 应 于 Parameter 参 数 值 "FALSE",disable(default) 1'b1:对应于 Parameter 参数值"TRUE", enable
4	R/W	PMA_REG_CDR_SAT_DET_STATUS_EN	Enable cdr saturation status detection: 1'b0: 对 应 于 Parameter 参 数 值 "FALSE",disable(default) 1'b1:对应于 Parameter 参数值"TRUE": enable
3:0	R		reserved, 固定值 0

表 121: PMA 通道配置寄存器描述: pma_rx_reg24, 偏移地址 0x018

Bits	R/W	对应 Parameter 名	描述
7	R		reserved, 固定值 0
6:5	R/W	PMA_REG_CDR_SAT_DET_TIMER	2'b00: 64 out ot 1024 cycles saturation detected is reckoned as saturation 2'b01: 128 out ot 1024 cycles saturation detected is reckoned as saturation 2'b10: 256 out ot 1024 cycles saturation detected is reckoned as saturation(default) 2'b11: 512 out ot 1024 cycles saturation detected is reckoned as saturation
4	R/W	PMA_REG_CDR_SIGDET_STATUS_DIS	信号检测去使能. 1'b0:对应于 Parameter 参数值"FALSE"

			(default) 1'b1:对应于 Parameter 参数值"TRUE".
3	R/W	PMA_REG_CDR_SAT_DET_STICKY_RST_OW	cdr saturation detection status sticky reset overwrite, 固定值 0 1'b0:对应于 Parameter 参数值"FALSE" 1'b1:对应于 Parameter 参数值"TRUE"
2	R/W	PMA_REG_CDR_SAT_DET_STICKY_RST	cdr saturation detection status sticky reset, active high. 1'b0:对应于 Parameter 参数值"FALSE", disable(default) 1'b1:对应于 Parameter 参数值"TRUE": reset.
1	R/W	PMA_REG_CDR_SAT_DET_RST_OW	固定值 0 1'b0:对应于 Parameter 参数值"FALSE" 1'b1:对应于 Parameter 参数值"TRUE"
0	R/W	PMA_REG_CDR_SAT_DET_RST	1'b0:对应于 Parameter 参数值"FALSE", disable(default) 1'b1:对应于 Parameter 参数值"TRUE", reset

表 122: PMA 通道配置寄存器描述: pma_rx_reg25, 偏移地址 0x019

Bits	R/W	对应 Parameter 名	描述
7	R/W	PMA_REG_CDR_STATUS_FIFO_EN	使能 cdr 状态 fifo 1'b0:对应于 Parameter 参数值"FALSE":去使 能 1'b1:对应于 Parameter 参数值"TRUE":使能 (default)
6:4	R	MA_REG_CDR_STATUS_RADDR_INIT	初始化 cdr 状态 fifo 读地址(default:3'b000)
3	R		reserved, 固定值 0
2	R/W	PMA_REG_CDR_TURBO_MODE_EN	cdr turbo mode enable: 1'b0: 对 应 于 Parameter 参 数 值 "FALSE": disabled 1'b1: 对 应 于 Parameter 参 数 值 "TRUE":enabled(default)
1	R/W	PMA_REG_CDR_SAT_DET_STATUS_OW	cdr saturation detection status overwrite enabel, 固定值 0 1'b0:对应于 Parameter 参数值"FALSE" 1'b1:对应于 Parameter 参数值"TRUE"
0	R/W	PMA_REG_CDR_SAT_DET_STATUS_VAL	register for cdr saturation detection status overwrite 1'b0:对应于 Parameter 参数值"FALSE", disable(default) 1'b1:对应于 Parameter 参数值"TRUE", reset

表 123: PMA 通道配置寄存器描述: pma_rx_reg26, 偏移地址 0x01a

Bits	R/W	对应 Parameter 名	描述
7:3	R/W	PMA_REG_OOB_COMWAKE_GAP_MIN[4:0]	Minimum length threshold for a COMWAKE signal gap. (4/75M~53ns) 默认值 3
2:0	R/W	PMA_REG_PMA_TEST_SEL	测试数据选择

			3'b000: cdr pictrl value(default) 3'b001: cdr int data others reserved
--	--	--	--

表 124: PMA 通道配置寄存器描述: pma_rx_reg27, 偏移地址 0x01b

Bits	R/W	对应 Parameter 名	描述
7	R		reserved, 固定值 0
6:1	R/W	PMA_REG_OOB_COMWAKE_GAP_MAX	Maximum length threshold for a COMWAKE signal gap. (12/75M~160ns) 默认值 6'b00_1011
0	R/W	PMA_REG_OOB_COMWAKE_GAP_MIN[5]	Minimum length threshold for a COMWAKE signal gap. (4/75M~53ns) 默认值 0

表 125: PMA 通道配置寄存器描述: pma_rx_reg28, 偏移地址 0x01c

Bits	R/W	对应 Parameter 名	描述
7:0	R/W	PMA_REG_OOB_COMINIT_GAP_MIN	Minimum length threshold for a COMINIT signal gap. (16/75M~213ns),默认值 15

表 126: PMA 通道配置寄存器描述: pma_rx_reg29, 偏移地址 0x01d

Bits	R/W	对应 Parameter 名	描述
7:0	R/W	PMA_REG_OOB_COMINIT_GAP_MAX	Maximum length threshold for a COMINIT signal gap. (36/75M~480ns),默认值 35

表 127: PMA 通道配置寄存器描述: pma_rx_reg30, 偏移地址 0x01e

Bits	R/W	对应 Parameter 名	描述
7:6	R		reserved, 固定值 0
5	R/W	PMA_REG_RX_SYNC_RST_N	rx sync module reset register 1'b0:对应于 Parameter 参数值"FALSE" 1'b1:对应于 Parameter 参数值"TRUE"(default)
4	R/W	PMA_REG_RX_SYNC_RST_N_EN	rx sync module reset overwrite 1'b0:对应于 Parameter 参数值"FALSE"(default) 1'b1:对应于 Parameter 参数值"TRUE"
3	R/W	PMA_REG_COMINIT_STATUS_CLEAR	清除电路监测到的 cominit, 高电平清零, 默认值 0
2	R/W	PMA_REG_COMWAKE_STATUS_CLEAR	清除电路监测到的 comwake, 高电平清零 默认值 0
1:0	R/W	PMA_REG_RX_PIBUF_IC_TX	current control register of pi buffer for tx (default:2'b01)

表 128: PMA 通道配置寄存器描述: pma_rx_reg31, 偏移地址 0x01f

Bits	R/W	对应 Parameter 名	描述
7:6	R		reserved, 固定值 0
5	R/W	PMA_REG_RX_SATA_COMWAKE	1'b0:对应于 Parameter 参数值"FALSE", COMWAKE signal is not detected(default) 1'b1:对应于 Parameter 参数值"TRUE", COMWAKE signal is detected

4	R/W	PMA_REG_RX_SATA_COMWAKE_OW	rx COMWAKE signal in sata mode overwrite: 1'b0:对应于 Parameter 参数值"FALSE"(default) 1'b1:对应于 Parameter 参数值"TRUE"
3	R/W	PMA_REG_RX_SATA_COMINIT	1'b0: 对应于 Parameter 参数值 "FALSE", COMINIT signal is not detected(default) 1'b1:对应于 Parameter 参数值"TRUE", COMINIT signal is detected
2	R/W	PMA_REG_RX_SATA_COMINIT_OW	rx COMINIT signal in sata mode overwrite: 1'b0:对应于 Parameter 参数值"FALSE"(default) 1'b1:对应于 Parameter 参数值"TRUE"
1:0	R		reserved, 固定值 0

表 129: PMA 通道配置寄存器描述: pma_rx_reg32, 偏移地址 0x020

Bits	R/W	对应 Parameter 名	描述
7	R/W	PMA_REG_RX_SLIP_EN	1'b0:对应于 Parameter 参数值"FALSE", cdr demux works normally(default) 1'b1:对应于 Parameter 参数值"TRUE", bypass cdr demux
6:3	R/W	PMA_REG_RX_SLIP_SEL	默认值 0
2	R/W	PMA_REG_RX_SLIP_SEL_EN	1'b0:对应于 Parameter 参数值"FALSE"(default) 1'b1:对应于 Parameter 参数值"TRUE"
1	R/W	PMA_REG_TX_DCC_DISABLE	1'b0:对应于 Parameter 参数值"FALSE", tx dcc is enable (default) 1'b1:对应于 Parameter 参数值"TRUE", tx dcc is disable.
0	R/W	PMA_REG_RX_DCC_DISABLE	1'b0:对应于 Parameter 参数值"FALSE", rx dcc is enable (default) 1'b1:对应于 Parameter 参数值"TRUE", rx dcc is disable.

表 130: PMA 通道配置寄存器描述: pma_rx_reg33, 偏移地址 0x021

Bits	R/W	对应 Parameter 名	描述
7:6	R		reserved, 固定值 0
5	R/W	PMA_REG_RX_SIGDET_STATUS	接收信号检测状态: 1'b0:对应于 Parameter 参数值"FALSE",没有检测到信号(default) 1'b1:对应于 Parameter 参数值"TRUE",检测到输入信号
4	R/W	PMA_REG_RX_SIGDET_STATUS_OW	1'b0: 对应于 参 数 值 "DISABLE" , rx_sigdet_status 来自模拟量; 1'b1: 对 应 于 参 数 值 "ENABLE" , rx_sigdet_status 来自寄存器.
3	R/W	PMA_REG_RX_SIGDET_FSM_RST_N	1'b0:对应于 Parameter 参数值"FALSE" 1'b1:对应于 Parameter 参数值"TRUE"(default)
2:0	R/W	PMA_REG_RX_SIGDET_STATUS_SEL	接收信号检测状态信号源选择: 3'b000: channel 1 (comparator based signal detector) 3'b001: channel 2 (comparator based signal

			detector+ check window filter) 3'b010: channel 3 (slicer based signal detector) 3'b011: channel1 channel2 3'b100: channel1 channel3 3'b101: channel1 channel2 channel3 channel4 (default) 3'b110: channel2 channel3 3'b111: channel 4
--	--	--	--

表 131: PMA 通道配置寄存器描述: pma_rx_reg34, 偏移地址 0x022

Bits	R/W	对应 Parameter 名	描述
7	R/W	PMA_REG_RX_SIGDET_CH2_SEL	通道 2 接收信号检测模式选择. 1'b0: the RC filtered comparison signal is sent to detect channel 2 (default) 1'b1: the comparison signal is directly sent to signal detect channel 2
6	R/W	PMA_REG_RX_SIGDET_PULSE_EXT	信号脉冲扩展使能. 1'b0:对应于 Parameter 参数值"FALSE"(default) 1'b1:对应于 Parameter 参数值"TRUE"
5:4	R/W	PMA_REG_RX_SIGDET_GRM	默认值 2'b00
3:0	R/W	PMA_REG_RX_SIGDET_VTH	接收信号检测峰-峰电压阈值: bit[2:0]=3'b000: Parameter 参数值"12.5MV" bit[2:0]=3'b001: Parameter 参数值"25MV" bit[2:0]=3'b010: Parameter 参数值"37.5MV" bit[2:0]=3'b011: Parameter 参数值"50MV"(default) bit[2:0]=3'b100: Parameter 参数值"62.5MV" bit[2:0]=3'b101: Parameter 参数值"75MV" bit[2:0]=3'b110: Parameter 参数值"87.5MV" bit[2:0]=3'b111: Parameter 参数值"100MV" Bit[3] is reserved, 固定值 0

表 132: PMA 通道配置寄存器描述: pma_rx_reg35, 偏移地址 0x023

Bits	R/W	对应 Parameter 名	描述
7:6	R		reserved, 固定值 0
5	R/W	PMA_REG_RX_SIGDET_CHK_WINDOW_EN	1'b0:对应于 Parameter 参数值"FALSE" 1'b1:对应于 Parameter 参数值"TRUE"(default)
4:0	R/W	PMA_REG_RX_SIGDET_CH2_CHK_WINDOW	默认值 3

表 133: PMA 通道配置寄存器描述: pma_rx_reg36, 偏移地址 0x024

Bits	R/W	对应 Parameter 名	描述
7:5	R/W	PMA_REG_RX_SIGDET_OOB_DET_COUNT_VAL[2:0]	默认值 0
4	R/W	PMA_REG_SLIP_FIFO_INV	Slip fifo 时钟沿选择 1'b0: 对 应 于 Parameter 参 数 值 "POS_EDGE"(default) 1'b1:对应于 Parameter 参数值"NEG_EDGE"
3	R/W	PMA_REG_SLIP_FIFO_INV_EN	1'b0: 对 应 于 Parameter 参 数 值 "FALSE"(default)

			1'b1:对应于 Parameter 参数值"TRUE"
2:0	R/W	PMA_REG_RX_SIGDET_NOSIG_COUNT_SETTING	counter of consecutive clock cycles during which no signal is detected. 3'b000: nosig_count_timeout=8'd0 3'b001: nosig_count_timeout=8'd3 3'b010: nosig_count_timeout=8'd7 3'b011: nosig_count_timeout=8'd15 3'b100: nosig_count_timeout=8'd31(default) 3'b101: nosig_count_timeout=8'd63 3'b110: nosig_count_timeout=8'd127 3'b111: nosig_count_timeout=8'd255

表 134: PMA 通道配置寄存器描述: pma_rx_reg37, 偏移地址 0x025

Bits	R/W	对应 Parameter 名	描述
7:5	R		reserved, 固定值 0
4:2	R/W	PMA_REG_RX_SIGDET_4OOB_DET_SEL	oob 应用, 接收信号检测通道选择: 3'b000: channel 1 (comparator based signal detector) 3'b001: channel 2 (comparator based signal detector+ check window filter) 3'b010: channel 3 (slicer based signal detector) 3'b011: channel1 channel2 3'b100: channel1 channel3 3'b101: channel1 channel2 channel3 channel4 3'b110: channel2 channel3 3'b111: channel 4(default)
1:0	R/W	PMA_REG_RX_SIGDET_OOB_DET_COUNT_VAL [4:3]	counter value of sigdet in oob detection mode,默认值 0

表 135: PMA 通道配置寄存器描述: pma_rx_reg38, 偏移地址 0x026

Bits	R/W	对应 Parameter 名	描述
7	R/W	PMA_REG_RX_OOB_DETECTOR_PD_OW	rx oob detector powerdown overwrite 1'b0:对应于 Parameter 参数值"FALSE", use FSM output signal(default) 1'b1:对应于 Parameter 参数值"TRUE", use reg_rx_oob_detector_pd
6	R/W	PMA_REG_RX_OOB_DETECTOR_RESET_N	1'b0:对应于 Parameter 参数值"FALSE",复位接收侧 oob 检测器(default) 1'b1:对应于 Parameter 参数值"TRUE",正常运行
5	R/W	PMA_REG_RX_OOB_DETECTOR_RESET_N_OW	寄存器控制 oob 检测器复位使能 1'b0: 对应于 Parameter 参数值 "FALSE"(default) 1'b1:对应于 Parameter 参数值"TRUE"
4:1	R/W	PMA_REG_RX_SIGDET_IC_I	rx signal detector mux and comparator current control,默认值 10

0	R		reserved, 固定值 0
---	---	--	-----------------

表 136: PMA 通道配置寄存器描述: pma_rx_reg39, 偏移地址 0x027

Bits	R/W	对应 Parameter 名	描述
7:4	R		reserved, 固定值 0
3:2	R/W	REG_RX_TERM_CM_CTRL	Rx termination common mode voltage control. 2'b0: "5DIV7". 5/6*vdd(default) 2'b1: "2DIV3". 2/3*vdd 2'b2: "5DIV6". 5/6*vdd 2'b3: "4DIV5". 4/5*vdd
1	R		reserved, 固定值 0
0	R/W	PMA_REG_RX_OOB_DETECTOR_PD	rx oob detector powerdown: 1'b0:对应于 Parameter 参数值"ON" poweron rx oob detector(default) 1:powerdown rx oob detector

表 137: PMA 通道配置寄存器描述: pma_rx_reg40, 偏移地址 0x028

Bits	R/W	对应 Parameter 名	描述
7:0	R	pma_lane_reg_status_0to7	Rx BIST 错误计数。 PMA_CHx_REG_RX_ERR_COUNTER[7:0]。

表 138: PMA 通道配置寄存器描述: pma_rx_reg41, 偏移地址 0x029

Bits	R/W	对应 Parameter 名	描述
7:0	R	pma_lane_reg_status_8to15	Rx BIST 错误计数。 PMA_CHx_REG_RX_ERR_COUNTER[15:8]。

表 139: PMA 通道配置寄存器描述: pma_rx_reg42, 偏移地址 0x02a

Bits	R/W	对应 Parameter 名	描述
7:0	R	pma_lane_reg_status_16to23	Rx BIST 错误计数。 PMA_CHx_REG_RX_ERR_COUNTER[23:16]。

表 140: PMA 通道配置寄存器描述: pma_rx_reg43, 偏移地址 0x02b

Bits	R/W	对应 Parameter 名	描述
7:0	R	pma_lane_reg_status_24to31	Rx BIST 错误计数。 PMA_CHx_REG_RX_ERR_COUNTER[31:24]。

表 141: PMA 通道配置寄存器描述: pma_rx_reg44, 偏移地址 0x02c

Bits	R/W	对应 Parameter 名	描述
7:0	R	pma_lane_reg_status_39to32	Received UDP data of the BIST checker PMA_CHx_REG_RX_UDP[7:0]

表 142: PMA 通道配置寄存器描述: pma_rx_reg45, 偏移地址 0x02d

Bits	R/W	对应 Parameter 名	描述
7:0	R	pma_lane_reg_status_47to40	Received UDP data of the BIST checker PMA_CHx_REG_RX_UDP[15:8]

表 143: PMA 通道配置寄存器描述: pma_rx_reg46, 偏移地址 0x02e

Bits	R/W	对应 Parameter 名	描述
7:4	R/W	PMA_REG_RX_RESERVED_345_338	默认值 0
3:0	R	pma_lane_reg_status_48to51	Received UDP data of the BIST checker PMA_CHx_REG_RX_UDP[19:16]

表 144: PMA 通道配置寄存器描述: pma_rx_reg47, 偏移地址 0x02f

Bits	R/W	对应 Parameter 名	描述
7:0	R	pma_lane_reg_status_52to59	PMA_CHx_REG_PICTRL_STATUS[7:0]。

表 145: PMA 通道配置寄存器描述: pma_rx_reg48, 偏移地址 0x030

Bits	R/W	对应 Parameter 名	描述
7:2	R	pma_lane_reg_status_62to67	PMA_CHx_REG_CDR_INT_VAL[5:0]。
1	R	pma_lane_reg_status_61	PMA_CHx_REG_RX_SIGDET_STATUS。
0	R	pma_lane_reg_status_60	PMA_CHx_REG_RX_CDR_READY。

表 146: PMA 通道配置寄存器描述: pma_rx_reg49, 偏移地址 0x031

Bits	R/W	对应 Parameter 名	描述
7:0	R	pma_lane_reg_status_68to75	CDR integral value PMA_CHx_REG_CDR_INT_VAL[13:6]

表 147: PMA 通道配置寄存器描述: pma_rx_reg50, 偏移地址 0x032

Bits	R/W	对应 Parameter 名	描述
7:6	R		reserved, 固定值 0
5:0	R/W	pma_lane_reg_status_76to81	CDR integral value PMA_CHx_REG_CDR_INT_VAL[19:14]

表 148: PMA 通道配置寄存器描述: pma_rx_reg51, 偏移地址 0x033

Bits	R/W	对应 Parameter 名	描述
7:1	R		recerved, 固定值 0
0	R	pma_lane_reg_status_82	PMA_CHx_REG_RX_CDR_SAT_STICKY CDR saturation sticky flag (if high, means CDR has reached saturation at least once).

表 149: PMA 通道配置寄存器描述: pma_rx_reg52, 偏移地址 0x034

Bits	R/W	对应 Parameter 名	描述
7:0	R	pma_lane_reg_status_90to97	recerved, 固定值 0

表 150: PMA 通道配置寄存器描述: pma_rx_reg53, 偏移地址 0x035

Bits	R/W	对应 Parameter 名	描述
7:0	R	pma_lane_reg_status_98to105	reserved, 固定值 0

表 151: PMA 通道配置寄存器描述: pma_rx_reg54, 偏移地址 0x036

Bits	R/W	对应 Parameter 名	描述
7:0	R	pma_lane_reg_status_106to113	reserved, 固定值 0

表 152: PMA 通道配置寄存器描述: pma_rx_reg55, 偏移地址 0x037

Bits	R/W	对应 Parameter 名	描述
7:0	R	pma_lane_reg_status_114to121	reserved, 固定值 0

表 153: PMA 通道配置寄存器描述: pma_rx_reg56, 偏移地址 0x038

Bits	R/W	对应 Parameter 名	描述
7:6	R		reserved, 固定值 0
5:0	R	pma_lane_reg_status_122to127	reserved, 固定值 0

2. PMA TX 部分

表 154: PMA 通道配置寄存器描述: pma_tx_reg0, 偏移地址 0x039

Bits	R/W	对应 Parameter 名	描述
7	R/W	PMA_TX_RXDET_REQ	接收检测请求 1'b0: FALSE; (default) 1'b1: TRUE。
6	R/W	PMA_TX_RXDET_REQ_OW	接收检测请求使能 1'b0: use pma pin; (default) 1'b1: use tx_reg value 。
5:4	R/W	PMA_REG_TX_BEACON_TIMER_SEL	tx beacon timer selection register 2'b00: 2 clock cycles(default) 2'b01: 4 clock cycles 2'b10: 8 clock cycles 2'b11: 16 clock cycles
3	R/W	PMA_TX_CLKPATH_PD_OW	1'b0:时钟路径关闭电源由 pma_tx_pd_x 控制; 1'b1:时钟路径关闭电源由 reg_tx_clkpath_pd 控制 。
2	R/W	PMA_TX_CLKPATH_PD	1'b0:发送器时钟路径电源打开; (default) 1'b1:发送器时钟路径电源关闭。
1	R/W	PMA_TX_PD_OW	1'b0:发送侧电源关闭由 pma_tx_pd_x 控制; (default) 1'b1:发送侧电源关闭由 reg_tx_pd 控制。
0	R/W	PMA_TX_PD	1'b0:发送器电源打开; (default) 1'b1:发送器电源关闭。

表 155: PMA 通道配置寄存器描述: pma_tx_reg1, 偏移地址 0x03a

Bits	R/W	对应 Parameter 名	描述
7:4	R		reserved, 固定值 0
3	R/W	PMA_REG_TX_EI_EN	register EI enable 1'b0: no EI; (default) 1'b1: EI mode 。
2	R/W	PMA_REG_TX_EI_EN_OW	固定值 0 1'b0:对应于 Parameter 参数值"FALSE"(default) 1'b1:对应于 Parameter 参数值"TRUE"
1	R/W	PMA_REG_TX_BEACON_EN	register beacon enable

			1'b0: no beacon; (default) 1'b1: beacon mode。
0	R/W	PMA_REG_TX_BEACON_EN_OW	beacon enable register overwrite signal, 固定值 0 1'b0: 对应于 Parameter 参数值"FALSE" (default) 1'b1: 对应于 Parameter 参数值"TRUE"

表 156: PMA 通道配置寄存器描述: pma_tx_reg2, 偏移地址 0x03b

Bits	R/W	对应 Parameter 名	描述
7	R/W	PMA_REG_TX_BIAS_CAL_EN	1'b0: driver 200uA bias dac ctrl is from register; (default) 1'b1: driver 200uAbias dac ctrl is from pll res calibration。
6:1	R/W	PMA_REG_TX_RES_CAL	default:6'b110011, 50ohm
0	R/W	PMA_REG_TX_RES_CAL_EN	1'b0: res dac ctrl is from register; (default) 1'b1: res dac ctrl is from pll res calibration。

表 157: PMA 通道配置寄存器描述: pma_tx_reg3, 偏移地址 0x03c

Bits	R/W	对应 Parameter 名	描述
7:6	R		reserved, 固定值 0
5:0	R/W	PMA_REG_TX_BIAS_CTRL	register tx driver 200uA bias ctrl code ipn200_drv=200uA,full bias(default:6'b110000)

表 158: PMA 通道配置寄存器描述: pma_tx_reg4, 偏移地址 0x03d

Bits	R/W	对应 Parameter 名	描述
7:0	R		reserved, 固定值 0

表 159: PMA 通道配置寄存器描述: pma_tx_reg5, 偏移地址 0x03e

Bits	R/W	对应 Parameter 名	描述
7:0	R	PMA_REG_TX_RESERVED_41_34	reserved, 固定值 0

表 160: PMA 通道配置寄存器描述: pma_tx_reg6, 偏移地址 0x03f

Bits	R/W	对应 Parameter 名	描述
7:0	R		reserved, 固定值 0

表 161: PMA 通道配置寄存器描述: pma_tx_reg7, 偏移地址 0x040

Bits	R/W	对应 Parameter 名	描述
7:6	R/W	PMA_REG_TX_RXDET_TIMER_SEL	接收检测采样等待时间 2'b0: "3CYCLE"; 2'b1: "12CYCLE"; (default) 2'b2: "24CYCLE"; 2'b3: "36CYCLE"
5:0	R		reserved, 固定值 0

表 162: PMA 通道配置寄存器描述: pma_tx_reg8, 偏移地址 0x041

Bits	R/W	对应 Parameter 名	描述
7	R/W	PMA_REG_TX_DCC_RESET_N	tx dcc 复位使能

			1'b0: tx dcc reset 1'b1: tx dcc not reset(default)
6	R/W	PMA_REG_TX_DCC_RESET_N_OW	tx dcc reset n register overwrite 1'b0: use pma_tx_reset_n_x pin (default) 1'b1: use reg_tx_reset_n
5	R/W	PMA_REG_TX_RESET_N	tx 复位使能 1'b0: tx reset 1'b1: tx not reset
4	R/W	PMA_REG_TX_RESET_N_OW	固定值 0. 1'b0: 对应于 Parameter 参数值"FALSE" (default) 1'b1: 对应于 Parameter 参数值"TRUE"
3	R/W	PMA_REG_TX_PD_POST_OW	1'b0: 对应于 Parameter 参数值"FALSE", overwrite disabled 1'b1: 对应于 Parameter 参数值"TRUE"(default) overwrite with pma_tx_reg8[2]
2	R/W	PMA_REG_TX_PD_POST	后标量去加重使能, 由 IP 配置决定数值 1'b0:对应于 Parameter 参数值"ON",enabled 1'b1:对应于 Parameter 参数值"OFF",disable
1	R/W	PMA_REG_TX_SYNC	register tx sync enable 1'b0: DISABLE, (default) 1'b1: ENABLE:
0	R/W	PMA_REG_TX_SYNC_OW	固定值 0. 1'b0: 对应于 Parameter 参数值"FALSE" (default) 1'b1: 对应于 Parameter 参数值"TRUE"

表 163: PMA 通道配置寄存器描述: pma_tx_reg9, 偏移地址 0x042

Bits	R/W	对应 Parameter 名	描述
7:6	R		reserved, 固定值 0
5	R/W	PMA_REG_PLL_READY	register pll ready enable 1'b0: pll not ready 1'b1: pll ready
4	R/W	PMA_REG_PLL_READY_OW	tx pll ready register overwrite signal.固定值 0 1'b0: 对应于 Parameter 参数值"FALSE" (default) 1'b1: 对应于 Parameter 参数值"TRUE"
3:1	R/W	PMA_REG_TX_BUSWIDTH	tx buswidth control, 由 IP 配置决定数值 bit[1:0]=2'b00: 8bit bit[1:0]=2'b01:10bit bit[1:0]=2'b10:16bit bit[1:0]=2'b11:20bit (default) bit[2] is reserved.
0	R/W	PMA_REG_TX_BUSWIDTH_OW	1'b0:对应于 Parameter 参数值"FALSE" 选择端口 P_TX_BUSWIDTH 1'b1:对应于 Parameter 参数值"TRUE" (default) 选择寄存器 PMA_REG_TX_BUSWIDTH

表 164: PMA 通道配置寄存器描述: pma_tx_reg10, 偏移地址 0x043

Bits	R/W	对应 Parameter 名	描述
------	-----	----------------	----

7:6	R		reserved, 固定值 0
5	R		reserved, 固定值 0
4:3	R/W	PMA_REG_EI_PCLK_DELAY_SEL	Control tx_main_pre_z delay relative with normal parallel data. 2'b00: 0 txpclk cycle, the four signals are synchronized with parallel data. (default) 2'b01: -1 txpclk cycle, the four signals are 1 cycle earlier than parallel data. 2'b10: +1 txpclk cycle, the four signals are 1 cycle later than parallel data. 2'b11: reserved
2	R		reserved, 固定值 0
1	R/W	PMA_REG_EI_PCLK_SW	txpclk 选择 0: select refclk as txpclk 1: normal txpclk(default)
0	R/W	PMA_REG_EI_PCLK_SW_OE	txpclk switch register overwrite 0: use internal logic to control txpclk switch (default) 1: use reg_tx_pclk_sw

表 165: PMA 通道配置寄存器描述: pma_tx_reg11, 偏移地址 0x044

Bits	R/W	对应 Parameter 名	描述
7:6	R		reserved, 固定值 0
5:0	R/W	PMA_REG_TX_DRV01_DAC0	post cursor tx bias ctrl code setting0 (1x=3.125uA) 000000:0 000001:1x ... 111111:63x 0dB (default:6b'00_0000)

表 166: PMA 通道配置寄存器描述: pma_tx_reg12, 偏移地址 0x045

Bits	R/W	对应 Parameter 名	描述
7:6	R		reserved, 固定值 0
5:0	R/W	PMA_REG_TX_DRV01_DAC1	post cursor tx bias ctrl code setting1 (1x=3.125uA) 000000:0 000001:1x ... 111111:63x -3.5dB (default:6b'00_1010)

表 167: PMA 通道配置寄存器描述: pma_tx_reg13, 偏移地址 0x046

Bits	R/W	对应 Parameter 名	描述
7:6	R		reserved, 固定值 0
5:0	R/W	PMA_REG_TX_DRV01_DAC2	post cursor tx bias ctrl code setting2 (1x=3.125uA) 000000:0 000001:1x

			... 111111:63x -6dB (default:6b'01_0000)
--	--	--	---

表 168: PMA 通道配置寄存器描述: pma_tx_reg14, 偏移地址 0x047

Bits	R/W	对应 Parameter 名	描述
7:6	R		reserved, 固定值 0
5:0	R/W	PMA_REG_TX_DRV00_DAC0	main cursor tx bias ctrl code setting0 (1x=3.125uA) 000000:0 000001:1x ... 111111:63x(total=196.875uA) 0dB (default:6b'11_1111)

表 169: PMA 通道配置寄存器描述: pma_tx_reg15, 偏移地址 0x048

Bits	R/W	对应 Parameter 名	描述
7:6	R		reserved, 固定值 0
5:0	R/W	PMA_REG_TX_DRV00_DAC1	main cursor tx bias ctrl code setting1 (1x=3.125uA) 000000:0 000001:1x ... 111111:63x(total=196.875uA) -3.5dB (default:6b'11_0101)

表 170: PMA 通道配置寄存器描述: pma_tx_reg16, 偏移地址 0x049

Bits	R/W	对应 Parameter 名	描述
7:6	R		reserved, 固定值 0
5:0	R/W	PMA_REG_TX_DRV00_DAC2	main cursor tx bias ctrl code setting2 (1x=3.125uA) 000000:0 000001:1x ... 111111:63x(total=196.875uA) -6dB (default:6b'11_1111)

表 171: PMA 通道配置寄存器描述: pma_tx_reg17, 偏移地址 0x04a

Bits	R/W	对应 Parameter 名	描述
7:6	R		reserved, 固定值 0
5:0	R/W	PMA_REG_TX_AMP_DAC0	tx full swing bias register control (1x=2.08uA) 000000:0 000001:1x ... 111111:63x (131uA) (default:6b'00_1000)

表 172: PMA 通道配置寄存器描述: pma_tx_reg18, 偏移地址 0x04b

Bits	R/W	对应 Parameter 名	描述
7:6	R		reserved, 固定值 0
5:0	R/W	PMA_REG_TX_AMP_DAC1	tx full swing bias register control (1x=2.08uA) 000000:0 000001:1x ... 111111:63x (131uA) (default:6b'01_0000)

表 173: PMA 通道配置寄存器描述: pma_tx_reg19, 偏移地址 0x04c

Bits	R/W	对应 Parameter 名	描述
7:6	R		reserved, 固定值 0
5:0	R/W	PMA_REG_TX_AMP_DAC2	tx full swing bias register control (1x=2.08uA) 000000:0 000001:1x ... 111111:63x (131uA) (default:6b'10_0000)。

表 174: PMA 通道配置寄存器描述: pma_tx_reg20, 偏移地址 0x04d

Bits	R/W	对应 Parameter 名	描述
7:6	R		reserved, 固定值 0
5:0	R/W	PMA_REG_TX_AMP_DAC3	tx full swing bias register control (1x=2.08uA) 000000:0 000001:1x ... 111111:63x (131uA) (default:6b'11_0000)

表 175: PMA 通道配置寄存器描述: pma_tx_reg21, 偏移地址 0x04e

Bits	R/W	对应 Parameter 名	描述
7:6	R		reserved, 固定值 5
5:0	R/W	PMA_REG_TX_AMP_DAC4	tx full swing bias register control (1x=2.08uA) 000000:0 000001:1x ... 111111:63x (131uA) (default:6b'11_1000)

表 176: PMA 通道配置寄存器描述: pma_tx_reg22, 偏移地址 0x04f

Bits	R/W	对应 Parameter 名	描述
7	R		reserved, 固定值 0
6	R/W	PMA_REG_TX_DEEMP_OW	1'b0: tx_deemp 由寄存器控制 (default) 1'b1: tx_deemp 由 pma_tx_deemp 控制
5:4	R/W	PMA_REG_TX_DEEMP	default:2'b0
3	R/W	PMA_REG_TX_MARGIN_OW	固定值 0.

			1'b0:对应于 Parameter 参数值"FALSE" (default) 1'b1:对应于 Parameter 参数值"TRUE"
2:0	R/W	PMA_REG_TX_MARGIN	tx_margin control register(default:2'b0)

表 177: PMA 通道配置寄存器描述: pma_tx_reg23, 偏移地址 0x050

Bits	R/W	对应 Parameter 名	描述
7	R/W	PMA_REG_TX_BEACON_OSC_CTRL	1'b0: 对应于 Parameter 参数值 "FALSE":36M(default) 1'b1:对应于 Parameter 参数值"TRUE":18M
6:5	R		reserved, 固定值 0
4:3	R/W	PMA_REG_TX_RXDET_THRESHOLD	2'b00:对应于 Parameter 参数值"50MV" 2'b01:对应于 Parameter 参数值"75MV" 2'b10:对应于 Parameter 参数值"100MV"(default) 2'b11:对应于 Parameter 参数值"125 MV"
2	R		reserved, 固定值 0
1	R/W	PMA_REG_TX_SWING_OW	固定值 0. 1'b0: 对应于 Parameter 参数值"FALSE" (default) 1'b1: 对应于 Parameter 参数值"TRUE"
0	R		reserved, 固定值 0

表 178: PMA 通道配置寄存器描述: pma_tx_reg24, 偏移地址 0x051

Bits	R/W	对应 Parameter 名	描述
7	R/W	PMA_REG_TX_RXDET_STATUS	rxdetect status force value 1'b0: rx not detected, floating 1'b1: rx detected, 50-ohm termination(default)
6	R/W	PMA_REG_TX_RXDET_STATUS_OW	1'b0: 对应于 Parameter 参数值"FALSE" (default) 1'b1: 对应于 Parameter 参数值"TRUE"
5	R/W	PMA_REG_TX_PCLK_EDGE_SEL	1'b0:对应于 Parameter 参数值"FALSE":选择上升沿(default) 1'b1:对应于 Parameter 参数值"TRUE":选择下降沿
4	R/W	PMA_REG_TX_TX2RX_SLPBACK_EN	PMA 近端串行环回使能(寄存器方式) 1'b0: 对应于 Parameter 参数值 "FALSE", disabled(default) 1'b1:对应于 Parameter 参数值"TRUE",enabled
3:2	R/W	PMA_REG_TX_PREDRV_CM_CTRL	default:2'b01
1:0	R/W	PMA_REG_TX_PREDRV_DAC	default:2'b01

表 179: PMA 通道配置寄存器描述: pma_tx_reg25, 偏移地址 0x052

Bits	R/W	对应 Parameter 名	描述
7:5	R		reserved, 固定值 0
4:3	R/W	PMA_REG_TX_PRBS_SEL	PMA TX PRBS 模式选择 2'b00: PRBS7 (default) 2'b01: PRBS15 2'b10: PRBS23 2'b11: PRBS31
2:1	R/W	PMA_REG_TX_PRBS_GEN_WIDTH_SEL	PRBS width select

			2'b00: 8 bit 2'b01: 10 bit 2'b10: 16 bit 2'b11: 20 bit (default)
0	R/W	PMA_REG_TX_PRBS_GEN_EN	PMA TX PRBS generator 使能 1'b0: 对应于 Parameter 参数值 "FALSE":disable(default) 1'b1:对应于 Parameter 参数值 "TRUE":enable

表 180: PMA 通道配置寄存器描述: pma_tx_reg26, 偏移地址 0x053

Bits	R/W	对应 Parameter 名	描述
7:0	R/W	PMA_REG_TX_UDP_DATA_7_TO_0	constant 20-bit pattern ,TX_UDP_DATA[7:0], TX_UDP_DATA, 默认值 5

表 181: PMA 通道配置寄存器描述: pma_tx_reg27, 偏移地址 0x054

Bits	R/W	对应 Parameter 名	描述
7:0	R/W	PMA_REG_TX_UDP_DATA_15_TO_8	constant 20-bit pattern ,TX_UDP_DATA[15:8], 默认值 235

表 182: PMA 通道配置寄存器描述: pma_tx_reg28, 偏移地址 0x055

Bits	R/W	对应 Parameter 名	描述
7:5	R/W	PMA_REG_TX_FIFO_WP_CTRL	tx_fifo 写保护控制信号 (设定读初始地址, 取值 0~5), 默认值 2
4	R		reserved, 固定值 0
3:0	R/W	PMA_REG_TX_UDP_DATA_19_TO_16	constant 20-bit pattern ,TX_UDP_DATA[19:16], 默认值 3

表 183: PMA 通道配置寄存器描述: pma_tx_reg29, 偏移地址 0x056

Bits	R/W	对应 Parameter 名	描述
7:4	R		reserved, 固定值 0
3	R/W	PMA_REG_TX_ERR_INSERT	PRBS 错误码注入, 由 0->1 的上升沿触发 PRBS 数据注入一次错误码, 正常发送 PRBS 测试数据的时候, 值保持为 0 1'b0:对应于 Parameter 参数值 "FALSE"(default) 1'b1:对应于 Parameter 参数值 "TRUE"
2:1	R/W	PMA_REG_TX_DATA_MUX_SEL	数据选择控制信号 2'b00: data from pcs(default) 2'b01: prbs data 2'b10: udp data 2'b11: rx loopback data
0	R/W	PMA_REG_TX_FIFO_EN	寄存器配置 tx_fifo_en 使能, 1'b0:对应于 Parameter 参数值 "FALSE",disable (default) 1'b1:对应于 Parameter 参数值 "TRUE",enable 当 TX PMA PRBS 功能, 或者 PMA 远端并行环回的时候, 需要设置值 1, 正常情况默认值 0

表 184: PMA 通道配置寄存器描述: pma_tx_reg30, 偏移地址 0x057

Bits	R/W	对应 Parameter 名	描述
7:6	R		reserved, 固定值 0
5	R/W	PMA_REG_RATE_CHANGE_TXPCLK_ON	1'b0: txpclk 在切换速率时关闭; 1'b1: txpclk 在切换速率时打开。(default)
4	R/W	PMA_REG_RATE_CHANGE_TXPCLK_ON_OW	固定值 0. 1'b0: 对应于 Parameter 参数值 "FALSE" (default) 1'b1: 对应于 Parameter 参数值 "TRUE"
3:2	R		reserved, 固定值 0
1	R/W	PMA_CH_REG_TX_SATA_EN	1'b0:对应于 Parameter 参数值"FALSE": SATA 模式不使能(default) 1'b1:对应于 Parameter 参数值"TRUE": SATA 模式使能
0	R		reserved, 固定值 0

表 185: PMA 通道配置寄存器描述: pma_tx_reg31, 偏移地址 0x058

Bits	R/W	对应 Parameter 名	描述
7:5	R/W	PMA_REG_TX_PULLUP_DAC1_0TO2	对应 reg_tx_pullup_dac1[2:0]位.
4:0	R/W	PMA_REG_TX_PULLUP_DAC0_0TO4	00111:1.4mA 01000:1.6mA 11111:6.2mA (default:5'b01000)

表 186: PMA 通道配置寄存器描述: pma_tx_reg32, 偏移地址 0x059

Bits	R/W	对应 Parameter 名	描述
7	R/W	PMA_REG_TX_PULLUP_DAC3_0	对应 reg_tx_pullup_dac3[0]位。
6:2	R/W	PMA_REG_TX_PULLUP_DAC2_0TO4	00111:1.4mA 01000:1.6mA 11111:6.2mA (default:5'b01000)
1:0	R/W	PMA_REG_TX_PULLUP_DAC1_3TO4	对应 reg_tx_pullup_dac1[4:3]位. 完整 reg_tx_pullup_dac1[4:0]配置含义: 00111:1.4mA 01000:1.6mA 11111:6.2mA (default:2'b01)

表 187: PMA 通道配置寄存器描述: pma_tx_reg33, 偏移地址 0x05a

Bits	R/W	对应 Parameter 名	描述
7:4	R/W	PMA_REG_TX_OOB_DELAY_SEL	Controls the oob ei enable signal delay steps to compensate data latency. 0000: 38UI 0001: 39UI 001x: 40UI 0100: 58UI

			0101: 59UI 011x: 60UI 1x00: 78UI 1x01: 79UI 1x1x: 80UI(default:4'b0000)
3:0	R	PMA_REG_TX_PULLUP_DAC3_1TO4	register tx pullup dac ctrl code, 对应 reg_tx_pullup_dac3[4:1]位. 完整 reg_tx_pullup_dac3[4:0]配置含义: 00111:1.4mA 01000:1.6mA 11111:6.2mA (default:4'b0100)

表 188: PMA 通道配置寄存器描述: pma_tx_reg34, 偏移地址 0x05b

Bits	R/W	对应 Parameter 名	描述
7	R/W	PMA_REG_RX_JTAG_MODE_EN	rx jtag mode enable register 1'b0: FALSE; (default) 1'b1: TRUE。
6	R/W	PMA_REG_RX_JTAG_MODE_EN_OW	固定值 0. 1'b0:对应于 Parameter 参数值"FALSE"(default) 1'b1:对应于 Parameter 参数值"TRUE"
5	R	PMA_REG_TX_JTAG_MODE_EN	reserved, 固定值 0
4	R/W	PMA_REG_TX_JTAG_MODE_EN_OW	固定值 0. 1'b0:对应于 Parameter 参数值"FALSE"(default) 1'b1:对应于 Parameter 参数值"TRUE"
3	R/W	PMA_REG_TX_LS_MODE_EN	1'b0:对应于 Parameter 参数值"FALSE":低速模式不使能(default) 1'b1:对应于 Parameter 参数值"TRUE":低速模式使能
2:1	R/W	PMA_REG_TX_SLPBK_AMP	default:2'b01
0	R/W	PMA_REG_TX_POLARITY	PMA TX 极性反转 1'b0: 对应于 Parameter 参数值"NORMAL" txpdata_out[19:0] = txpdata_in[19:0] (default) 1'b1: 对应于 Parameter 参数值"REVERSE" txpdata_out[19:0] = ~txpdata_in[19:0]

表 189: PMA 通道配置寄存器描述: pma_tx_reg35, 偏移地址 0x05c

Bits	R/W	对应 Parameter 名	描述
7:5	R/W	PMA_REG_RX_TERM_MODE_CTRL	跟 IP 配置相关 3'b010: external DC, internal DC 3'b100: external DC, internal AC 3'b101: external AC, internal AC 3'b110: external AC, internal DC(default)
4	R/W	PMA_REG_TX_FBCLK_FAR_EN	0:选择近端 dcc fbclk 路径; (default) 1:选择远端 dcc fbclk 路径
3:1	R/W	PMA_REG_RX_ACJTAG_VHYSTSEL	rx acjtag hysteresis voltage control register 默认值 0

0	R/W	PMA_REG_RX_JTAG_OE	rx jtag module enable register 1'b0:对应于 Parameter 参数值"FALSE": disabled; 1'b1: 对 应 于 Parameter 参 数 值 "TRUE": enable(default)
---	-----	--------------------	--

表 190: PMA 通道配置寄存器描述: pma_tx_reg36, 偏移地址 0x05d

Bits	R/W	对应 Parameter 名	描述
7:3	R		reserved, 固定值 0
2	R/W	PMA_REG_PLPBK_TXPCLK_EN	1'b0:对应于 Parameter 参数值"FALSE":正常工作模式, 用 txpclk 1'b1:对应于 Parameter 参数值"TRUE":并行环回模式, 用 rxpclk.(default) PMA 和 PCS 远端环回模式的时候, 需要设置为 1, 正常工作模式设置为 0。
1:0	R		reserved, 固定值 0

表 191: PMA 通道配置寄存器描述: pma_tx_reg37, 偏移地址 0x05e

Bits	R/W	对应 Parameter 名	描述
7:0	R		reserved, 固定值 0

表 192: PMA 通道配置寄存器描述: pma_tx_reg38, 偏移地址 0x05f

Bits	R/W	对应 Parameter 名	描述
7:0	R		reserved, 固定值 0

表 193: PMA 通道配置寄存器描述: pma_tx_reg39, 偏移地址 0x060

Bits	R/W	对应 Parameter 名	描述
7:0	R		reserved, 固定值 0

表 194: PMA 通道配置寄存器描述: pma_tx_reg40, 偏移地址 0x061

Bits	R/W	对应 Parameter 名	描述
7:0	R		reserved, 固定值 0

表 195: PMA 通道配置寄存器描述: pma_tx_reg41, 偏移地址 0x062

Bits	R/W	对应 Parameter 名	描述
7:0	R		reserved, 固定值 0

表 196: PMA 通道配置寄存器描述: pma_tx_reg42, 偏移地址 0x063

Bits	R/W	对应 Parameter 名	描述
7:0	R		reserved, 固定值 0

表 197: PMA 通道配置寄存器描述: pma_tx_reg43, 偏移地址 0x064

Bits	R/W	对应 Parameter 名	描述
7:0	R		reserved, 固定值 0

表 198: PMA 通道配置寄存器描述: pma_tx_reg44, 偏移地址 0x065

Bits	R/W	对应 Parameter 名	描述
7:0	R		reserved, 固定值 0

表 199: PMA 通道配置寄存器描述: pma_tx_reg45, 偏移地址 0x066

Bits	R/W	对应 Parameter 名	描述
7:0	R		reserved, 固定值 0

表 200: PMA 通道配置寄存器描述: pma_tx_reg46, 偏移地址 0x067

Bits	R/W	对应 Parameter 名	描述
7:0	R/W	PMA_REG_TX_CFG_15_TO_8	reserved,默认值 0

表 201: PMA 通道配置寄存器描述: pma_tx_reg47, 偏移地址 0x068

Bits	R/W	对应 Parameter 名	描述
7:0	R/W	PMA_REG_TX_CFG_23_TO_16	reserved,默认值 0

表 202: PMA 通道配置寄存器描述: pma_tx_reg48, 偏移地址 0x069

Bits	R/W	对应 Parameter 名	描述
7:0	R		reserved, 固定值 0

表 203: PMA 通道配置寄存器描述: pma_tx_reg49, 偏移地址 0x06a

Bits	R/W	对应 Parameter 名	描述
7:0	R		reserved, 固定值 0

表 204: PMA 通道配置寄存器描述: pma_tx_reg50, 偏移地址 0x06b

Bits	R/W	对应 Parameter 名	描述
7:0	R		reserved, 固定值 0

表 205: PMA 通道配置寄存器描述: pma_tx_reg51, 偏移地址 0x06c

Bits	R/W	对应 Parameter 名	描述
7:0	R		reserved, 固定值 0

表 206: PMA 通道配置寄存器描述: pma_tx_reg52, 偏移地址 0x06d

Bits	R/W	对应 Parameter 名	描述
7	R		reserved, 固定值 0
6	R/W	PMA_REG_CTL_E_ADAPTER_RSTN	通道的 ctle adapter 模块复位 1'b0: FALSE; (default) 1'b1: TRUE
5	R/W	PMA_REG_TX_PMA_RSTN	Lane 的 Tx 通道复位配置。 1'b0: FALSE; (default) 1'b1: TRUE。
4	R/W	PMA_REG_TX_LANE_POWERUP	Lane 的 Tx 通道上电配置。 1'b0: OFF; (default) 1'b1: ON。
3	R/W	PMA_REG_RX_PMA_RSTN	Lane 的 Rx 通道复位配置。 1'b0: FALSE; (default) 1'b1: TRUE。
2	R/W	PMA_REG_RX_LANE_POWERUP	Lane 的 Rx 通道上电配置。 1'b0: OFF; (default) 1'b1: ON。

1	R/W	PMA_REG_PMA_POR_N	Lane 复位配置。 1'b0: FALSE; (default) 1'b1: TRUE。
0	R/W	PMA_REG_LANE_POWERUP	cfg_lane_powerup, Lane 上电配置。 1'b0: OFF; (default) 1'b1: ON。

六、免责声明

版权声明

本文档版权归深圳市紫光同创电子有限公司所有，并保留一切权利。未经书面许可，任何公司和个人不得将此文档中的任何部分公开、转载或以其他方式披露、散发给第三方。否则，公司必将追究其法律责任。

免责声明

1、本文档仅提供阶段性信息，所含内容可根据产品的实际情况随时更新，恕不另行通知。如因本文档使用不当造成的直接或间接损失，本公司不承担任何法律责任。

2、本文档按现状提供，不负任何担保责任，包括对适销性、适用于特定用途或非侵权性的任何担保，和任何提案、规格或样品在他处提到的任何担保。本文档在此未以禁止反言或其他方式授予任何知识产权使用许可，不管是明示许可还是暗示许可。

3、公司保留任何时候在不事先声明的情况下对公司系列产品相关文档的修改权利。