



SALELF[®] 3L90&40 硬件设计指南

上海安路信息科技股份有限公司

UG602 (v0.6) 2022 年 10 月

Confidential



目 录

目 录	I
1 电源	1
1.1 最小供电要求	1
1.2 最大绝对额定值	1
1.3 推荐基本操作条件	3
1.4 上电要求	4
2 配置	5
2.1 配置模式及相关引脚	5
2.2 I/O 引脚在配置阶段的状态	6
2.3 配置状态指示引脚	7
2.4 不同配置模式连接示意图	7
2.4.1 从动串行配置方式	7
2.4.2 从动串行级联配置方式	7
2.4.3 从动并行配置方式	8
2.4.4 从动并行级联配置方式	8
3 IO 配置	8
3.1 时钟输入	8
3.2 热插拔	9
3.3 兼容 5V	9
3.4 DDRx2	10
3.5 LVDS	10
3.6 LVPECL	11



4 引脚定义	13
4.1 引脚定义和规则	13
4.2 IO 命名规则	13
5 参考电路	14
6 版本信息	15
免责声明	15



1 电源

1.1 最小供电要求

表 1- 1 SALELF®3（以下简称 EF3）L90&40 最小供电要求

电源域标识	基本供电要求 ³	备注
VCCAUX	$>2.5V$	必须供电
VCC100 ¹	$>1.5V$	如果使用 JTAG 下载，需要和下载器供电电压保持一致
VCC101	$>1.2V$	可选择性供电，无附加要求 2
VCC102	$>1.2V$	可选择性供电，无附加要求 2
VCC103	$>1.2V$	可选择性供电，无附加要求 2
VCC104	$>1.2V$	可选择性供电，无附加要求 2
VCC105	$>1.2V$	可选择性供电，无附加要求 2

1. POR 上电检测，必须供电。
2. 建议不用时也供电，避免潜在风险。
3. 如果使用 LVDS，相应 bank 的供电电压应 $>2.5V$ 。
4. EF3L90CG400 的 Y2 引脚不得接入大于芯片供电电压（VCCAUX）的电平信号，在做兼容 5V 输入设计时需要注意。

1.2 最大绝对额定值

表 1- 2 最大绝对额定值

Symbol	参 数		最 小	最 大	单 位
V_{CCAUX}	辅助电源		-0.5	3.75	V
V_{CCIO}	I/O 驱动供电电压		-0.5	3.75	V
V_I	直流输入电压	增强型 IOBE	-0.5	3.75	V
V_{ESDHBM}	人体模型静电放电电压			± 2000	V
V_{ESDCDM}	机器模型静电放电电压			± 500	V
T_{STG}	存储温度		-65	150	°C
T_J	结点温度		-40	125	°C

超过以上最大绝对额定值可能会导致器件永久性损坏。这些值仅表示在该额定值下操作不会损坏器件，但不表示器件在此极限值下功能正常。器件的功能性操作或基于此的任何条件最大绝对额定值可能会造成器件永久损坏。器件长期在极值条件下运行，会严重的影响器件的可靠性。

输入 IO 在信号跳变过程中，可能会产生过冲或下冲，如图 1- 1 所示，表 1- 3 给出了 10 年使用寿命下允许的最大过冲、下冲的占比值。

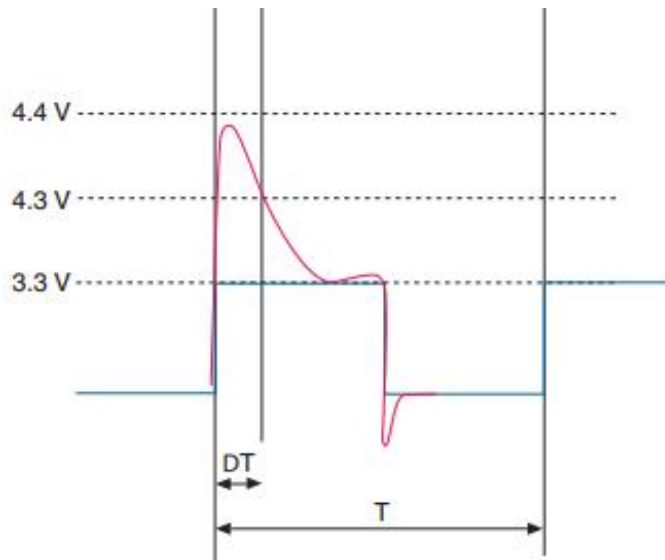


图 1- 1 输入信号过冲、下冲

表 1- 3 10 年使用寿命条件下允许的最大过冲、下冲占比

Parameter	Condition (V)	Under/Overshoot Duration as % of High Time	Unit
VI AC Input Voltage	-0.3	100	%
	-0.4	100	%
	-0.5	86	%
	-0.6	49	%
	-0.7	28	%
	-0.8	16	%
	-0.9	9.23	%
	-1	5.27	%
	-1.1	3	%
	3.7	100	%
	3.8	86	%
	3.9	49	%
	4	28	%
	4.1	16	%
	4.2	9.23	%
	4.3	5.27	%
	4.4	3	%



1.3 推荐基本操作条件

表 1- 4 EF3 L90&40 推荐基本操作条件

Symbol	参 数	最 小	典 型	最 大	单 位
VCCAUX	辅助电源	2.375	2.5/3.3	3.63	V
VCCIO ¹	I/O 供电电压 @ 3.3V	3.135	3.3	3.465	V
	I/O 供电电压 @ 2.5V	2.375	2.5	2.625	V
	I/O 供电电压 @ 1.8V	1.71	1.8	1.89	V
	I/O 供电电压 @ 1.5V	1.425	1.5	1.575	V
	I/O 供电电压 @ 1.2V	1.14	1.2	1.26	V
VI	直流输入电压	-0.5	—	3.6	V
VO	输出电压	0	—	V _{CCIO}	V
TRAMP	电源缓变率	0.05	—	100	V/ms
IDiode	PCI-clamp 二极管电流	—	—	10	mA

1. 器件工作时要求所有 I/O 的 VCCIO 必须连接好电源

1.4 上电要求

表 1- 5 上电复位电压阈值

Symbol	参 数	最 小	典 型	最 大	单 位
VCCAUX_PORUP	VCCAUX 上电检测阈值	1.5	1.55	1.6	V
Vccio	Vccio 上电检测	0.95	1.0	1.05	V
VCCAUX_PORDN	VCCAUX 掉电检测阈值	—	—	1.5	V

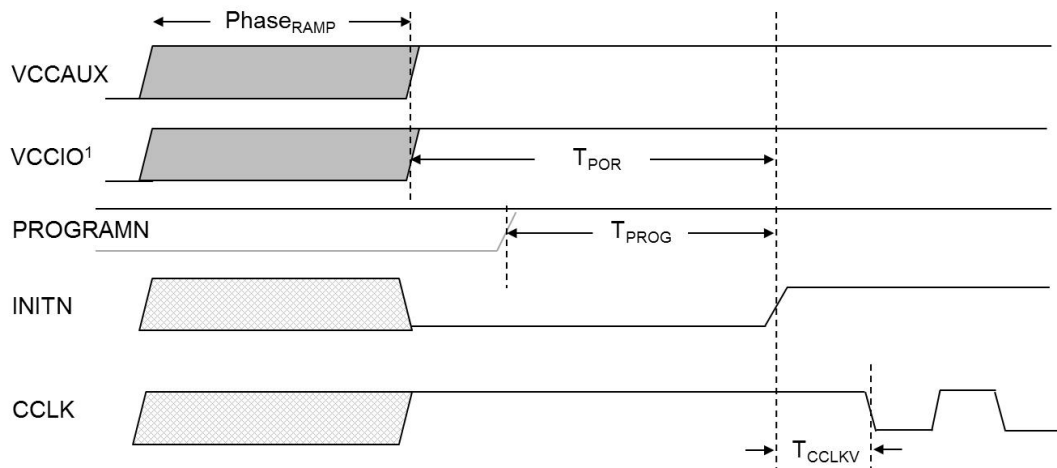


图 1- 2 器件上电时序图

1. 电源上电过程中（PhaseRAMP）所有的 IO 处于 3 态
2. TPOR 最大不超过 35ms，TPROG 同 TPOR，TCCLK 约 6.4us
3. 上电时序无要求，下电时 VCCAUX 要求不早于 VCCIO。



2 配置

2.1 配置模式及相关引脚

EF3L90&40 支持通过位流改写配置模式，用户在按照需要选择性使用这些配置模式时，应预留出该配置模式所需的配置引脚。在使用 JTAG 模式时，建议将 TDI, TDO, TMS 通过 4.7K 欧姆电阻上拉到 VCCIO。

表 2- 1 配置模式及引脚

配置								
配置引脚名	类型	SS	SP	MP	MSPI			JTAG
		从动串行	从动并行	主动并行	内部 SPI			JTAG
		Slave Serial	Slave Parallel	Master Parallel	X1	X2	X4	—
PROGRAMN	复用 IO	PROGRAMN						—
INITN	复用 IO	INITN						—
DONE	复用 IO	DONE						—
SCLK	复用 IO	SCLK			—			—
CSN	复用 IO	—	CSN		—			—
TMS TCK TDI TDO JTAGEN	复用 IO							TMS TCK TDI TDO JTAGEN
D[7:2]	复用 IO	—	D[7:2]	D[7:2]	—			—
D[1]	复用 IO	—	D[1]	D[1]	—			—
D[0]/DIN	复用 IO	DIN	D[0]	D[0]	—			—

1. 只有 JTAG 模式支持内置 Flash 的刷新与配置回读。
2. 配置方式通过软件界面设置，下载位流时自动写入到内置 Flash 的指定位置。
3. DONE/INITN 是带内部弱上拉的开漏输出。
4. PROGININ INITN DONE 信号的复用可能会导致重新加载等问题，不建议复用为输入管脚。但是可以复用为输出管脚使用。
5. EF3 上电后先进行配置，然后判断复用 IO 是作为配置专用 IO 还是通用 IO 使用，在进行配置 IO 复用且对配置 IO 上电状态有要求时需要注意。
6. 加载相关的时钟信号，包括 JTAG 加载的 TCK，从串、从并加载的 SCLK 等，要求这些信号边沿单调无回沟，建议在时钟源端串接一个电阻，用于调整阻抗匹配，提高信号质量。



2.2 I/O 引脚在配置阶段的状态

(1) 非配置相关 IO

芯片上电完成后程序加载前，非配置相关 IO 处于弱上拉；

加载过程中，普通 IO 的状态受 HSWAPEN 控制可以为弱上拉或者三态；

进入用户模式之后，用户使用的 IO 脚状态受代码控制，未使用的管脚为弱上拉状态。

(2) 配置相关引脚跟配置设置相关，如下表所示

表 2- 2 EF3 Configuration Pin Termination

Pin	配置成功前		配置成功后
	HSWAPEN=0 (enable)	HSWAPEN=1 (disable)	
PROGRAMN	Pull-up to Vccio	Pull-up to Vccio	软件 ProgPin 设置
INITN	Pull-up to Vccio	Pull-up to Vccio	软件 InitPin 设置
DONE	Pull-up to Vccio	Pull-up to Vccio	软件 DonePin 设置
SCLK	Pull-up to Vccio	Pull-up to Vccio	User I/O
CSN	Pull-down to Gnd	Pull-down to Gnd	User I/O
TMS TCK TDO TDI JTAGEN	Pull-up to Vccio	Pull-up to Vccio	软件 JtagPin 设置
D[7:2]	Pull-up to Vccio	Pull-up to Vccio	User I/O
D[1]	Pull-up to Vccio	Pull-up to Vccio	User I/O
D[0]/DIN	Pull-up to Vccio	Pull-up to Vccio	User I/O
CSON/DOUT	Pull-up to Vccio	Pull-up to Vccio	User I/O
Others	Pull-up to Vccio	High-Z	User I/O

2.3 配置状态指示引脚

EF3L90&40 的 PROGRAMN、INITN、DONE、JTAGEN 这些配置指示引脚，处于内部弱上拉状态，为避免外部电源不稳，造成芯片循环重启，要求通过外部电阻上拉到 VCCIO。

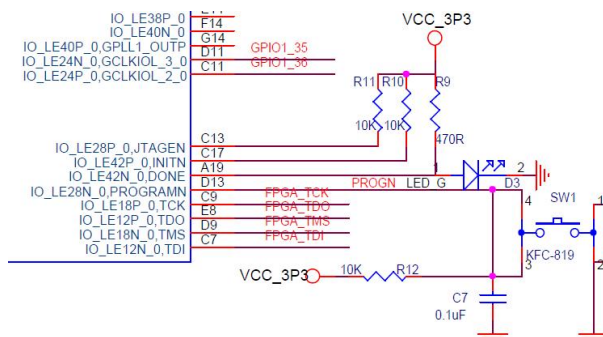


图 2- 1 EF3L90&40 配置指示引脚上拉示意

2.4 不同配置模式连接示意图

2.4.1 从动串行配置方式

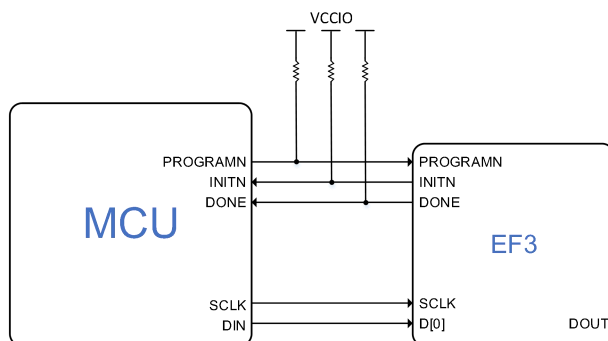


图 2- 2 从动串行配置连接示意图

2.4.2 从动串行级联配置方式

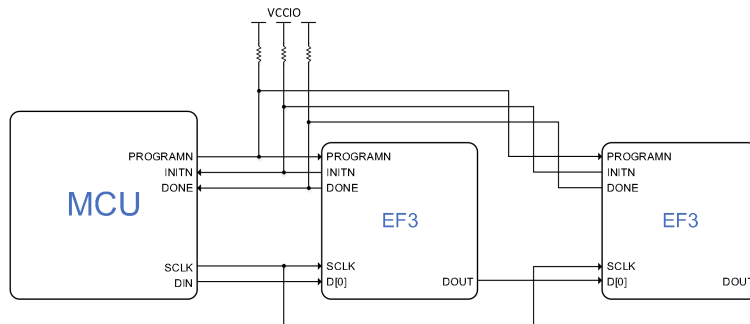


图 2- 3 从动串行配置连接示意图

2.4.3 从动并行配置方式

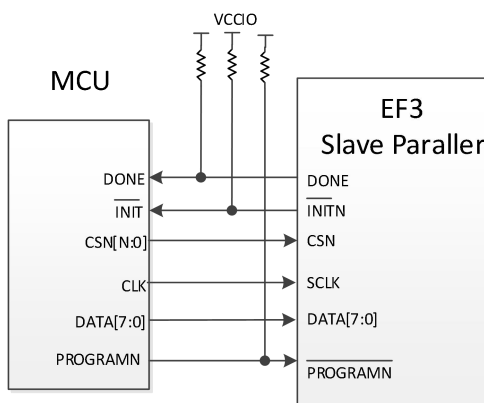


图 2- 4 从动并行配置连接示意图

2.4.4 从动并行级联配置方式

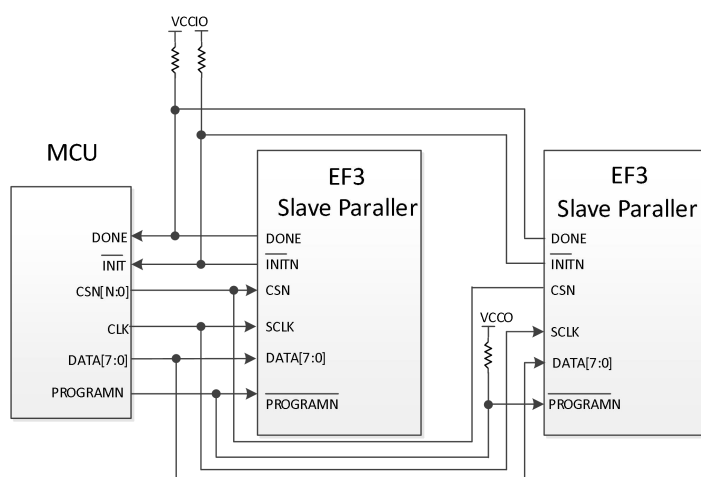


图 2- 5 从动并行级联配置连接示意图

3 IO 配置

3.1 时钟输入

全局时钟输入建议走全局时钟专用管脚 (GCLKIO)。

GCLKIO 为全局时钟引脚，可直接上全局时钟网络，但最多只有 16 个可以上全局时钟网络。

GPLL INP/N 和 GPLLOUTP/N 为锁相环专用管脚，如果不用作差分使用，可以用作普通 IO，PLL 专用引脚可以直接上 PLL，但不能直接上全局时钟网络。

差分信号如需上全局时钟网络，要求 p/n 端都接上，并在软件物理约束中设置为 LVDS25/LVDS33。

3.2 热插拔

表 3- 1 热插拔规格

Symbol	参 数	最 大	单 位
$I_{IOPIN(DC)}$	DC 电流, 每个 I/O	1	mA
$I_{IOPIN(AC)}$	AC 电流, 每个 I/O	8	mA

1. EF3L90 的 Y2, U4, U5, T5, R5, R7, P7, W3, Y3 不支持热插拔, 有热插拔需求时需要避开这些引脚。
2. EF3L40 的所有引脚均支持热插拔。

3.3 兼容 5V

EF3L90&40 不能直接接收 5V 输入, 需要外部串联电阻, 同时在 IO Constraints 中打开内部的钳位二极管, 即 **PCI Clamp = ON**。设计完成后, 应确认电路板 PAD 上的电压不超过 3.75V, 且 5V 信号不能在进入用户模式前接入, 否则要外接二极管。

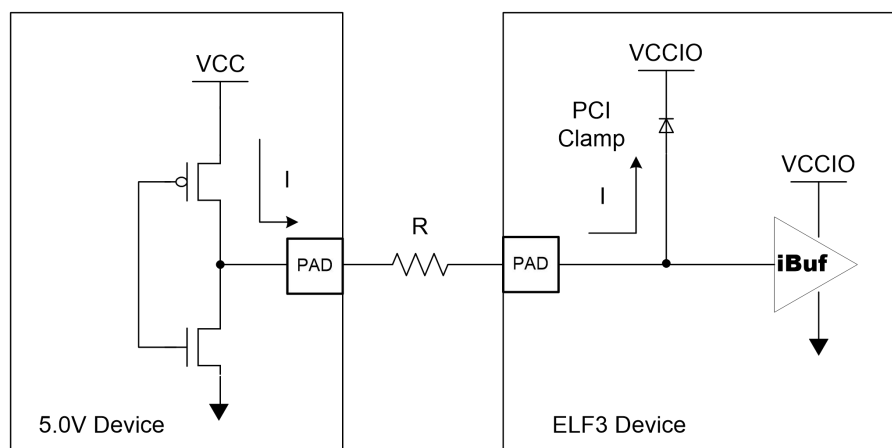


图 3- 1 5V 输入驱动 EF3 器件

表 3- 2 PCI 箝位二极管的电流特性

V_D (V)	I_{max}	Unit
0.0	0.92	uA
0.1	9.2	uA
0.2	20	uA
0.3	30.4	uA
0.4	43.3	uA
0.5	76.5	uA
0.6	0.15	mA
0.7	0.36	mA

0.8	2.85	mA
0.9	9.42	mA

3.4 DDRx2

EF3L90 的 IOBANK1/3/4/5 所有管脚和 BANK2 的 Y1、R6、W1、T6 不支持 oDDRx2，有使用需求时应避开这些管脚。

EF3L40 的 IOBANK1/3/4/5 所有管脚不支持 oDDRx2，有使用需求时应避开这些管脚。

3.5 LVDS

EF3L90&40 BANK0/2 的所有引脚（不包括 EF3L90 BANK2 的 Y1、R6、W1、T6），内部带有 100 欧姆差分输入电阻，用户可根据实际需求选择打开或者关闭该电阻，其他 IOBANK 不存在 100 欧姆电阻，使用时需要外部加 100 欧姆电阻。只有具有真差分标识的管脚对可以作为真差分对使用，支持 True LVDS 输出，与内部是否有 100 欧姆电阻无关。

True LVDS 与 Emulated LVDS 均可作为 LVDS25 标准输入。最大输入频率 400 MHz (800Mbps)。

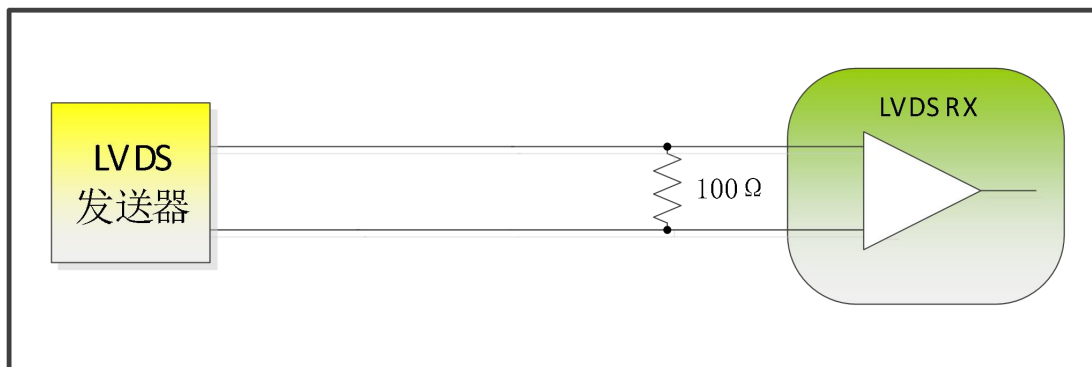


图 3- 2 直流耦合电路

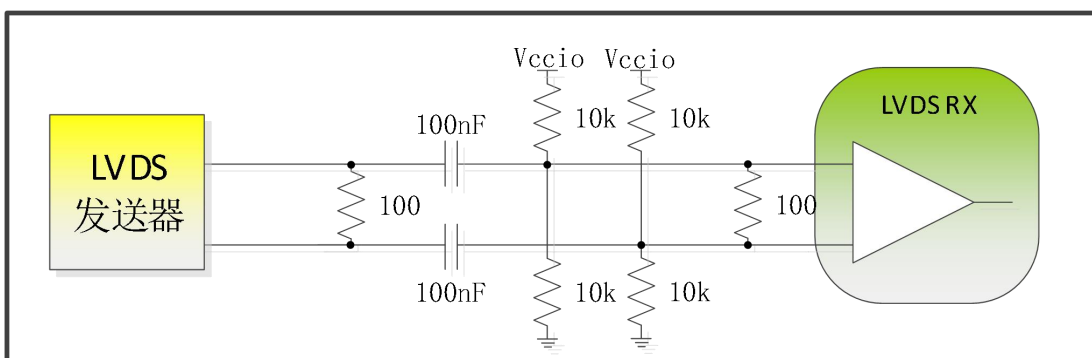


图 3- 3 交流耦合推荐电路

注 1：如果接收端 PAD 上的差分摆幅大于 500mV，只能使用片外 100 欧差分匹配电阻。

注 2：交流耦合时，若发送器内部没有 100 欧匹配电阻，需要在板子上外接 100 欧匹配电阻。

作为输出时，True LVDS 直接输出 LVDS 标准电平，无需外部匹配电阻，如图 3- 4 True LVDS 输出

所示。



图 3- 4 True LVDS 输出

Emulated LVDS 作为输出时，要外接 3R 电阻网络对输出电压摆幅进行衰减以满足 LVDS 标准，如图 3- 5 所示，可以通过改变电阻网络值来降低功耗或者改善噪声容限。

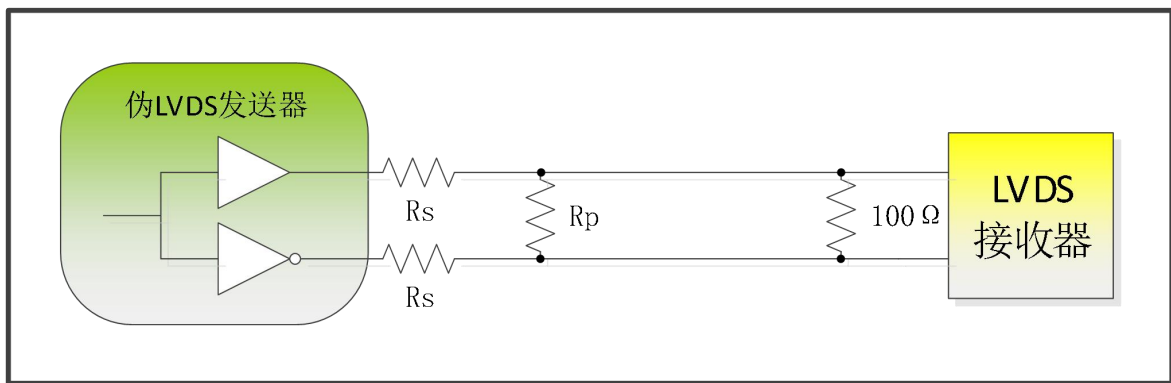


图 3- 5 Emulated LVDS 输出 3R 电阻网络

表 3- 3 Emulated LVDS 推荐电阻值

电 阻（欧姆）		信号幅值（毫伏）	
R_s	R_p	LVDSE25	LVDSE33
300	118	195	256
210	127	270	355
150	140	365	483
115	160	460	610

1. 在布线时要注意差分等长和阻抗匹配

3.6 LVPECL

EF3L90&40 的 IOB 支持 LVPECL33 输入,如果对端器件是 2.5v,可以直接输入;如果对端器件是 3.3v,共模电压要往下拉 2v, 建议使用外接匹配电阻网络, 不要使用内部的电阻; IOB 管脚不支持 True LVPECL33 输出, 只支持 LVPECL33_E 输出;

LVPECL 输入建议外接如下电路：

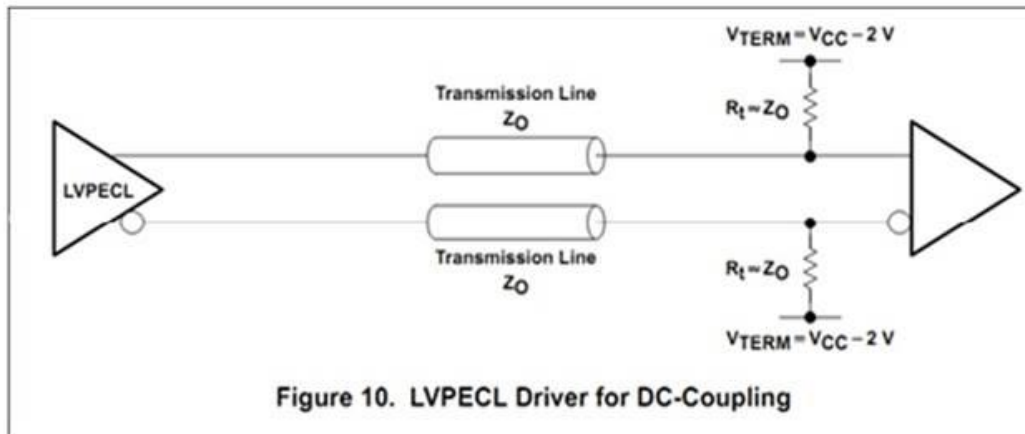


图 3- 6 直流耦合

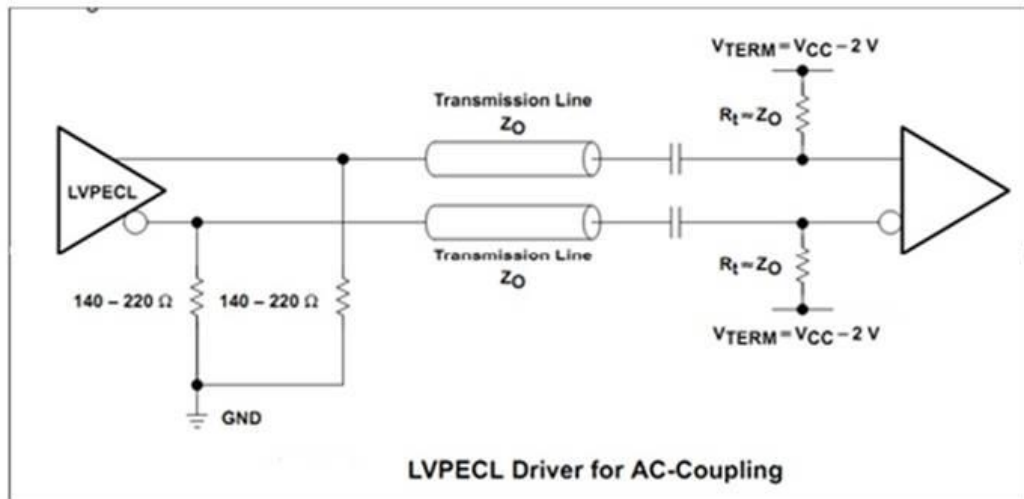


图 3- 7 交流耦合

1. 在布线时要注意差分等长和阻抗匹配。



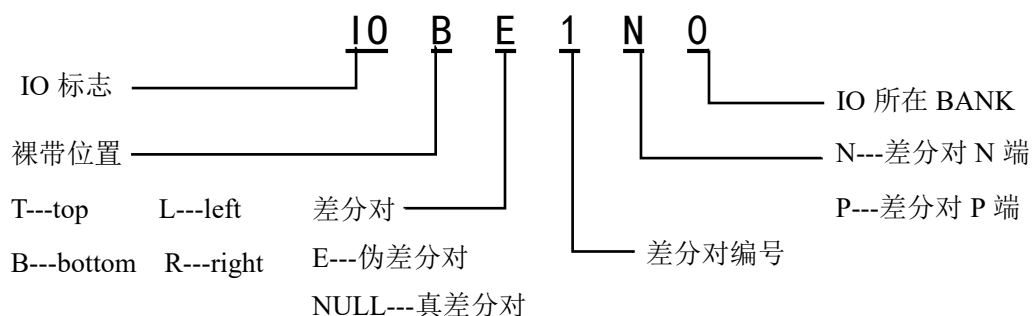
4 引脚定义

4.1 引脚定义和规则

表 4-1- 1 引脚定义和规则

引脚名称	方向	描 述
普通 I/O		
NC	—	无连接
GND	—	电源地
VCCIOx	—	I/O 组电源
VCCAUX	—	辅助电源
GND_PLLx	—	PLL 地
时钟引脚		
GCLKIOx	I/O	全局时钟专用输入引脚
GPLLx_OUTx	I/O	PLL 专用输出引脚
GPLLx_Ix_FDB	I/O	PLL 反馈时钟专用输入引脚
GPLLx_Ix_REF	I/O	PLL 参考时钟专用输入引脚
JTAG 专用引脚		
TCK	输入	TCK 输入边界扫描时钟
TDI	输入	边界扫描数据输入
TDO	输出	边界扫描数据输出
TMS	输入	边界扫描模式选择
JTAGEN	输入	JTAG 使能
配置专用管脚		
CSN	输入	并行下载模式片选信号，低有效
PROGRAMN	输入	全局复位输入，低有效
CCLK	I/O	
DONE	I/O	专用配置状态引脚，在配置完成后会输出高，源端开路
INITN	I/O	专用配置状态引脚，输出高表示 FPGA 准备好配置，源端开路

4.2 IO 命名规则





5 参考电路

ELF3L90CG400B_MINI_DEV. pdf

ELF3L40CG332B_MINI_DEV. pdf



6 版本信息

日期	版本	修订记录
2019/3/5	0.1	首次发布中文版
2019/4/26	0.2	添加表 2- 2 I/O 管脚在配置前后的状态 添加 2.4 节不同配置模式连接示意图
2019/5/28	0.3	调整文档结构，添加 I/O 命名规则
2019/9/23	0.4	添加图 3-2、图 3-3 LVDS 输入耦合推荐电路 添加表 1- 3 10 年使用寿命条件下允许的最大过冲、下冲占比 添加 EF3L40CG324 器件的封装规格信息
2020/2/4	0.5	修改 I/O 在上电完成后 feature 寄存器加载前的状态为弱上拉
2022/10/12	0.6	1. 在表 2-1 后增加加载相关时钟信号的使用限制说明 2. 更新表 2-2 中引脚配置成功后的设置状态 3. 删除第 5 章封装规格 4. 更新文档免责声明

版权所有©2022 上海安路信息科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其他方式授予任何知识产权许可；本文档仅为向用户提供使用器件的参考，协助用户正确地使用安路科技产品之用，其著作权归安路科技所有；本文档所展示的任何产品信息均不构成安路科技对所涉产品或服务作出任何明示或默示的声明或保证。

安路科技将不定期地对本文档进行更新、修订。用户如需获取最新版本的文档，可通过安路科技的官方网站（网址为：<https://www.anlogic.com>）自行查询下载，也可联系安路科技的销售人员咨询获取。