

Logos2 系列 FPGA 输入输出接口（IO） 用户指南

(UG040006, V1.2)

(2023.07.14)

深圳市紫光同创电子有限公司

版权所有 侵权必究

文档版本修订记录

版本号	发布日期	修订记录
V0.1	2019/11/18	初始版本
V0.2	2020/03/31	增加 时序图 ,更新了以前的部分框图
V0.3	2020/04/28	修改 OSERDES 的输出 时序图 , 低位先出
V1.0	2020/05/09	修改版本号, 删除 表 2-3 中真差分 inout
V1.1	2020/06/29	修改 IO BUFFER GTP 中的 表位号
V1.2	2023/07/14	<ol style="list-style-type: none"> 更新图 2-79 DDR2TO1_OPPOSITE_EDGE 的时序 增加器件管脚 RSTN 复位、JTAG 口指令复位或热启动后 IO 上有高脉冲说明 更新 RSDS、PPDS、TMDS 为真差分电平标准, 删除 MIPI、SSTL12D 电平标准 更新名词术语解释 更新表 2-48 中参数 MIPI_EN 和表 2-49 中端口 MIPI_CTRL 说明 删除图 2-3 中端口 MIPI_SW_DYN 和 DIN_MIPI_LP, 以及删除图 2-64、图 2-66、图 2-68、图 2-70、图 2-72、图 2-74、图 2-76、图 2-78、图 2-80、图 2-82、图 2-84、图 2-86、图 2-88、图 2-90 功能图中端口 MIPI_SW_DYN_I 更新图 2-36 DDR1TO2_SAME_EDGE 中的时序 更新表 2-6 IO 可编程驱动能力值, 并将 LVTTTL 更新为 LVTTTL33

名词术语解释

Abbreviations 缩略语	Full Spelling 英文全拼	Chinese Explanation 中文解释
IOBSHR	IO Buffer Single Ended High Range	宽范围输入输出单端缓冲器
IOBDHR	IO Buffer Single Differential High Range	宽范围输入输出差分缓冲器
FDC	FPGA Design Constraint	FPGA 设计约束
UCE	User Constraint Editor	用户约束界面
ISERDES	Input SERializer DESerializer	输入串并转换器
OSERDES	Output SERializer DESerializer	输出串并转换器
HS	High Speed	高速
LP	Low Power	低功耗

目 录

文档版本修订记录	1
名词术语解释	2
目 录	3
表目录	5
图目录	7
1 IO 单元概述	11
2 IO 单元详细介绍	12
2.1 Logos2 系列 IO BANK	12
2.1.1 IO BANK 分布	12
2.1.2 IO BANK 电压	12
2.2 IO BUFFER	13
2.2.1 IO BUFFER 结构	13
2.2.2 终端匹配电阻	14
2.2.3 支持的 IO 标准	16
2.2.4 IO 电源电压介绍	19
2.2.5 BUS KEEPER 特性	20
2.2.6 输入迟滞特性	20
2.2.7 IO 端口状态	21
2.2.8 输入缓冲器分类	22
2.2.9 缓冲器的参考电压 VREF	22
2.2.10 可编程输出驱动能力	23
2.2.11 Open-Drain 控制	24
2.2.12 三态控制输出	24
2.2.13 可编程 slew rate（摆率）	24
2.2.14 类差分输出实现	24
2.2.15 IO BUFFER 的 GTP 基本原型	25
2.3 IO LOGIC	36
2.3.1 输入输出延时链单元	36

2.3.2 输入逻辑.....	39
2.3.3 输出逻辑.....	62
2.3.4 软件设置输入输出寄存器.....	88
免责声明	89

表目录

表 2-1 BANK 内混合电压 lvcmos 电平标准输入输出组合模式	12
表 2-2 Logos2 系列支持的标准	16
表 2-3 Logos2 系列支持的差分 IO 标准	18
表 2-4 IO 中所使用的电源电压	19
表 2-5 输入缓冲器分类	22
表 2-6 可编程输出驱动能力	23
表 2-7 单端 IO 的 GTP	25
表 2-8 GTP_INBUF 端口说明	26
表 2-9 GTP_INBUF 参数说明	26
表 2-10 参数配置列表	26
表 2-11 GTP_INBUFG 端口说明	27
表 2-12 GTP_INBUFG 参数说明	27
表 2-13 参数有效值列表	27
表 2-14 GTP_OUTBUF 端口说明	28
表 2-15 GTP_OUTBUF 参数说明	28
表 2-16 参数有效值列表	28
表 2-17 GTP_OUTBUFT 端口说明	28
表 2-18 GTP_OUTBUFT 参数说明	29
表 2-19 参数有效值列表	29
表 2-20 GTP_IOBUF 端口说明	29
表 2-21 GTP_IOBUF 参数说明	30
表 2-22 参数有效值列表	30
表 2-23 差分 IO 的 GTP	31
表 2-24 GTP_INBUFDS 端口说明	32
表 2-25 GTP_INBUFDS 参数说明	32
表 2-26 参数有效值列表	32
表 2-27 GTP_INBUFGDS 端口说明	33
表 2-28 GTP_INBUFGDS 参数说明	33

表 2-29 参数有效值列表	33
表 2-30 GTP_IOBUFDS 端口说明	34
表 2-31 GTP_IOBUFDS 参数说明	34
表 2-32 GTP_OUTBUFCO 端口说明	34
表 2-33 GTP_OUTBUFCO 参数说明	34
表 2-34 GTP_OUTBUFTCO 端口说明	34
表 2-35 GTP_OUTBUFTCO 参数说明	35
表 2-36 GTP_OUTBUFDS 端口说明	35
表 2-37 GTP_OUTBUFDS 参数说明	35
表 2-38 GTP_OUTBUFTDS 端口说明	35
表 2-39 GTP_OUTBUFTDS 参数说明	35
表 2-40 GTP_IOBUFCO 端口说明	36
表 2-41 GTP_IOBUFCO 参数说明	36
表 2-42 GTP_IODELAY_E2 端口说明	37
表 2-43 GTP_IODELAY_E2 参数说明	38
表 2-44 GTP_ZEROHOLDDELAY 端口说明	38
表 2-45 GTP_ZEROHOLDDELAY 参数说明	38
表 2-46 GTP_ISERDES_E2 参数说明	40
表 2-47 GTP_ISERDES_E2 端口说明	41
表 2-48 GTP_OSERDES_E2 参数说明	65
表 2-49 GTP_OSERDES_E2 端口说明	66

图目录

图 1-1 IO 结构示意图.....	11
图 2-1 PG2L100H IO BANK 分布顶视图.....	12
图 2-2 IO BUFFER golden model(IOBSHR).....	13
图 2-3 IO BUFFER golden model (IOBDHR)	13
图 2-4 芯片外部的差分信号的匹配电阻	14
图 2-5 差分输入端的终端电阻选择方法	15
图 2-6 SSTL、HSTL 内部电阻端接方式.....	16
图 2-7 管脚 RSTN 复位 IO 出现高脉冲示意图.....	21
图 2-8 JTAG 口指令复位 IO 出现高脉冲示意图.....	22
图 2-9 热启动复位 IO 出现高脉冲示意图	22
图 2-10 BLVDS 点对点输出实例	25
图 2-11 IOL 结构框图	36
图 2-12 GTP_IODELAY_E2 结构图.....	37
图 2-13 GTP_ZEROHOLDDELAY 结构图.....	37
图 2-14 GTP_ISERDES_E2 结构图.....	39
图 2-15 IDFF 功能图	42
图 2-16 IDFF 时序图	42
图 2-17 ILATCH 功能图.....	43
图 2-18 ILATCH 时序图.....	43
图 2-19 SDR1TO2 功能图.....	43
图 2-20 SDR1TO2 时序图.....	44
图 2-21 SDR1TO3 功能图.....	44
图 2-22 SDR1TO3 时序图.....	45
图 2-23 SDR1TO4 功能图.....	45
图 2-24 SDR1TO4 时序图.....	46
图 2-25 SDR1TO5 功能图.....	46
图 2-26 SDR1TO5 时序图.....	47
图 2-27 SDR1TO6 功能图.....	47

图 2-28 SDR1TO6 时序图	48
图 2-29 SDR1TO7 功能图	48
图 2-30 SDR1TO7 时序图	49
图 2-31 SDR1TO8 功能图	49
图 2-32 SDR1TO8 时序图	50
图 2-33 DDR1TO2_OPPOSITE_EDGE 功能图	50
图 2-34 DDR1TO2_OPPOSITE_EDGE 时序图	51
图 2-35 DDR1TO2_SAME_EDGE 功能图	51
图 2-36 DDR1TO2_SAME_EDGE 时序图	51
图 2-37 DDR1TO2_SAMEPIPELINE 功能图	52
图 2-38 DDR1TO2_SAMEPIPELINE 时序图	52
图 2-39 DDR1TO4 功能图	53
图 2-40 DDR1TO4 时序图	53
图 2-41 DDR1TO6 功能图	54
图 2-42 DDR1TO6 时序图	54
图 2-43 DDR1TO8 功能图	55
图 2-44 DDR1TO8 时序图	55
图 2-45 DDR1TO10 功能图	56
图 2-46 DDR1TO10 时序图	56
图 2-47 DDR1TO14 功能图	57
图 2-48 DDR1TO14 时序图	57
图 2-49 HMDDR1TO4 功能图	58
图 2-50 HMDDR1TO4 时序图	58
图 2-51 HMDDR1TO8 功能图	59
图 2-52 HMDDR1TO8 时序图	59
图 2-53 LMDDR1TO4 功能图	60
图 2-54 LMDDR1TO4 时序图	60
图 2-55 LMDDR1TO8 功能图	60
图 2-56 LMDDR1TO8 时序图	61
图 2-57 OVERSAMPLE 功能图	61

图 2-58 OVERSAMPLE 时序图	62
图 2-59 GTP_OSERDES_E2 结构图	63
图 2-60 ODFE 功能图	67
图 2-61 ODFE 时序图	68
图 2-62 OLATCH 功能图	68
图 2-63 OLATCH 时序图	68
图 2-64 SDR2TO1 功能图	69
图 2-65 SDR2TO1 时序图	69
图 2-66 SDR3TO1 功能图	69
图 2-67 SDR3TO1 时序图	70
图 2-68 SDR4TO1 功能图	70
图 2-69 SDR4TO1 时序图	71
图 2-70 SDR5TO1 功能图	71
图 2-71 SDR5TO1 时序图	72
图 2-72 SDR6TO1 功能图	72
图 2-73 SDR6TO1 时序图	73
图 2-74 SDR7TO1 功能图	73
图 2-75 SDR7TO1 时序图	73
图 2-76 SDR8TO1 功能图	74
图 2-77 SDR8TO1 时序图	74
图 2-78 DDR2TO1_OPPOSITE_EDGE 功能图	74
图 2-79 DDR2TO1_OPPOSITE_EDGE 时序图	75
图 2-80 DDR2TO1_SAME_EDGE 功能图	75
图 2-81 DDR2TO1_SAME_EDGE 时序图	75
图 2-82 DDR4TO1 功能图	76
图 2-83 DDR4TO1 时序图	76
图 2-84 DDR6TO1 功能图	77
图 2-85 DDR6TO1 时序图	77
图 2-86 DDR8TO1 功能图	78
图 2-87 DDR8TO1 时序图	78

图 2-88 DDR10TO1 功能图	79
图 2-89 DDR10TO1 时序图	79
图 2-90 DDR14TO1 功能图	80
图 2-91 DDR14TO1 时序图	80
图 2-92 HMSDR4TO1 功能图.....	81
图 2-93 HMSDR4TO1 时序图.....	81
图 2-94 HMSDR8TO1 功能图.....	81
图 2-95 HMSDR8TO1 时序图.....	82
图 2-96 TSERDES SDR2TO1 连接示意图.....	82
图 2-97 TSERDES SDR2TO1 时序图.....	83
图 2-98 TSERDES SDR4TO1 连接示意图.....	83
图 2-99 TSERDES SDR4TO1 时序图.....	84
图 2-100 TSERDES SDR8TO1 连接示意图.....	84
图 2-101 TSERDES SDR8TO1 时序图.....	84
图 2-102 TSERDES DDR4TO1 连接示意图	85
图 2-103 TSERDES DDR4TO1 时序图	85
图 2-104 TSERDES DDR8TO1 连接示意图	86
图 2-105 TSERDES DDR8TO1 功能图	86
图 2-106 TSERDES HMSDR4TO1 连接示意图	87
图 2-107 TSERDES HMSDR4TO1 时序图	87
图 2-108 TSERDES HMSDR8TO1 连接示意图	87
图 2-109 TSERDES HMSDR8TO1 时序图	88
图 2-110 IO 寄存器约束方法示意图	88

1 IO 单元概述

文档的参数、规格等为设计目标，具体参数以最终产品实测数据为准。

Logos2 系列可编程逻辑器件拥有可配置的高性能 IO 驱动器和接收器，支持各种标准接口。

Logos2 系列产品的 IO 单元主要由 IO BUFFER 和 IO LOGIC 两部分组成，一般成对分布，其结构示意图如下所示：

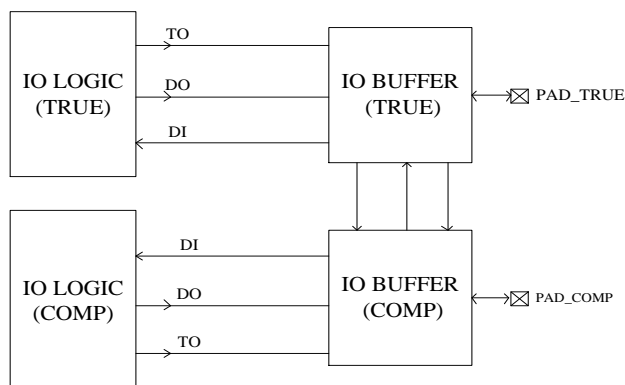


图 1-1 IO 结构示意图

每个 IO BUFFER 都会跟一个 IO LOGIC 直接连接，这包括数据的输入和输出，以及 IO BUFFER 的三态控制信号。IO LOGIC 可以配置成 ISERDES 或 OSERDES。

Logos2 系列产品支持的单端 IO 标准包括：LVCMOS、LVTTL33、SSTL、HSTL、HSUL、LPDDR、PCI33。

Logos2 系列产品支持的真差分 IO 标准包括：LVDS、Mini-LVDS、RSDS、PPDS、TMDS，类差分标准包括：BLVDS、HSUL12D、SSTL135D_I、SSTL135D_II、HSTL15D_I、HSTL15D_II、HSTL18D_I、HSTL18D_II、LPDDR、SSTL15D_I、SSTL15D_II、SSTL18D_I、SSTL18D_II。

Logos2 系列产品 IO 具有静电防护特性，防止器件的管脚被静电损坏。

2 IO 单元详细介绍

2.1 Logos2 系列 IO BANK

2.1.1 IO BANK 分布

Logos2 系列产品的 IO 按照 BANK 分布。

PG2L100H 有 6 个 BANK，其分布下图所示。

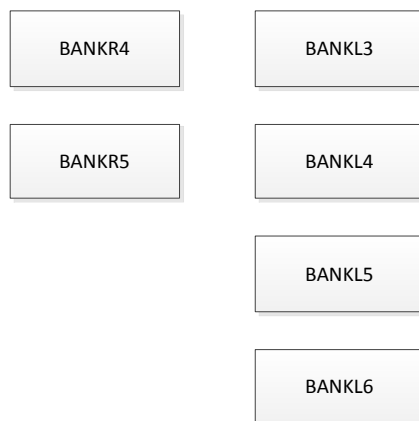


图 2-1 PG2L100H IO BANK 分布顶视图

2.1.2 IO BANK 电压

Logos2 系列产品对 BANK 内使用的 IO 标准作了一定的限定，输出标准的电压必须和 VCCIO 匹配。Logos2 产品内置了专用电路使得输入标准对不同 VCCIO 具有一定的兼容性，BANK 内电压 LVCMOS 电平标准输入输出组合模式详见下表：

表 2-1 BANK 内混合电压 lvcmos 电平标准输入输出组合模式

VCCIO (V)	输入 (V)					输出 (V)				
	1.2	1.5	1.8	2.5	3.3	1.2	1.5	1.8	2.5	3.3
1.2	√					√				
1.5		√					√			
1.8			√					√		
2.5				√					√	
3.3					√					√

任何 BANK 内的所使用的 IO 标准，其 VCCIO 电平必须遵守限定，Pango Design Suite 软件会进行检查。

若某个 BANK 不需设定 VCCIO，则需连接 VCCIO 至有效的电压。

2.2 IO BUFFER

Logos2 系列产品均具有可配置的高性能 IO 驱动器和接收器，支持多种输入输出标准。可对输出驱动电流，slew rate，片内终端电阻等特性进行编程设置。每个 bank 管脚个数都是 50 个，其中有 2 个管脚只能做单端，其他 48 个管脚既可以使用为单端或者差分。

2.2.1 IO BUFFER 结构

每个 IO BUFFER 都包含输入，输出和三态 IO 驱动器。这些驱动器可以配置成不同种类的 IO 标准。IO BUFFER 有 2 种 golden model。

➤ IOBSHR (IOBS)

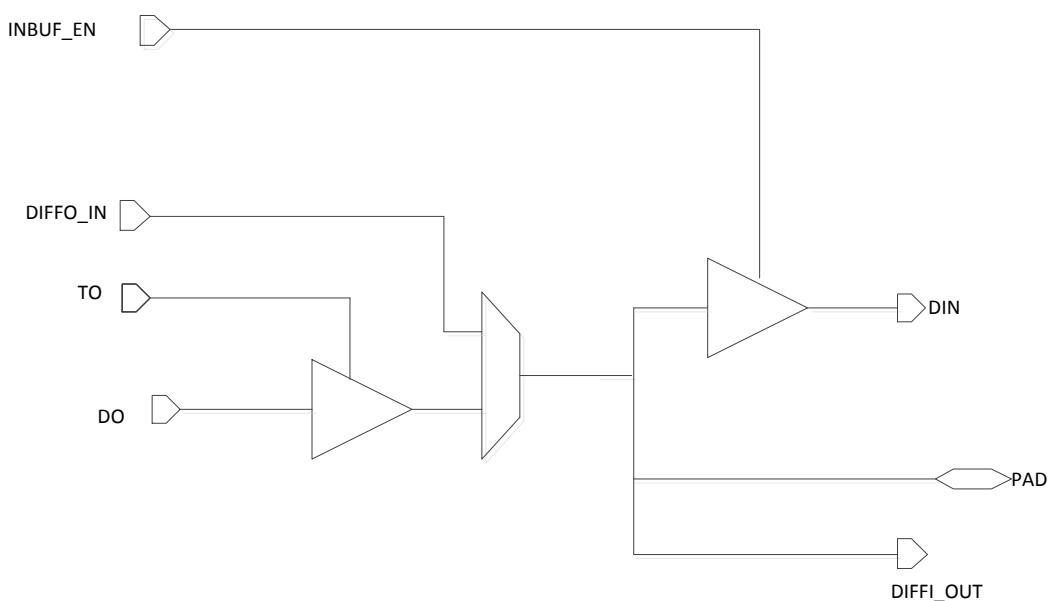


图 2-2 IO BUFFER golden model(IOBSHR)

➤ IOBDHR (IOBD)

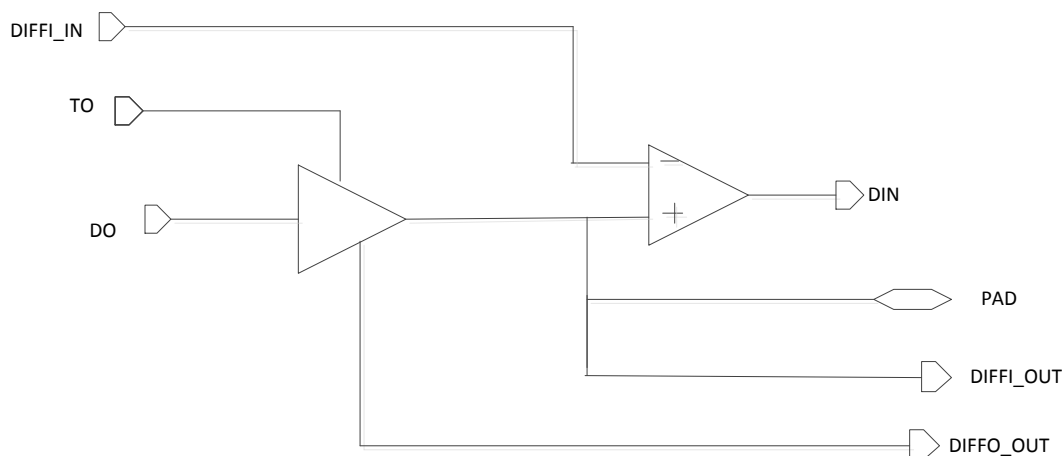


图 2-3 IO BUFFER golden model (IOBDHR)

2.2.2 终端匹配电阻

当使用高速 IO 标准时，为了满足信号完整性，通常要用到终端匹配电阻。终端匹配电阻应该尽可能地靠近接收器，以使信号完整性的干扰因素达到最小化。

Logos2 系列 FPGA 为差分接口（如 LVDS）和单端接口（如 SSTL）提供了终端电阻。如果在 IO BUFFER 中配置了终端电阻，外部的终端电阻就不需要了。

➤ 差分信号终端匹配：

差分输入端使用 $100\ \Omega$ 并联电阻。 下图展示了外部终端电阻的结构图。

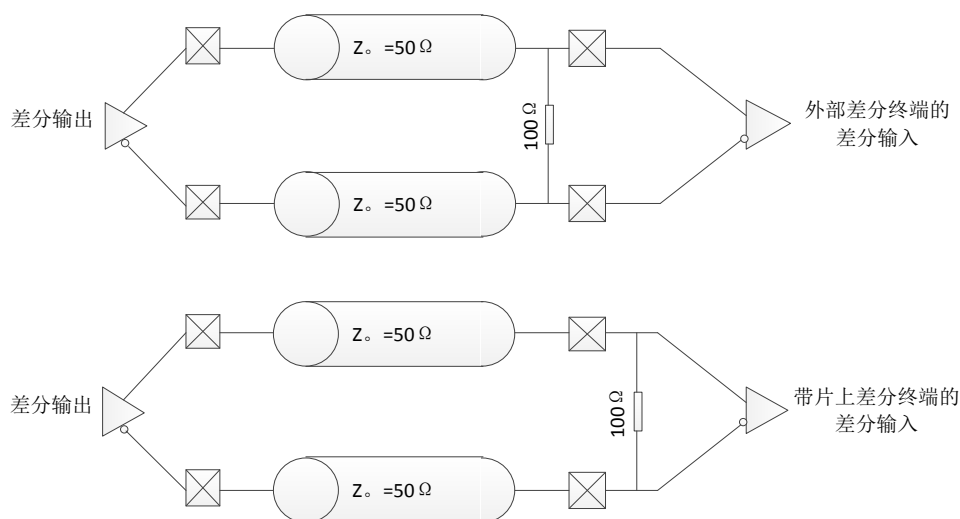
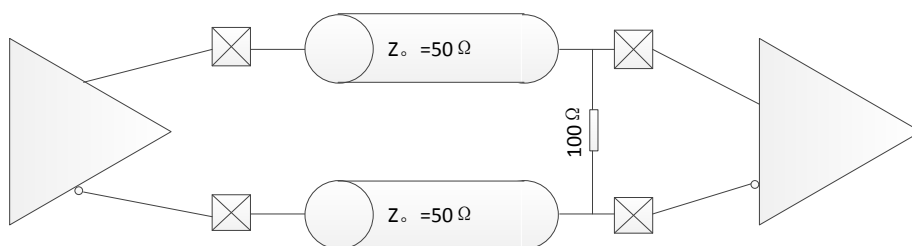


图 2-4 芯片外部的差分信号的匹配电阻

Logos2 系列 FPGA 可选的片上差分终端可以免去如上图所示的 $100\ \Omega$ 外部终端电阻。这种片上差分终端电阻不需要调节，完全适用于 LVDS 电平标准。

可选的片上差分终端可通过 IO 约束进行配置。下图给出了在差分接收器端使用片上差分终端或者用外部终端电阻的不同实现方法。

a. 差分对使用外部终端电阻，约束DIFF_IN_TERM_MODE=OFF



b. 差分对片上差分终端，约束DIFF_IN_TERM_MODE=ON

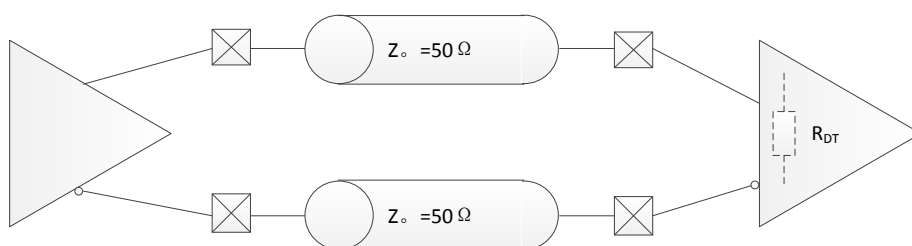


图 2-5 差分输入端的终端电阻选择方法

IO 管脚的属性 DIFF_IN_TERM_MODE 设置为“ON”时，使能片上差分终端。在 FDC 文件中进行约束时，使用如下命令：

```
define_attribute {p:port_name} {PAP_IO_DIFF_IN_TERM_MODE} {ON}
```

➤ 单端信号终端匹配：

单端信号终端匹配支持 SSTL 和 HSTL 接口。对于高速单端信号，比如存储接口，Logos2 系列 FPGA 提供了可选择的片上终端特性，用来取消复杂的外部板上终端。

下图给出了片上终端是如何取代外部终端电阻的。

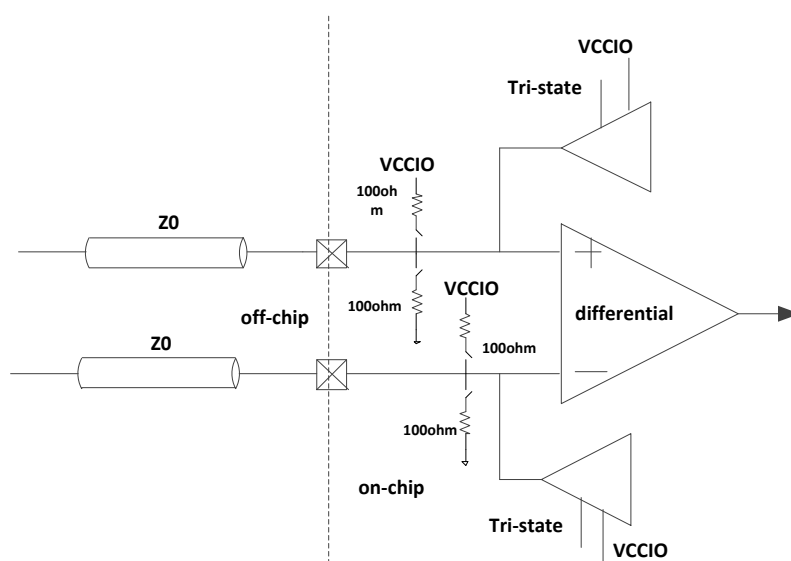


图 2-6 SSTL、HSTL 内部电阻端接方式

在 FDC 文件中，可以通过 IO 约束来使能片上终端。约束如下：

```
define_attribute { p:port_name } {PAP_IO_DDR_TERM_MODE} {ON}
```

其中，若要使能片上终端，则选择参数“ON”；否则选择“OFF”。

2.2.3 支持的 IO 标准

Logos2 系列可编程逻辑器件的 IO BUFFER 支持广泛的单端 IO 信号标准，而且所有的 IO 都可以用来形成差分对，这些差分对可以支持很多差分信号标准。这种灵活性可以使用户针对每个管脚选择最合适的 IO 标准来满足接口和信号完整性的需要。这些 IO 被分配在几个独立的 BANK 中，每个 BANK 内部有共同的输出电压（VCCIO）和共同的参考电压（VREF）。

当今总线应用的潮流，通常由数字电子工业领域内最大最有影响力的公司来引领。他们每推出一款总线，就会推出相应的 IO 标准。这些总线 IO 标准为那些使用它来设计产品的商家提供详尽的说明。每种 IO 标准都具有其特定的电气性能：包括电流，电压，IO Buffering 和终端技术。Logos2 系列可编程逻辑器件正是顺应这种潮流，可以支持不断扩展的 IO 标准，可以灵活、快速地适配市场需求。通过配置 IO BUFFER 驱动器可使 IO 支持多种 IO 标准。

Logos2 系列支持的单端 IO 标准见下表：

表 2-2 Logos2 系列支持的标准

单端IO标准	SLEW RATE	VCCIO	IN/OUT	全BANK支持
PCI33	FAST/SLOW	3.3	IN/OUT	是
LVTTTL33	FAST/SLOW	3.3	IN/OUT/INOUT	是
LVC MOS33	FAST/SLOW	3.3	IN/OUT/INOUT	是
LVC MOS25	FAST/SLOW	2.5	IN/OUT/INOUT	是

单端IO标准	SLEW RATE	VCCIO	IN/OUT	全BANK支持
LVC MOS18	FAST/SLOW	1.8	IN/OUT/INOUT	是
LVC MOS15	FAST/SLOW	1.5	IN/OUT/INOUT	是
LVC MOS12	FAST/SLOW	1.2	IN/OUT/INOUT	是
HSTL15_I	FAST/SLOW	1.5	IN/OUT	是
HSTL18_I	FAST/SLOW	1.8	IN/OUT	是
HSTL15_II	FAST/SLOW	1.5	IN/OUT/INOUT	是
HSTL18_II	FAST/SLOW	1.8	IN/OUT/INOUT	是
SSTL135_I	FAST/SLOW	1.35	IN/OUT/INOUT	是
SSTL135_II	FAST/SLOW	1.35	IN/OUT/INOUT	是
SSTL15_I	FAST/SLOW	1.5	IN/OUT/INOUT	是
SSTL15_II	FAST/SLOW	1.5	IN/OUT/INOUT	是
SSTL18_I	FAST/SLOW	1.8	IN/OUT	是
SSTL18_II	FAST/SLOW	1.8	IN/OUT/INOUT	是
HSUL12	FAST/SLOW	1.2	IN/OUT/INOUT	是
LPDDR	FAST/SLOW	1.8	IN/OUT/INOUT	是

LVTTL (Low-Voltage TTL): JESD 定义的 3.3V 标准，输出时需要 3.3V 的 VCCIO，不需要参考电压及端接电压。

LVC MOS (Low-Voltage CMOS): 低电压 CMOS 标准，应用电压范围从 1.2V 到 3.3V。不需要参考电压及端接电压。

SSTL18 (Stub Series Terminated Logic for 1.8V): 由 JESD79-2C 定义，1.8V 存储器总线标准。需要 0.90V 的参考电压，1.8V 的 VCCIO 和一个 0.90V 的端接电压。SSTL18 用于高速的 SDRAM 接口。

SSTL15 (Stub Series Terminated Logic for 1.5V): 由 JESD79-3 定义，1.5V 存储器总线标准。需要 0.75V 的参考电压，1.5V 的 VCCIO 和一个 0.75V 的端接电压。SSTL15 用于高速的 SDRAM 接口。

SSTL135 (Stub Series Terminated Logic for 1.35V): 由 JESD79-3-1 定义，1.35V 存储器总线标准。需要 0.675V 的参考电压，1.35V 的 VCCIO 和一个 0.675V 的端接电压。SSTL135 用于 DDR3L SDRAM 存储接口。

HSTL18(High-Speed Transceiver Logic for 1.8V): 由 IBM 定义，高速总线标准。需要 0.90V 的参考电压，1.8V 的 VCCIO 和一个 0.90V 的端接电压。

HSTL15(High-Speed Transceiver Logic for 1.5V): 由 IBM 定义，高速总线标准。需要 0.75V 的参考电压，1.5V 的 VCCIO 和一个 0.75V 的端接电压。

HSUL12 (High-Speed Unterminated Logic for 1.2V): 由 JESD8-22B 定义, 高速总线标准。需要 0.6V 的参考电压, 1.2V 的 VCCIO 和一个 0.6V 的端接电压。HSUL12 用来改善数据高速传输时的总线功耗。

Logos2 系列产品的差分输出又分为真差分输出和类差分输出两种:

真差分输出有专用电路支持, 性能较高, 包括 LVDS25、RSDS、MINI-LVDS、PPDS、TMDS。Logos2 系列产品中的差分对都支持真差分输出。

类差分输出是在 LVCMOS 输出标准的基础上结合芯片外部电阻实现的, 由单端驱动的 COMP PAD 和 TRUE PAD 相组合, 即互补输出模式。类差分输出模式被用作驱动互补 SSTL 标准、HSTL 标准、HSUL 标准和 BLVDS。

Logos2 系列支持的差分 IO 标准见下表:

表 2-3 Logos2 系列支持的差分 IO 标准

差分IO标准	VCCIO		IN/OUT	注释	全BANK支持
	输出 (V)	输入 (V)			
LVDS25	2.5	2.5	IN/OUT	所有BANK都支持LVDS真差分输出,有内部端接电阻	是
RSDS	2.5	2.5	IN/OUT	有内部端接电阻	是
MINI-LVDS	2.5	2.5	IN/OUT	有内部端接电阻	是
PPDS	2.5	2.5	IN/OUT	有内部端接电阻	是
TMDS	3.3	3.3	IN/OUT	Open drain 连接	是
BLVDS	2.5	2.5	IN/OUT/INOUT	双向多点驱动输入输出差分信号。输出通过类差分方式并结合外围电阻支持。输入以差分方式连接	是
SSTL18D_I	1.8	1.8	IN/OUT	输出通过类差分方式实现	是
SSTL18D_II	1.8	1.8	IN/OUT/INOUT	输出通过类差分方式实现	是
SSTL15D_I	1.5	1.5	IN/OUT	输出通过类差分方式实现	是
SSTL15D_II	1.5	1.5	IN/OUT/INOUT	输出通过类差分方式实现	是
HSTL18D_I	1.8	1.8	IN/OUT	输出通过类差分方式实现	是
HSTL18D_II	1.8	1.8	IN/OUT/INOUT	输出通过类差分方式实现	是
HSTL15D_I	1.5	1.5	IN/OUT	输出通过类差分方式实现	是
HSTL15D_II	1.5	1.5	IN/OUT/INOUT	输出通过类差分方式实现	是
HSUL12D	1.2	1.2	IN/OUT/INOUT	输出通过类差分方式实现	是

LVDS25 (Low Voltage Differential Signal): 差分标准, 一个数据 bit 通过两根信号线传输, 所以相对单端 IO 标准, 它具有固有的对噪声的免疫力。两根信号线之间的电压幅摆约为 350mV。不需要参考电压及端接电压。LVDS 输入端需要匹配电阻, 可以用 PCB 上的分立电阻, 也可以通过 DIFF_IN_TERM_MODE 属性来使能芯片内部终端匹配电阻。PG2L100H 器

件，各个 BANK 的差分对都支持真差分 LVDS25 输出。

RSDS (Reduced Swing Differential Signaling): 一种面板内部 (intra-panel) 总线接口标准，通常应用于显示领域。定义了芯片-芯片之间接口的发射、接收特性以及协议。RSDS 输入需要并行的终端电阻，可以用 PCB 上的分立电阻，也可以通过 DIFF_IN_TERM_MODE 属性来使能芯片内部终端匹配电阻。

MINI-LVDS 是基于 LVDS 接口标准发展而来的，它通常应用在平板显示领域作为时序控制模块和 LCD 之间的接口。它的摆幅更小，产生很低的电磁干扰，并且能为显示驱动提供很高的带宽。

PPDS (Point-to-Point Differential Signaling): 下一代 LCD 内部显示接口标准。PPDS 输入需要并行的终端电阻，可以用 PCB 上的分立电阻，也可以通过 DIFF_IN_TERM_MODE 属性来使能芯片内部终端匹配电阻。

TMDS (Transition Minimized Differential Signaling): 过度调制差分信号，也被称为最小化传输差分信号，应用于 DVI, HDMI 接口。

BLVDS (Bus Low Voltage Differential Signaling): 是 NS (National Semiconductor) 公司提出的一种类似于 MLVDS 标准的输出标准，也被用作需要双向多点驱动输出输入差分信号的情况。二者不同之处在于，MLVDS 是工业标准，MLVDS 的差分幅度比 BLVDS 的差分幅度大，并且需要较高的电流驱动能力。IO 自身不支持 BLVDS，需要借助 LVCMOS 的互补输出原理和芯片外部电阻共同实现。

SSTL18D, SSTL15D, HSTL18D, HSTL15D, HSUL12D 等差分输出通过类差分方式实现。

不同的 IO 标准其时序也不相同，Pango Design Suite 软件工具会对 IO 的 Timing 时序进行分析，时序分析报告将会包含这些信息。

IO 标准可通过下面的语句在 FDC 文件中进行约束或者在 PDS 的 UCE 界面操作。

```
define_attribute {p:port_name} {PAP_IO_STANDARD} { LVCMOS33 }
```

2.2.4 IO 电源电压介绍

根据实际的用户设计，IO BUFFER 是由 3 种 FPGA 的主要电源混合供电的，它们是 VCC，VCCA 和 VCCIO。

表 2-4 IO 中所使用的电源电压

名称	最小值	典型值	最大值	单位	说明
V _{CC}	0.95	1.0	1.05	V	内核电源电压
V _{CCA}	1.71	1.8	1.89	V	辅助电源供电电压
V _{CCIO}	1.14	--	3.465	V	输出驱动器电源的供电电压

➤ VCC

VCC 是 FPGA 芯片的 core 电压,主要是用来给 IO BUFFER 的控制逻辑电路和 IO LOGIC 的绝大部分电路供电。从 core 中输出数据时,控制信号通过 IO LOGIC 和 IO BUFFER 的控制逻辑使得数据信号由 VCC 供电转换为由更高电源电压供电;向 core 输入数据时候,控制信号通过 IO BUFFER 的控制逻辑和 IO LOGIC 使得数据信号由高电源电压供电转换为由 VCC 供电。

➤ VCCA

VCCA 是辅助电源电压,主要是用来为差分输出驱动电路,差分输入电路以及应用于 SSTL 标准和 HSTL 标准中具有参考电压的输入电路供电。

➤ VCCIO

VCCIO 电压在每一个 BANK 中都是独立供电的,主要是为单端输出驱动电路和 ratio 输入电路供电。所以采用 VCCIO 电源供电的输入输出标准的特性数值会随着 VCCIO 电源电压的变化而变化。

➤ GND

尽管在 IO 电路内部,可能为了版图规划和信号划分,对应不同的电源电压会对应不同的地,例如 VCCIO 对应 VSSIO, VCCA 对应 VSS, VCC 对应 VSS 等。但是在芯片的 top 层面,所有的这些 IO 地线在封装过程都被连接到一个共同 GND 上。

2.2.5 BUS KEEPER 特性

BUS KEEPER 电路的主要功能是在下一个 IO 数据有效之前保持当前 IO 的数据状态。每一个 IO 都有独立的 BUS KEEPER 功能,通常有五种可编程工作模式, PULLUP, PULLDW, KPR, UNUSED 以及 NONE。NONE 和 UNUSED 功能一样。

BUS KEEPER 特性可通过下面的语句在 FDC 文件中编辑或者在 PDS 的 UCE 中操作。

```
define_attribute {p:port_name} {PAP_IO_UNUSED} {TRUE}
```

2.2.6 输入迟滞特性

LVC MOS33/LVTTL33/LVCMOS25/LVCMOS18/ LVCMOS15/ LVCMOS12 输入标准可支持输入迟滞特性。输入迟滞特性可通过下面的语句在 FDC 文件中编辑或者在 PDS 的 UCE 中操作。

```
define_attribute {p:port_name} {PAP_IO_HYS_DRIVE_MODE} {NOHYS}
```

2.2.7 IO 端口状态

上电过程中，所有IO 包括用户IO、复用IO输出buffer被禁止，为高阻态。

上电过程结束，在初始化过程及编程过程中，复用IO管脚IO_STATUS_C用来控制所有IO的端口状态。当IO_STATUS_C 输入为低电平，会使能IO内部弱上拉。当IO_STATUS_C 输入为高电平，会禁止IO内部弱上拉，IO输出高阻态。

编程过程结束后进入用户模式，由用户逻辑控制用户IO的输入输出模式及端口状态。如果persist = “on”,复用IO仍然用于配置，如果persist = “off”，复用IO用于user IO。

注：PG2L100H器件在用户模式下进行管脚RSTN复位、JTAG口指令复位或热启动后(JTAG口指令复位和热启动详见《UG040005_Logos2系列FPGA配置(configuration)用户指南》)，下列情况IO可能会出现高脉冲。

(1) BANK L4、L5中有IO被约束为1.8V及以下的电平标准，且VCCIOCFG为2.5V及以上时，该BANK里所有IO在器件管脚RSTN复位、JTAG口指令复位或热启动后，可能会出现高脉冲；

(2) 除BANK L4、L5和配置专用BANKCFG外的其它BANK中有IO被约束为1.8V及以下的电平标准时，该BANK里所有的IO在器件管脚RSTN复位、JTAG口指令复位或热启动后，可能会出现高脉冲。

管脚RSTN复位、JTAG口指令复位或热启动后，IO出现高脉冲时序分别如下：

管脚RSTN复位IO出现高脉冲示意图见图 2-7， T_{RSTN} 详见《DS04001_Logos2系列FPGA器件数据手册》从管脚RSTN复位信号拉低到IO出现高脉冲的时间间隔(T_R)最长为500ns，脉冲宽度(T_W)与IO链路负载相关，需用户结合单板应用进行验证评估；

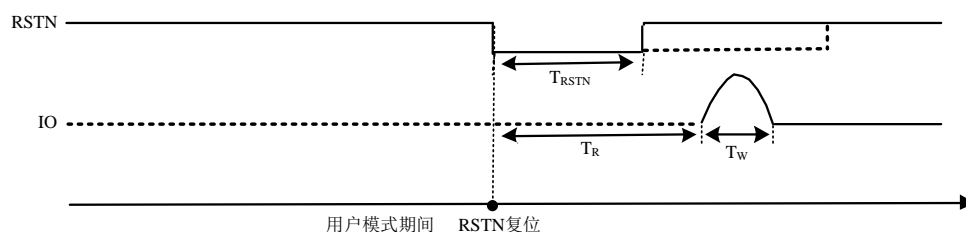


图 2-7 管脚 RSTN 复位 IO 出现高脉冲示意图

JTAG口指令复位IO出现高脉冲示意图见图 2-8，JTAG指令复位命令发送完成后，经Exit1_IR和Updata_IR状态进入Run_Test/Idle状态(Exit1_IR、Updata_IR、Run_Test/Idle详见IEEE Std 1149.1)，从进入Run_Test/Idle状态后的第一个TCK时钟上升沿到IO出现高脉冲的时间间隔(T_J)最长为50ns，脉冲宽度(T_W)与IO链路负载相关，需用户结合单板应用进行验证评估；

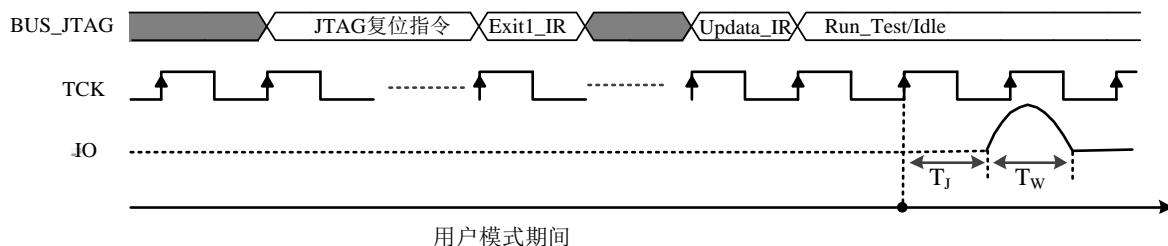


图 2-8 JTAG 口指令复位 IO 出现高脉冲示意图

热启动复位IO出现高脉冲示意图见图 2-9，热启动复位命令发送完成后的第四个CFG_CLK时钟上升沿到IO出现高脉冲的时间间隔（ T_H ）最长为50ns，脉冲宽度（ T_W ）与IO链路负载相关，需用户结合单板应用进行验证评估。

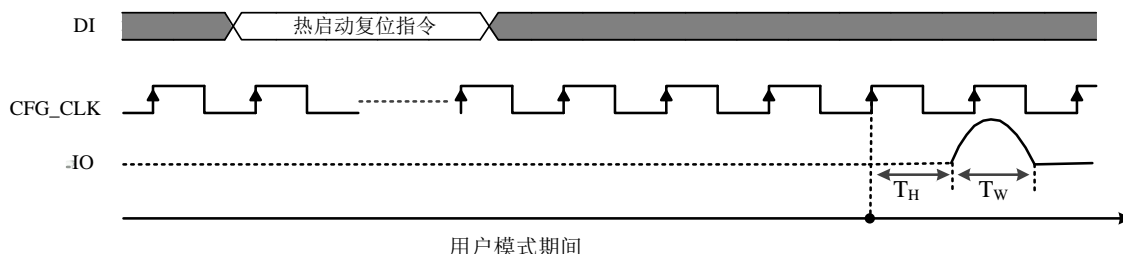


图 2-9 热启动复位 IO 出现高脉冲示意图

2.2.8 输入缓冲器分类

输入端的每一个管脚共有两种类型的输入缓冲器来满足不同输入标准的要求。第一类是电源电压为VCCIO的LVCMOS 单端buffer；第二类是电源电压为VCCA的输入缓冲器，该类输入缓冲器可以实现参考电压决定阈值的输入标准和差分输入标准。

表 2-5 输入缓冲器分类

		电源	单端	双端	支持标准	注释
输入缓冲器	单端	VCCIO	√		LVTTTL33/LVCMOS	
	差分	VCCA		√	SSTL/HSTL15/18, LVDS (input)	SSTL 和 HSTL 标准需要参考电压和匹配电阻支持

2.2.9 缓冲器的参考电压 VREF

具有参考电压的输入输出标准诸如 SSTL，HSTL 标准，需要一个参考电压来设定阈值。该参考电压可以由两种方式产生。第一种方式是通过 IO pin 输入外部产考电压；第二种方式可以通过芯片内部参考电压生成电路产生。在第一种方式中，每一个 BANK 中有 2 个专用 IO 用作外部 VREF 的输入，在第二种方式中，参考电压通过芯片内部的参考电压生成电路为整个 BANK 中的所有 IO 提供 VREF 参考电压用以支持需要参考电压的输入输出标准。其中每一个 BANK 会对应一个内部参考电压生成电路，通过编程可以设定参考电压的输出。两种产

生 VREF 参考电压的方式需要通过编程进行设定选择，作为 VREF 输入的专用 IO，如果不作为 VREF pin，可以作为普通 IO。

使用下面的语句在 FDC 文件中进行约束，或者在 PDS 的 UCE 界面操作。

```
define_attribute {p:port_name} {PAP_IO_VREF_MODE_VALUE} {0.5}
```

2.2.10 可编程输出驱动能力

表 2-6 可编程输出驱动能力

IO Standard	Driver Strength
PCI33	1.5mA
LVTTTL33	4mA,8mA,12mA,16mA,24mA
LVC MOS33/25	4mA,8mA,12mA,16mA
LVC MOS18	4mA,8mA,12mA,16mA,24mA
LVC MOS15	4mA,8mA,12mA,16mA
LVC MOS12	4mA,8mA,12mA
HSLTL15_I	8mA
HSTL15D_I	8mA
HSTL18_I	8mA
HSTL18D_I	8mA
HSTL15_II	16mA
HSTL15D_II	16mA
HSLTL18_II	16mA
HSTL18D_II	16mA
SSTL135_I	8.9mA
SSTL135_II	13mA
SSTL15_I	8.9mA
SSTL15_II	13mA
SSTL15D_I	8.9mA
SSTL15D_II	13mA
SSTL18_I	8mA
SSTL18D_I	8mA
SSTL18_II	13.4mA
SSTL18D_II	13.4mA
HSUL12	0.1mA
HSUL12D	0.1mA
LPDDR	0.1mA
LVDS25	3mA,3.5mA,4mA,4.5mA
RS DS	
MINI-LVDS	4mA,4.5mA,5mA
PPDS	2mA,2.5mA,3mA,3.5mA,4mA

IO Standard	Driver Strength
TMDS	4mA,4.5mA,5mA
BLVDS	8mA,12mA,16mA

2.2.11 Open-Drain 控制

每一个 IOB 的单端输出驱动电路可以独立支持 Open-Drain 功能。即 Open-Drain 输出时，输出驱动电路只包含灌电流部分，而不提供拉电流。

Open-Drain 的控制包括打开和关闭，即 ON 和 OFF。Open-Drain 的控制可通过下面的语句在 FDC 文件中进行约束，或者在 PDS 的 UCE 界面约束。

```
define_attribute {p:port_name} {PAP_IO_OPEN_DRAIN} {OFF}
```

2.2.12 三态控制输出

在 IO 的输出通路，每一个单端输出驱动电路都有一个独立的三态控制电路。另外通过一个复用 IO 产生标志信号 IO_STATE 用于控制配置过程中的所有 IO 的端口状态。当 IO_STATE_C=0 时，表示配置过程的 IO 处于三态；当 IO_STATE_C=1 时，表示配置过程的 IO 处于上拉。差分驱动电路的三态控制采用 TRUE pad 的单端输出驱动的三态控制。

2.2.13 可编程 slew rate（摆率）

根据降低输出噪声或提高高速输出性能的要求，每一个 IO 的输出驱动端都有一个可编程 slew rate 控制设置，用来为输出提供输出摆率的快慢控制。每一个 IO 的 slew rate 控制都是独立的。可设置的参数是：“FAST”和“SLOW”。

可编程 slew rate 可通过下面的语句在 FDC 文件中进行约束，或者在 PDS 的 UCE 界面约束。

```
define_attribute { p:port_name } {PAP_IO_SLEW} {FAST}
```

2.2.14 类差分输出实现

BLVDS 输出 buffer 没有采用 LVDS 差分结构，是用两个 LVC MOS 单端输出 buffer 加外部电阻连接的方式实现 BLVDS 输出接口电平。

➤ 类差分输出---BLVDS

BLVDS 是 NS(National Semiconductor)公司提出的一种类似于 MLVDS 标准的输出标准，也被用作需要双向多点驱动输出输入差分信号的情况。二者不同之处在于，MLVDS 是工业标准，MLVDS 的差分幅度比 BLVDS 的差分幅度大，并且需要较高的电流驱动能力。IO 自身不支持 BLVDS，仍旧需要借助 LVC MOS 的互补输出原理和芯片外部电阻共同实现。下图给

出了 BLVDS 多点配置的典型应用情况。其中 R0, R1 应基于电路设计和验证的角度,在保证输出电平达到标准要求的条件下给出参考值, R1=80 欧, R1=40~100 欧, 其精确具体数值要根据最终产品工程师给出的实际芯片测试结果而定。

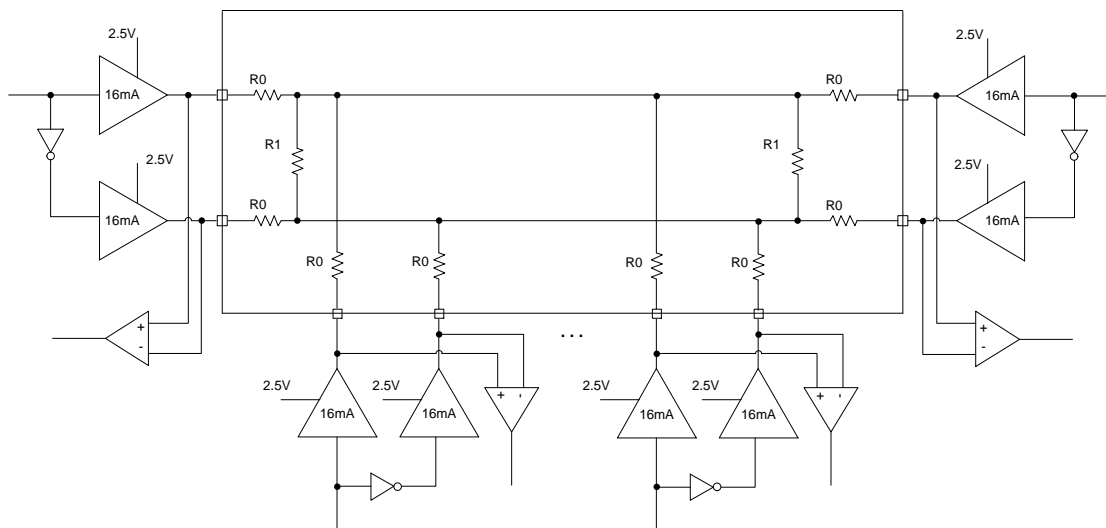


图 2-10 BLVDS 点对点输出实例

2.2.15 IO BUFFER 的 GTP 基本原型

Pango Design Suite 的软件库包含了相关的 GTP (General Technology Primitives) 来支持各种不同的 IO 标准, 以下几种 GTP 基本原型是在单端 IO 标准中最常见的。

表 2-7 单端 IO 的 GTP

GTP 名称	GTP 说明	GTP 示意图
GTP_INBUF	单端输入信号必须经过 INBUF, 支持 IOBD, IOBS	
GTP_INBUFG	INBUFG 与 INBUF 相同, 用于时钟输入管脚的输入信号	
GTP_OUTBUF	支持单端输出信号	
GTP_OUTBUFT	用来实现三态输出	

GTP 名称	GTP 说明	GTP 示意图
GTP_IOBUF	支持单端输入输出功能	

➤ GTP_INBUF

端口说明如下所示：

表 2-8 GTP_INBUF 端口说明

端口	方向	功能描述
I	IN	单端信号输入
O	OUT	输入 buffer 输出，送入芯片内部

参数说明如下所示：

表 2-9 GTP_INBUF 参数说明

参数名称	参数类型	有效值	默认值	功能描述
IOSTANDARD	string	见表 2-10	LVC MOS33	输入 IO 标准
TERM_DDR	string	见表 2-10	ON	HSTL、SSTL 标准输入时，内置终端电阻开启或关闭

参数可选的配置属性如下所示：

表 2-10 参数配置列表

GTP_INBUF	
IOSTANDARD	TERM_DDR
LVTTTL33	无
PCI33	
LVC MOS33	
LVC MOS25	
LVC MOS18	
LVC MOS15	
LVC MOS12	
SSTL18_I	OFF/ON
SSTL18_II	OFF/ON
SSTL15_I	OFF/ON
SSTL15_II	OFF/ON
HSTL18_I	OFF/ON
HSTL18_II	OFF/ON
HSTL15_I	OFF/ON
SSTL15_I	OFF/ON

GTP_INBUF	
IOSTANDARD	TERM_DDR
SSTL15_II	OFF/ON
HSTL15_I	OFF/ON

➤ GTP_INBUFG

端口说明如下所示：

表 2-11 GTP_INBUFG 端口说明

端口	方向	功能描述
I	IN	PAD 信号输入
O	OUT	buffer 输出，送入芯片内部

参数说明如下所示：

表 2-12 GTP_INBUFG 参数说明

参数名称	参数类型	有效值	默认值	功能描述
IOSTANDARD	string	见表 2-13	LVC MOS33	输入 IO 标准
TERM_DDR	string	见表 2-13	ON	HSTL、SSTL 标准输入时，内置 terminal resistor 开启或关闭

参数配置有效值列表如下所示：

表 2-13 参数有效值列表

GTP_INBUFG	
IOSTANDARD	TERM_DDR
LVC MOS33	无
LVC MOS25	
LVC MOS18	
LVC MOS15	
LVC MOS12	
SSTL18_I	OFF/ON
SSTL18_II	OFF/ON
SSTL15_I	OFF/ON
SSTL15_II	OFF/ON
HSTL18_I	OFF/ON
HSTL18_II	OFF/ON
HSTL15_I	OFF/ON
SSTL15_I	OFF/ON
SSTL15_II	OFF/ON
HSTL15_I	OFF/ON

➤ GTP_OUTBUF

端口说明如下所示：

表 2-14 GTP_OUTBUF 端口说明

端口	方向	功能描述
I	IN	单端信号输入
O	OUT	buffer 输出

参数说明如下所示：

表 2-15 GTP_OUTBUF 参数说明

参数名称	参数类型	有效值	默认值	功能描述
IOSTANDARD	string	见表 2-16	LVC MOS33	输入 IO 标准
SLEW_RATE	string	“SLOW”, “FAST”	SLOW	摆率
DRIVE_STRENGTH	string	"2", "4", "6", "8", "12", "16", "24"	8	驱动电流强度

参数有效值列表如下所示：

表 2-16 参数有效值列表

GTP_OUTBUF		
IOSTANDARD	SLEW_RATE	DRIVE_STRENGTH
PCI33	FAST/SLOW	"1.5"
LVTTL33	FAST/SLOW	"4", "6", "12", "16", "24"
LVC MOS33	FAST/SLOW	
LVC MOS25	FAST/SLOW	"4", "8", "12", "16"
LVC MOS18	FAST/SLOW	
LVC MOS15	FAST/SLOW	"4", "8", "12",
LVC MOS12	FAST/SLOW	"2", "6",
SSTL18_I	FAST/SLOW	
SSTL18_II	FAST/SLOW	
SSTL15_I	FAST/SLOW	
SSTL15_II	FAST/SLOW	
HSTL18_I	FAST/SLOW	
HSTL18_II	FAST/SLOW	
HSTL15_I	FAST/SLOW	
SSTL15_I	FAST/SLOW	
SSTL15_II	FAST/SLOW	
HSTL15_I	FAST/SLOW	

➤ GTP_OUTBUFT

端口说明如下所示：

表 2-17 GTP_OUTBUFT 端口说明

端口	方向	功能描述
I	IN	单端信号输入

端口	方向	功能描述
O	OUT	buffer 输出
T	IN	使能信号, 1 有效

参数说明如下所示:

表 2-18 GTP_OUTBUFT 参数说明

参数名称	参数类型	有效值	默认值	功能描述
IOSTANDARD	string	见表 2-19	LVC MOS33	输入 IO 标准
SLEW_RATE	string	“SLOW”, “FAST”	SLOW	摆率
DRIVE_STRENGTH	string	"2", "4", "6", "8", "12", "16", "24"	8	驱动电流强度

参数有效值列表如下所示:

表 2-19 参数有效值列表

GTP_OUTBUFT		
IOSTANDARD	SLEW_RATE	DRIVE_STRENGTH
PCI33	FAST/SLOW	"1.5"
LVTTTL33	FAST/SLOW	"4", "6", "12", "16", "24"
LVC MOS33	FAST/SLOW	
LVC MOS25	FAST/SLOW	"4", "8", "12", "16"
LVC MOS18	FAST/SLOW	
LVC MOS15	FAST/SLOW	"4", "8", "12",
LVC MOS12	FAST/SLOW	"2", "6",
SSTL18_I	FAST/SLOW	
SSTL18_II	FAST/SLOW	
SSTL15_I	FAST/SLOW	
SSTL15_II	FAST/SLOW	
HSTL18_I	FAST/SLOW	
HSTL18_II	FAST/SLOW	
HSTL15_I	FAST/SLOW	
SSTL15_I	FAST/SLOW	
SSTL15_II	FAST/SLOW	
HSTL15_I	FAST/SLOW	

➤ GTP_IOBUF

端口说明如下所示:

表 2-20 GTP_IOBUF 端口说明

端口	方向	功能描述
I	IN	单端信号输入
O	OUT	输入 buffer 的输出, 送入芯片内部

端口	方向	功能描述
T	IN	使能输出 buffer
IO	INOUT	PAD

参数说明如下所示：

表 2-21 GTP_IOBUF 参数说明

参数名称	参数类型	有效值	默认值	功能描述
IOSTANDARD	string	见表 2-22	LVC MOS33	输入 IO 标准
TERM_DDR	string	“ON”, “OFF”	ON	HSTL、SSTL 标准输入时，内置 terminal resistor 开启或关闭
SLEW_RATE	string	“SLOW”, “FAST”	SLOW	摆率
DRIVE_STRENGTH	string	"4", "6", "8", "12", "16", "24"	8	驱动电流强度

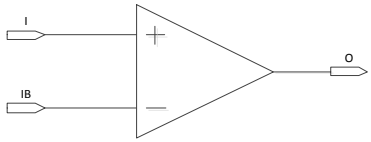
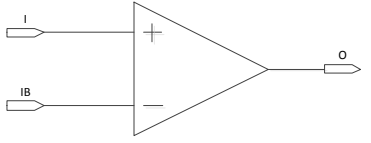
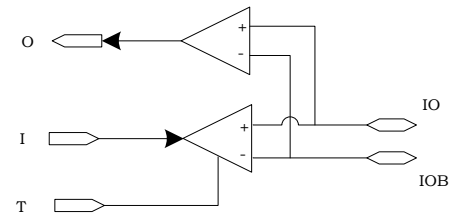
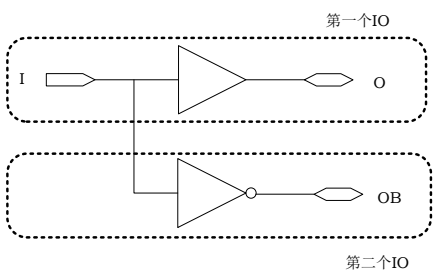
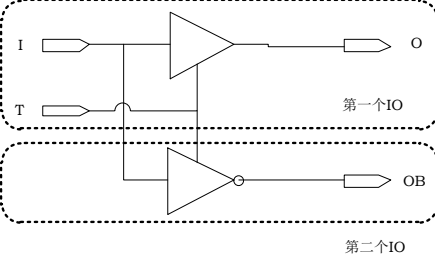
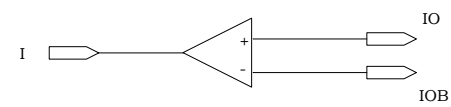
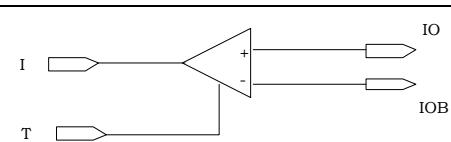
参数有效值列表如下所示：

表 2-22 参数有效值列表

GTP_IOBUF			
IOSTANDARD	SLEW_RATE	TERM_DDR	DRIVE_STRENGTH
PCI33	FAST/SLOW	无	"1.5"
LVTTL33	FAST/SLOW		"4", "6", "12", "16", "24"
LVCMOS33			"4", "8", "12", "16"
LVCMOS25			
LVCMOS18			
LVCMOS15			
LVCMOS12			
SSTL18_I		OFF/ON	
SSTL18_II		OFF/ON	
SSTL15_I		OFF/ON	
SSTL15_II		OFF/ON	
HSTL18_I		OFF/ON	
HSTL18_II		OFF/ON	
HSTL15_I		OFF/ON	
SSTL15_I		OFF/ON	
SSTL15_II		OFF/ON	
HSTL15_I	OFF/ON		

下表列出了差分 IO 最常用的 GTP。

表 2-23 差分 IO 的 GTP

GTP 名称	含义	示意图
GTP_INBUFDS	支持差分输入驱动功能，INBUFDS 有 2 个输入 I 和 IB，分别代表差分对的 P 通道输入管脚和 N 通道输入管脚	
GTP_INBUFGDS	支持时钟的差分输入	
GTP_IOBUFDS	支持真差分输入输出	
GTP_OUTBUFCO	支持类差分输出驱动功能	
GTP_OUTBUFTCO	支持类差分输出驱动功能及三态输出	
GTP_OUTBUFDS	支持真差分输出功能。支持的 IO 输入标准为："LVDS", "MINI-LVDS" 和 "TMDS"	
GTP_OUTBUFTDS	支持真差分输出功能。支持的 IO 输入标准为："LVDS", "MINI-LVDS", "TMDS"	

GTP 名称	含义	示意图
GTP_IOBUFCO	支持单端输入、类差分输出驱动功能	

➤ GTP_INBUFDS

端口说明如下所示：

表 2-24 GTP_INBUFDS 端口说明

端口	方向	功能描述
I	IN	同相差分输入
IB	IN	反相差分输入
O	OUT	差分输出，送到芯片内部

参数说明如下所示：

表 2-25 GTP_INBUFDS 参数说明

参数名称	参数类型	有效值	默认值	功能描述
IOSTANDARD	string	见表 2-26	LVDS	输入 IO 标准
TERM_DIFF	string	见表 2-26	ON	差分输入时，内置 terminal resistor 开启或关闭

参数有效值列表如下所示：

表 2-26 参数有效值列表

GTP_INBUFDS	
IOSTANDARD	TERM_DIFF
LVDS	OFF/ON
MINI-LVDS	OFF/ON
SSTL18D_I	OFF/ON
SSTL18D_II	OFF/ON
SSTL15D_I	OFF/ON
SSTL15D_II	OFF/ON
HSTL18D_I	OFF/ON
HSTL18D_II	OFF/ON
HSTL15D_I	OFF/ON
RSDS	OFF/ON
PPDS	OFF/ON

GTP_INBUFGDS	
IOSTANDARD	TERM_DIFF
TMDS	OFF/ON
BLVDS	NA
SSTL15D_I	OFF/ON
SSTL15D_II	OFF/ON
HSTL15D_I	OFF/ON

➤ GTP_INBUFGDS

端口说明如下所示：

表 2-27 GTP_INBUFGDS 端口说明

端口	方向	功能描述
I	IN	同相差分输入
IB	IN	反相差分输入
O	OUT	差分输出，送到芯片内部

参数说明如下所示：

表 2-28 GTP_INBUFGDS 参数说明

参数名称	参数类型	有效值	默认值	功能描述
IOSTANDARD	string	见表 2-29	LVDS	输入 IO 标准
TERM_DIFF	string	见表 2-29	ON	差分输入时，内置终端电阻开启或关闭

参数有效值列表如下所示：

表 2-29 参数有效值列表

GTP_INBUFGDS	
IOSTANDARD	TERM_DIFF
LVDS	OFF/ON
MINI-LVDS	OFF/ON
SSTL18D_I	OFF/ON
SSTL18D_II	OFF/ON
SSTL15D_I	OFF/ON
SSTL15D_II	OFF/ON
HSTL18D_I	OFF/ON
HSTL18D_II	OFF/ON
HSTL15D_I	OFF/ON
HSUL12D	NA
RSDS	OFF/ON
PPDS	OFF/ON
TMDS	OFF/ON
BLVDS	NA
SSTL15D_I	OFF/ON

GTP_INBUFDS	
IOSTANDARD	TERM_DIFF
SSTL15D_II	OFF/ON
HSTL15D_I	OFF/ON

➤ GTP_IOBUFDS

端口说明如下所示：

表 2-30 GTP_IOBUFDS 端口说明

端口	方向	功能描述
I	IN	单端信号输入
O	OUT	输入 buffer 输出，送入芯片内部
T	IN	使能信号
IO	INOUT	IO 的 PAD
IOB	INOUT	IO 的 PAD，与 IO 的值相反

参数说明如下所示：

表 2-31 GTP_IOBUFDS 参数说明

参数名称	参数类型	有效值	默认值	功能描述
IOSTANDARD	string	"LVDS", "MINI-LVDS", "TMDS"	LVDS	输入 IO 标准
TERM_DIFF	string	"ON", "OFF"	ON	LVDS 等标准输入时，内置差分终端电阻开启或关闭

➤ GTP_OUTBUFCO

端口说明如下所示：

表 2-32 GTP_OUTBUFCO 端口说明

端口	方向	功能描述
I	IN	单端信号输入
O	OUT	第一个 IO 的 PAD
OB	OUT	第二个 IO 的 PAD，它的值是第一个 IO 的反

参数说明如下所示：

表 2-33 GTP_OUTBUFCO 参数说明

参数名称	参数类型	有效值	默认值	功能描述
IOSTANDARD	string	"SSTL18D_I", "SSTL18D_II", "SSTL15D_I", "SSTL15D_II", "HSTL15D_I", "HSUL12D", "LVPECL", "RSDS", "PPDS", "BLVDS"	LVC MOS33	输入 IO 标准

➤ GTP_OUTBUFTCO

端口说明如下所示：

表 2-34 GTP_OUTBUFTCO 端口说明

端口	方向	功能描述
I	IN	单端信号输入

端口	方向	功能描述
O	OUT	第一个 IO 的 PAD
OB	OUT	第二个 IO 的 PAD，它的值是第一个 IO 的反
T	IN	使能

参数说明如下所示：

表 2-35 GTP_OUTBUFTCO 参数说明

参数名称	参数类型	有效值	默认值	功能描述
IOSTANDARD	string	“SSTL18D_I”, “SSTL18D_II”, “SSTL15D_I”, “SSTL15D_II”, “HSTL15D_I”, “SSTL15D”, “HSTL15D”, “HSUL12D”, “RSDS”, “PPDS”, “BLVDS”	LVC MOS33	输入 IO 标准

➤ GTP_OUTBUFDS

端口说明如下所示：

表 2-36 GTP_OUTBUFDS 端口说明

端口	方向	功能描述
I	IN	单端信号输入
O	OUT	第一个 IO 的 PAD
OB	OUT	第二个 IO 的 PAD，它的值是第一个 IO 的反

参数说明如下所示：

表 2-37 GTP_OUTBUFDS 参数说明

参数名称	参数类型	有效值	默认值	功能描述
IOSTANDARD	string	"LVDS", "MINI-LVDS", "TMDS"	LVDS	输入 IO 标准

➤ GTP_OUTBUFTDS

端口说明如下所示：

表 2-38 GTP_OUTBUFTDS 端口说明

端口	方向	功能描述
I	IN	单端信号输入
O	OUT	第一个 IO 的 PAD
OB	OUT	第二个 IO 的 PAD，它的值是第一个 IO 的反
T	IN	使能信号

参数说明如下所示：

表 2-39 GTP_OUTBUFTDS 参数说明

参数名称	参数类型	有效值	默认值	功能描述
IOSTANDARD	string	"LVDS", "MINI-LVDS", "TMDS"	LVDS	输入 IO 标准

➤ GTP_IOBUFCO

端口说明如下所示：

表 2-40 GTP_IOBUFCO 端口说明

端口	方向	功能描述
I	IN	单端信号输入
O	OUT	输入 buffer 输出，送入芯片内部
T	IN	使能输出 buffer
IO	INOUT	第一个 IO 的 PAD
IOB	INOUT	第二个 IO 的 PAD，它的值是第一个 IO 的反

参数说明如下所示：

表 2-41 GTP_IOBUFCO 参数说明

参数名称	参数类型	有效值	默认值	功能描述
IOSTANDARD	string	“SSTL18D_I”, “SSTL18D_II”, “SSTL15D_I”, “SSTL15D_II”, “HSTL15D_I”, “SSTL15D_I”, “SSTL15D_II”, “HSTL15D”, “HSUL12D”, “RSDS”, “PPDS”, “BLVDS”	LVC MOS33	输入 IO 标准
TERM_DDR	string	“ON”, “OFF”	ON	HSTL、SSTL 标准输入 时，内置终 端电阻 开 启或关闭

2.3 IO LOGIC

本节主要描述 Logos2 系列产品的 IOL 部分。

IOL 处于 IOB 和 FPGA 内部逻辑之间，将数据在进入 FPGA 内部或者从内部输出之前进行一些处理。IOL 包含输入输出延时链单元、输入逻辑（ILOGIC）以及输出逻辑（OLOGIC）。结构如下框图。

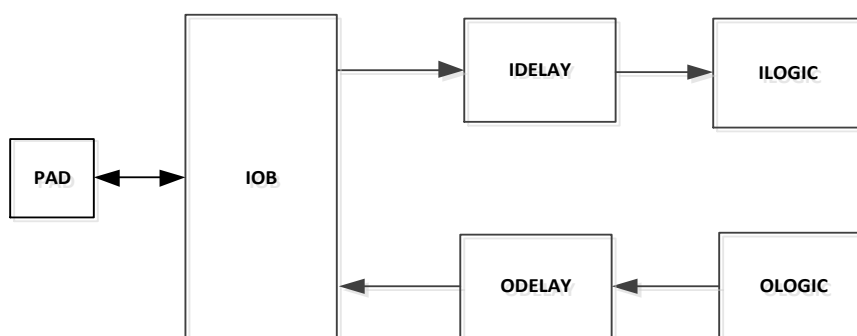


图 2-11 IOL 结构框图

2.3.1 输入输出延时链单元

每个 IO PAD 包含一个 IO DELAY 单元，可用于输入或输出延迟，输入延时最大为 $247 \times 5 \times 2\text{ps} = 2.47\text{ns}$ ，输出最大延时 $127 \times 5\text{ps} = 0.635\text{ns}$ ，它可以提供静态配置或动态调节的

DELAY 模式。IO DELAY 常用于调节采样窗口或调整输出时序。

PDS 软件为输入、输出延时链的使用提供了专用的原语，分别是 GTP_IODELAY_E2、GTP_ZEROHOLDDELAY。GTP_IODELAY_E2 用于时钟和数据的延时，GTP_ZEROHOLDDELAY 只用于数据的延时。下面为两者的结构图。

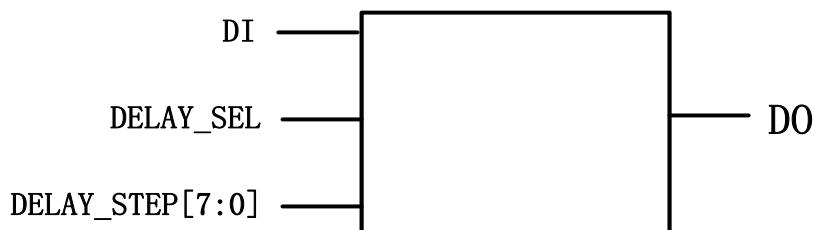


图 2-12 GTP_IODELAY_E2 结构图



图 2-13 GTP_ZEROHOLDDELAY 结构图

GTP_IODELAY_E2 Verilog 例化如下：

```
GTP_IODELAY_E2 #
(
  .DELAY_STEP_SEL ( "PARAMETER" ),
  .DELAY_STEP_VALUE( 8' h00 )
) GTP_IODELAY_E2_inst (
  .DI (di),
  .DELAY_SEL (delay_sel),
  .DELAY_STEP (delay_step),
  .DO (do)
);
```

GTP_IODELAY_E2 原型模块的参数及信号说明如下：

表 2-42 GTP_IODELAY_E2 端口说明

端口信号	输入/输出	宽度	默认值	说明
DI	输入	1 bit		输入数据
DELAY_SEL	输入	1 bit	1'b1	级联选择
DELAY_STEP	输入	8 bit	8'hFF	延迟步长，对于输入延时实际最大有效值为 8'd247，对于输出延时为最大有效值为 8'd127，输入类型必须

端口信号	输入/输出	宽度	默认值	说明
				为格雷码
DO	输出	1 bit		数据输出

表 2-43 GTP_IODELAY_E2 参数说明

参数名称	参数类型	有效值	默认值	说明
DELAY_STEP_SEL	String	“PARAMETER” “PORT”	“PARAMETER”	选择PARAMETER为静态配置, 选择PORT为动态配置
DELAY_STEP_VALUE	Constant	8’h00~8’hF7	8’h00	延迟控制码静态配置

GTP_ZEROHOLDDELAY Verilog 例化如下:

```
GTP_ZEROHOLDDELAY #
(
    . ZHOLD_SET ( “NODELAY” )
) GTP_ZEROHOLDDELAY_inst (
    . DI (di),
    . DO (do)
);
```

表 2-44 GTP_ZEROHOLDDELAY 端口说明

端口信号	输入/输出	宽度	说明
DI	输入	1 bit	数据输入
DO	输出	1 bit	数据输出

表 2-45 GTP_ZEROHOLDDELAY 参数说明

参数名称	参数类型	有效值	默认值	说明
ZHOLD_SET	String	“NODELAY”、 “100ps”、 “200ps”、 “300ps”、 “400ps”、 “500ps”、 “600ps”、 “700ps”、 “800ps”、 “900ps”、 “1000ps”、 “1100ps”、 “1200ps”、 “1300ps”、 “1400ps”、 “1500ps”	“NODELAY”	zeroholddelay 延迟值

2.3.2 输入逻辑

IOL 的输入逻辑用来处理接收的高速数据，实现将高速串行数据转换为并行数据。为了实现 IOL 中串并转换功能，PDS 提供了 GTP_ISERDES_E2 原语，GTP_ISERDES_E2 用作输入方向的数据处理，支持直接输入输出、ILATCH、IDFF、networking SDR/DDR、oversample、Low-Speed MEMORY DDR、High-Speed MEMORY DDR，并支持 SDR1TO2、SDR1TO3、SDR1TO4、SDR1TO5、SDR1TO6、SDR1TO7、SDR1TO8、DDR1TO2_SAME_PIPELINED、DDR1TO2_SAME_EDGE、DDR1TO2_OPPOSITE_EDGE、DDR1TO4、DDR1TO6、DDR1TO8、DDR1TO10、DDR1TO14、HMDDR1TO4、HMDDR1TO8、LMDDR1TO4、LMDDR1TO8 和 OVERSAMPLE 模式的速率转换。其结构框图如下所示：

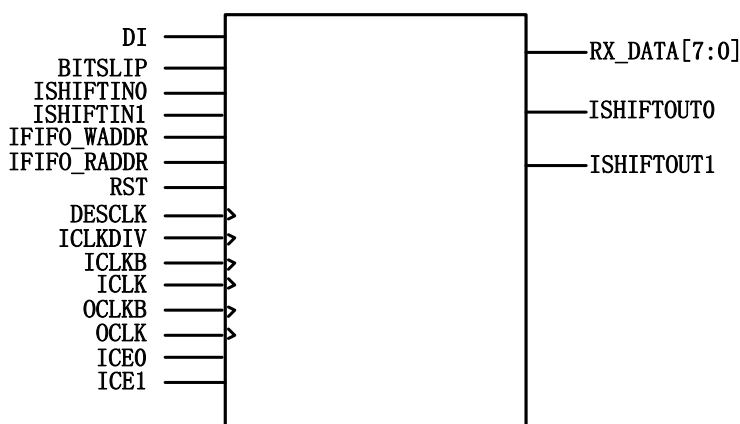


图 2-14 GTP_ISERDES_E2 结构图

GTP_ISERDES_E2 Verilog 例化如下：

```
GTP_ISERDES_E2 #
(
    .ISERDES_MODE ( "SDR1TO4" ),
    .CASCADE_( "MASTER" ),
    .BITSLLIP_EN( "FALSE" ),
    .GRS_EN ( "TRUE" ),
    .NUM_ICE(1' b0),
    .GRS_TYPE_Q0( "RESET" ),
    .GRS_TYPE_Q1( "RESET" ),
    .GRS_TYPE_Q2( "RESET" ),
    .GRS_TYPE_Q3( "RESET" ),
    .LRS_TYPE_Q0( "ASYNC_RESET" ),
```



```
.LRS_TYPE_Q1(“ASYNC_RESET”),
.LRS_TYPE_Q2(“ASYNC_RESET”),
.LRS_TYPE_Q3(“ASYNC_RESET”)
) gtp_iserdes_inst (
.RST(rst),
.ICE0(ice0),
.ICE1(ice1),
.DESCLK (desclk),
.ICLK (iclk),
.ICLK DIV(iclkdiv),
.DI (di),
.BITSLIP(bitslip),
.ISHIFTIN0(ishifftin0),
.ISHIFTIN1(ishifftin1),
.IFIFO_WADDR(ififo_waddr),
.IFIFO_RADDR(ififo_raddr),
.DO(D0),
.ISHIFTOUT0(ishifftout0),
.ISHIFTOUT1(ishifftout1)
);
```

GTP_ISERDES_E2 通常会与 GTP_INBUF，GTP_INBUFG，GTP_INBUFDS 和 GTP_INBUFGDS 一起使用。

表 2-46 GTP_ISERDES_E2 参数说明

参数名称	类型	有效值	默认值	说明
ISERDES_MODE	String	“SDR1TO2” “SDR1TO3” “SDR1TO4” “SDR1TO5” “SDR1TO6” “SDR1TO7” “SDR1TO8” “ILATCH” “IDFF” “DDR1TO2_SAME_PIPELINED” “DDR1TO2_SAME_EDGE” “DDR1TO2_OPPOSITE_EDGE”	SDR1TO4	“SDR1TO2”: networking SDR 1:2 “SDR1TO3”: networking SDR 1:3 “SDR1TO4”: networking SDR 1:4 “SDR1TO5”: networking SDR 1:5 “SDR1TO6”: networking SDR 1:6 “SDR1TO7”: networking SDR 1:7 “SDR1TO8”: networking SDR 1:8 “ILATCH” 锁存器输入模式 “IDFF” 寄存器输入模式 “DDR1TO2_SAME_PIPELINED”:networkingDDR1:2 SAME_PIPELINED “DDR1TO2_SAME_EDGE”:networkingDDR1:2 SAME_EDGE “DDR1TO2_OPPOSITE_EDGE”:netwo

参数名称	类型	有效值	默认值	说明
		“DDR1TO4” “DDR1TO6” “DDR1TO8” “DDR1TO10” “DDR1TO14” “HMDDR1TO4” “HMDDR1TO8” “LMDDR1TO4” “LMDDR1TO8” “OVERSAMPLE”		rking DDR 1:2 OPPOSITE_EDGE “DDR1TO4”: networking DDR 1:4 “DDR1TO6”: networking DDR 1:6 “DDR1TO8”: networking DDR 1:8 “DDR1TO10”: networking DDR 1:10 “DDR1TO14”: networking DDR 1:14 解串模式 “HMDDR1TO4”: High-Speed Memory DDR 1:4 “HMDDR1TO8”: High-Speed Memory DDR 1:8 “LMDDR1TO4”: Low-Speed Memory DDR 1:4 “LMDDR1TO8”: Low-Speed Memory DDR 1:8 “OVERSAMPLE”
CASCADE_MODE	String	“MASTER” “SLAVE”	“MASTER”	解串级联主模式
BITSLIP_EN	String	“FALSE” “TRUE”	“FALSE”	bitslip 使能
GRS_EN	String	“TRUE” “FALSE”	“TRUE”	全局复位/置位使能
NUM_IC_E	Constance	1'b0 1'b1	1'b0	ice 数目选择
GRS_TYPE_Q0	String	“RESET” “SET”	“RESET”	ILOGIC gear 中 DFF0 全局异步复位/置位结果;
GRS_TYPE_Q1	String	“RESET” “SET”	“RESET”	ILOGIC gear 中 DFF1 全局异步复位/置位结果;
GRS_TYPE_Q2	String	“RESET” “SET”	“RESET”	ILOGIC gear 中 DFF2 全局异步复位/置位结果;
GRS_TYPE_Q3	String	“RESET” “SET”	“RESET”	ILOGIC gear 中 DFF3 全局异步复位/置位结果;
LRS_TYPE_Q0	String	“ASYNC_RESET” “ASYNC_SET” “SYNC_RESET” “SYNC_SET”	“ASYNC_RESET”	ILOGIC gear 中 DFF0 本地异步/同步/复位/置位结果
LRS_TYPE_Q1	String	“ASYNC_RESET” “ASYNC_SET” “SYNC_RESET” “SYNC_SET”	“ASYNC_RESET”	ILOGIC gear 中 DFF1 本地异步/同步/复位/置位结果
LRS_TYPE_Q2	String	“ASYNC_RESET” “ASYNC_SET” “SYNC_RESET” “SYNC_SET”	“ASYNC_RESET”	ILOGIC gear 中 DFF2 本地异步/同步/复位/置位结果
LRS_TYPE_Q3	String	“ASYNC_RESET” “ASYNC_SET” “SYNC_RESET” “SYNC_SET”	“ASYNC_RESET”	ILOGIC gear 中 DFF3 本地异步/同步/复位/置位结果

表 2-47 GTP_ISERDES_E2 端口说明

端口	方向	宽度	说明
DI	输入	1	数据输入
BITSLIP	输入	1	数据输入

端口	方向	宽度	说明
ISHIFTIN0	输入	1	级联输入信号
ISHIFTIN1	输入	1	级联输入信号
IFIFO_WADDR	输入	3	FIFO 写指针，输入为格雷码
IFIFO_RADDR	输入	3	FIFO 读指针，输入为格雷码
RST	输入	1	ILOGIC 的本地复位信号，高有效。
DECLK	输入	1	ILOGIC 解串高速时钟
ICLKDIV	输入	1	ILOGIC 低速时钟
ICLK	输入	1	ILOGIC 第一级高速时钟
ICE0	输入	1	ILOGIC 的时钟使能信号，ICE0 的使能控制必须在 RST 信号之前拉高
ICE1	输入	1	ILOGIC 的时钟使能信号，ICE1 的使能控制必须在 RST 信号之前拉高
DO	输出	8	解串后输出信号，并行数据的高位放置的是接收串行数据的低位。使用时需要根据使用的模式把有效的高低位交换。例如：sdr 1: 4 只会用到低 4 位，只需要把低 4 位高低位交换。
ISHIFTOUT0	输出	1	级联输出信号
ISHIFTOUT1	输出	1	级联输出信号

直接输入

下面介绍输入逻辑配置为直接输入模式，分为寄存器输入和锁存器输入两种模式。

IDFF

当输入逻辑配置为 IDFF 模式时，其功能图可简化为下图。

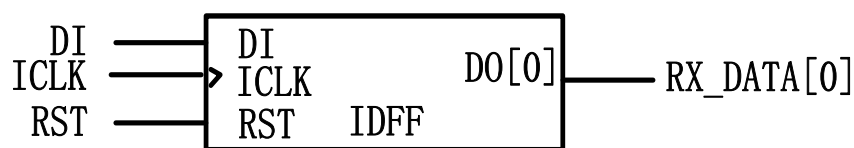


图 2-15 IDFF 功能图

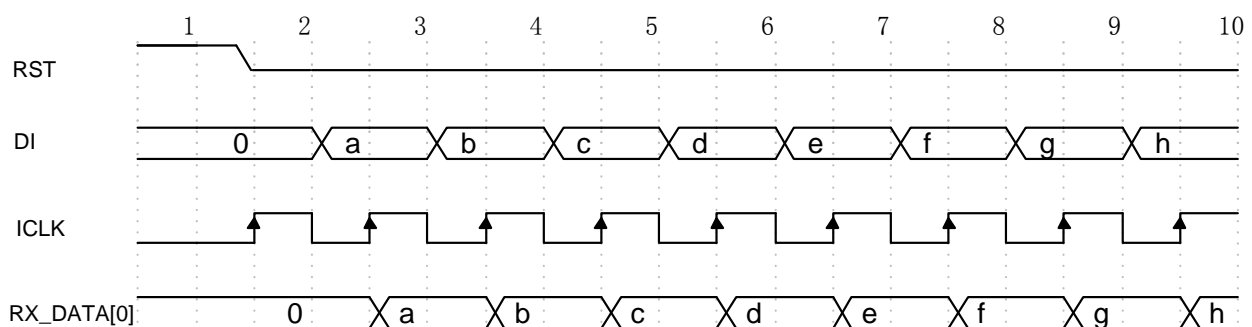


图 2-16 IDFF 时序图

ILATCH

当输入逻辑配置为 ILATCH 模式时，其功能图可简化为下图。



图 2-17 ILATCH 功能图

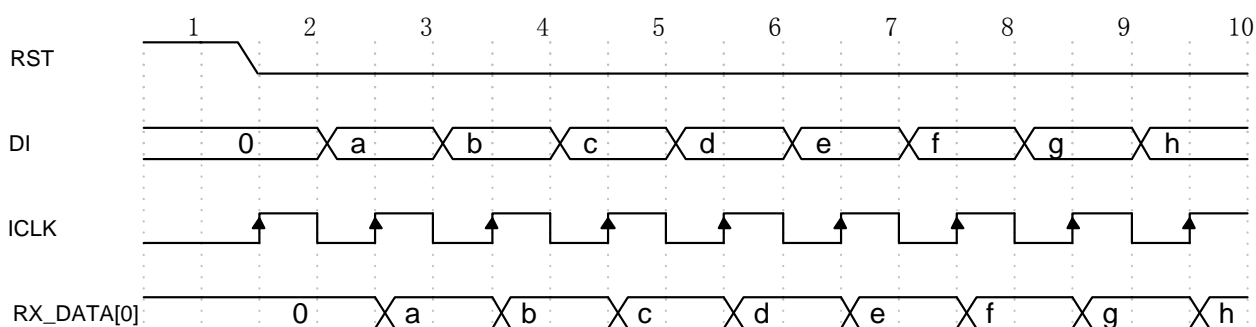


图 2-18 ILATCH 时序图

ISERDES

下面介绍输入逻辑配置为 ISERDES 的不同工作模式。

SDR1TO2

当输入逻辑配置为 SDR1TO2 模式时，其功能图可简化为下图。

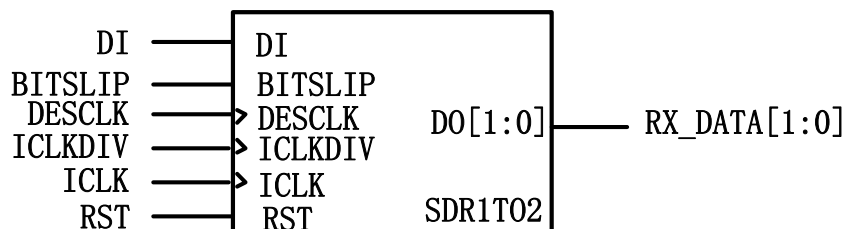


图 2-19 SDR1TO2 功能图

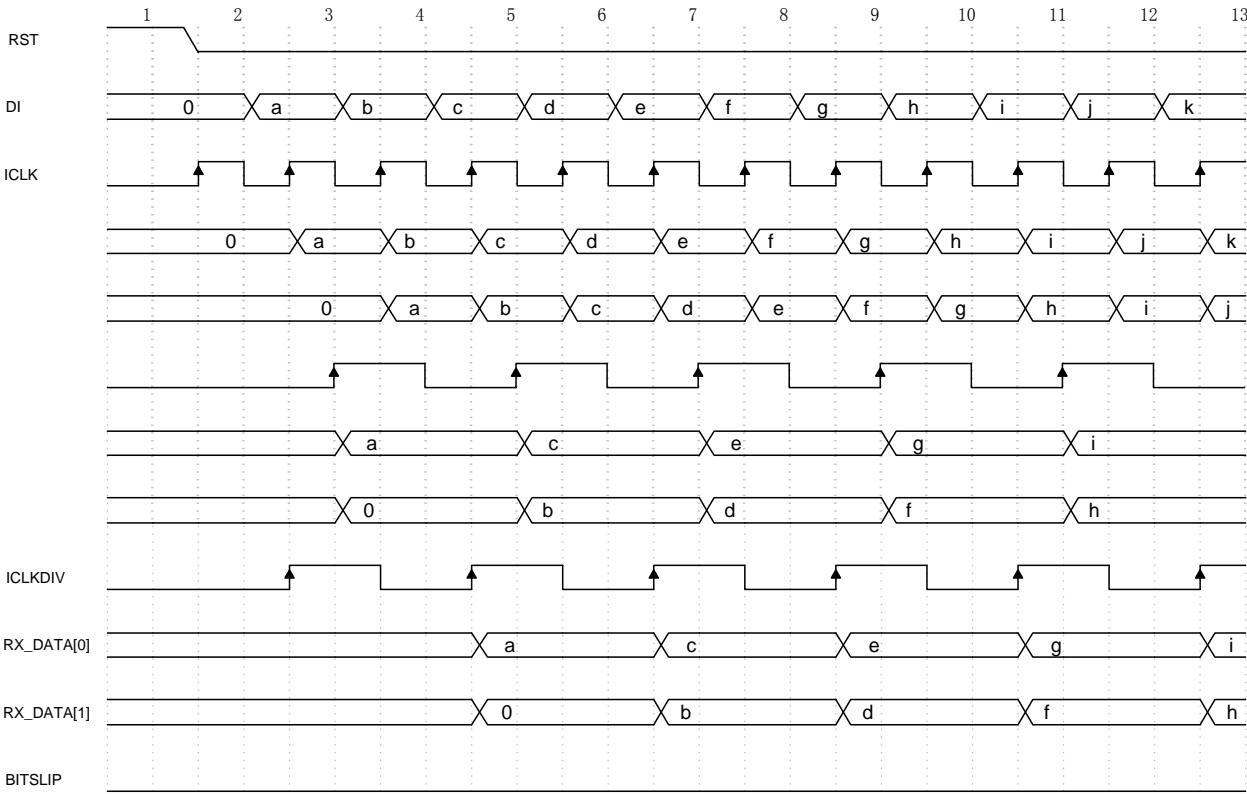


图 2-20 SDR1TO2 时序图

SDR1TO3

当输入逻辑配置为 SDR1TO3 模式时，其功能图可简化为下图。

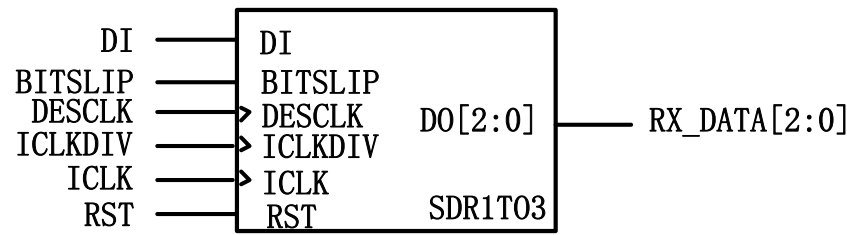


图 2-21 SDR1TO3 功能图

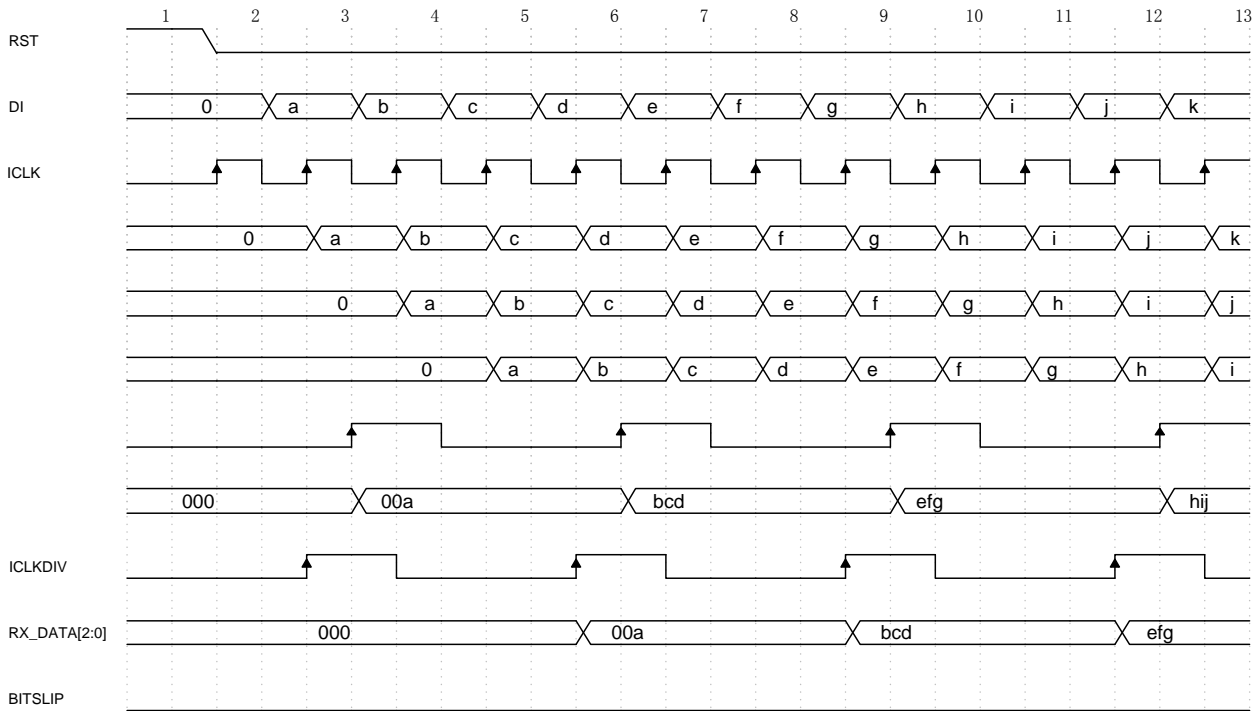


图 2-22 SDR1TO3 时序图

SDR1TO4

当输入逻辑配置为 SDR1TO4 模式时，其功能图可简化为下图。

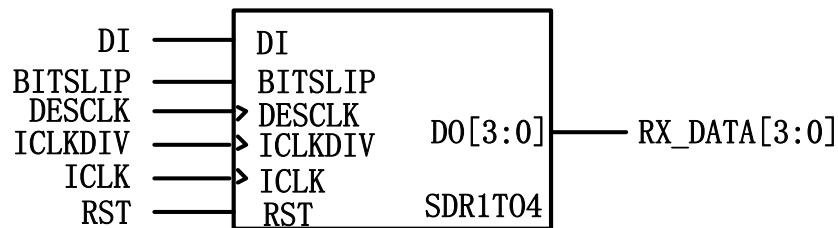


图 2-23 SDR1TO4 功能图

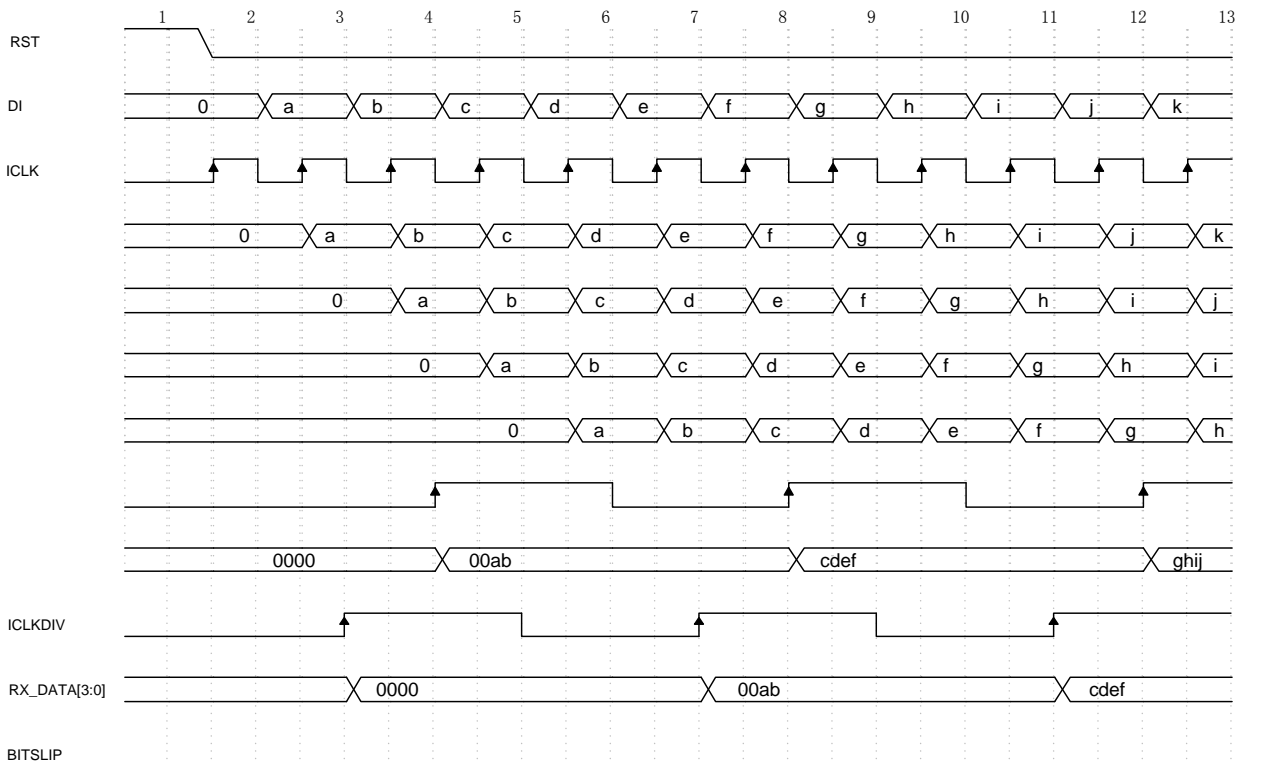


图 2-24 SDR1TO4 时序图

SDR1TO5

当输入逻辑配置为 SDR1TO5 模式时，其功能图可简化为下图。

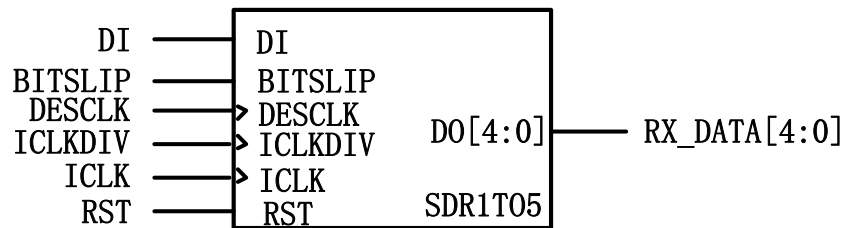


图 2-25 SDR1TO5 功能图

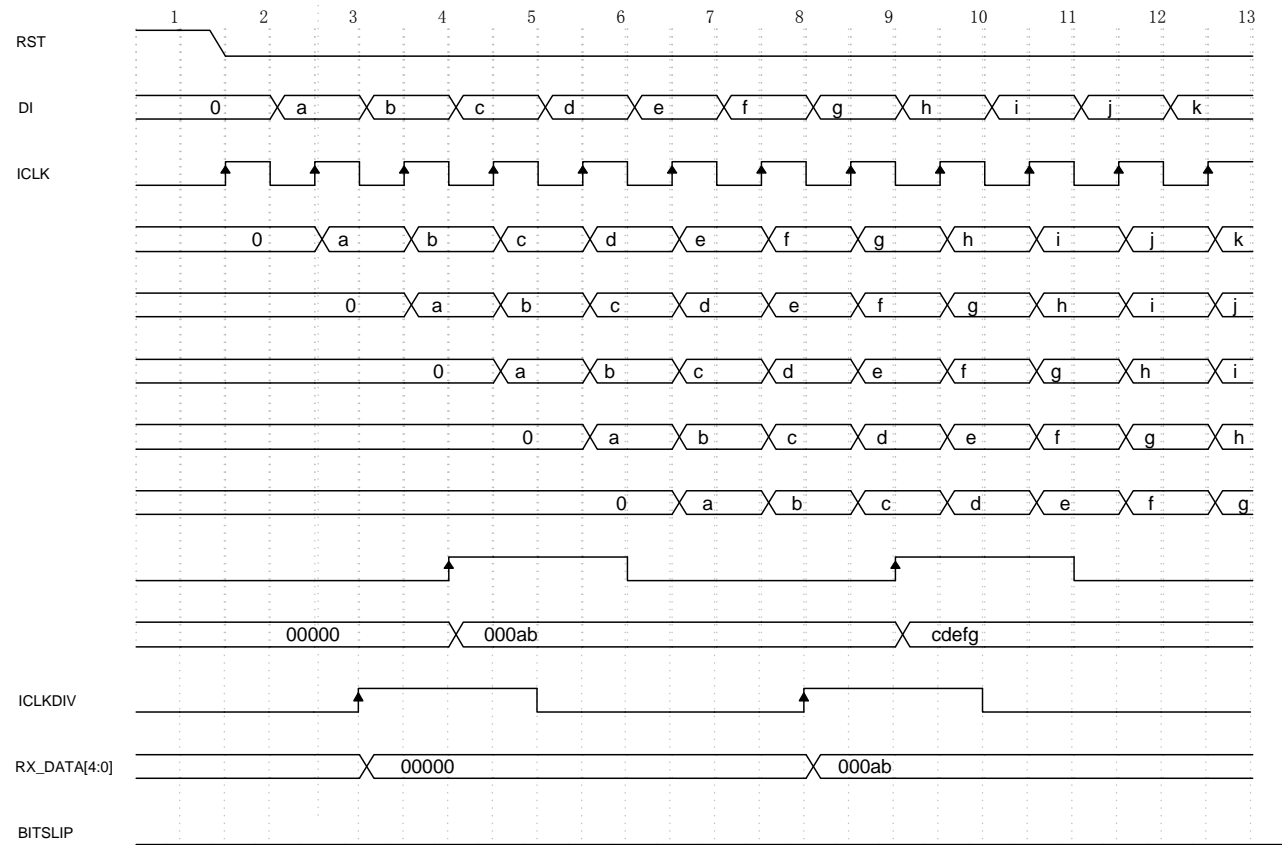


图 2-26 SDR1TO5 时序图

SDR1TO6

当输入逻辑配置为 SDR1TO6 模式时，其功能图可简化为下图。

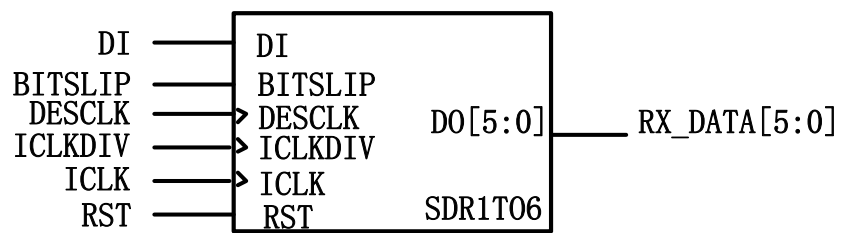


图 2-27 SDR1TO6 功能图

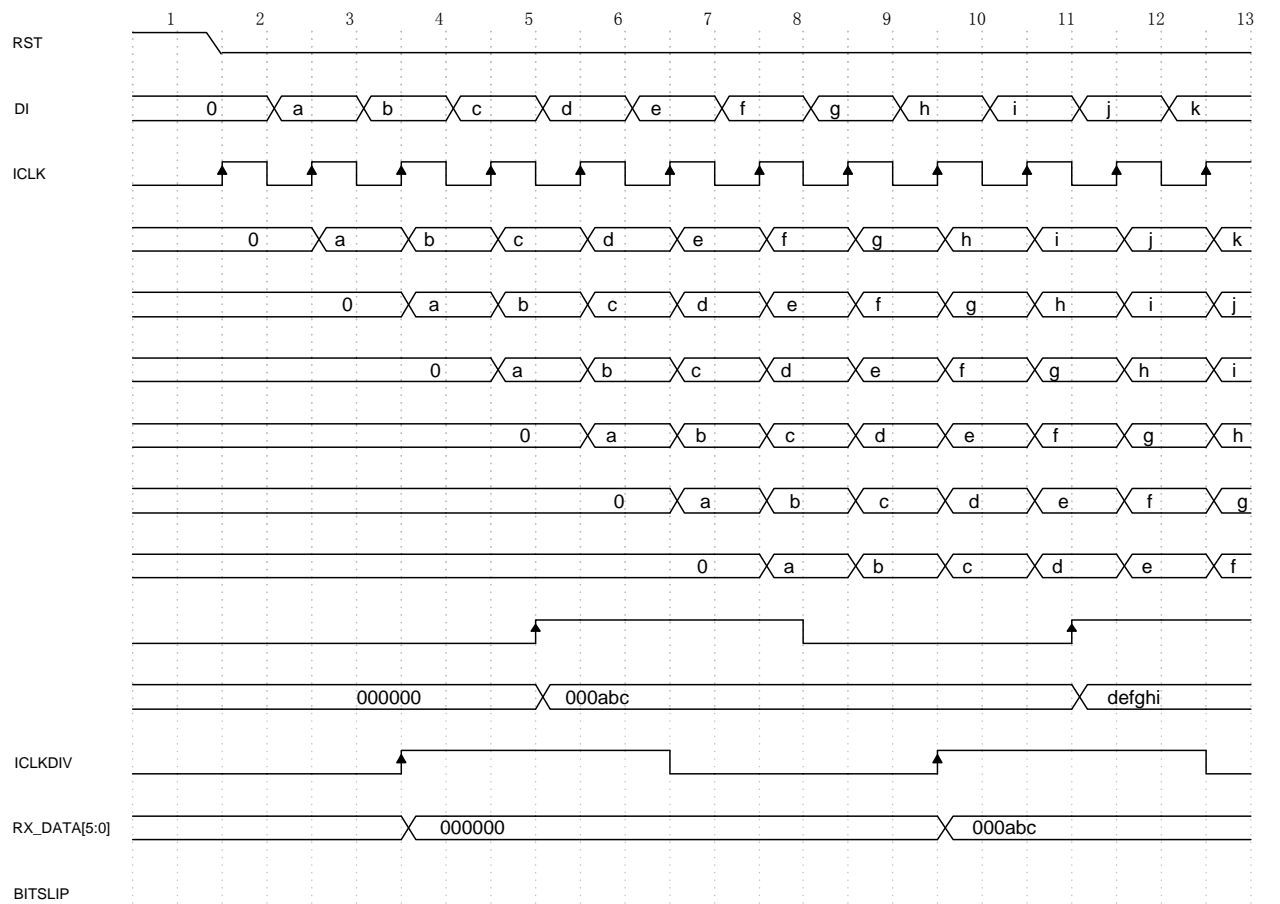


图 2-28 SDR1TO6 时序图

SDR1TO7

当输入逻辑配置为 SDR1TO7 模式时，其功能图可简化为下图。

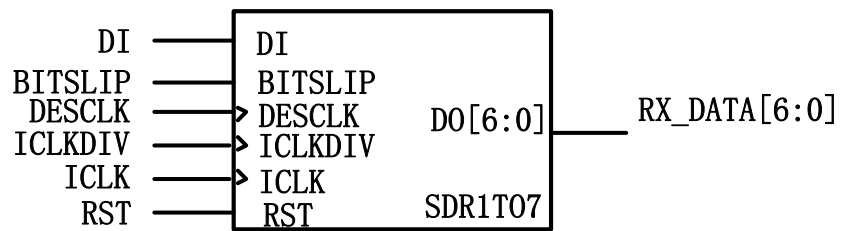


图 2-29 SDR1TO7 功能图

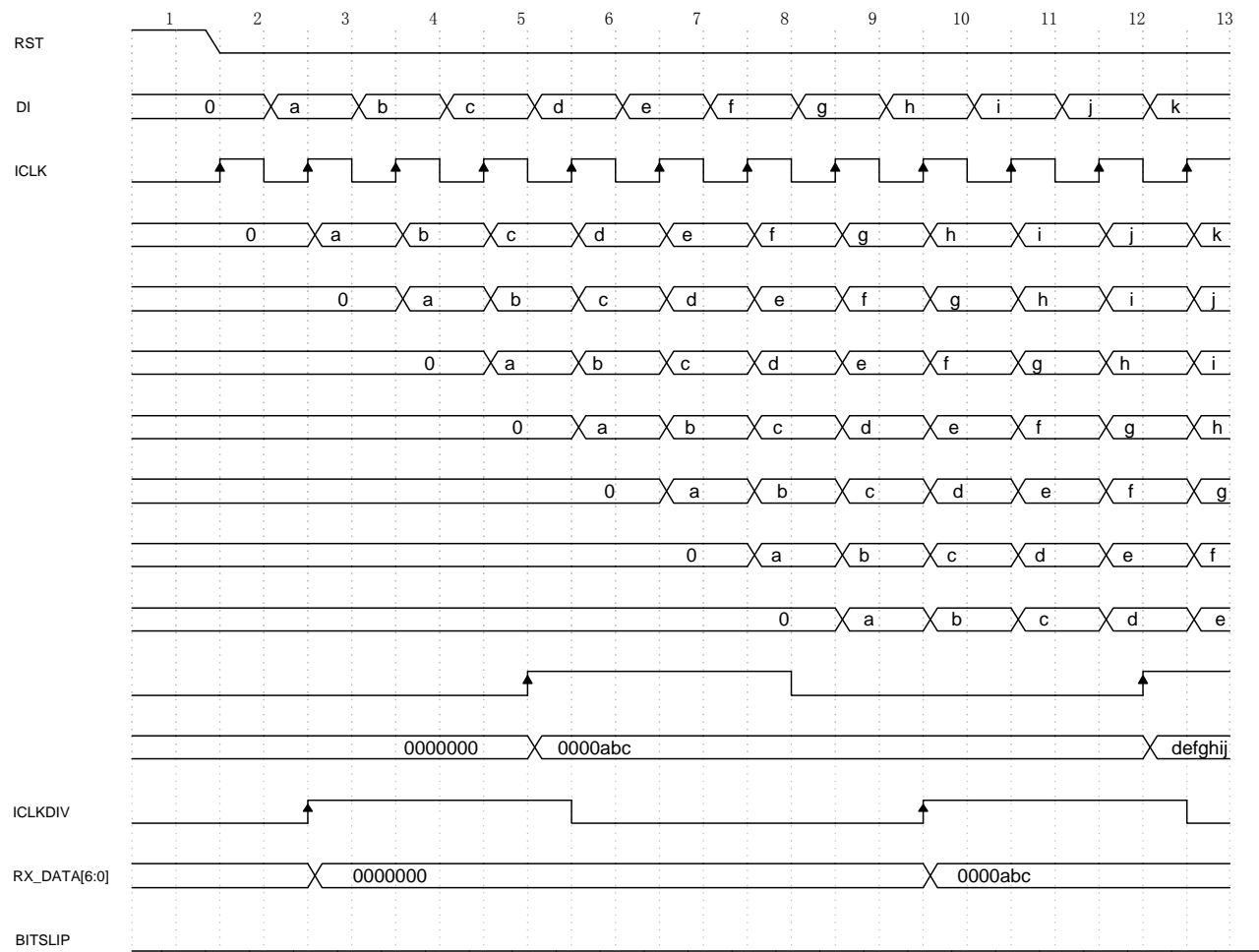


图 2-30 SDR1TO7 时序图

SDR1TO8

当输入逻辑配置为 SDR1TO8 模式时，其功能图可简化为下图。

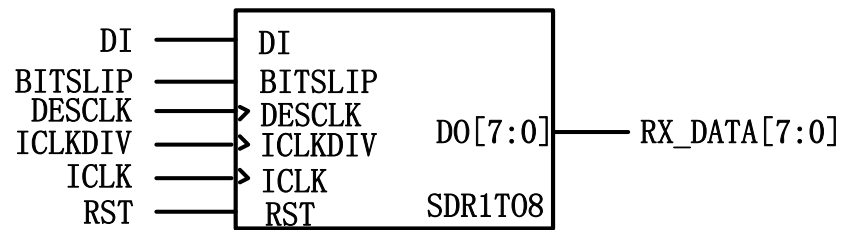


图 2-31 SDR1TO8 功能图

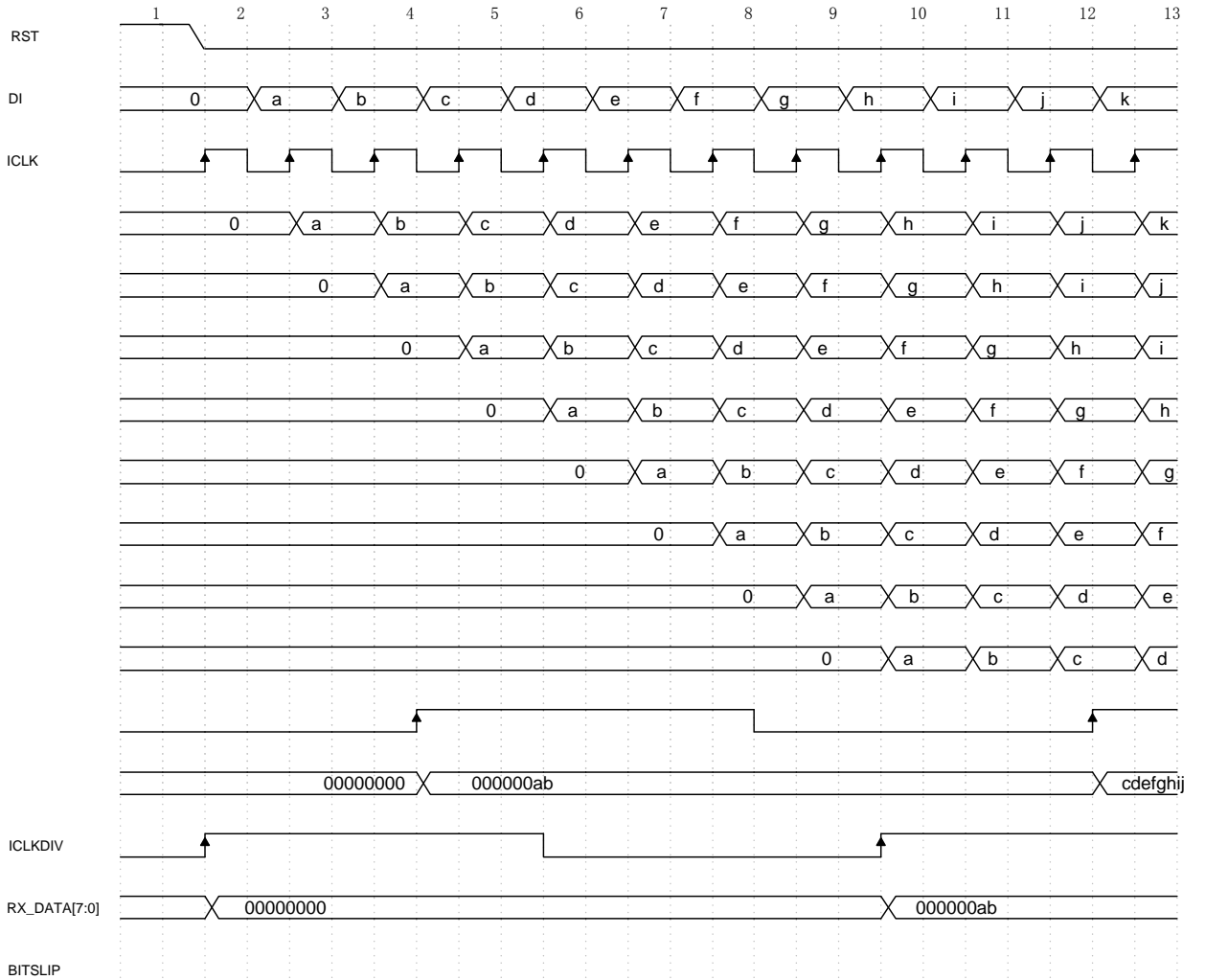


图 2-32 SDR1TO8 时序图

DDR1TO2_OPPOSITE_EDGE

当输入逻辑配置为 DDR1TO2_OPPOSITE_EDGE 模式时，其功能图可简化为下图。

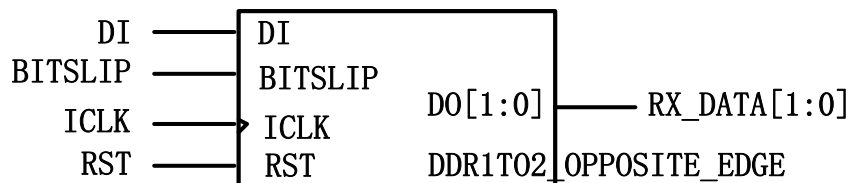


图 2-33 DDR1TO2_OPPOSITE_EDGE 功能图

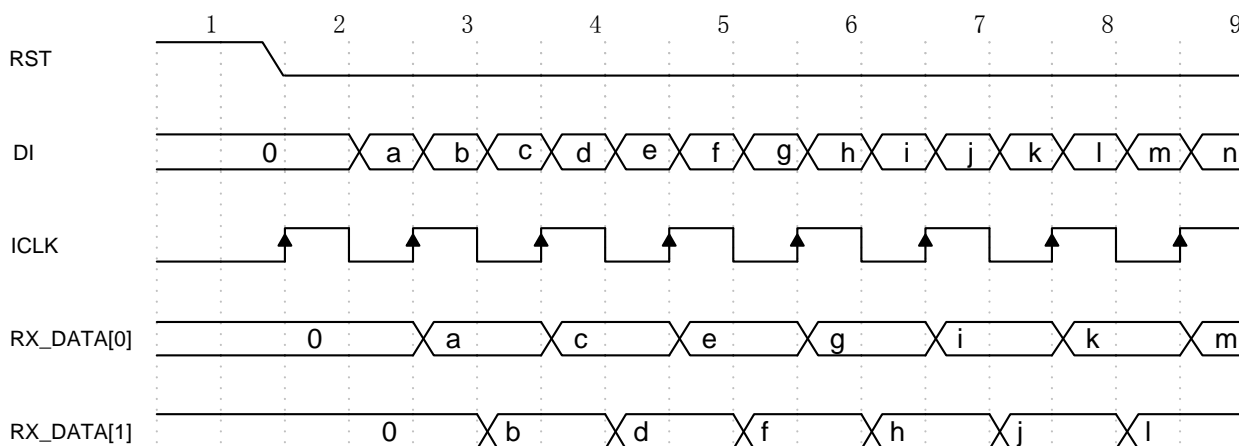


图 2-34 DDR1TO2_OPPOSITE_EDGE 时序图

DDR1TO2_SAME_EDGE

当输入逻辑配置为 DDR1TO2_SAME_EDGE 模式时，其功能图可简化为下图。

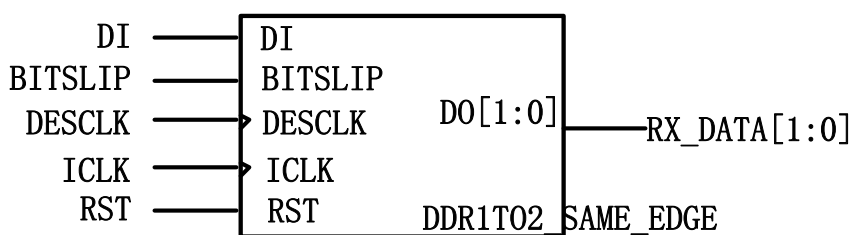


图 2-35 DDR1TO2_SAME_EDGE 功能图

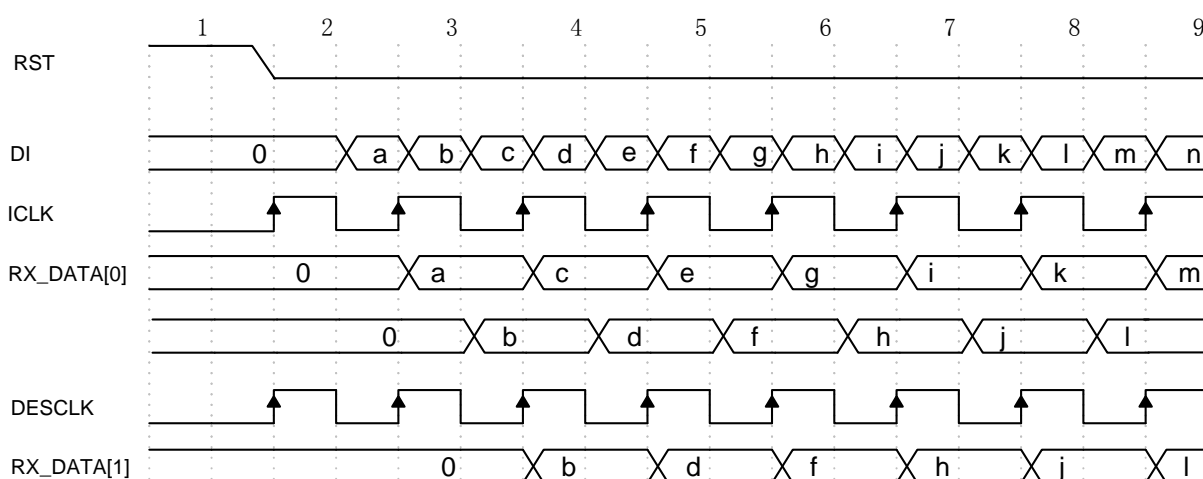


图 2-36 DDR1TO2_SAME_EDGE 时序图

DDR1TO2_SAME_PIPELINED

当输入逻辑配置为 DDR1TO2_SAME_PIPELINED 模式时，其功能图可简化为下图。

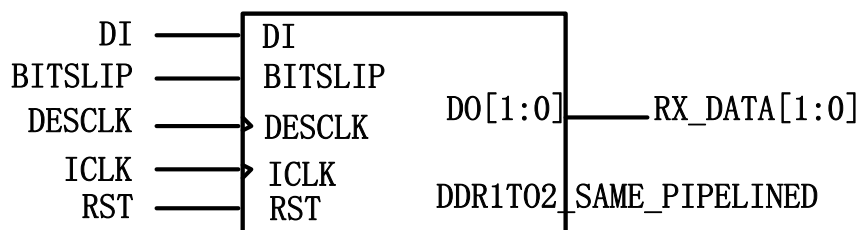


图 2-37 DDR1TO2_SAMEPIPELINE 功能图

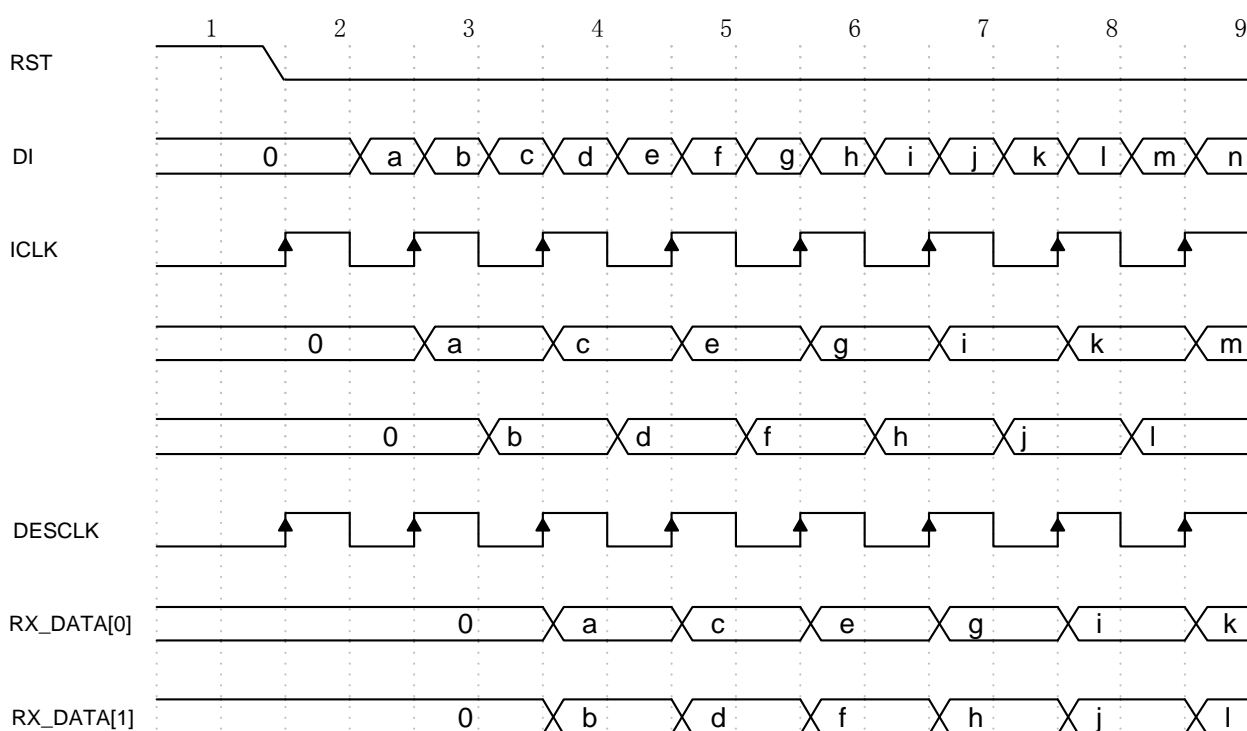


图 2-38 DDR1TO2_SAMEPIPELINE 时序图

DDR1TO4

当输入逻辑配置为 DDR1TO4 模式时，其功能图可简化为下图。

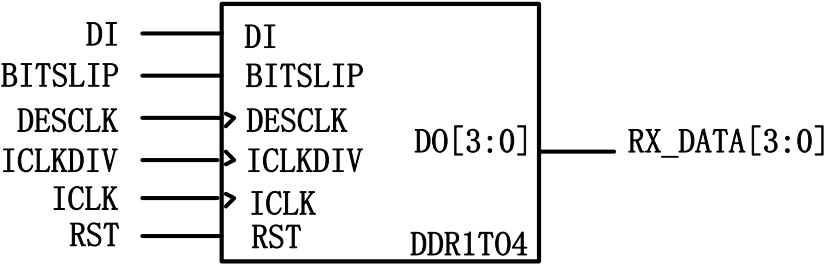


图 2-39 DDR1TO4 功能图

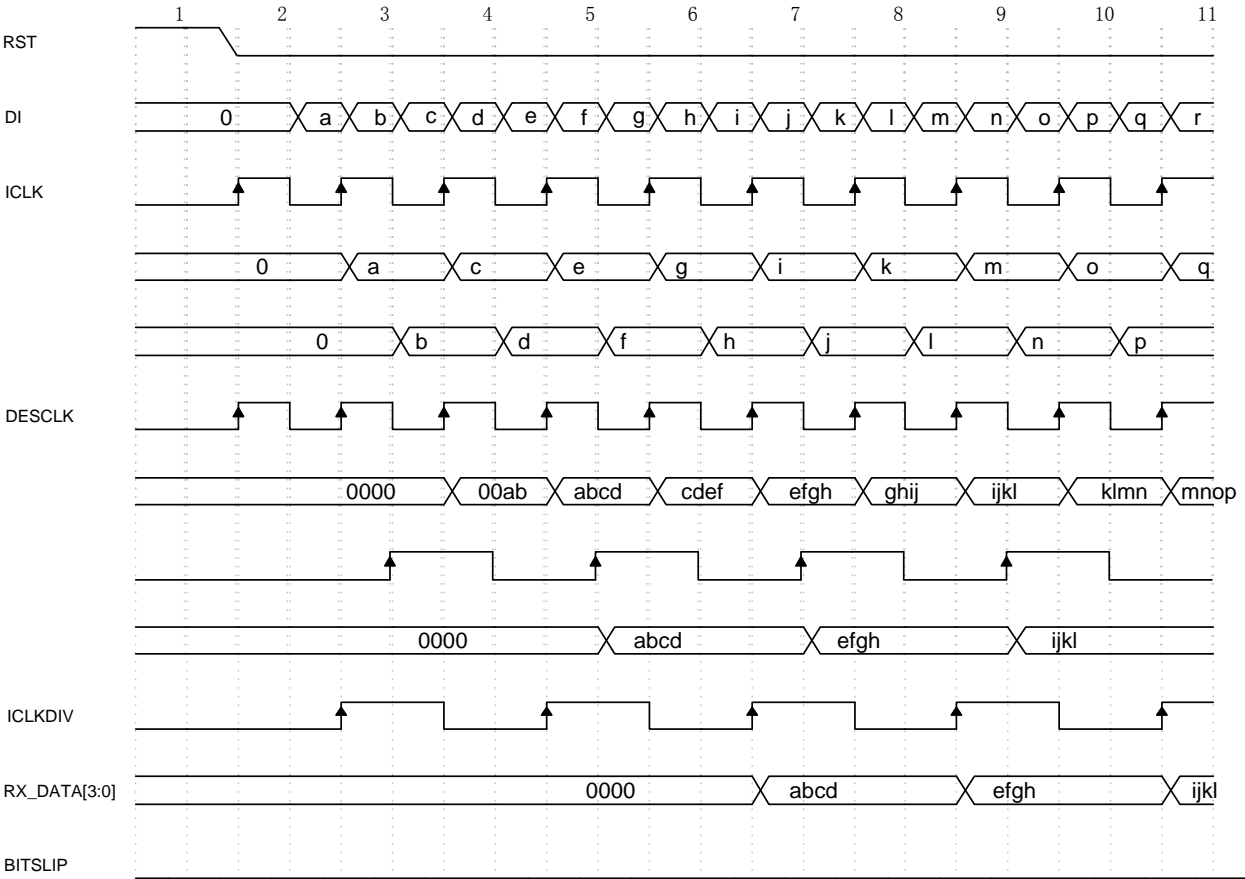


图 2-40 DDR1TO4 时序图

DDR1TO6

当输入逻辑配置为 DDR1TO6 模式时，其功能图可简化为下图。

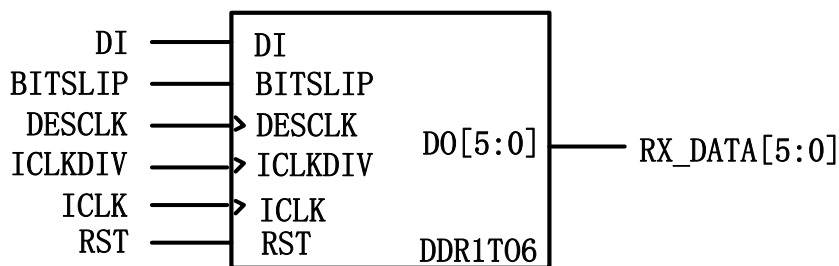


图 2-41 DDR1TO6 功能图

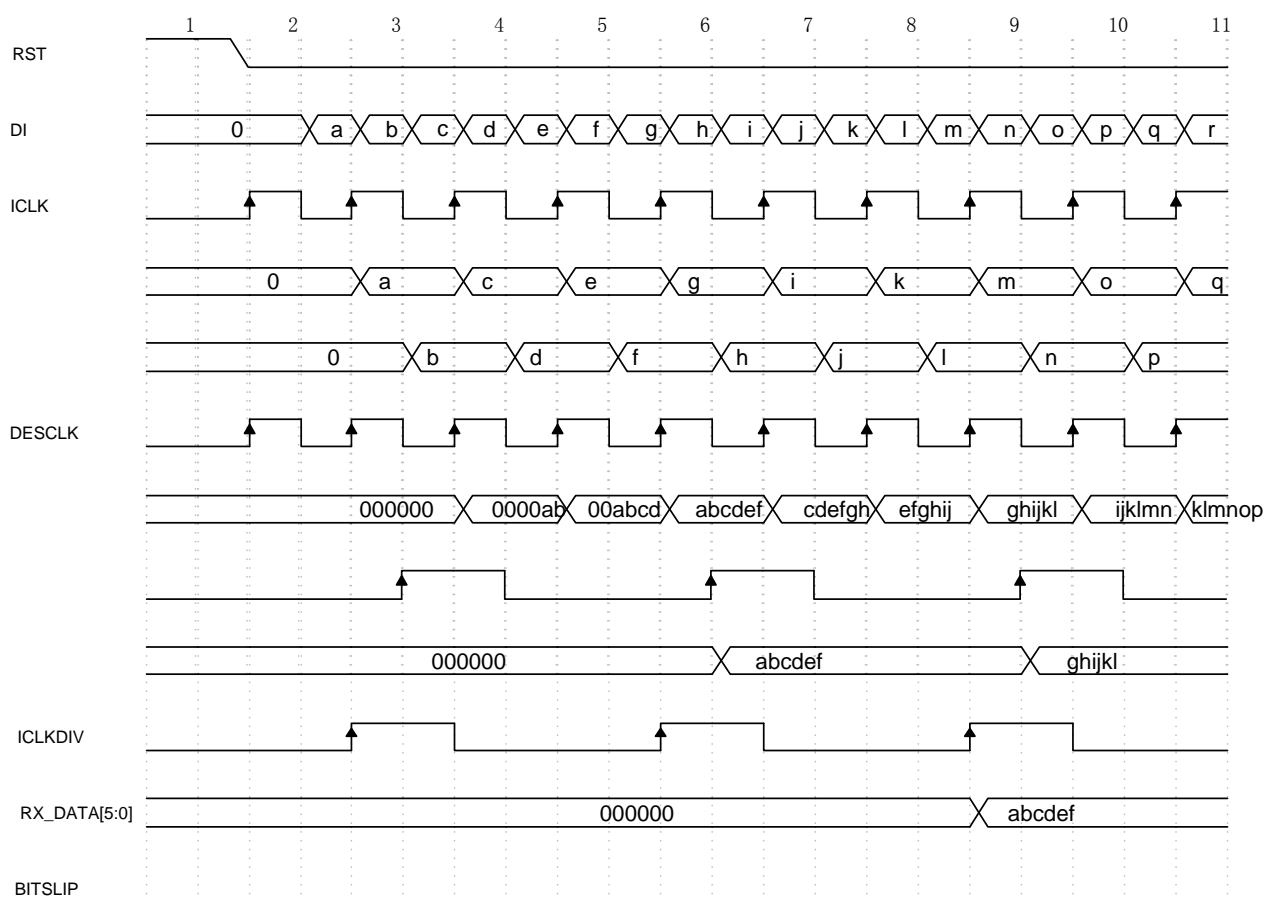


图 2-42 DDR1TO6 时序图

DDR1TO8

当输入逻辑配置为 DDR1TO8 模式时，其功能图可简化为下图。

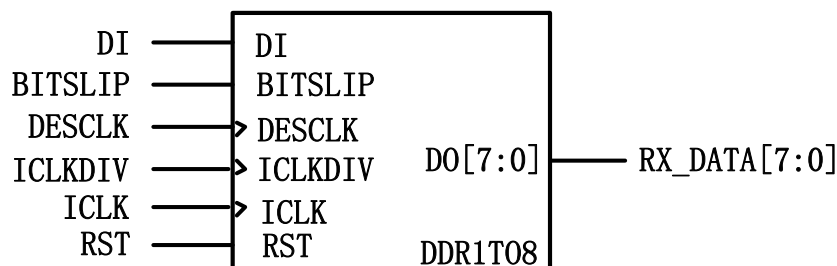


图 2-43 DDR1TO8 功能图

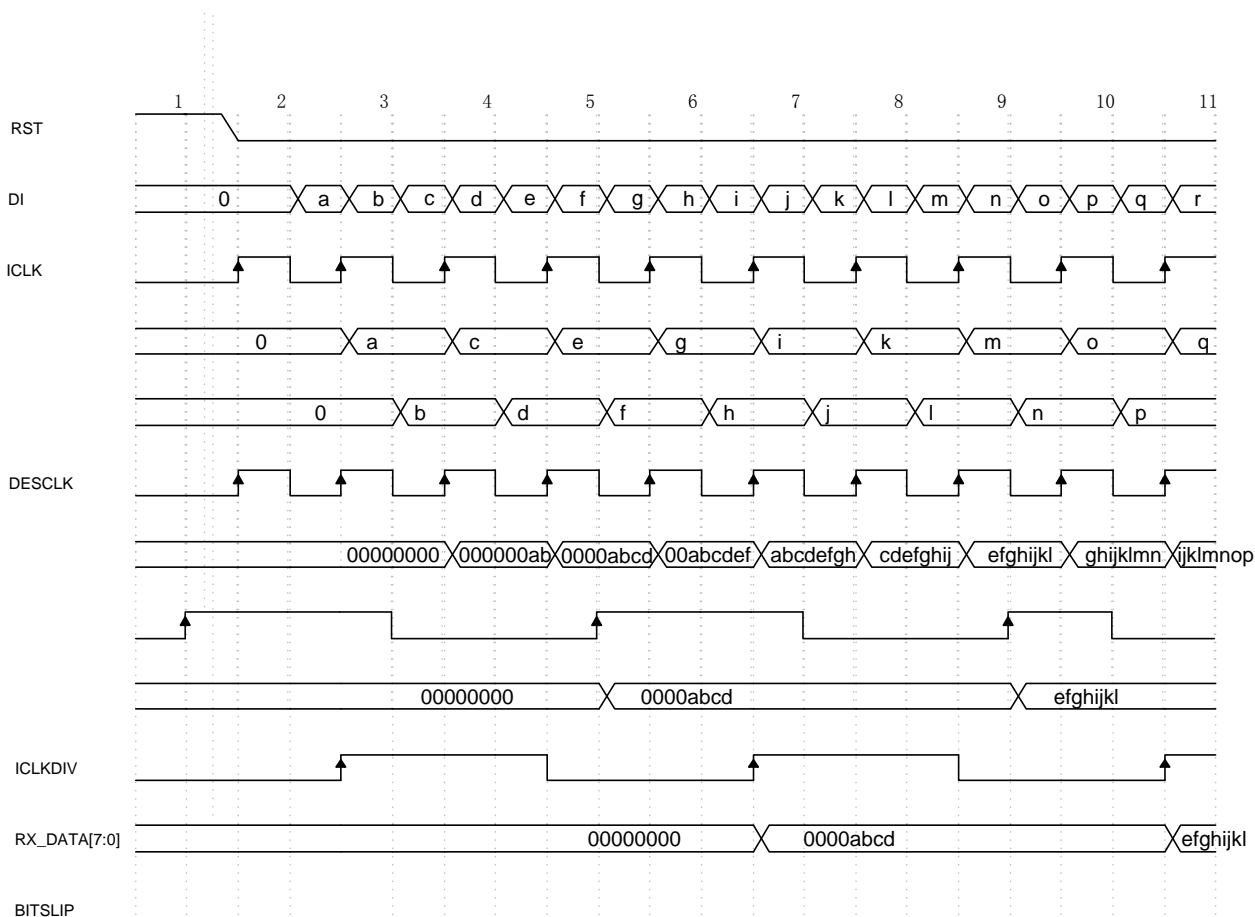


图 2-44 DDR1TO8 时序图

DDR1TO10

当输入逻辑配置为 DDR1TO10 模式时，需要例化两个 GTP，GTP_ISERDES_INST0 参数 CASCADE_MODE 设置为“MASTER”，GTP_ISERDES_INST1 参数 CASCADE_MODE 设置为“SLAVE”，其功能图可简化为下图。

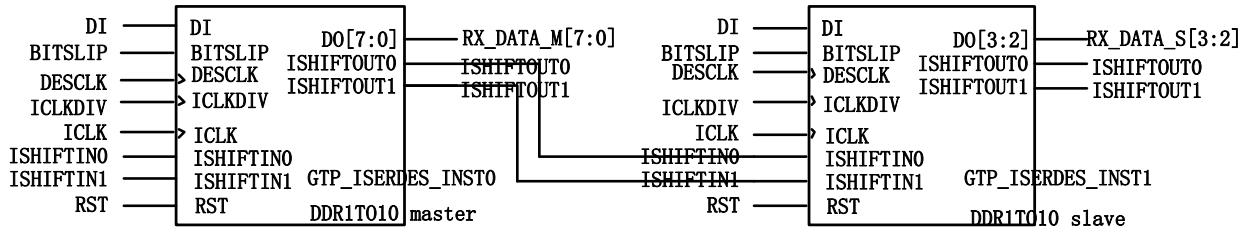
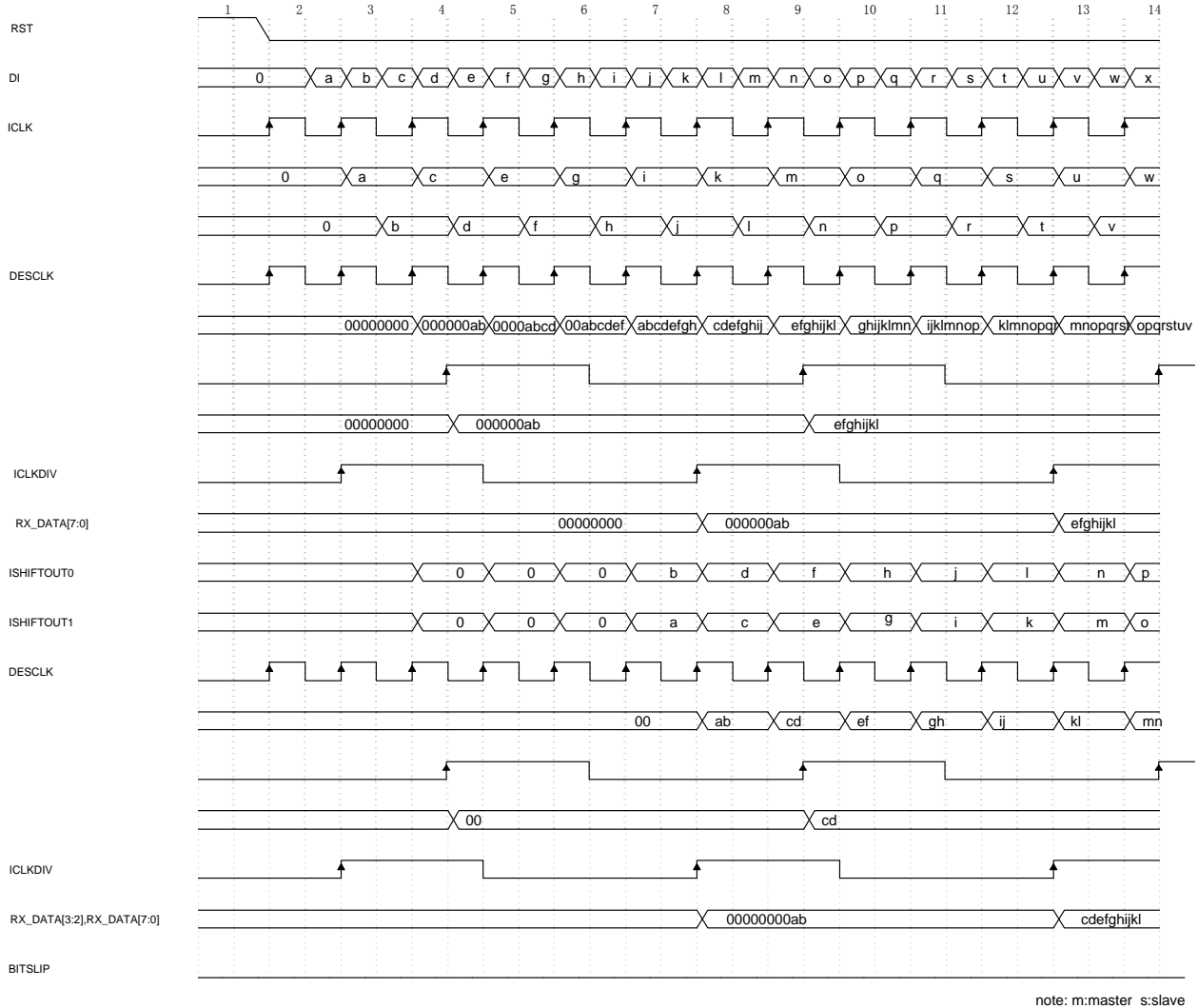


图 2-45 DDR1TO10 功能图



note: m:master s:slave

图 2-46 DDR1TO10 时序图

DDR1TO14

当输入逻辑配置为 DDR1TO14 模式时，需要例化两个 GTP，GTP_ISERDES_INST0 参数 CASCADE_MODE 设置为“MASTER”，GTP_ISERDES_INST1 参数 CASCADE_MODE 设置为“SLAVE”，其功能图可简化为下图。

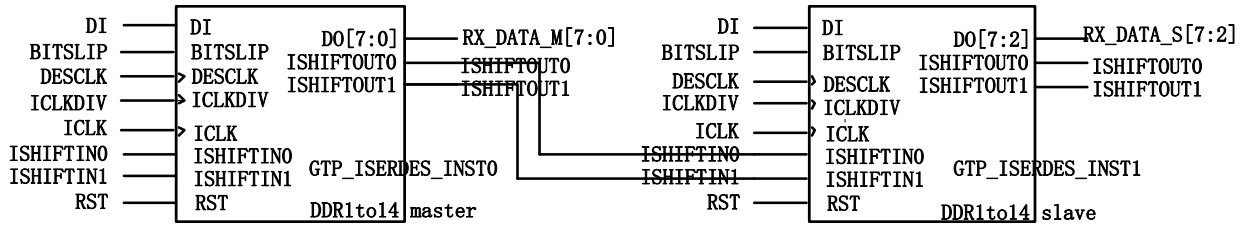


图 2-47 DDR1TO14 功能图

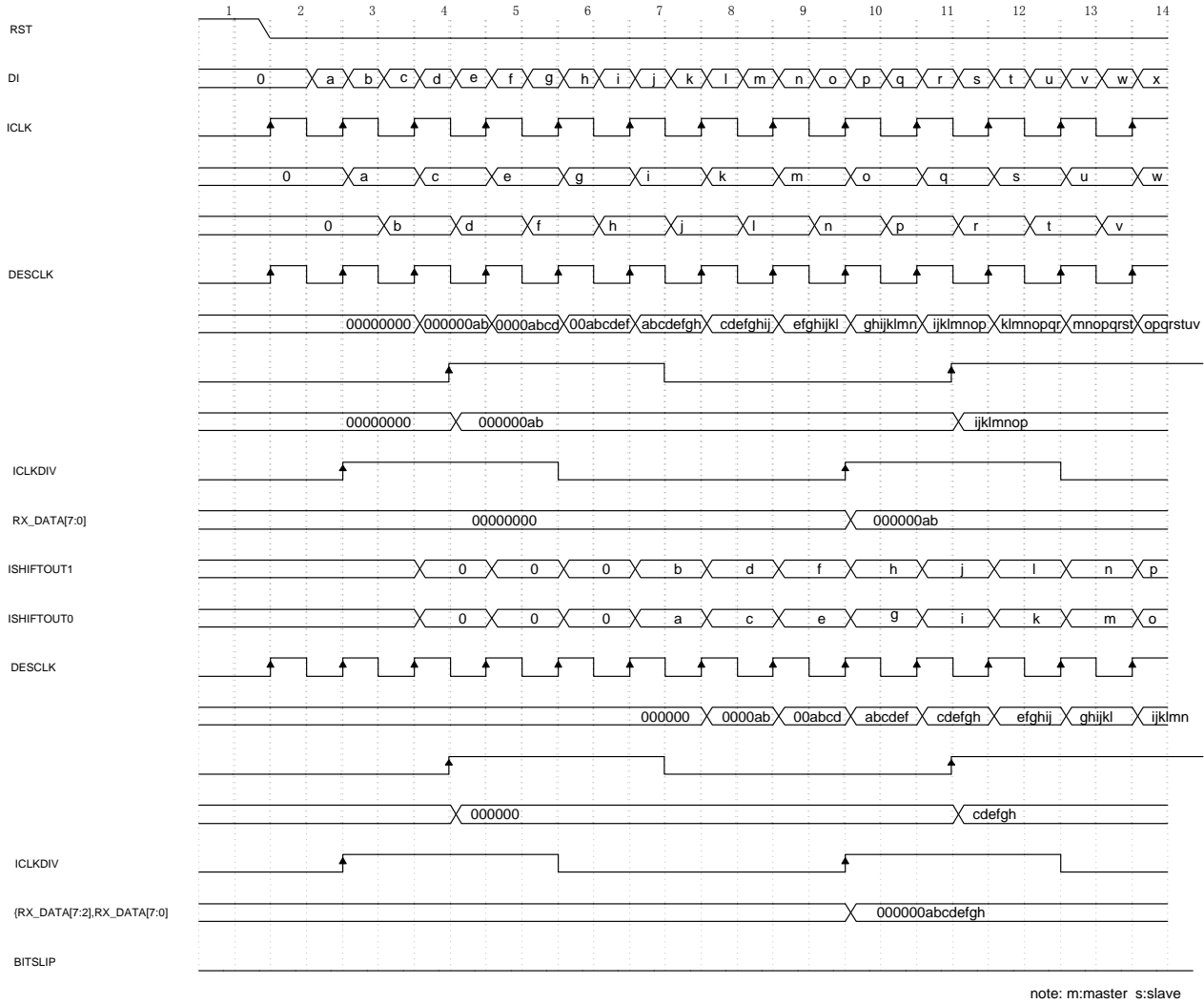


图 2-48 DDR1TO14 时序图

HMDDR1TO4

当输入逻辑配置为 HMDDR1TO4 模式时，其功能图可简化为下图。

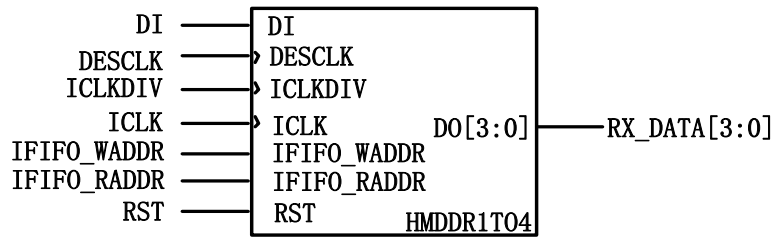


图 2-49 HMDDR1TO4 功能图

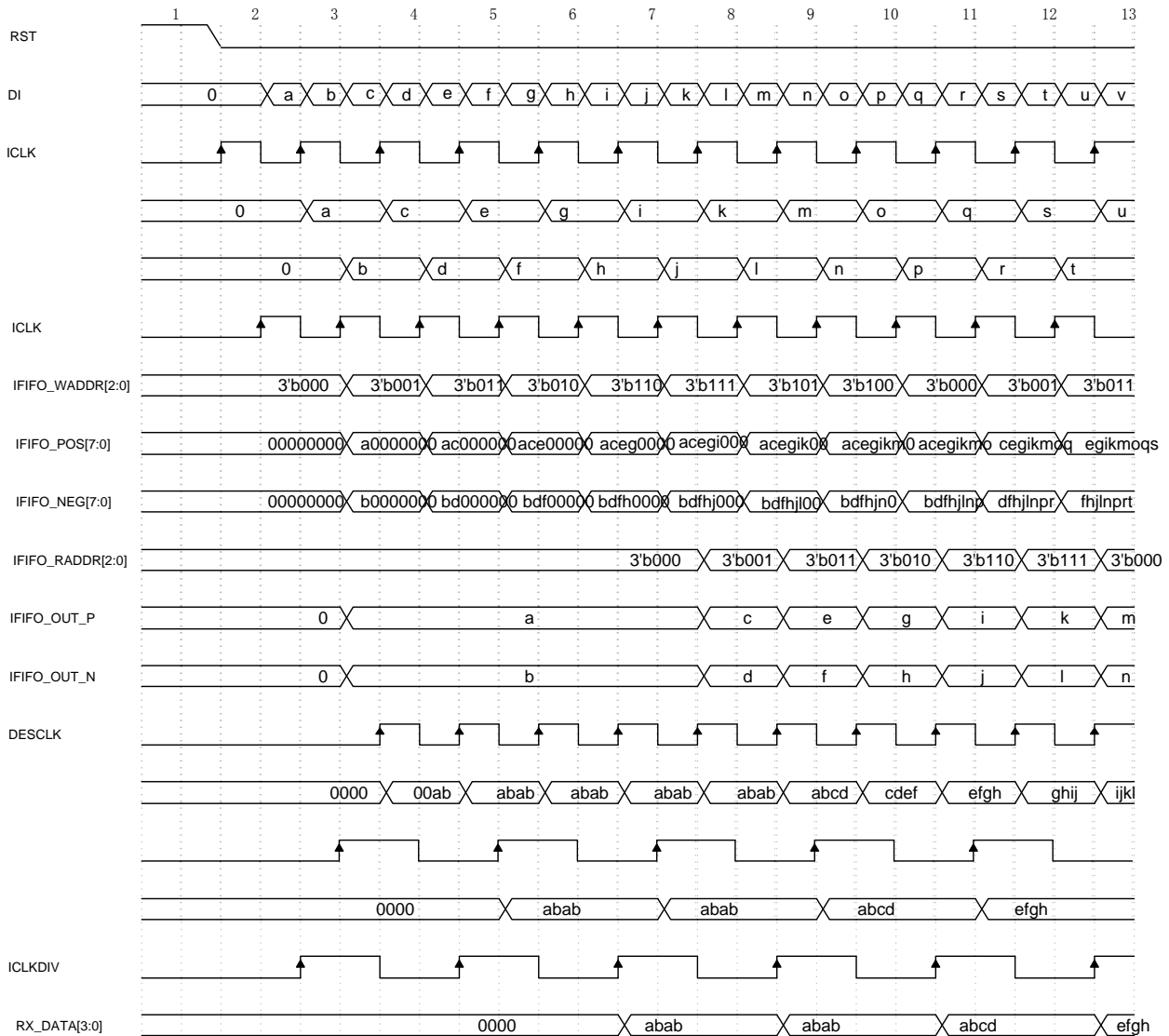


图 2-50 HMDDR1TO4 时序图

HMDDR1TO8

当输入逻辑配置为 HMDDR1TO8 模式时，其功能图可简化为下图。

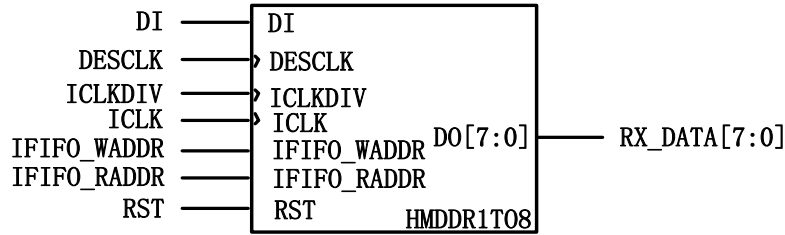


图 2-51 HMDDR1TO8 功能图

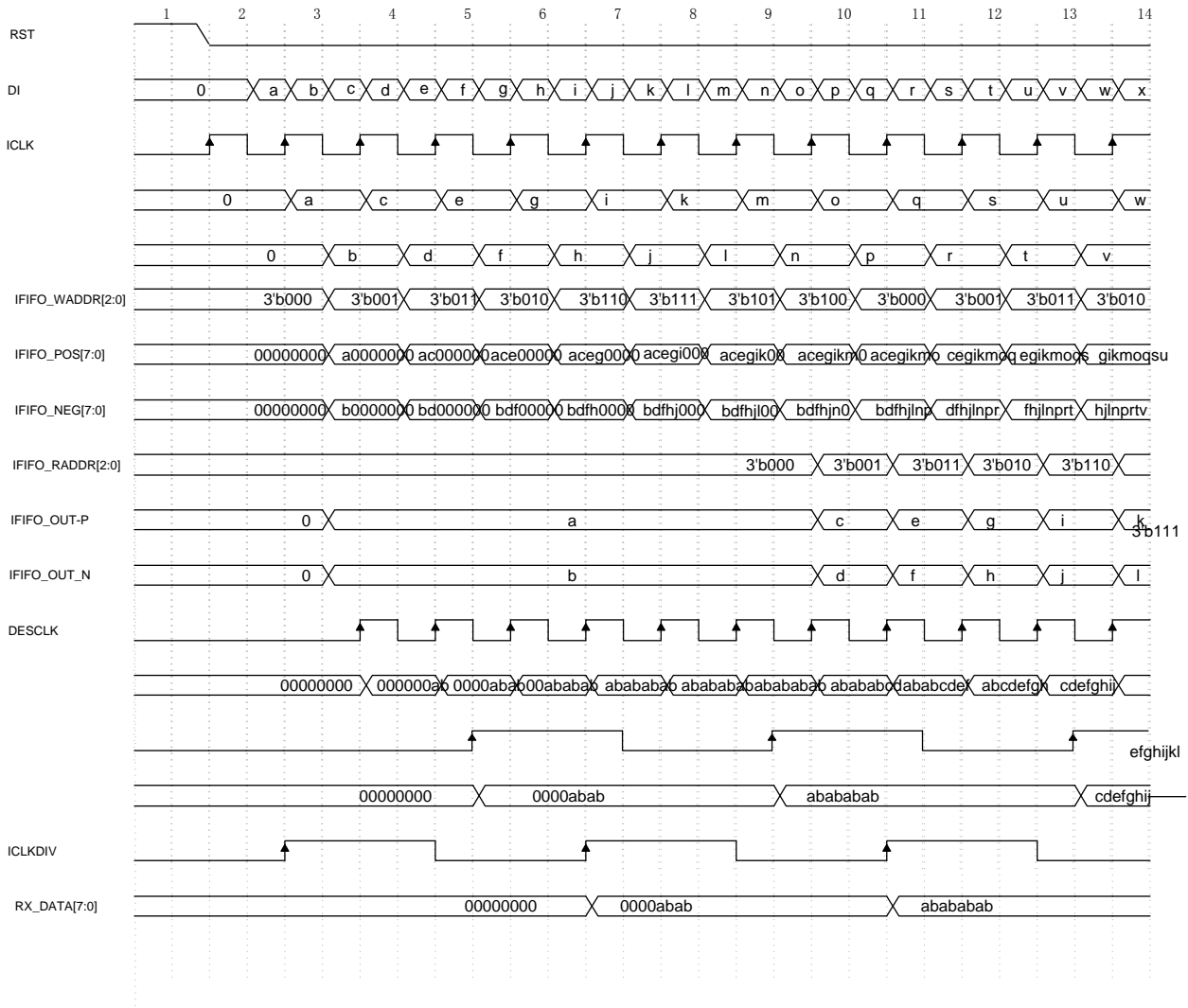


图 2-52 HMDDR1TO8 时序图

LMDDR1TO4

当输入逻辑配置为 LMDDR1TO4 模式时，其功能图可简化为下图。

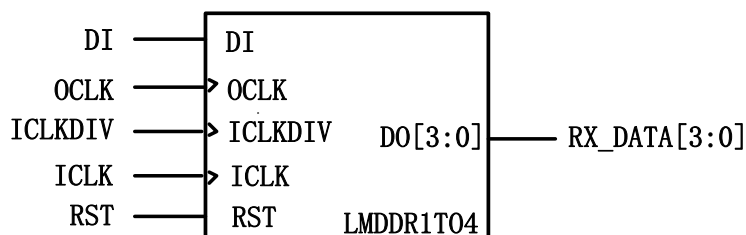


图 2-53 LMDDR1TO4 功能图

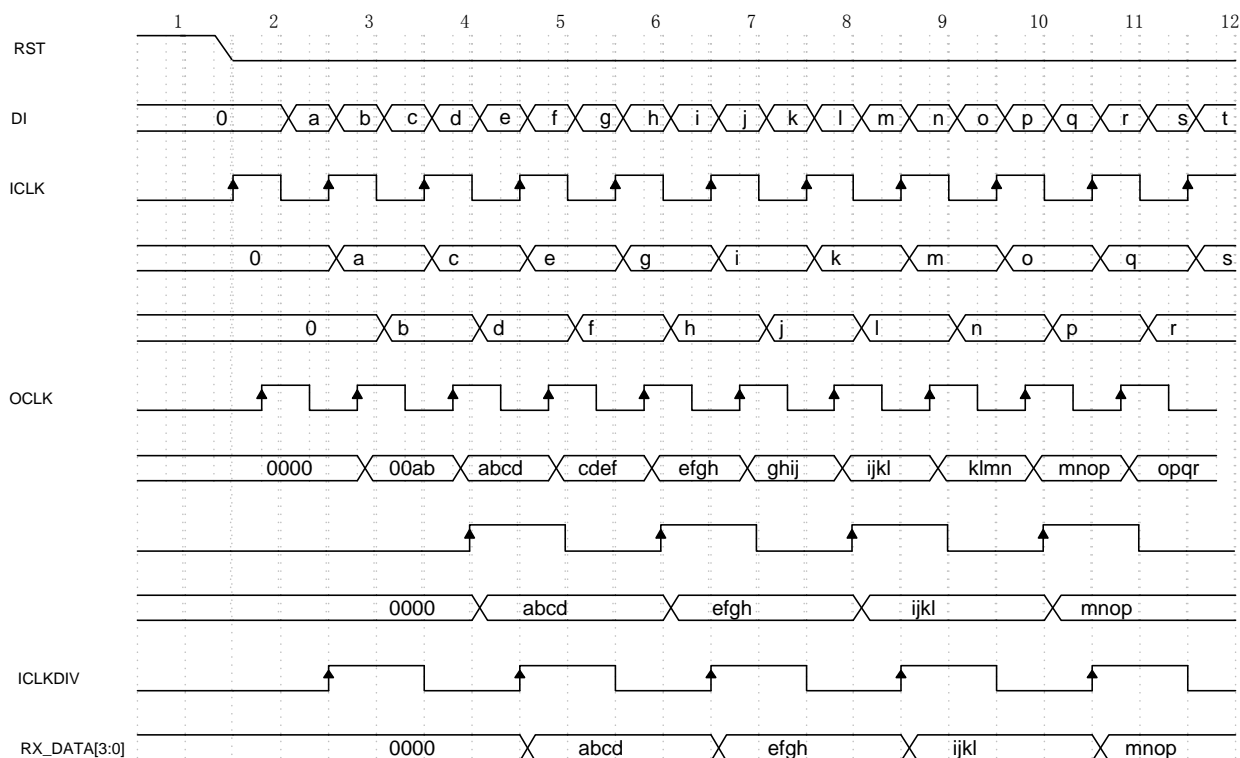


图 2-54 LMDDR1TO4 时序图

LMDDR1TO8

当输入逻辑配置为 LMDDR1TO4 模式时，其功能图可简化为下图。

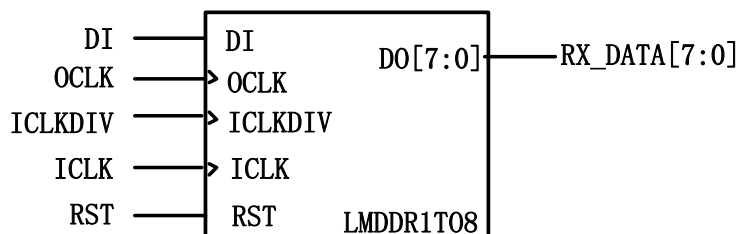


图 2-55 LMDDR1TO8 功能图

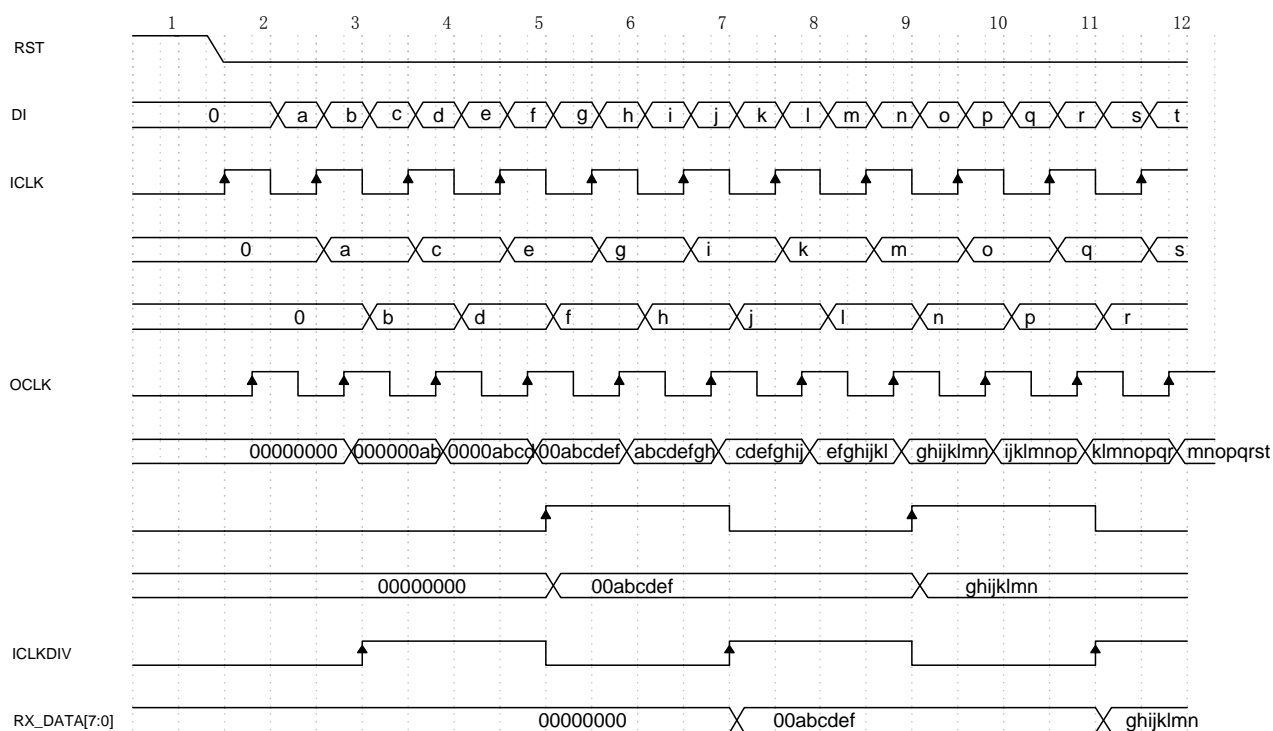


图 2-56 LMDDR1TO8 时序图

OVERSAMPLE

当输入逻辑配置为 OVERSAMPLE 模式时，其功能图可简化为下图。

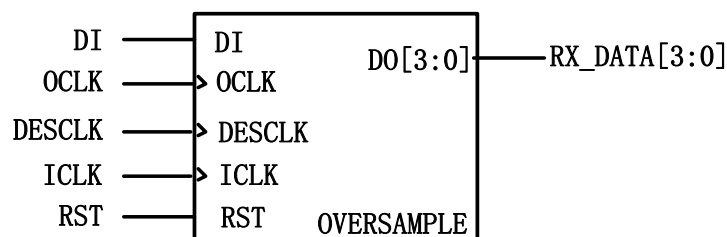


图 2-57 OVERSAMPLE 功能图

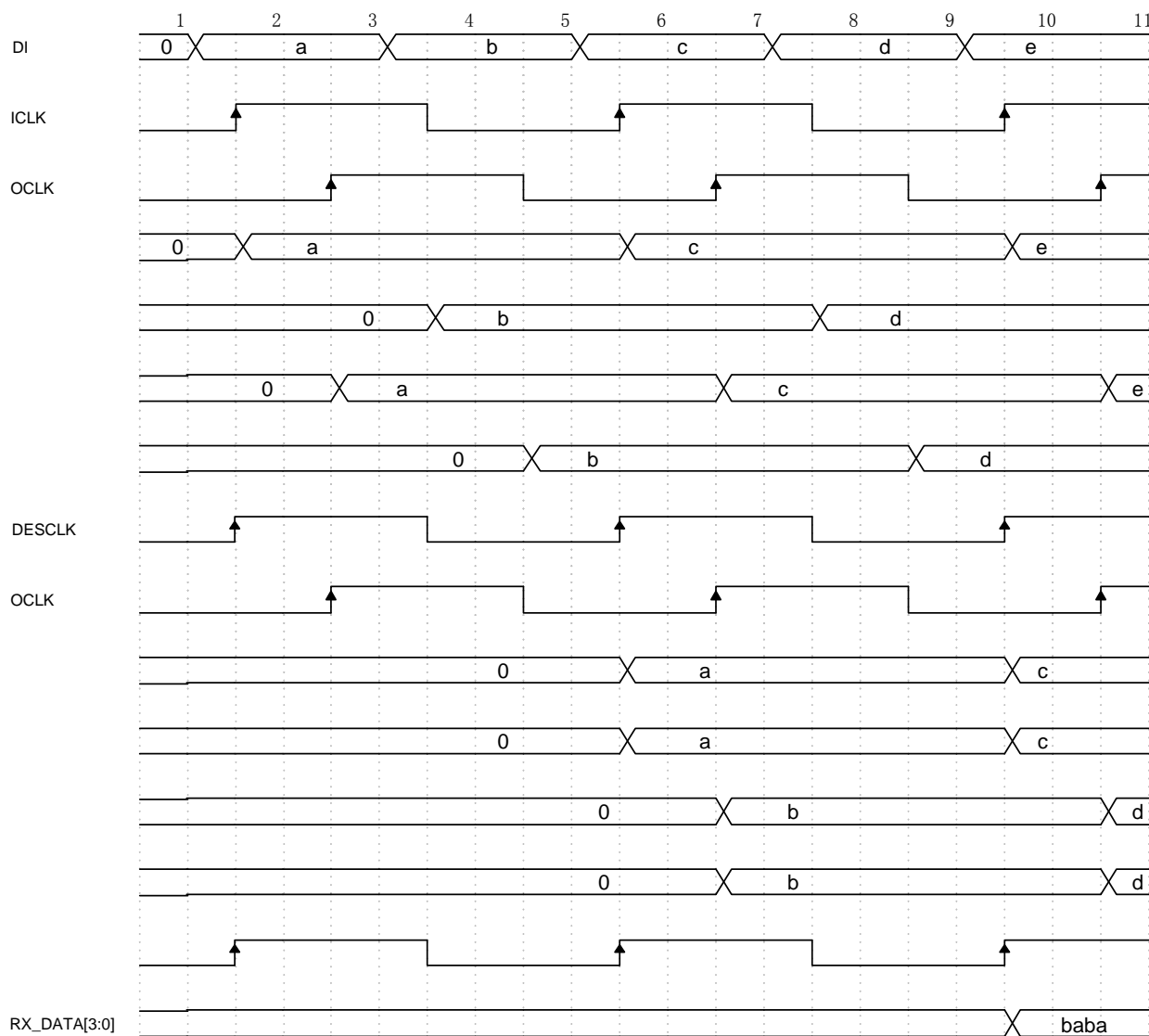


图 2-58 OVERSAMPLE 时序图

如上图所示，采用 4 个相位差为 90 度的时钟信号，分别对输入数据 **di** 进行采样，将采样结果 **rx_data[3:0]** 送到内部做进一步处理。

2.3.3 输出逻辑

IOL 的输出逻辑用来处理发送的高速数据，实现将高速并行数据转换为串行数据。为了实现 **IOL** 中并串转换功能，PDS 提供了 **GTP_OSERDES_E2** 原语，**GTP_OSERDES_E2** 数据输出转换模块支持 **ODFF**、**OLATCH**、**SDR2TO1**、**SDR3TO1**、**SDR4TO1**、**SDR5TO1**、**SDR6TO1**、**SDR7TO1**、**SDR8TO1**、**DDR2TO1_SAME_EDGE**、**DDR2TO1_OPPOSITE_EDGE**、**DDR4TO1**、**DDR6TO1**、**DDR8TO1**、**DDR10TO1**、**DDR14TO1**、**HMSDR4TO1**、**HMSDR8TO1** 模式的速率转换。其结构框图如下所示：

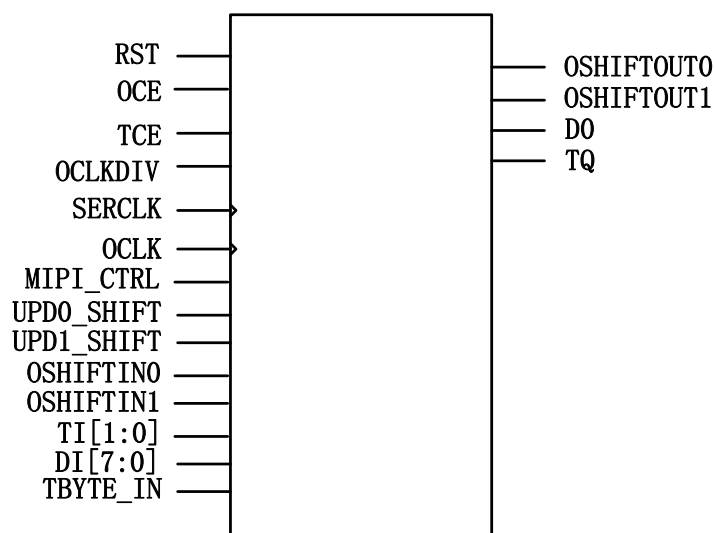


图 2-59 GTP_OSERDES_E2 结构图

GTP_OSERDES_E2 Verilog 例化如下：

```
GTP_OSERDES_E2 #
(
    .GRS_EN ( "TRUE" ),
    .OSERDES_MODE ( "SDR4T01" ),
    .TSERDES_EN ( "FALSE" ),
    .UPD0_SHIFT_EN ( "FALSE" ),
    .UPD1_SHIFT_EN ( "FALSE" ),
    .INIT_SET (2'b00),
    .GRS_TYPE_DQ ( "RESET" ),
    .LRS_TYPE_DQ0 ( "ASYNC_RESET" ),
    .LRS_TYPE_DQ1 ( "ASYNC_RESET" ),
    .LRS_TYPE_DQ2 ( "ASYNC_RESET" ),
    .LRS_TYPE_DQ3 ( "ASYNC_RESET" ),
    .GRS_TYPE_TQ ( "RESET" ),
    .LRS_TYPE_TQ0 ( "ASYNC_RESET" ),
    .LRS_TYPE_TQ1 ( "ASYNC_RESET" ),
    .LRS_TYPE_TQ2 ( "ASYNC_RESET" ),
    .LRS_TYPE_TQ3 ( "ASYNC_RESET" ),
    .TRI_EN ( "FALSE" ),
```



```
. TBYTE_EN ( "FALSE" ),  
. MIPI_EN ( "FALSE" ),  
. OCASCADE_EN ( "FALSE" )  
) GTP_OSERDES_E2_INST (  
. RST (RST),  
. OCE (OCE),  
. TCE (TCE),  
. OCLKDIV (OCLKDIV),  
. SERCLK (SERCLK),  
. OCLK (OCLK),  
. MIPI_CTRL (MIPI_CTRL),  
. UPD0_SHIFT (UPD0_SHIFT),  
. UPD1_SHIFT (UPD1_SHIFT),  
. OSHIFTINO (OSHOFTINO),  
. OSHIFTIN1 (OSHOFTIN1),  
. DI (DI),  
. TI (TI),  
. TBYTE_IN (TBYTE_IN),  
. OSHIFTOUT0 (OSHOFTOUT0),  
. OSHIFTOUT1 (OSHOFTOUT1),  
. DO (DO),  
. TQ (TQ)  
);
```

值得注意的是,GTP_OSERDES_E2 只使用为 OSERDES 模式,需要把 GTP_OSERDES_E2 的参数 TSERDES_EN 设置为“FLASE”。

当 OSERDES 和 TSERDES 配合使用时,需要把 GTP_OSERDES_E2 例化两次,其中一个把 GTP_OSERDES_E2 参数 TSERDES_EN 设置为“FLASE”作为 OSERDES,另一个 GTP_OSERDES_E2 参数 TSERDES_EN 设置为“TRUE”作为 TSERDES,TSERDES 用于产生三态控制信号,对 OSERDES 产生的数据信号进行处理。

针对高速输出应用,OSERDES 为 SDR 2TO1 时,TSERDES 为 SDR 2TO1; OSERDES

为 SDR 4TO1 时, TSERDES 为 SDR 4TO1; OSERDES 为 SDR 8TO1 时, TSERDES 为 SDR 8TO1; OSERDES 为 DDR 4TO1 时, TSERDES 为 DDR 4TO1; OSERDES 为 DDR 8TO1 时, TSERDES 为 DDR 8TO1。针对 MEMORY 应用, OSERDES 为 SDR 4TO1 时, TSERDES 为 SDR 4TO1; OSERDES 为 SDR 8TO1 时, TSERDES 为 SDR 8TO1; 其余 mode 不支持 OSERDES 和 TSERDES 配合使用。

GTP_OSERDES_E2 不能单独设置为 TSERDES 使用。

GTP_OSERDES_E2 通常跟 GTP_OUTBUF, GTP_OUTBUFDS, GTP_OUTBUFCO, GTP_OUTBUFTCO, GTP_OUTBUFTDS 和 GTP_OUTBUFT 一起使用。

表 2-48 GTP_OSERDES_E2 参数说明

参数名称	类型	有效值	默认值	说明
OSERDES_MODE	String	“SDR2TO1” “SDR3TO1” “SDR4TO1” “SDR5TO1” “SDR6TO1” “SDR7TO1” “SDR8TO1” “OLATCH” “ODFF” “DDR2TO1_SAME_EDGE” “DDR2TO1_OPPOSITE_EDGE” “DDR4TO1” “DDR6TO1” “DDR8TO1” “DDR10TO1” “DDR14TO1” “HMSDR4TO1” “HMSDR8TO1”	SDR4TO1	“SDR2TO1”: Generic SDR 2:1 “SDR3TO1”: Generic SDR 3:1 “SDR4TO1”: Generic SDR 4:1 “SDR5TO1”: Generic SDR 5:1 “SDR6TO1”: Generic SDR 6:1 “SDR7TO1”: Generic SDR 7:1 “SDR8TO1”: Generic SDR 8:1 “OLATCH”: 锁存器输出模式 “ODFF”: 寄存器输出模式 “DDR2TO1_OPPOSITE_EDGE”: Generic DDR 2:1 “DDR2TO1_SAME_EDGE”: Generic DDR 2:1 “DDR4TO1”: Generic DDR 4:1 “DDR6TO1”: Generic DDR 6:1 “DDR8TO1”: Generic DDR 8:1 “DDR10TO1”: Generic DDR 10:1 “DDR14TO1”: Generic DDR 14:1 “HMSDR4TO1”: High-Speed Memory DDR 4:1 “HMSDR8TO1”: High-Speed Memory DDR 8:1
TSERDES_EN	String	“TRUE” “FALSE”	“FALSE”	*注: oserdes 和 tserdes 配合使用时: oserdes 的 TSERDES_EN = “FALSE”, tserdes 的 TSERDES_EN = “TRUE”
GRS_EN	String	“TRUE” “FALSE”	“TRUE”	全局复位/置位使能
UPD0_SHIFT_EN	String	“FALSE” “TRUE”	“FALSE”	OLOGIC 中 upd0 位置控制使能
UPD1_SHIFT_EN	String	“FALSE” “TRUE”	“FALSE”	OLOGIC 中 upd1 位置控制使能
INIT_SET[1:0]	Constant	2'b00, 2'b01, 2'b10, 2'b11	2'b00	OLOGIC 中 upd0、upd1 位置静态控制 2'b00: 默认位置;

参数名称	类型	有效值	默认值	说明
				2'b01:前移一个周期; 2'b10:前移两个周期; 2'b11:前移三个周期;
GRS_TYPE_DQ	String	“RESET” “SET”	“RESET”	OLOGIC 数据 gear 中、DFF0、DFF1、DFF2、DFF3、DFF4 全局复位结果;
LRS_TYPE_DQ0	String	“ASYNC_RESET” “ASYNC_SET” “SYNC_RESET” “SYNC_SET”	“ASYNC_RESET”	OLOGIC 数据 gear 中 DFF0、DFF4 本地复位/置位结果;
LRS_TYPE_DQ1	String	“ASYNC_RESET” “ASYNC_SET” “SYNC_RESET” “SYNC_SET”	“ASYNC_RESET”	OLOGIC 数据 gear 中 DFF1 本地复位/置位结果;
LRS_TYPE_DQ2	String	“ASYNC_RESET” “ASYNC_SET” “SYNC_RESET” “SYNC_SET”	“ASYNC_RESET”	OLOGIC 数据 gear 中 DFF2 本地复位/置位结果;
LRS_TYPE_DQ3	String	“ASYNC_RESET” “ASYNC_SET” “SYNC_RESET” “SYNC_SET”	“ASYNC_RESET”	OLOGIC 数据 gear 中 DFF3 本地复位/置位结果;
GRS_TYPE_TQ	String	“RESET” “SET”	“RESET”	OLOGIC 三态 gear 中 DFF0、DFF1、DFF2、DFF3、DFF4 全局复位结果;
LRS_TYPE_TQ0	String	“ASYNC_RESET” “ASYNC_SET” “SYNC_RESET” “SYNC_SET”	“ASYNC_RESET”	OLOGIC 三态 gear 中 DFF0 本地复位/置位结果;
LRS_TYPE_TQ1	String	“ASYNC_RESET” “ASYNC_SET” “SYNC_RESET” “SYNC_SET”	“ASYNC_RESET”	OLOGIC 三态 gear 中 DFF1 本地复位/置位结果;
LRS_TYPE_TQ2	String	“ASYNC_RESET” “ASYNC_SET” “SYNC_RESET” “SYNC_SET”	“ASYNC_RESET”	OLOGIC 三态 gear 中 DFF2 本地复位/置位结果;
LRS_TYPE_TQ3	String	“ASYNC_RESET” “ASYNC_SET” “SYNC_RESET” “SYNC_SET”	“ASYNC_RESET”	OLOGIC 三态 gear 中 DFF3 本地复位/置位结果;
TRI_EN	String	“FALSE” “TRUE”	“FALSE”	三态控制使能
TBYTE_EN	String	“FALSE” “TRUE”	“FALSE”	BYTE 控制使能
MIPI_EN	String	“FALSE” “TRUE”	“FALSE”	不支持 MIPI 应用, 需设置为“FALSE”
OCASCADE_EN	String	“FALSE” “TRUE”	“FALSE”	OSERDES 扩展使能

表 2-49 GTP_OSERDES_E2 端口说明

端口	方向	宽度	说明
RST	输入	1	本地复位信号

端口	方向	宽度	说明
OCE	输入	1	输出模块时钟使能信号
TCE	输入	1	三态模块时钟使能信号
OCLKDIV	输入	1	OLOGIC 低速时钟
SERCLK	输入	1	OLOGIC 串化时钟
OCLK	输入	1	OLOGIC 输出级高速时钟
MIPI_CTRL	输入	1	此端口为预留端口
UPD0_SHIFT	输入	1	OLOGIC 的 UPD0 位置移动
UPD1_SHIFT	输入	1	OLOGIC 的 UPD1 位置移动
OSHIFTIN0	输入	1	级联输入信号
OSHIFTIN1	输入	1	级联输入信号
DI	输入	8	并行输入数据信号
TI	输入	2	并行输入三态控制信号
TBYTE_IN	输入	1	可控制一个 byte 的三态控制输入信号
OSHIFTOUT0	输出	1	级联输出信号
OSHIFTOUT1	输出	1	级联输出信号
DO	输出	1	数据输出,低位先出
TQ	输出	1	三态控制输出

直接输出

下面介绍输出逻辑配置为直接输出模式，分为寄存器输出和锁存器输出。

ODFF

当输出逻辑配置为 ODFF 模式时，其功能图可简化为下图。

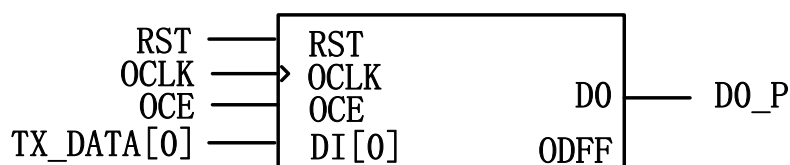


图 2-60 ODFF 功能图

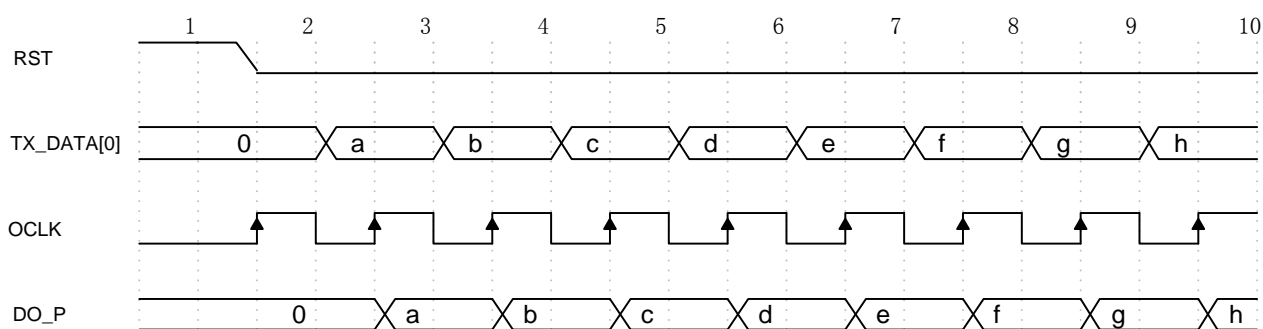


图 2-61 ODFD 时序图

OLATCH

当输出逻辑配置为 OLATCH 模式时，其功能图可简化为下图。

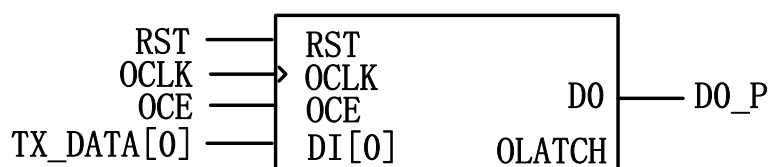


图 2-62 OLATCH 功能图

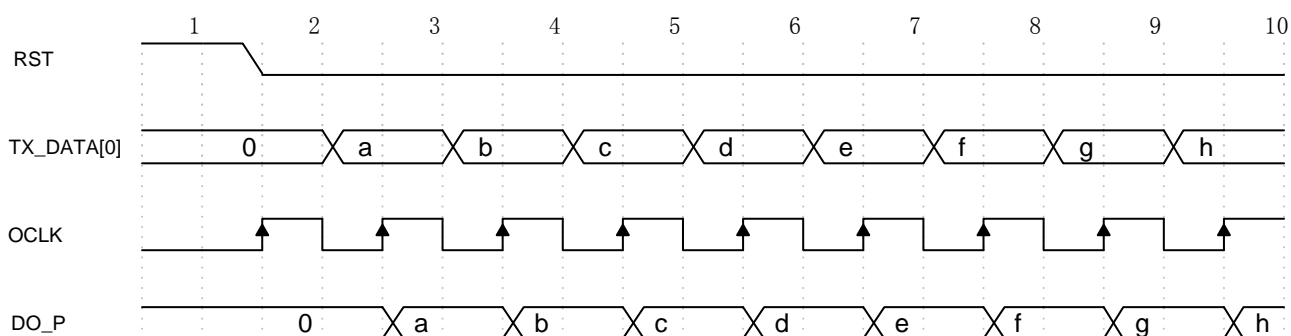


图 2-63 OLATCH 时序图

OSERDES

下面介绍输出逻辑配置为 OSERDES 的不同工作模式。

SDR2TO1

当输入逻辑配置为 SDR2TO1 模式时，其功能图可简化为下图。

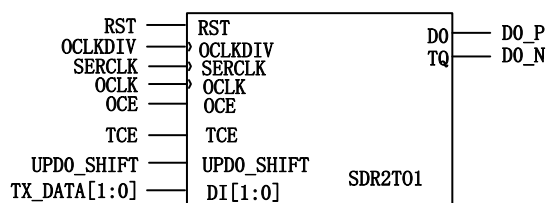


图 2-64 SDR2TO1 功能图

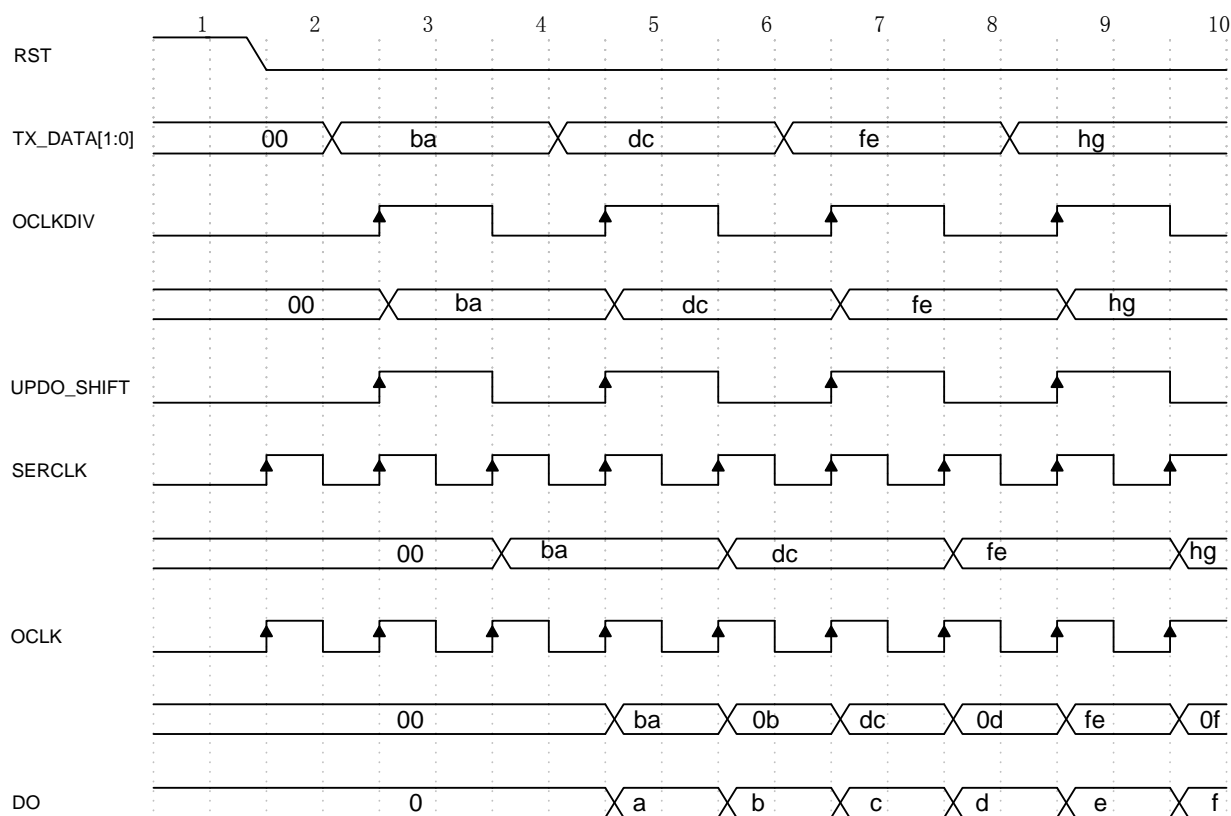


图 2-65 SDR2TO1 时序图

SDR3TO1

当输出逻辑配置为 SDR3TO1 模式时，其功能图可简化为下图。

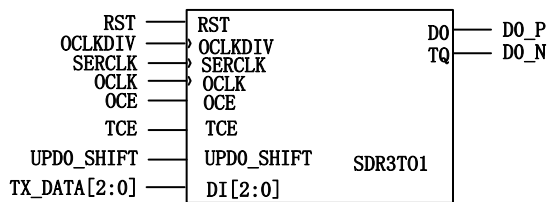


图 2-66 SDR3TO1 功能图

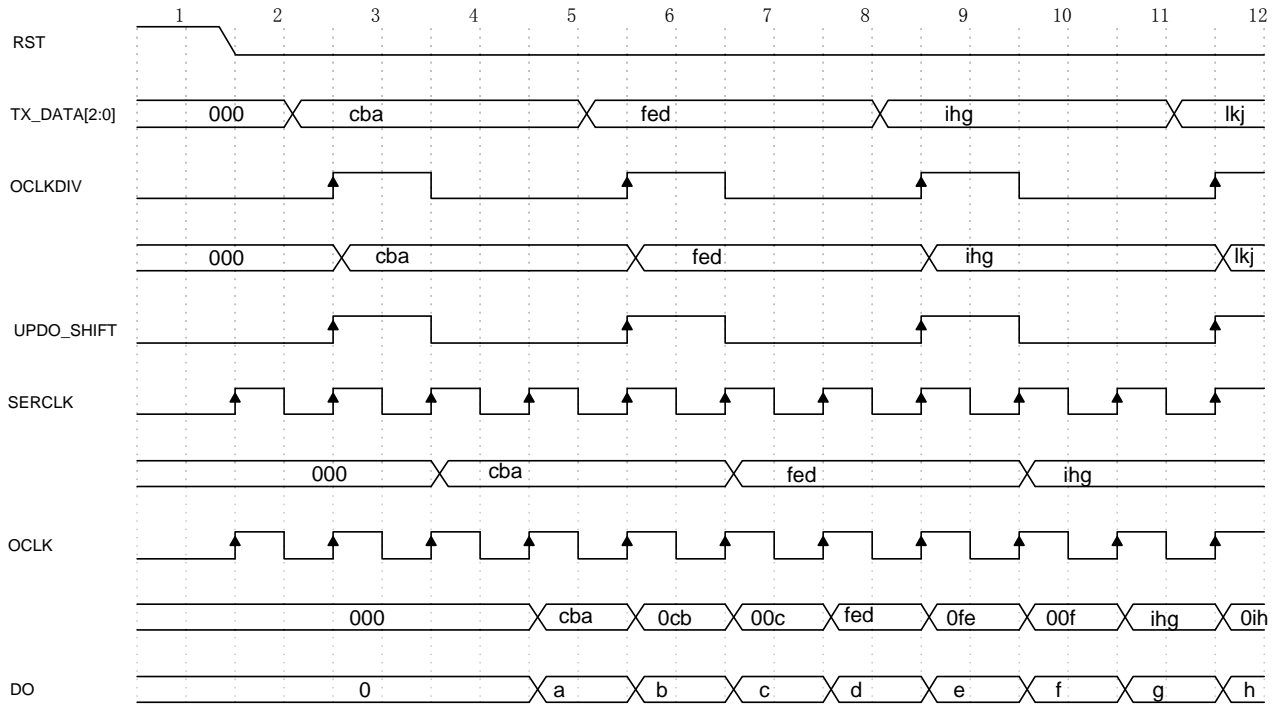


图 2-67 SDR3TO1 时序图

SDR4TO1

当输出逻辑配置为 SDR4TO1 模式时，其功能图可简化为下图。

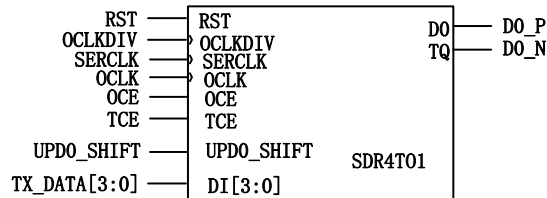


图 2-68 SDR4TO1 功能图

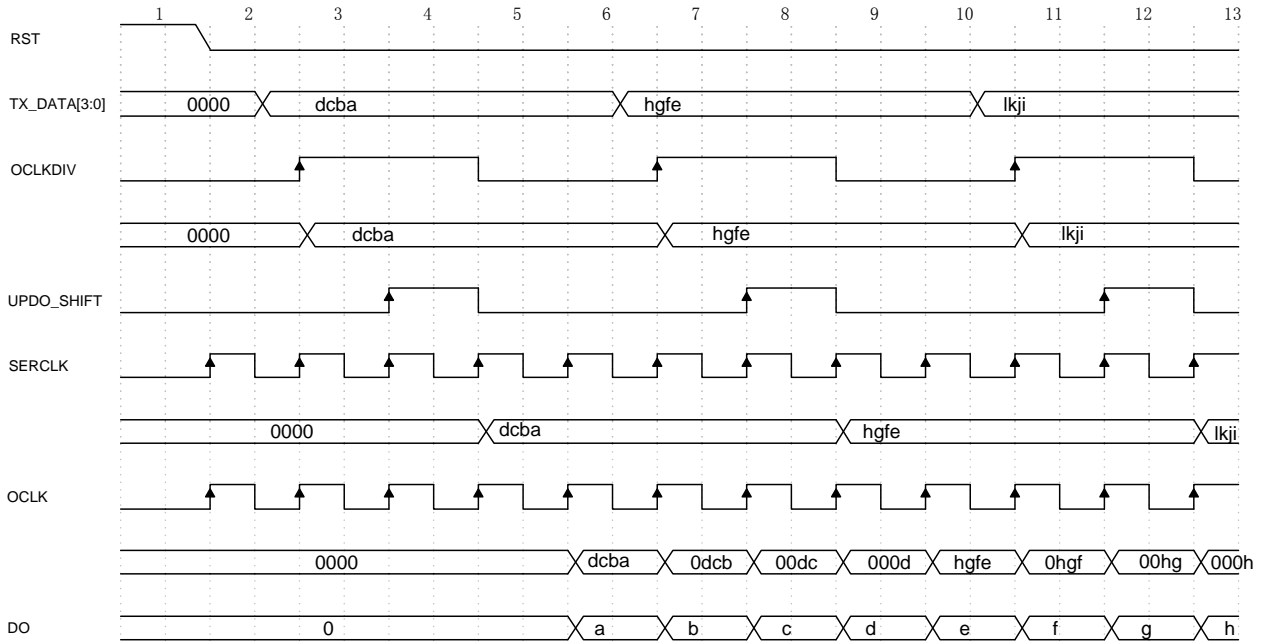


图 2-69 SDR4TO1 时序图

SDR5TO1

当输出逻辑配置为 SDR5TO1 模式时，其功能图可简化为下图。

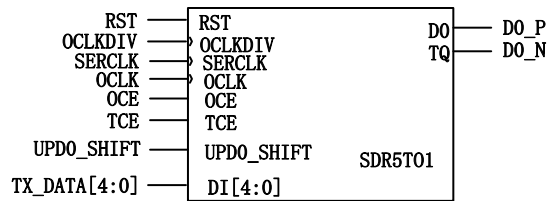


图 2-70 SDR5TO1 功能图

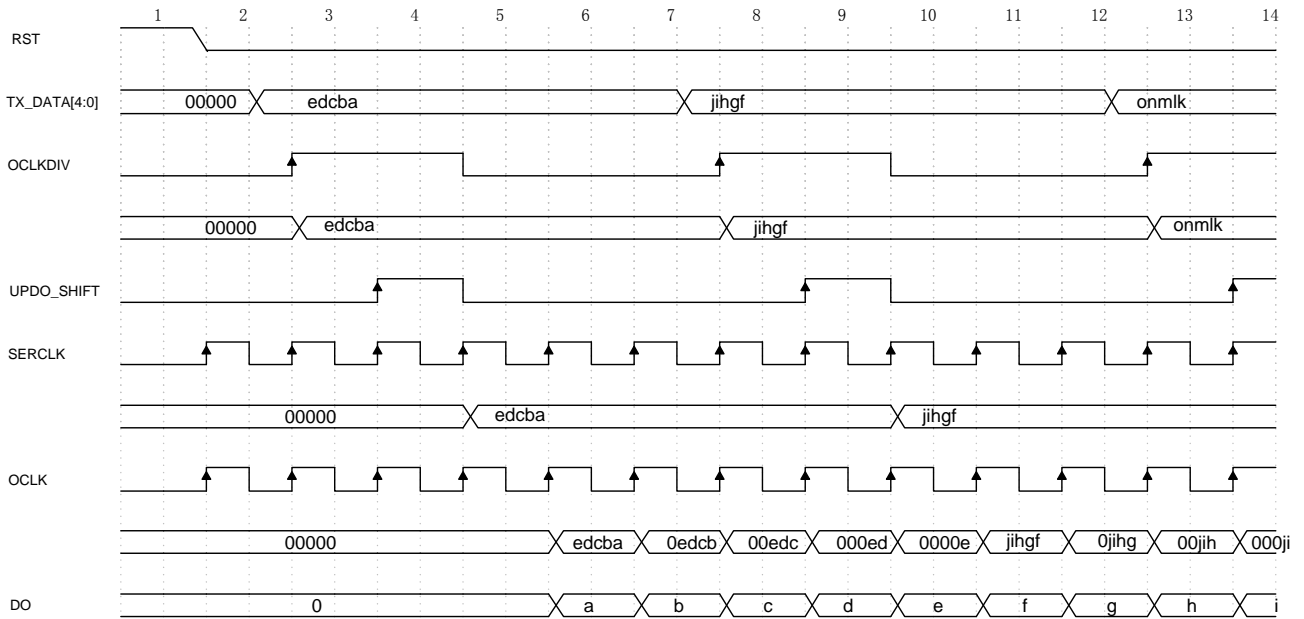


图 2-71 SDR5TO1 时序图

SDR6TO1

当输出逻辑配置为 SDR6TO1 模式时，其功能图可简化为下图。

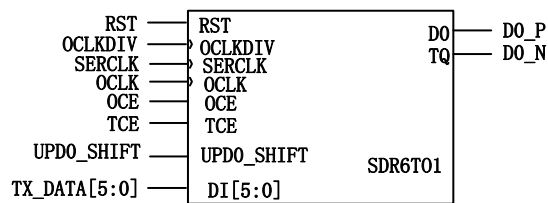


图 2-72 SDR6TO1 功能图

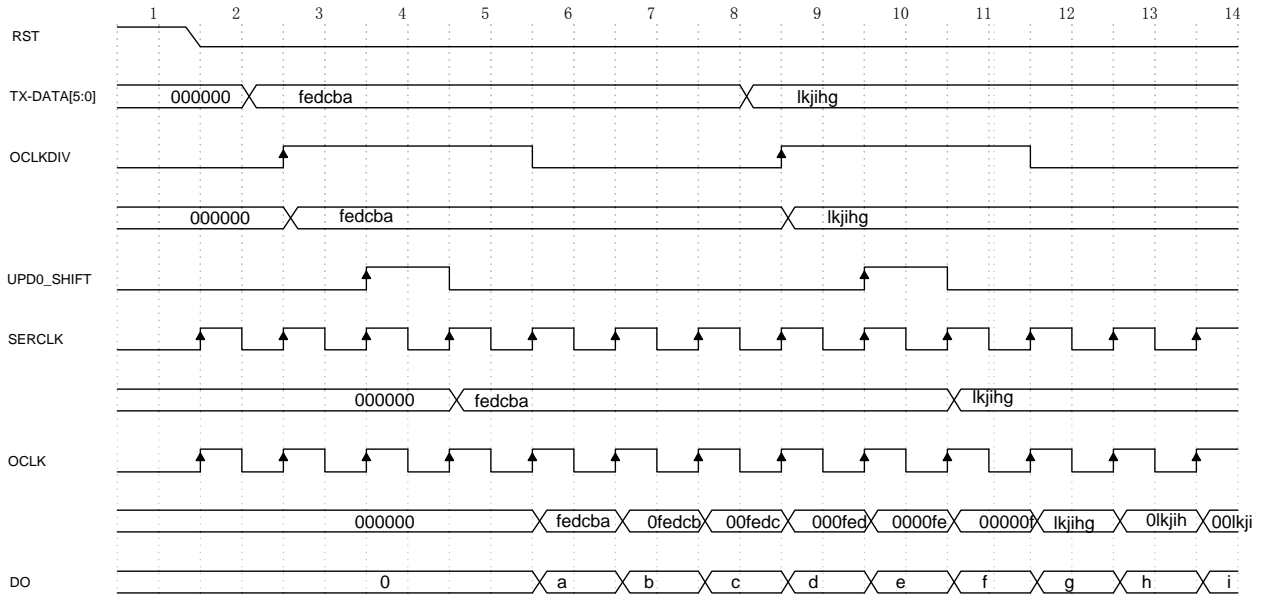


图 2-73 SDR6TO1 时序图

SDR7TO1

当输出逻辑配置为 SDR7TO1 模式时，其功能图可简化为下图。

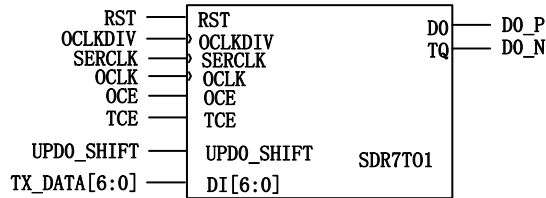


图 2-74 SDR7TO1 功能图

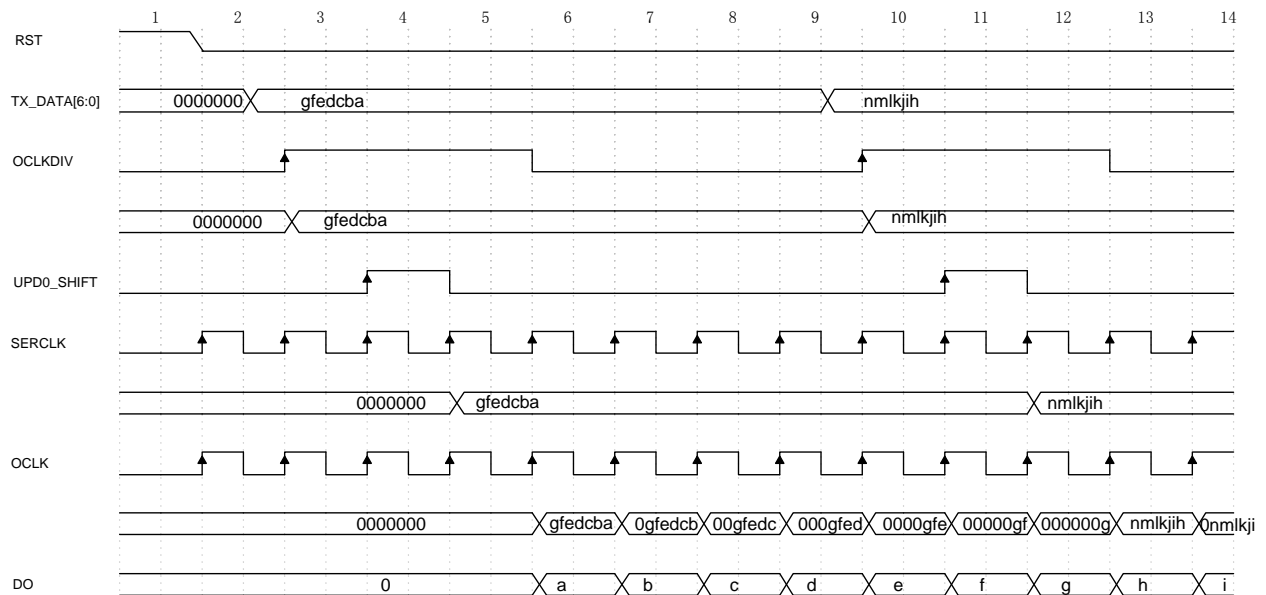


图 2-75 SDR7TO1 时序图

SDR8TO1

当输出逻辑配置为 SDR8TO1 模式时，其功能图可简化为下图。

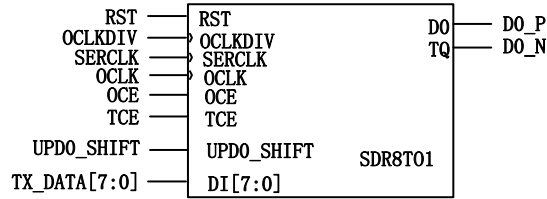


图 2-76 SDR8TO1 功能图

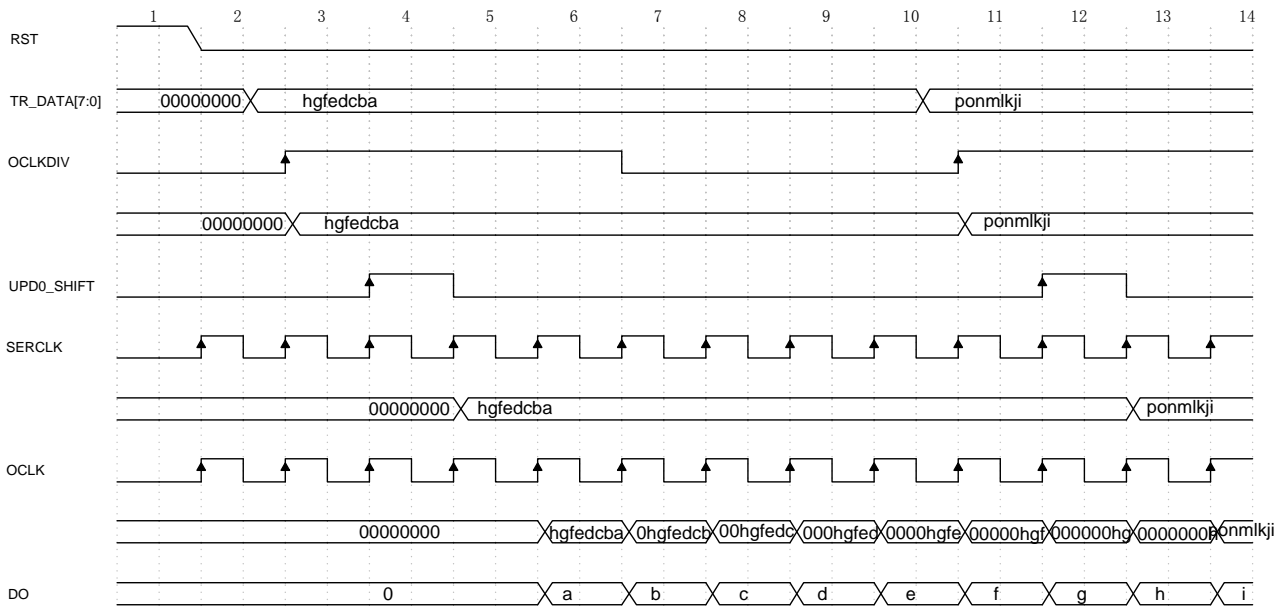


图 2-77 SDR8TO1 时序图

DDR2TO1_OPPOSITE_EDGE

当输出逻辑配置为 DDR2TO1_OPPOSITE_EDGE 模式时，其功能图可简化为下图。

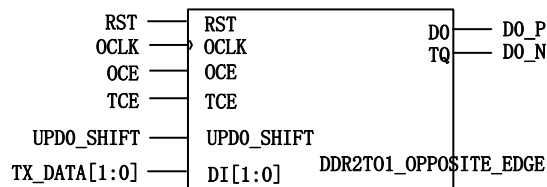


图 2-78 DDR2TO1_OPPOSITE_EDGE 功能图

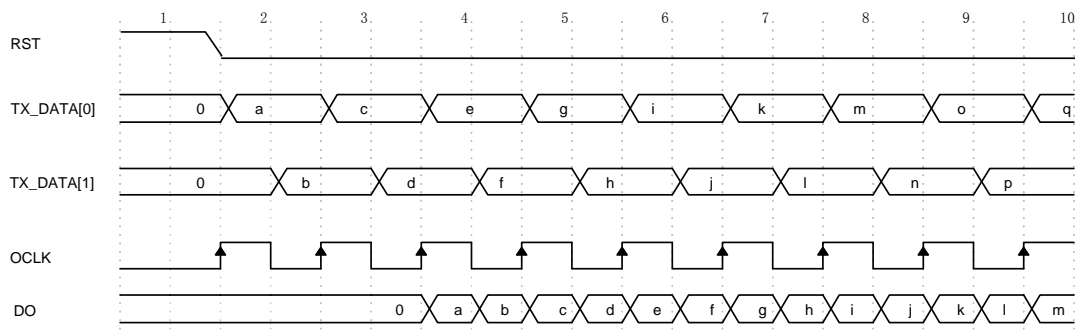


图 2-79 DDR2TO1_OPPOSITE_EDGE 时序图

DDR2TO1_SAME_EDGE

当输出逻辑配置为 DDR2TO1_SAME_EDGE 模式时，其功能图可简化为下图。

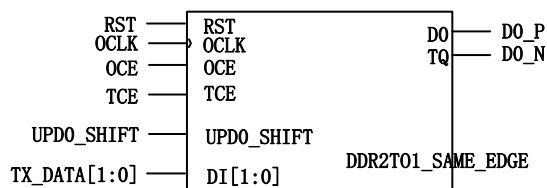


图 2-80 DDR2TO1_SAME_EDGE 功能图

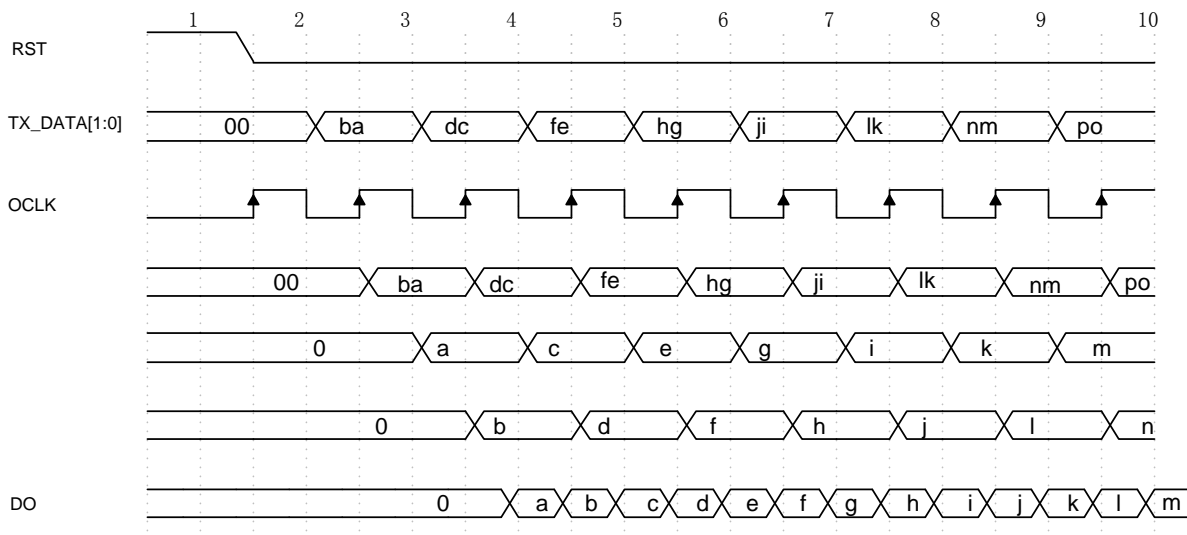


图 2-81 DDR2TO1_SAME_EDGE 时序图

DDR4TO1

当输出逻辑配置为 DDR4TO1 模式时，其功能图可简化为下图。

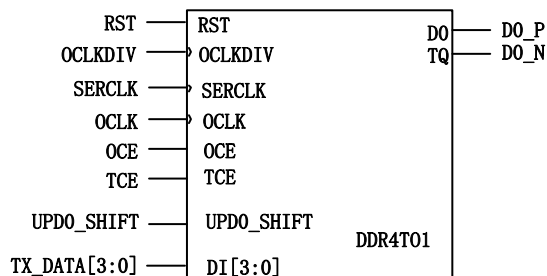


图 2-82 DDR4TO1 功能图

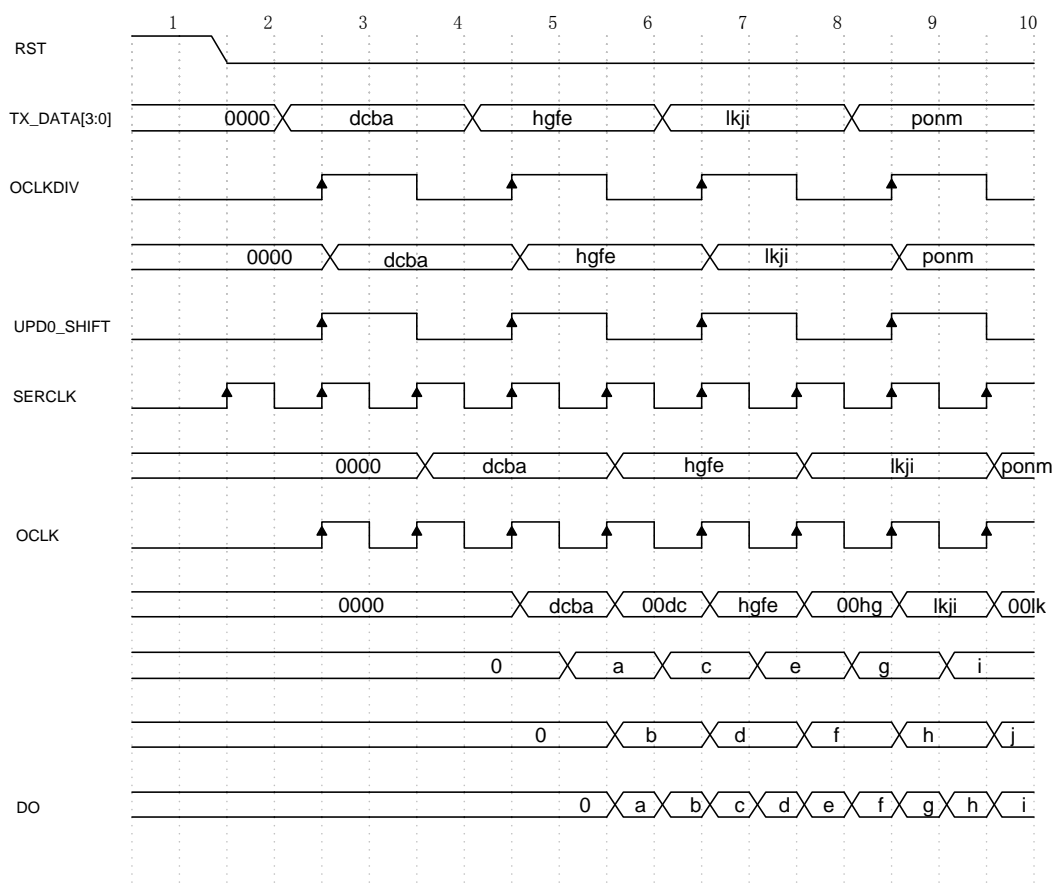


图 2-83 DDR4TO1 时序图

DDR6TO1

当输出逻辑配置为 DDR6TO1 模式时，其功能图可简化为下图。

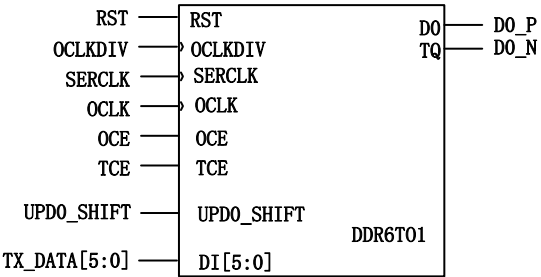


图 2-84 DDR6TO1 功能图

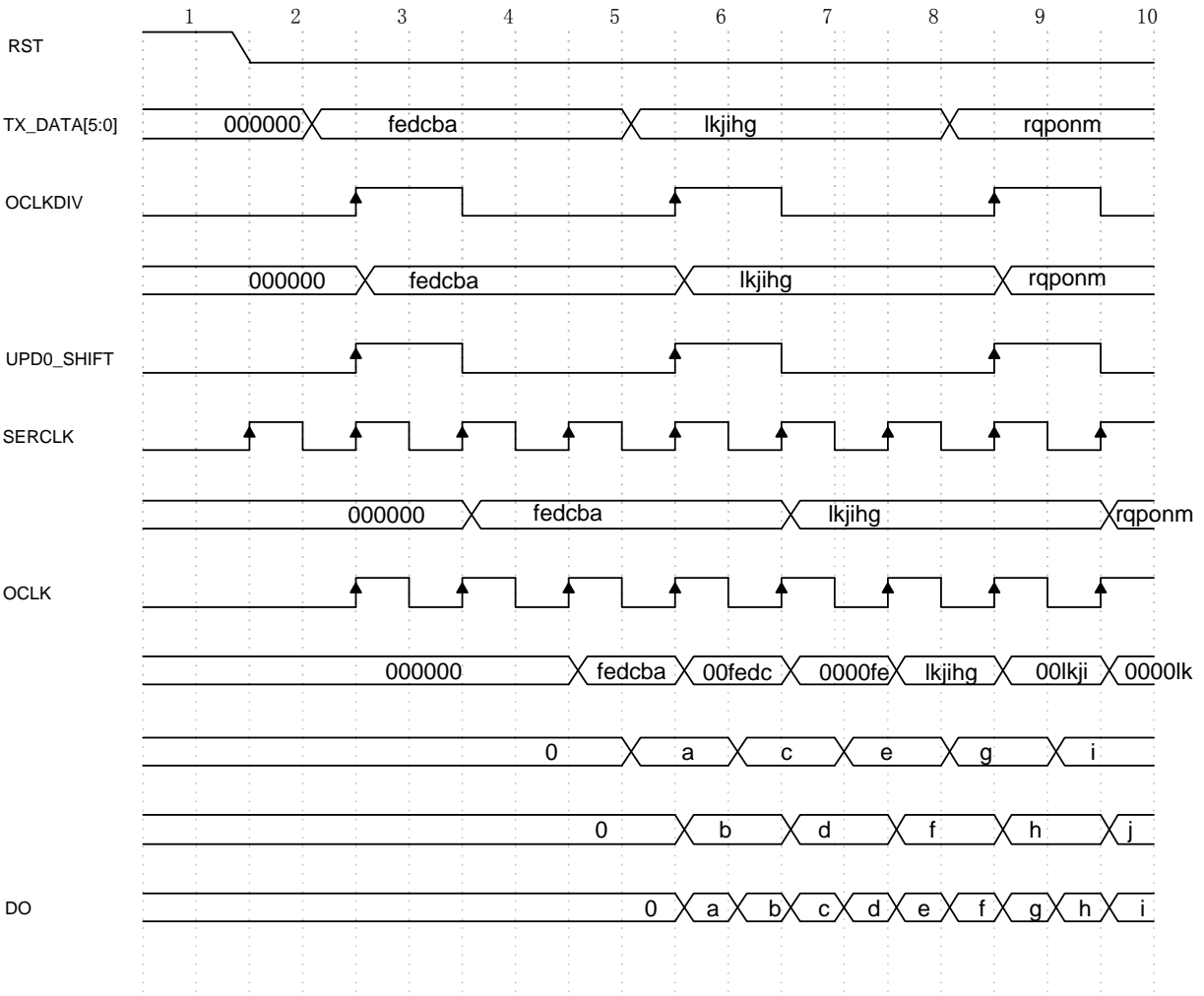


图 2-85 DDR6TO1 时序图

DDR8TO1

当输出逻辑配置为 DDR8TO1 模式时，其功能图可简化为下图。

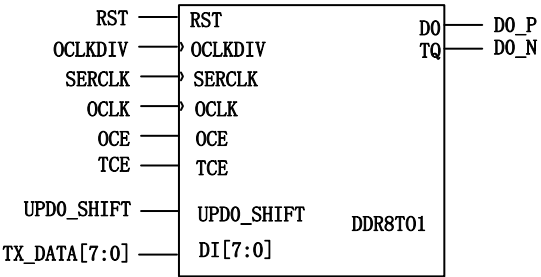


图 2-86 DDR8TO1 功能图

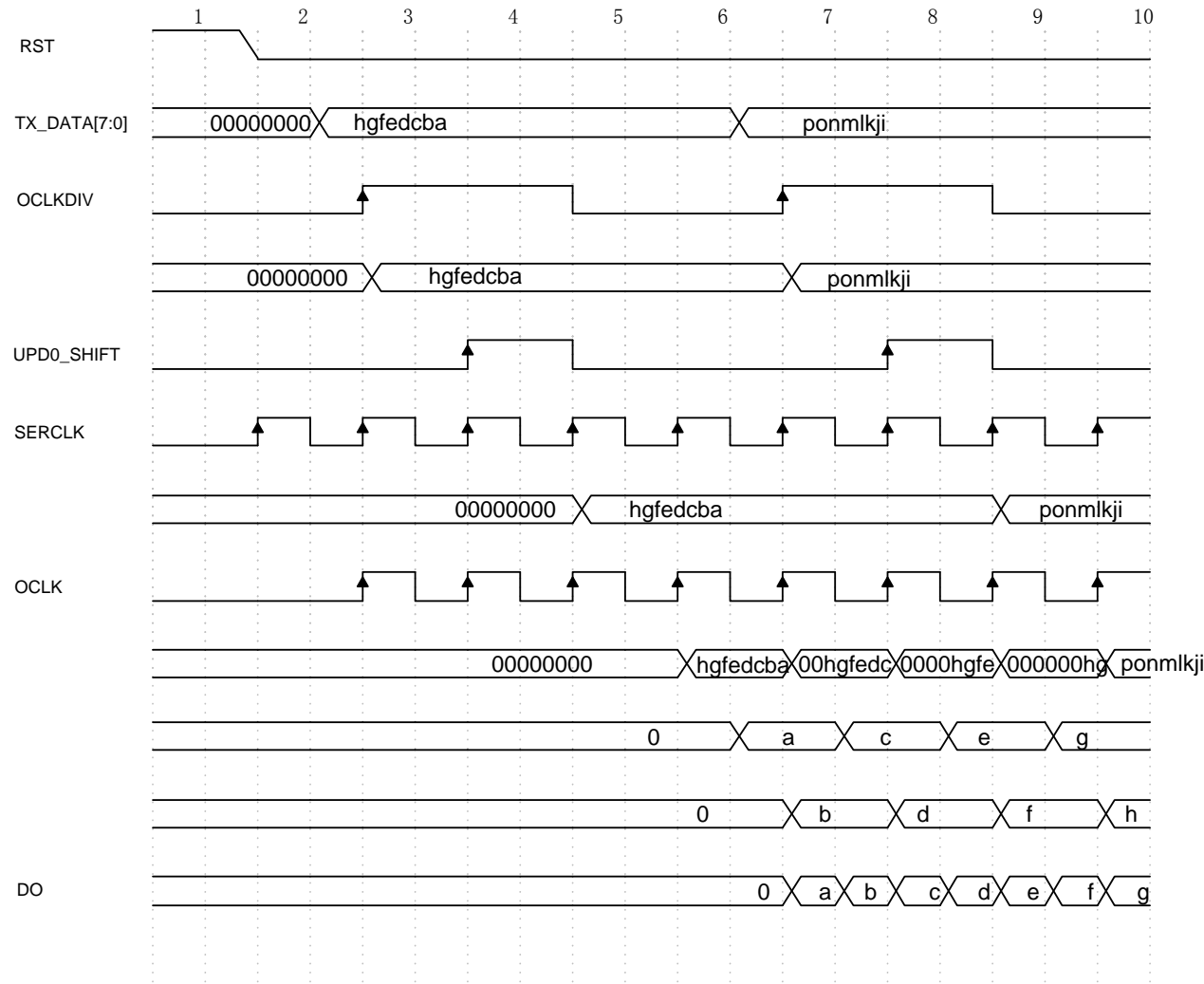


图 2-87 DDR8TO1 时序图

DDR10TO1

当输出逻辑配置为 DDR10TO1 模式时，其功能图可简化为下图。

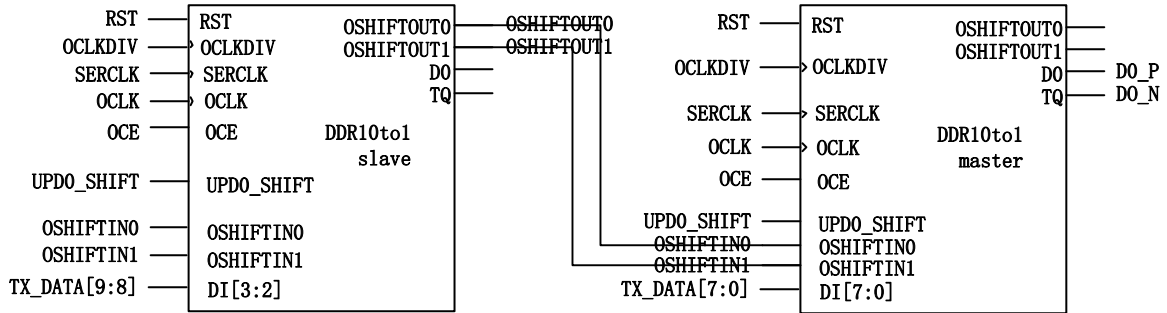


图 2-88 DDR10TO1 功能图

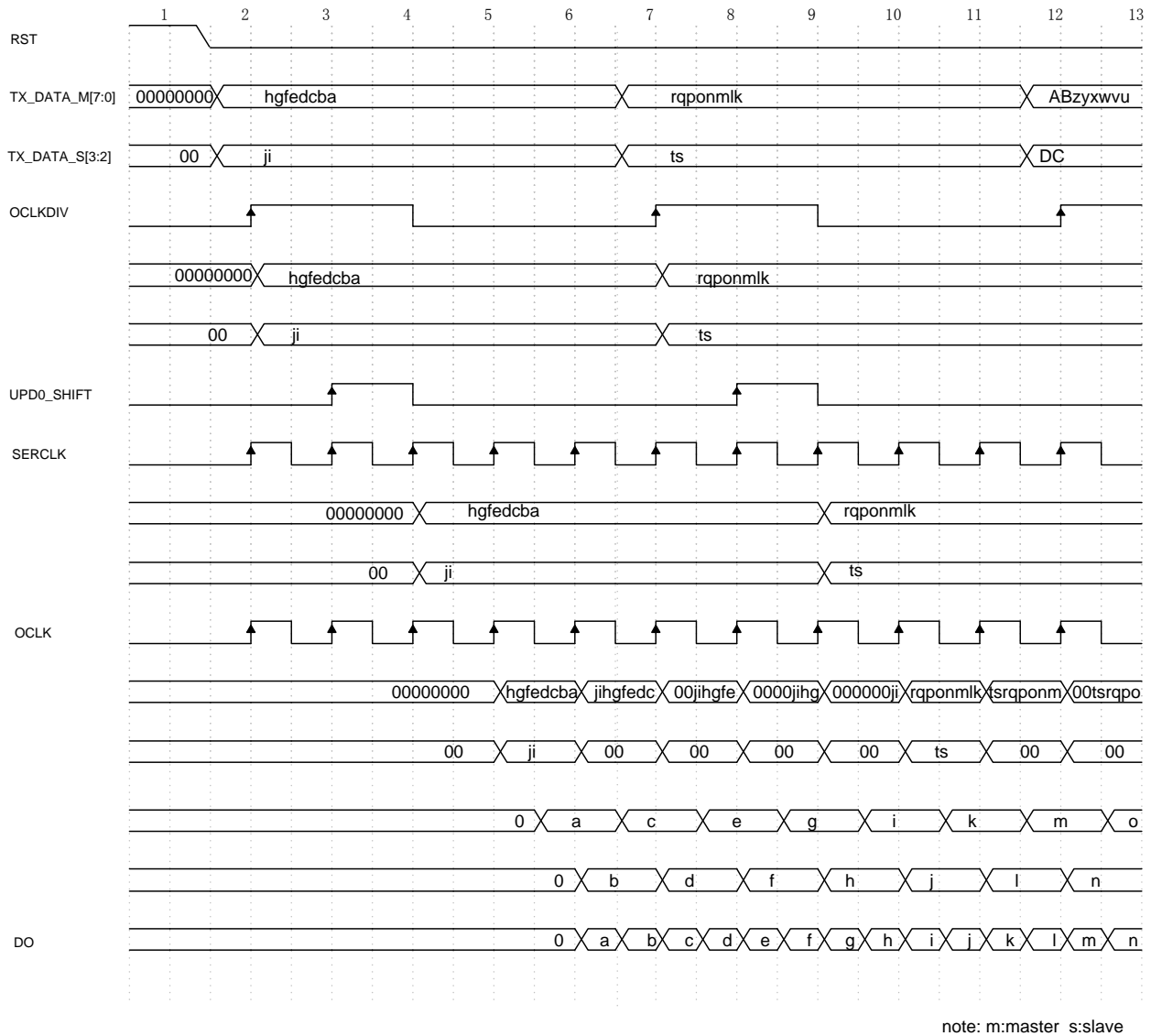


图 2-89 DDR10TO1 时序图

DDR14TO1

当输出逻辑配置为 DDR14TO1 模式时，其功能图可简化为下图。

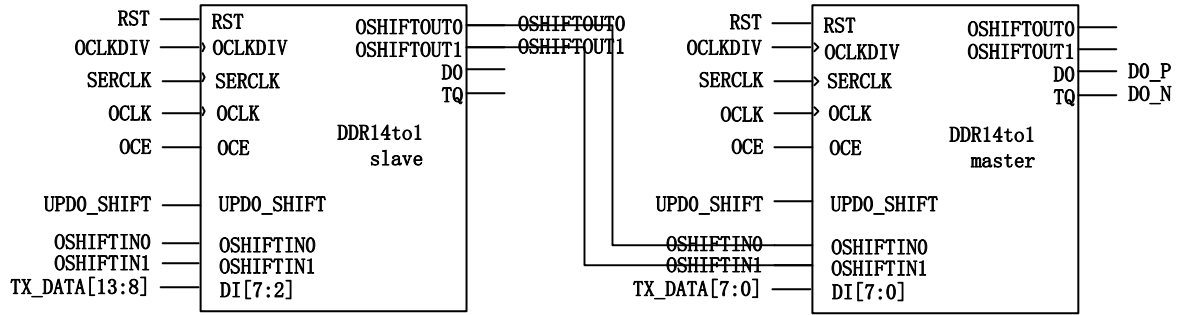


图 2-90 DDR14TO1 功能图

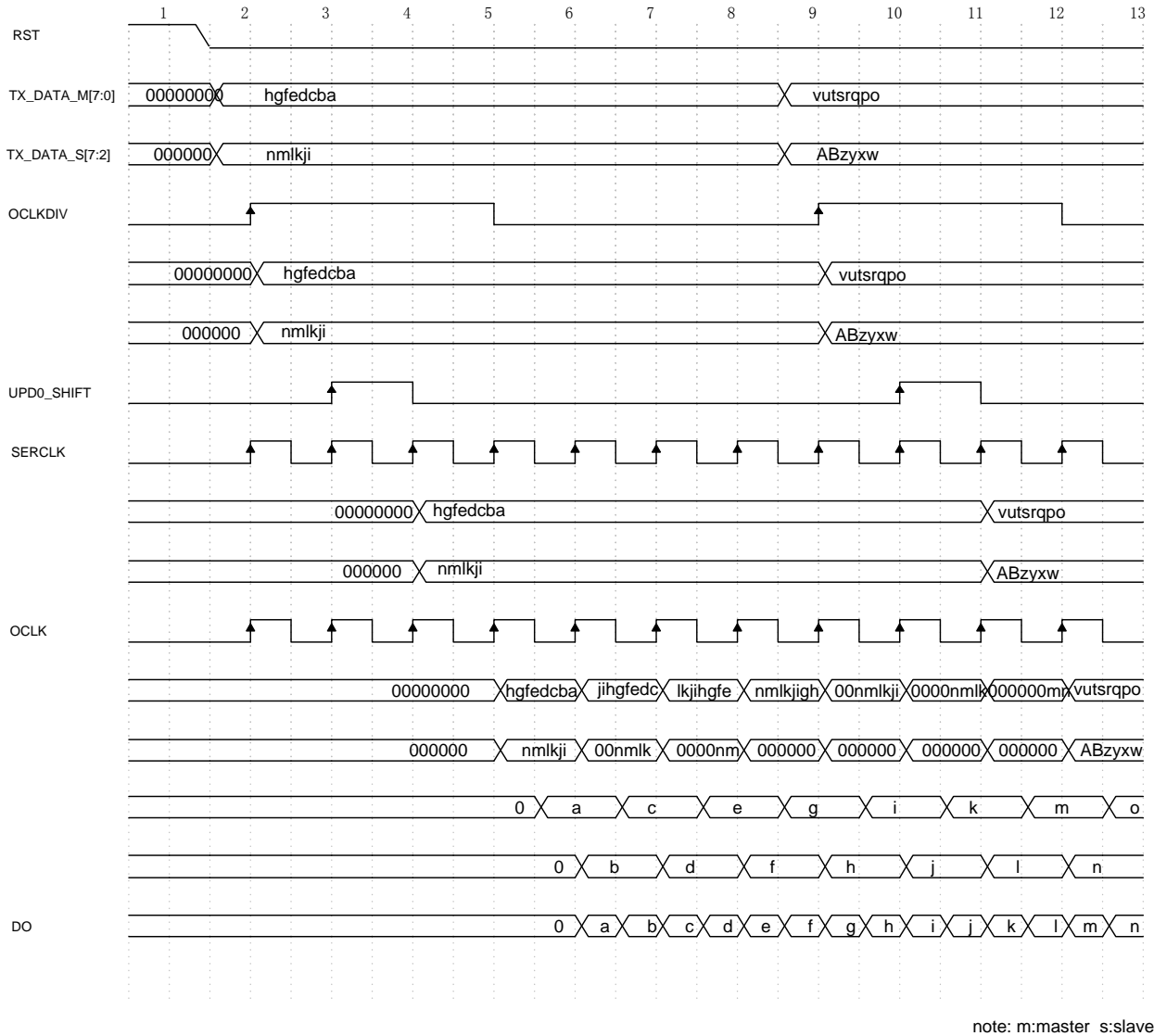


图 2-91 DDR14TO1 时序图

HMSDR4TO1

当输出逻辑配置为 HMSDR4TO1 模式时，其功能图可简化为下图。

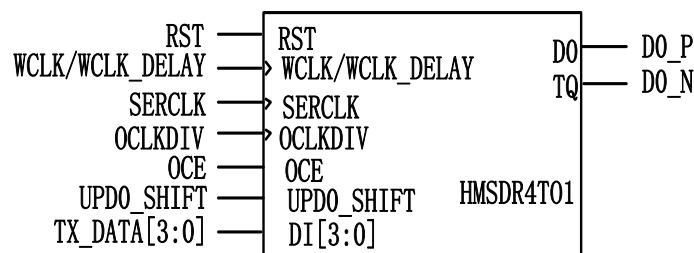


图 2-92 HMSDR4TO1 功能图

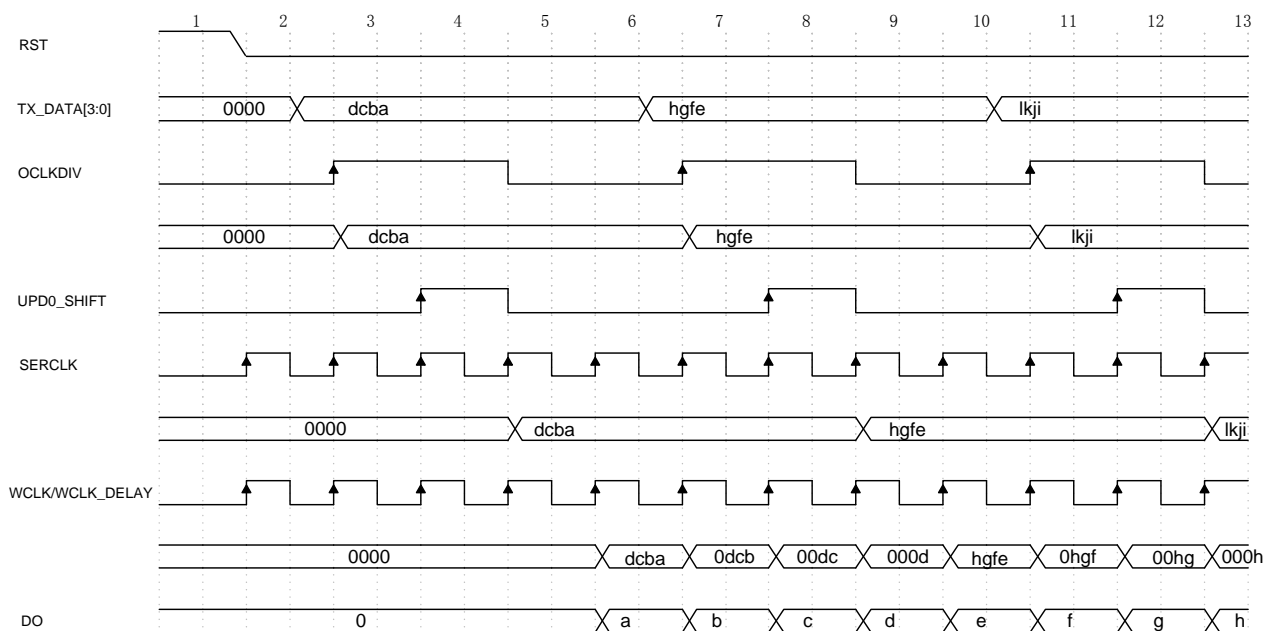


图 2-93 HMSDR4TO1 时序图

HMSDR8TO1

当输出逻辑配置为 HMSDR8TO1 模式时，其功能图可简化为下图。

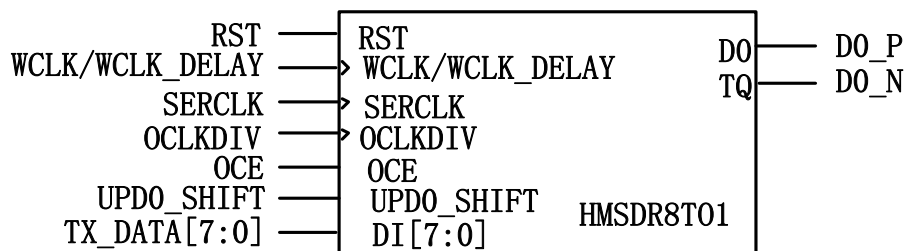


图 2-94 HMSDR8TO1 功能图

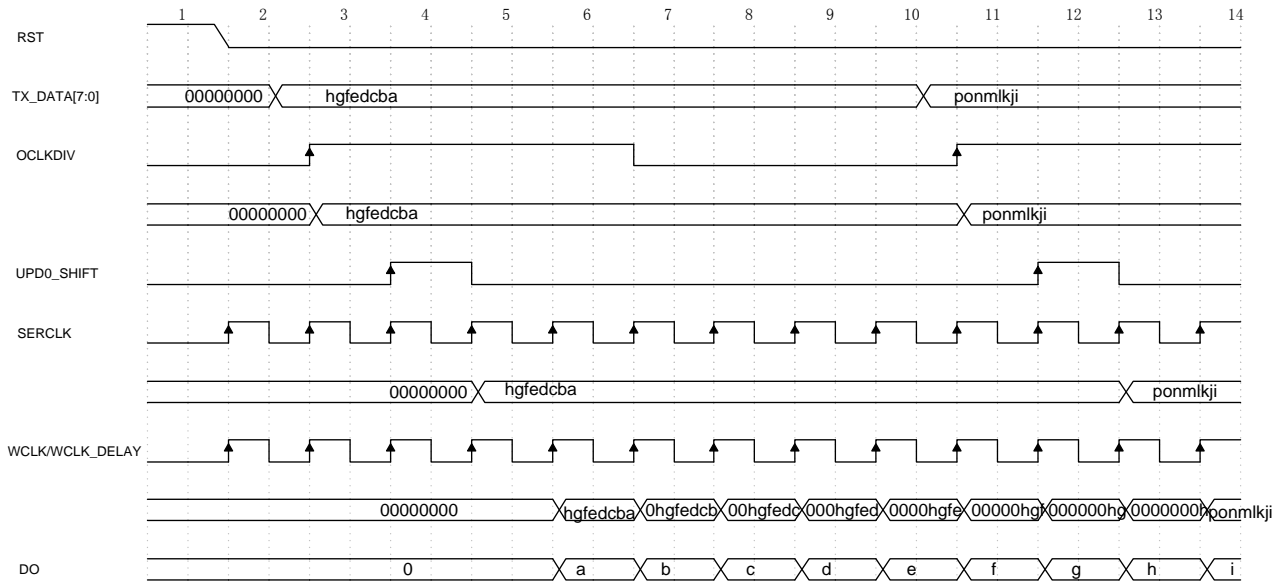


图 2-95 HMSDR8TO1 时序图

TSERDES

当 OSERDES 和 TSERDES 配合使用时，输出逻辑设置为 TSERDES，有以下几种不同工作模式。

SDR2TO1

当输入逻辑配置为 SDR2TO1 模式时，其连接示意图可简化为下图。

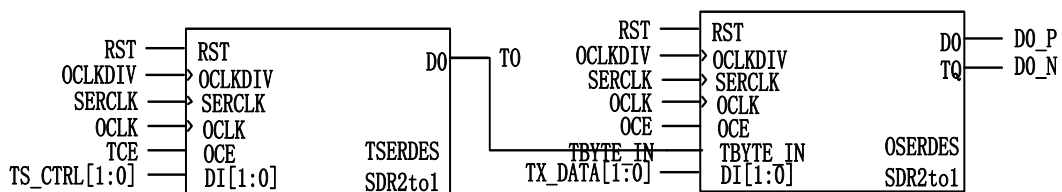


图 2-96 TSERDES SDR2TO1 连接示意图

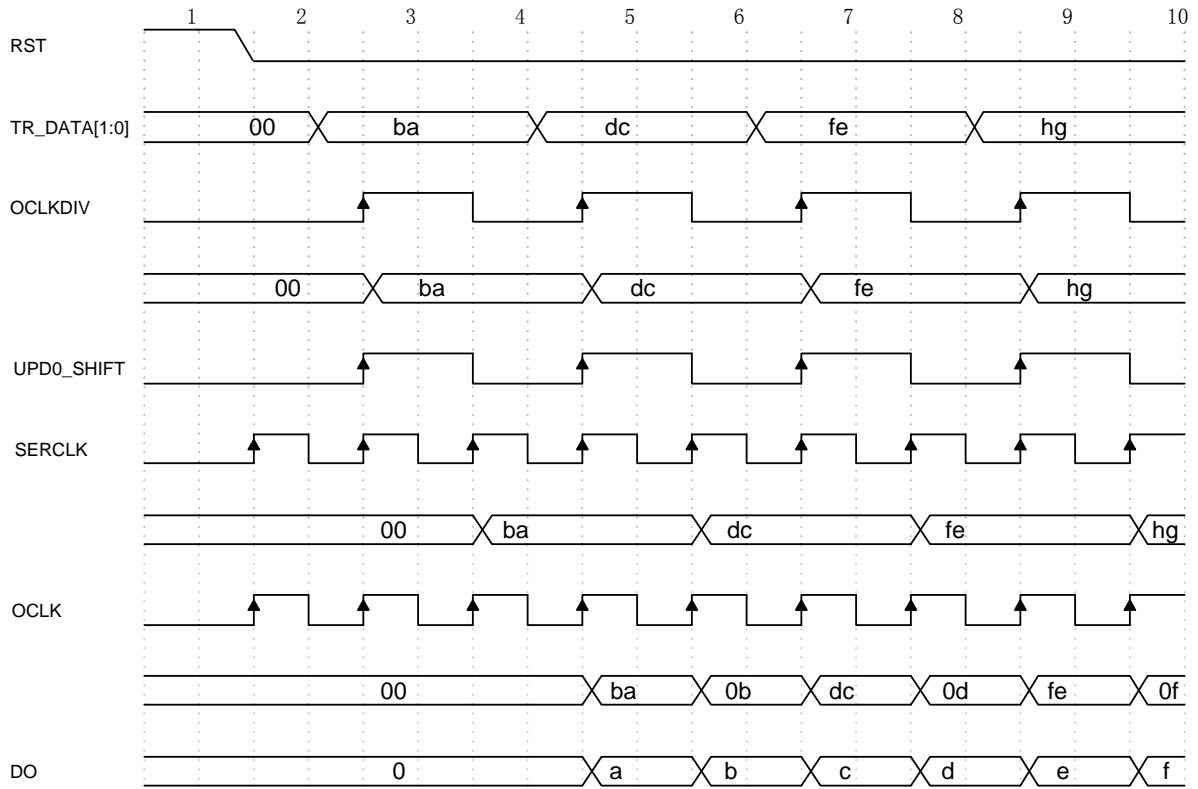


图 2-97 Tserdes SDR2TO1 时序图

SDR4TO1

当输出逻辑配置为 SDR4TO1 模式时，其连接示意图可简化为下图。

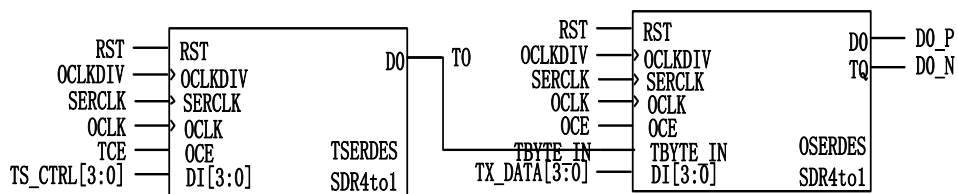


图 2-98 Tserdes SDR4TO1 连接示意图

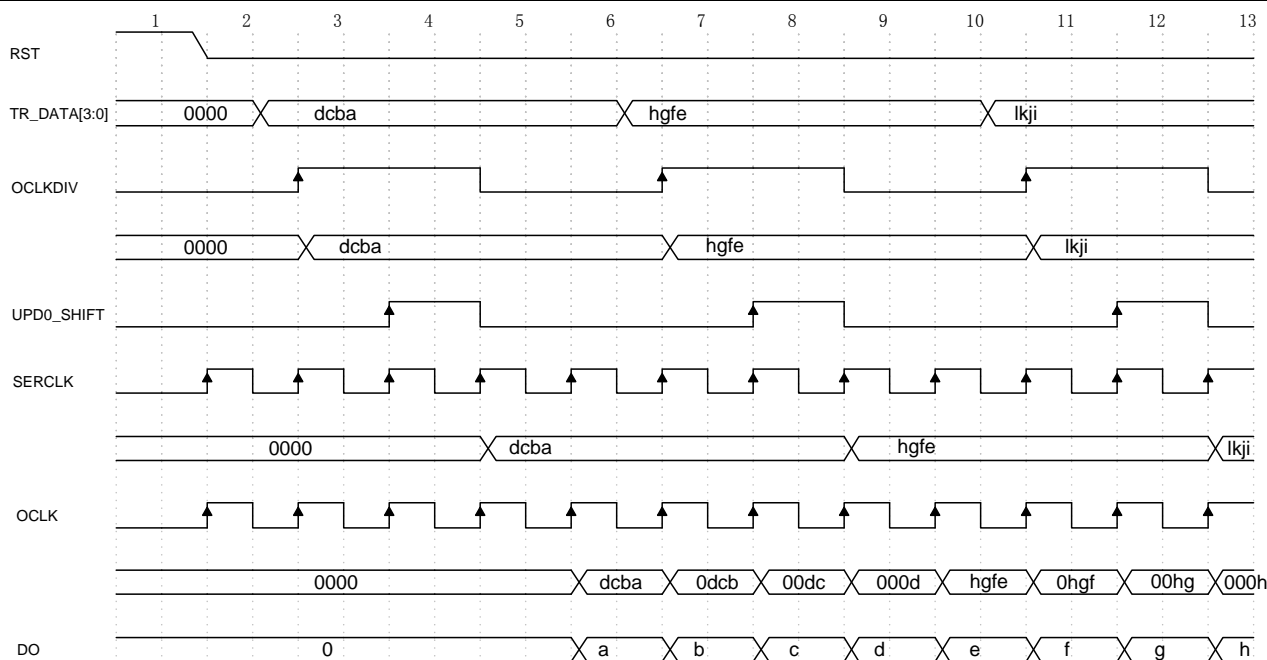


图 2-99 Tserdes SDR4TO1 时序图

SDR8TO1

当输出逻辑配置为 SDR8TO1 模式时，其连接示意图可简化为下图。

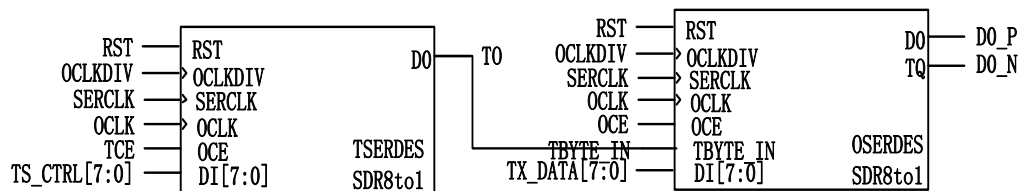


图 2-100 Tserdes SDR8TO1 连接示意图

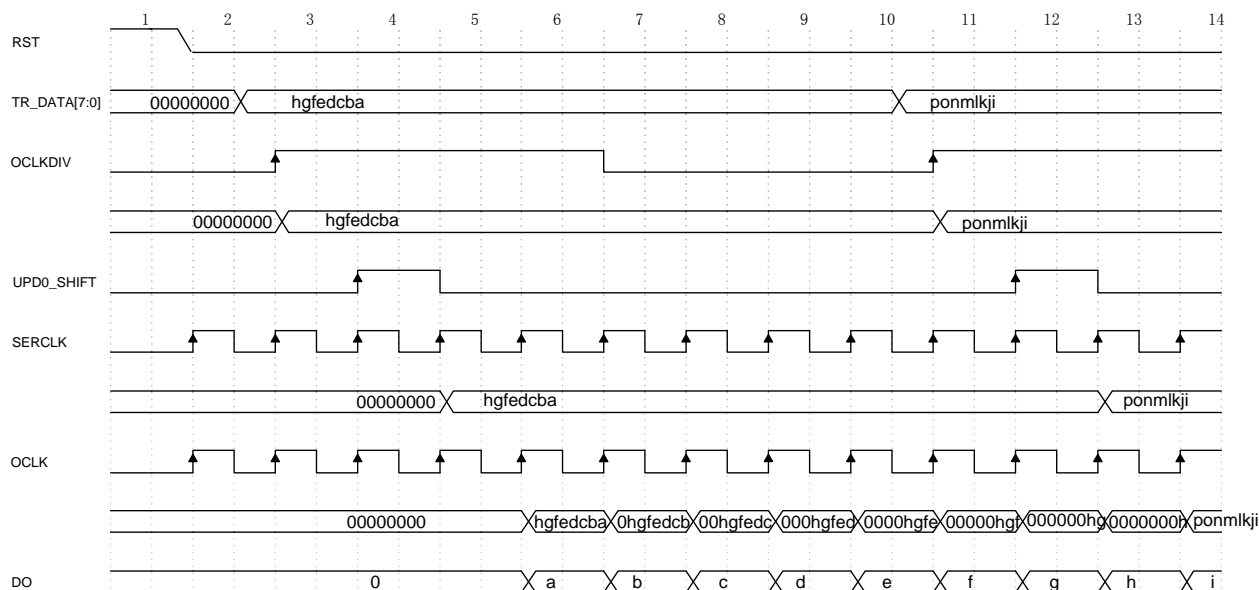


图 2-101 Tserdes SDR8TO1 时序图

DDR4TO1

当输出逻辑配置为 DDR4TO1 模式时，其连接示意图可简化为下图。

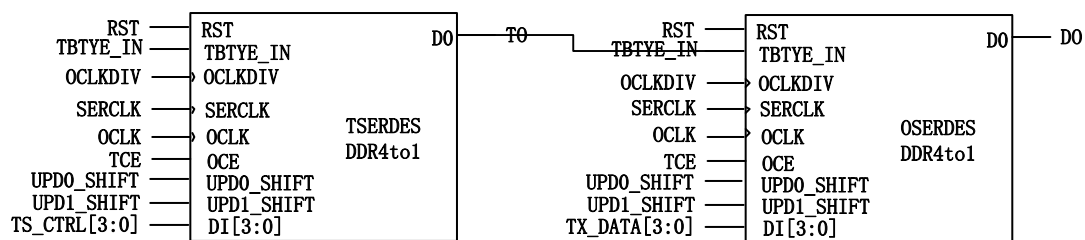


图 2-102 TSERDES DDR4TO1 连接示意图

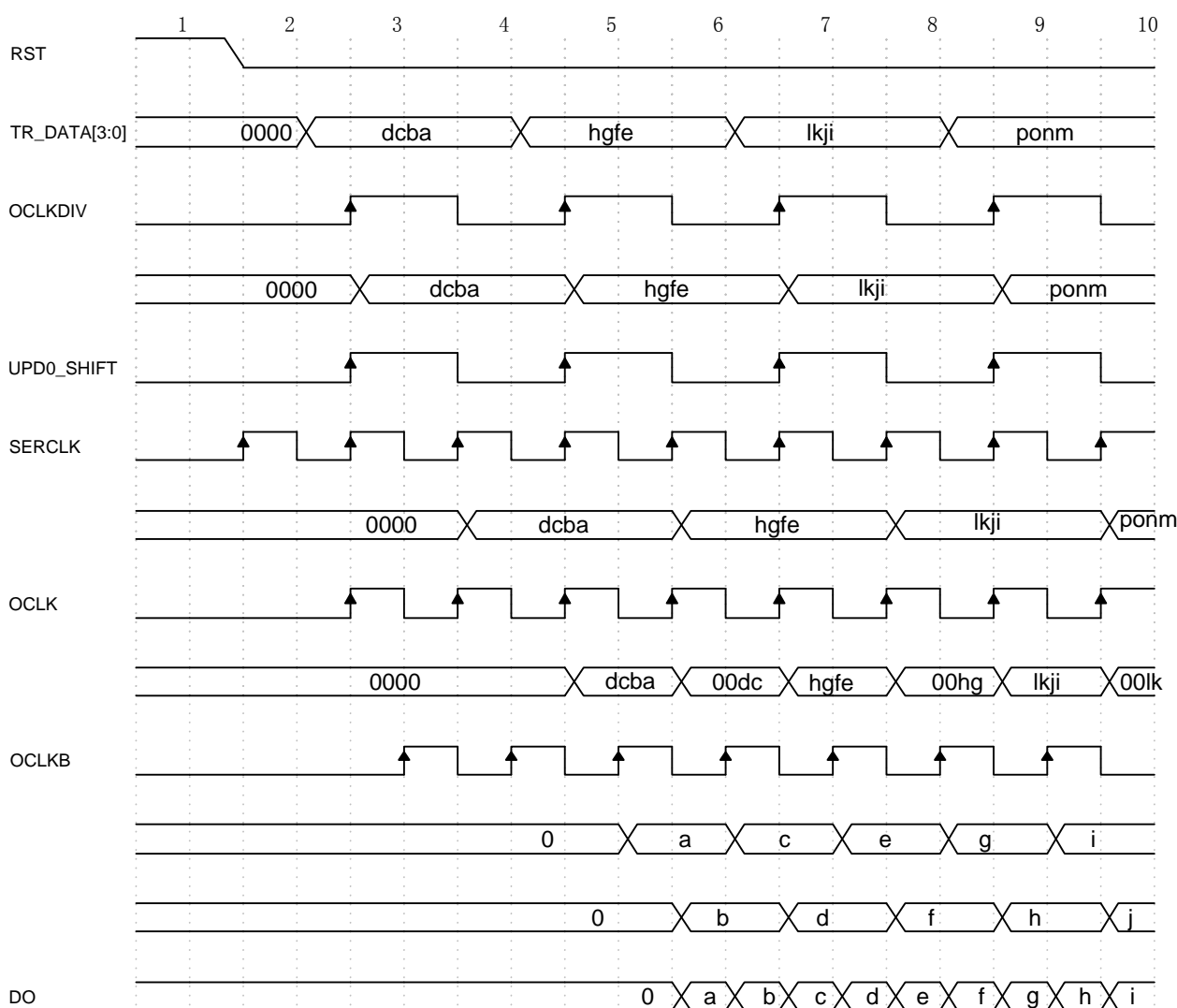


图 2-103 TSERDES DDR4TO1 时序图

DDR8TO1

当输出逻辑配置为 DDR8TO1 模式时，其连接示意图可简化为下图。

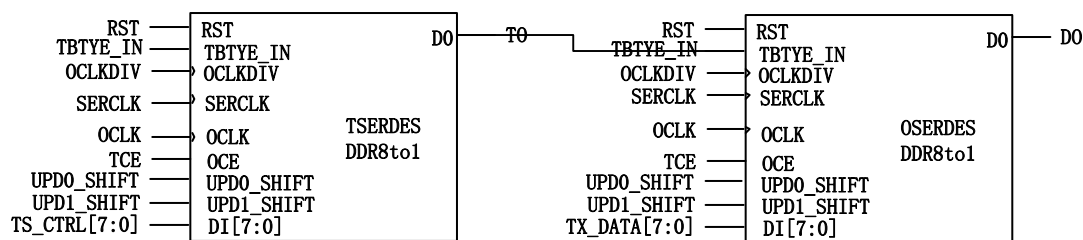


图 2-104 TSERDES DDR8TO1 连接示意图

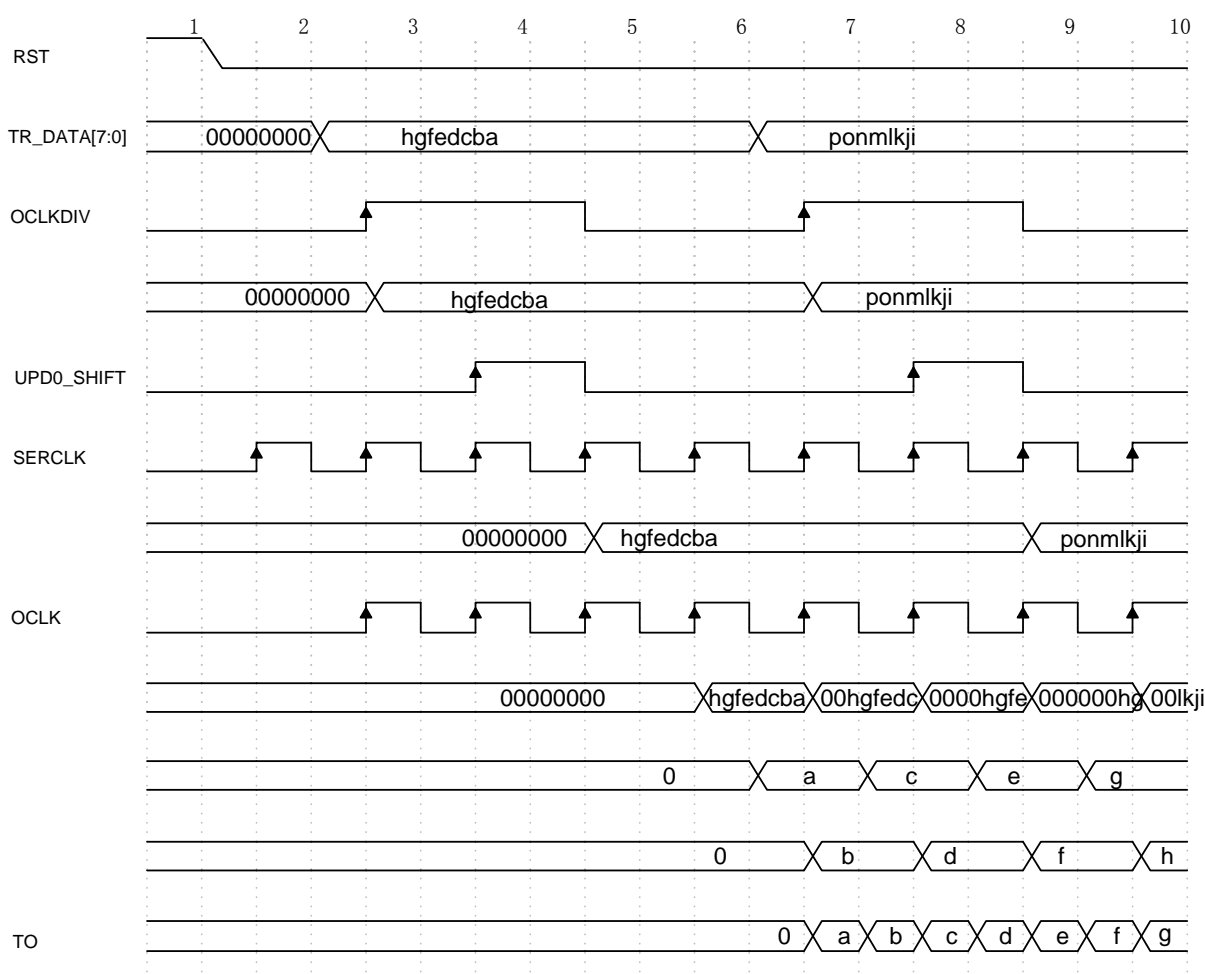


图 2-105 TSERDES DDR8TO1 功能图

HMSDR4TO1

当输出逻辑配置为 HMSDR4TO1 模式时，其连接示意图可简化为下图。

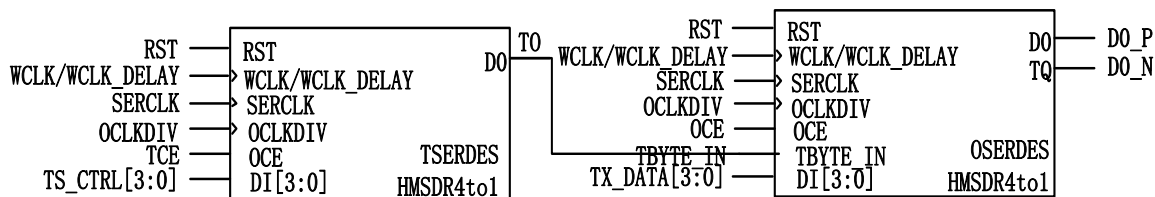


图 2-106 TSERDES HMSDR4TO1 连接示意图

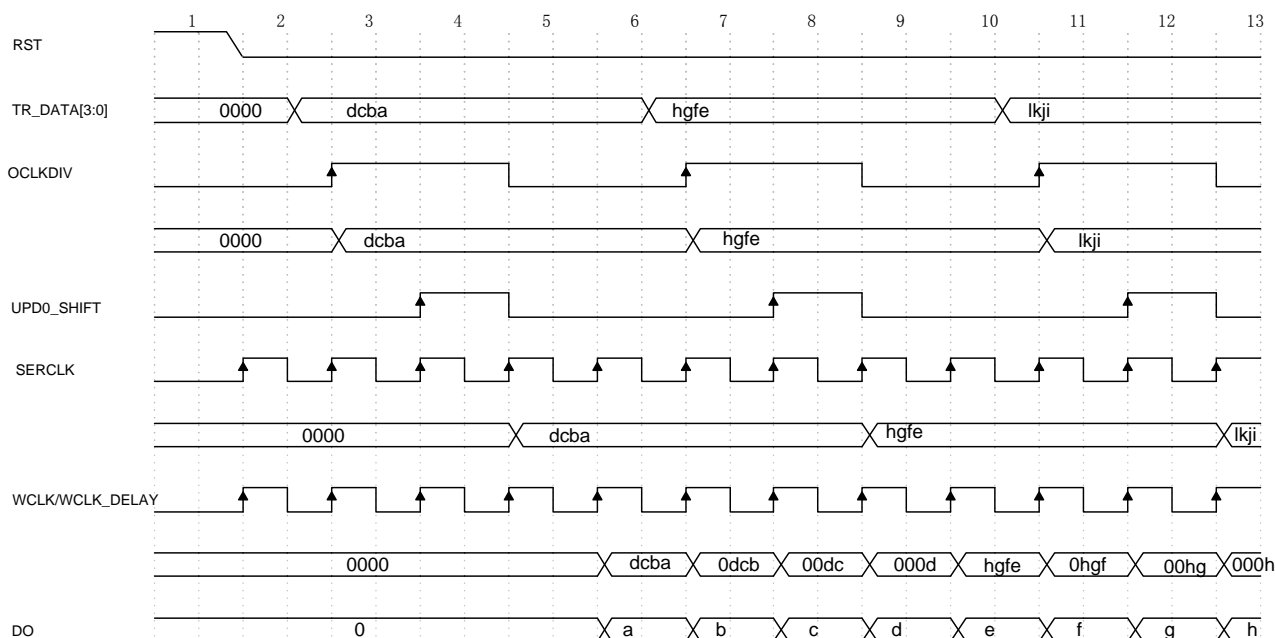


图 2-107 TSERDES HMSDR4TO1 时序图

HMSDR8TO1

当输出逻辑配置为 HMSDR8TO1 模式时，其连接示意图可简化为下图。

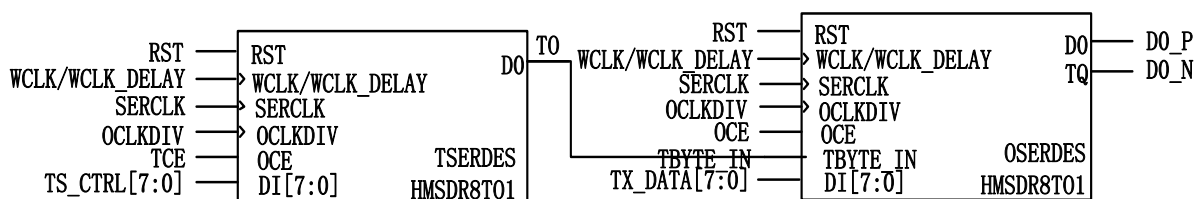


图 2-108 TSERDES HMSDR8TO1 连接示意图

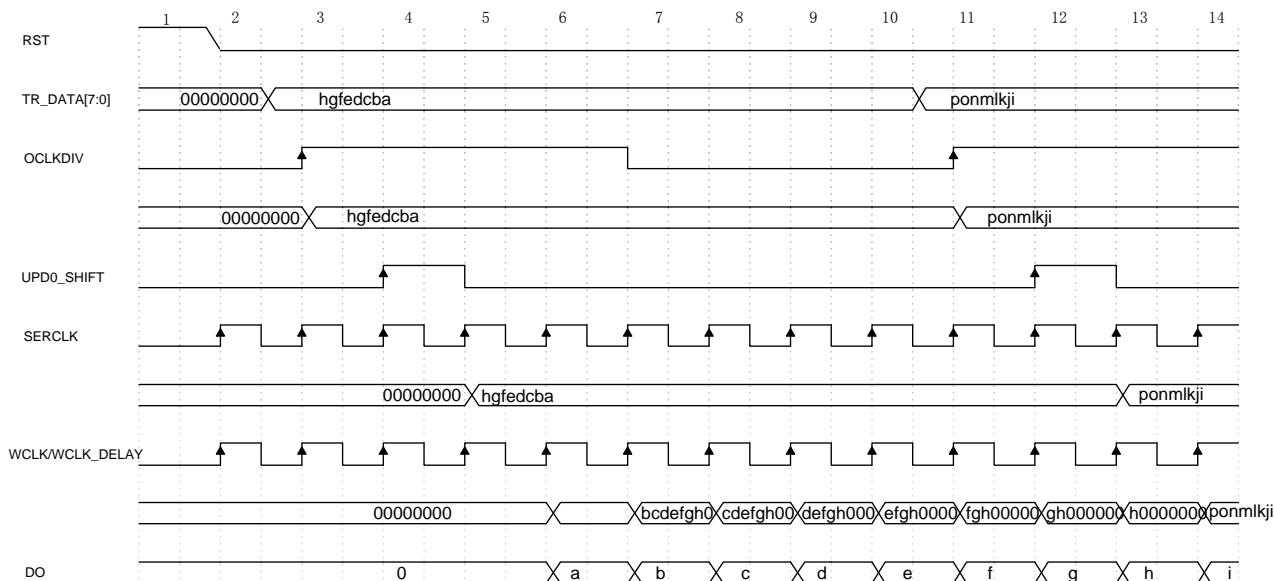


图 2-109 TSERDES HMSDR8TO1 时序图

2.3.4 软件设置输入输出寄存器

输入输出寄存器的使用方法是，在 PDS>UCE>Device>IO Tabs 的相应 IO 的“IO_REGISTER”下面勾选，如下图所示。

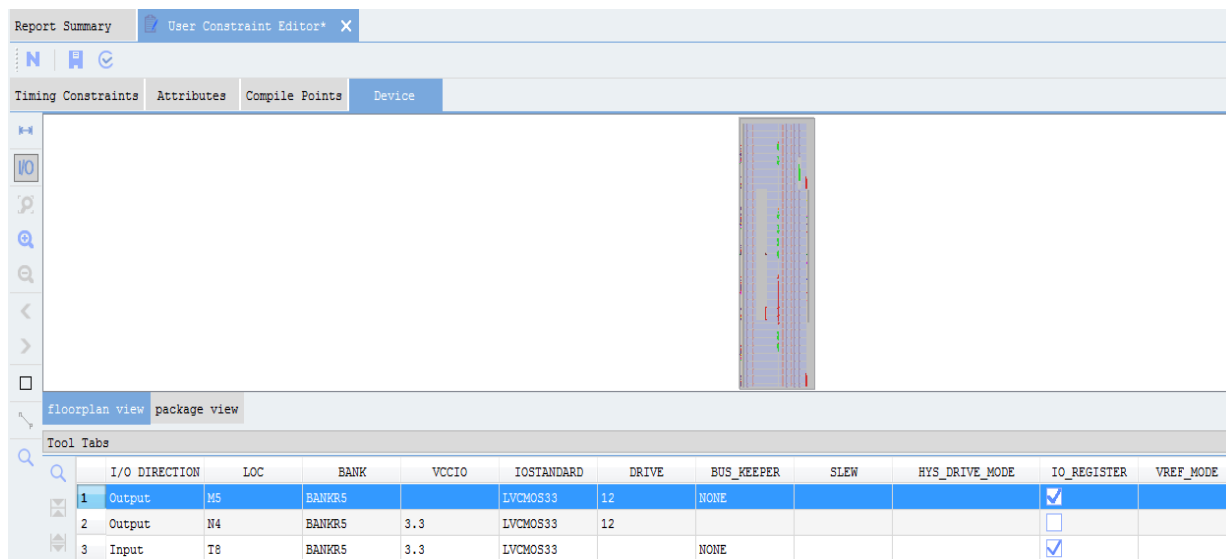


图 2-110 IO 寄存器约束方法示意图

免责声明

版权声明

本文档版权归深圳市紫光同创电子有限公司所有，并保留一切权利。未经书面许可，任何公司和个人不得将此文档中的任何部分公开、转载或以其他方式披露、散发给第三方。否则，公司必将追究其法律责任。

免责声明

- 1、本文档仅提供阶段性信息，所含内容可根据产品的实际情况随时更新，恕不另行通知。如因本文档使用不当造成的直接或间接损失，本公司不承担任何法律责任。
- 2、本文档按现状提供，不负任何担保责任，包括对适销性、适用于特定用途或非侵权性的任何担保，和任何提案、规格或样品在他处提到的任何担保。本文档在此未以禁止反言或其他方式授予任何知识产权使用许可，不管是明示许可还是暗示许可。
- 3、公司保留任何时候在不事先声明的情况下对公司系列产品相关文档的修改权利。