



## Laboratório de Circuitos Lógicos - 8º Experimento

### LATCHES D E FLIP-FLOPS D

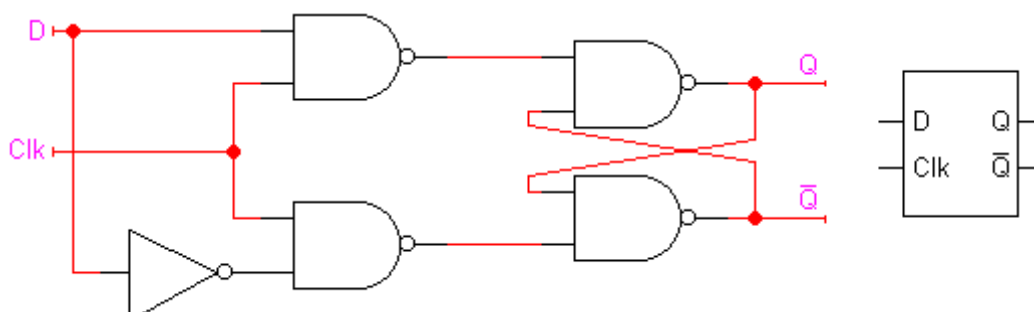
**OBJETIVO:** Descrição e implementação de *latches D* e *flip-flops D* usando portas lógicas ou flip-flops JK. Verificação do *Setup Time*.

#### 1. INTRODUÇÃO TEÓRICA

Os *latches* e *flip flops D* são muito usados para armazenamento de dados devido a sua simplicidade de comandos.

##### 1.1. LATCH D

O *latch D* consiste em um *latch RS* em que o *DADO* entra em *S* e  $\overline{DADO}$  entra em *R*. A implementação da **Figura 4** permite que a saída *Q* acompanhe a entrada de dados *D* sempre que o relógio estiver no nível 1. A **Figura 4** também mostra o símbolo do *latch D*.



**Figura 4 – Latch D**

A **Tabela II** resume a operação do *latch D*. No caso em que o pulso do relógio seja normalmente 0, com duração do nível 1 pequena, porém suficiente para os dados se propagarem até a saída e, se os dados não forem alterados enquanto o relógio estiver no nível 1, pode-se usar a tabela simplificada.

Clk	D	$Q_{n-1}$
0	0	$Q_n$
0	1	$Q_n$
1	0	0
1	1	1

D	$Q_{n-1}$
0	0
1	1

Simplificada

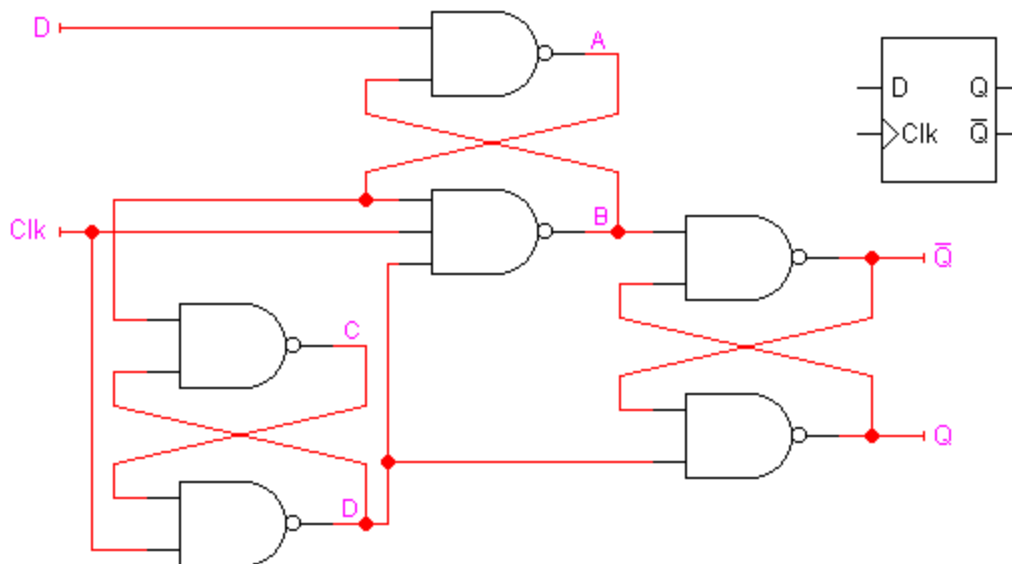
Completa

**Tabela II – Tabela da verdade do *latch D***



## 1.2. FLIP-FLOP D

A implementação da **Figura 5** permite que o dado seja transferido da entrada D para a saída Q apenas durante a transição positiva do pulso do relógio (na subida do pulso). Também é possível implementar o flip-flop D usando a transição negativa do pulso do relógio (flip-flop D engatilhado pela borda negativa).



**Figura 5 – Implementação de um flip-flop D engatilhado pela borda positiva com portas NAND**

O símbolo do flip-flop D engatilhado pela borda positiva é apresentado na **Figura 5** e sua tabela da verdade é apresentada na **Tabela III** abaixo.

Clk	D	$Q_{n+1}$
$\neg$	X	$Q_n$
$\downarrow$	0	0
$\downarrow$	1	1

**Tabela III – Tabela da Verdade do flip-flop D**



#### 1.4. CONSTRUÇÃO DE FLIP-FLOPS RS, D E T USANDO O FLIP-FLOP JK

As tabelas da verdade e os símbolos dos flip-flops RS, D, T e JK são mostrados abaixo.

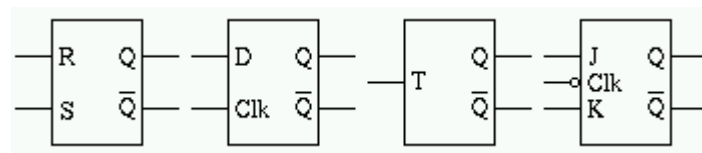
S	R	$Q_{n+1}$
0	0	$Q_n$
0	1	1
1	0	0
1	1	IND

Clk	D	$Q_{n+1}$
0	X	$Q_n$
1	0	0
1	1	1

T	$Q_{n+1}$
0	$Q_n$
1	$\overline{Q_n}$

J	K	$Q_{n+1}$
0	0	$Q_n$
0	1	0
1	0	1
1	1	$\overline{Q_n}$

**Tabela IV – Tabelas da verdade dos flip-flops RS, D, T e JK**

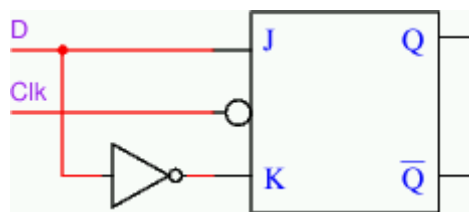


**Figura 6 – Símbolos dos flip-flops RS, D, T e JK**

OBS.: O pulso do relógio é normalmente 0 e a duração do 1 é pequena (porém, com as restrições já vistas) para o flip-flop T.

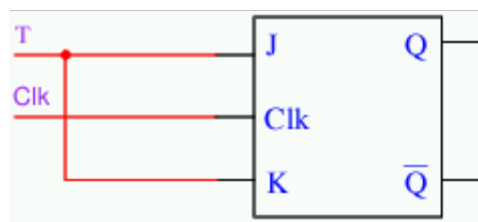
O flip-flop JK pode ser usado como RS. Para isto, basta fazer  $J = S$ ,  $K = R$  e não é necessário fazer nenhuma ligação externa; observe apenas que o estado 11 na entrada do flip-flop JK deve ser evitado. Entretanto, se esse estado ocorrer, não teremos indeterminação na saída.

Para transformarmos um flip-flop JK em um flip-flop D, usamos um inversor entre os terminais J e K, conforme a figura abaixo.



**Figura 7 – Uso do flip-flop JK como flip-flop D**

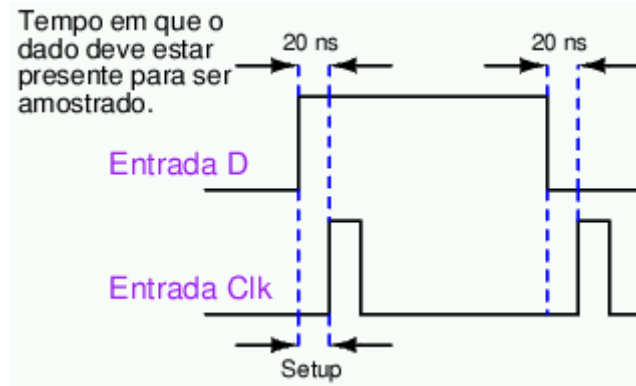
Uma ligação que permite usar o flip-flop JK como flip-flop tipo T é apresentada na **Figura 8**. Este esquema tem a vantagem de tornar o flip-flop T sincronizado, isto é, o terminal T decide se aceita ou não o pulso de relógio que determina o instante da mudança.



**Figura 8 – Uso do flip-flop JK como flip-flop T**

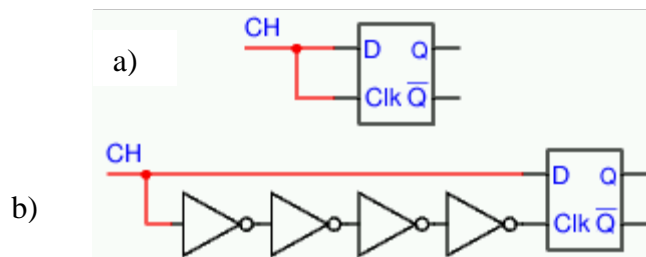
### 1.5. TEMPO DE SETUP

O tempo de *setup* de um flip-flop é definido como o menor intervalo de tempo em que o sinal da(s) entrada(s) deve(m) estar já no nível correto e ser(em) mantido(s) antes da ocorrência de uma transição no relógio. O tempo de *setup* típico para os flip-flops da família TTL é de 20 ns antes da transição positiva do relógio.



**Figura 9 – Visualização do tempo de *setup* para o flip-flop D**

Na configuração da **Figura 10(a)** o dado chega às entradas D e Clk simultaneamente, então o tempo de *setup* não é observado e a saída ficará sempre em 0 mesmo se acionarmos várias vezes a chave CH.



**Figura 10 – Verificação experimental do tempo de *setup***

Na configuração da **Figura 10(b)**, devido ao atraso de propagação nos 4 inversores, o dado chega ao terminal D 40ns antes que ocorra a transição na entrada do relógio. Logo o tempo de *setup* é obedecido e a saída ficará sempre em 1 mesmo se acionarmos várias vezes a chave CH.



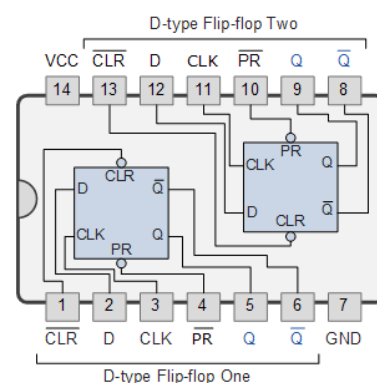
## 2. PARTE EXPERIMENTAL

Neste experimento não há **Pré-Projetos**, deste modo cada um dos pós-experimentos vale 1 ponto.

2.1. Monte no protoboard o circuito apresentado na **Figura 4** – *latch* D. Elabore a tabela verdade e faça um diagrama no tempo. Use como entradas as chaves  $D=A$  e  $CLK=B$ , e saída os LEDs  $L0=Q$  e  $L1=\bar{Q}$ . Fotografe, filme e explique o funcionamento do circuito chamando a atenção para a característica básica do *latch*. (**Pós-Experimento 1**)

2.2. Monte o circuito apresentado na **Figura 5** – flip-flop D. Elabore a tabela verdade e faça um diagrama no tempo. Use como entradas as chaves  $D=A$  e  $CLK=B$ , e saída os LEDs  $L0=Q$  e  $L1=\bar{Q}$ . Fotografe, filme e explique o funcionamento do circuito, chamando a atenção para a característica básica do *flip flop*. (**Pós-Experimento 2**)

2.3. Usando um dos flip-flops D presente nos CIs 74HC74, como entradas as chaves  $D=A$ ,  $\overline{PR}=B$ ,  $\overline{CLR}=C$ ,  $CLK$ =Gerador de 1 Hz e como saídas ligue o LED  $L0=Q$ , LED  $L1=\bar{Q}$  e LED  $L3$ =Gerador de 1 Hz. Verifique, fotografe e filme o funcionamento do circuito explicando o funcionamento deste flip-flop D e como atuam os pinos  $\overline{PR}$  (Preset) e  $\overline{CLR}$  (Clear). (**Pós-Experimento 3**)



2.4. Usando os CIs 74HC74 e 74HC04, monte no mesmo *protoboard* (usando os dois flip-flops D existentes no CI 74HC74) os circuitos das **Figuras 10 a) e 10 b)**. Lembre-se de colocar os pinos de  $\overline{PR}$  e  $\overline{CLR}$  dos flip-flops em 1 (desabilitados). Use como entrada para ambos os circuitos  $CH$ =Gerador de 1Hz, como saída da Fig. 10.a) o LED  $L0=Q$ , como saída da Fig. 10.b) o LED  $L1=Q$  e ligue o LED  $L3$ =Gerador 1Hz. Verifique, fotografe e filme o funcionamento de cada circuito explicando o que está ocorrendo. (**Pós-Experimento 4**)

## 3. SUMÁRIO

O *latch* D e o flip-flop D são estudados em detalhes, suas propriedades, bem como a utilização dos pinos de  $\overline{PR}$  e  $\overline{CLR}$ . A modificação do flip-flop JK para ser usado como RS, T ou D é também vista. O conceito de tempo de *setup* de flip-flops é dado e duas situações extremas são analisadas a fim de ilustrar este conceito.

## 4. EQUIPAMENTOS E MATERIAL

- Kit Digital;
- Fios conectores;
- Portas NAND (74HC00 e 74HC10), NOT (74HC04) e FLIP-FLOP D (74HC74).



## 5. TESTE DE AUTOAVALIAÇÃO

1. Um flip-flop T divide a frequência de entrada do relógio por:
  - a) 1
  - b) 2
  - c) 3
  - d) 4
2. O flip-flop T e o flip-flop D possuem:
  - a) Nenhum estado proibido.
  - b) Um estado proibido.
  - c) Nenhum estado proibido e nenhum estado indeterminado.
  - d) NDA
3. Um flip-flop D engatilhado pela borda positiva do pulso do relógio terá a saída  $Q = 1$  quando:
  - a) O relógio for de 0 para 1 e o dado for 1.
  - b) O relógio permanecer em 1 depois de uma transição positiva e o dado for pra 0.
  - c) O dado for para 0 e o relógio for para 0 depois de ter passado por um nível lógico 1.
  - d) Todas as afirmações acima estão corretas.
4. Quantos flip-flops serão necessários para se armazenar uma palavra de 4 bits?
  - a) 1
  - b) 2
  - c) 4
  - d) 8
5. Para operar um flip-flop JK como um flip-flop RS engatilhado, basta:
  - a) Conectar um inversor entre as entradas J e K.
  - b) Ligar  $Q$  a K e  $\overline{Q}$  a J.
  - c) Evitar que as entradas J e K sejam ambas iguais a 1.
  - d) NDA
6. Para operar um flip-flop JK como um flip-flop T, basta:
  - a) Evitar que as entradas J e K sejam ambas iguais a 1.
  - b) Fazer  $J = K = 1$  e dar pulsos na entrada do relógio.
  - c) Colocar um inversor entre as entradas J e K.
  - d) Ligar  $Q$  a K e  $\overline{Q}$  a J.
  - e) As afirmações **b** e **d** estão corretas.
7. Para operar um flip-flop JK como um flip-flop D, basta:
  - a) Colocar um inversor entre as entradas J e K.
  - b) Evitar que as entradas J e K sejam ambas iguais a 1.
  - c) Fazer  $J = K = 1$  e dar pulsos na entrada do relógio.
  - d) Ligar  $Q$  a K e  $\overline{Q}$  a J.
  - e) As afirmações **b** e **d** estão corretas.



8. Em que estado as entradas PRESET e CLEAR devem estar para que o flip-flop JK SENHOR-ESCRAVO (7476) opere normalmente:
- a) 0
  - b) 1
  - c) Indiferente
  - d) NDA
9. Qualquer tipo de flip-flop pode ser construído a partir do flip-flop D, adicionando-se poucas portas lógicas combinacionais:
- a) Certo
  - b) Errado
  - c) Faltam dados para responder.
  - d) NDA
10. Para se construir um flip-flop T a partir do flip-flop D basta conectar uma porta XOR à entrada D e ligar  $Q$  a uma de suas entradas. A outra entrada da porta XOR é o terminal T:
- a) Certo
  - b) Errado
  - c) Faltam dados para responder.
  - d) NDA