

# CIRCUITOS DIGITAIS

---

## DISPOSITIVOS DE CHAVEAMENTO

Prof. Marcelo Grandi Mandelli  
[mgmandelli@unb.br](mailto:mgmandelli@unb.br)

# Famílias Lógicas

---

## ❑ Bipolar:

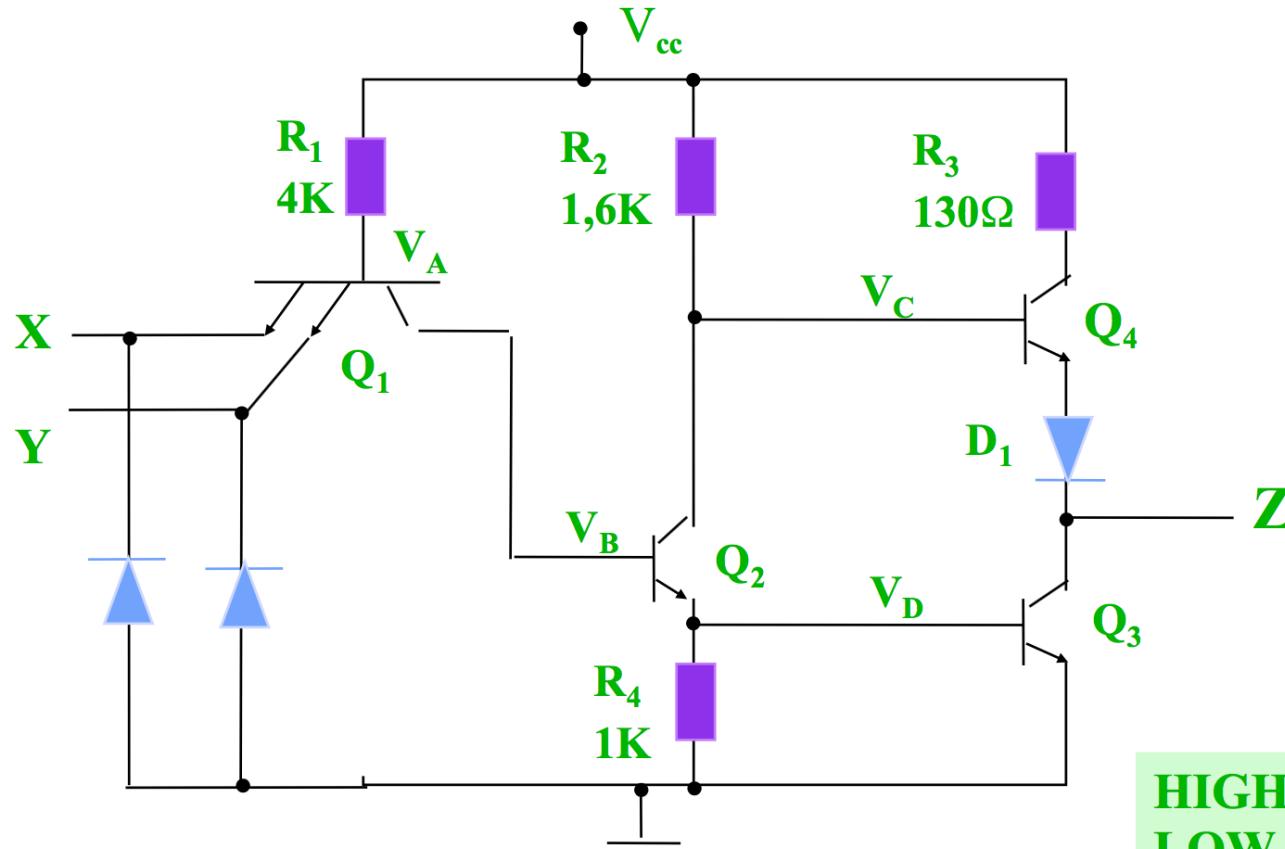
- RTL - Resistor - Transistor Logic
- DTL - Diode - Transistor Logic
- TTL - Transistor - Transistor Logic
- ECL - Emitter-Coupled Logic

## ❑ MOS METAL-OXIDO SEMICONDUTOR :

- NMOS
- CMOS

# Transistor - Transistor Logic (TTL)

## Porta Básica - NAND



HIGH : 2,0 a 5,0 V  
LOW : 0 a 0,8 V

# Séries TTL

## 74 TRADICIONAL

74 H HIGH-SPEED - diminuindo valores de resistências, diminui  $\tau$

74 L LOW-POWER - aumenta valores de resistências, diminui corrente

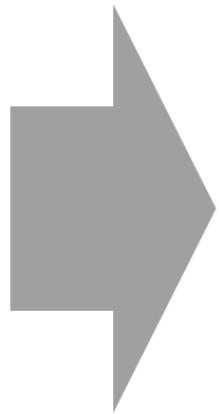
74 S SCHOTTKY - usa T não saturados, diminui tempos de chaveamento

74 LS LOW-POWER SCHOTTKY

74 AS ADVANCED SCHOTTKY - ainda mais rápidos

74 ALS ADVANCED LOW-POWER SCHOTTKY

Tabela de  
Referência para  
NANDs de  
2 entradas



	atraso propagação (ns)	potência consumida (mW)
74	9	10
74 L	33	1
74 H	6	22
74 S	3	20
74 LS	9	2
74 AS	1,6	20
74 ALS	5	1,3

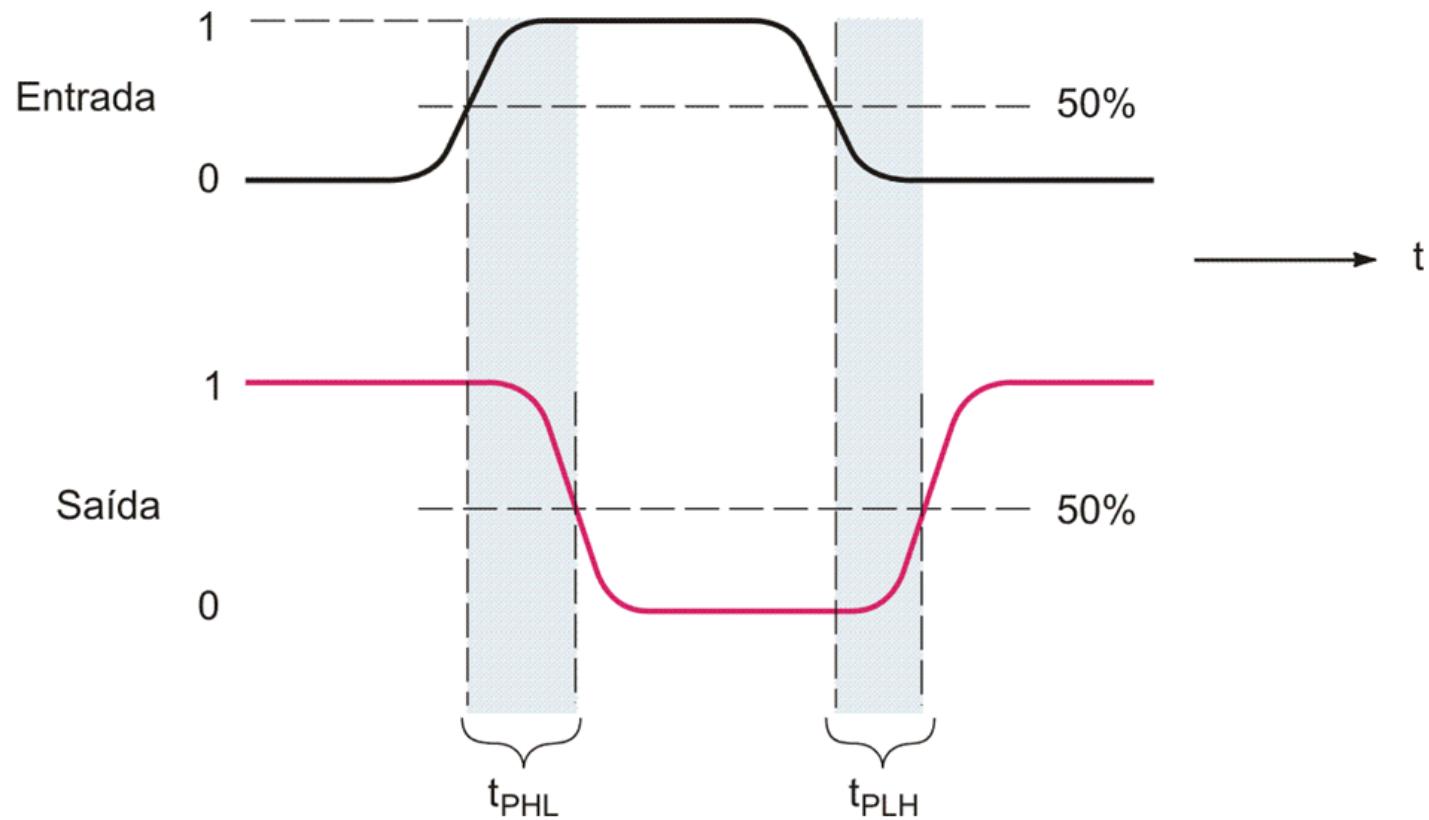
# Séries TTL

---

- Série 54 – temperatura entre -55º a +125ºC (militar)
- Série 64 - temperatura entre -40º a +85ºC (industrial)
- Série 74 – temperatura entre 0º a +75ºC (civil/industrial)

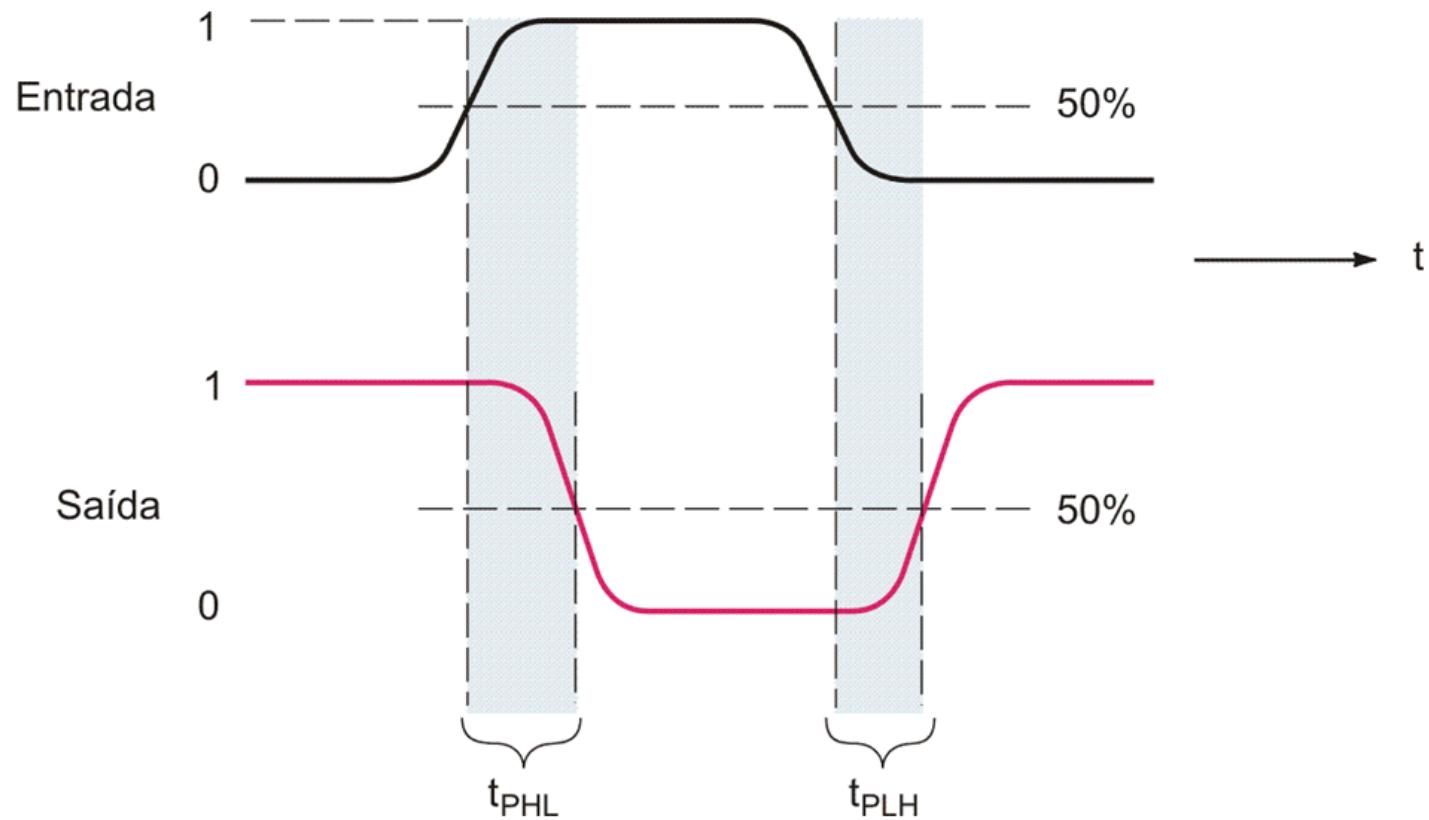
# Atrasos de propagação

- $t_{PHL}$  = tempo de atraso do nível lógico “1” para o nível lógico “0” na saída da porta lógica



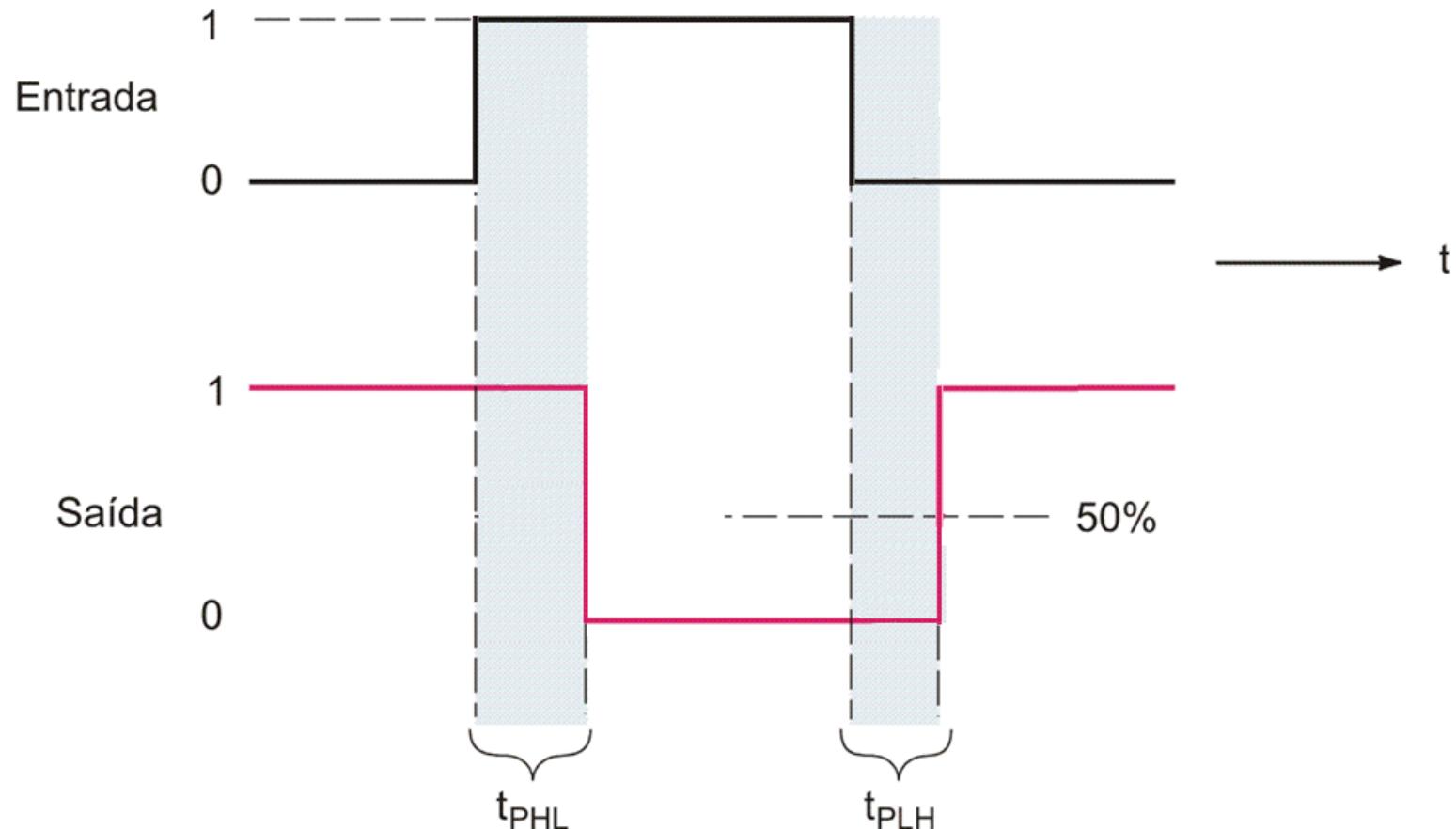
# Atrasos de propagação

- $t_{PLH}$  = tempo de atraso do nível lógico “0” para o nível lógico “1” na saída da porta lógica

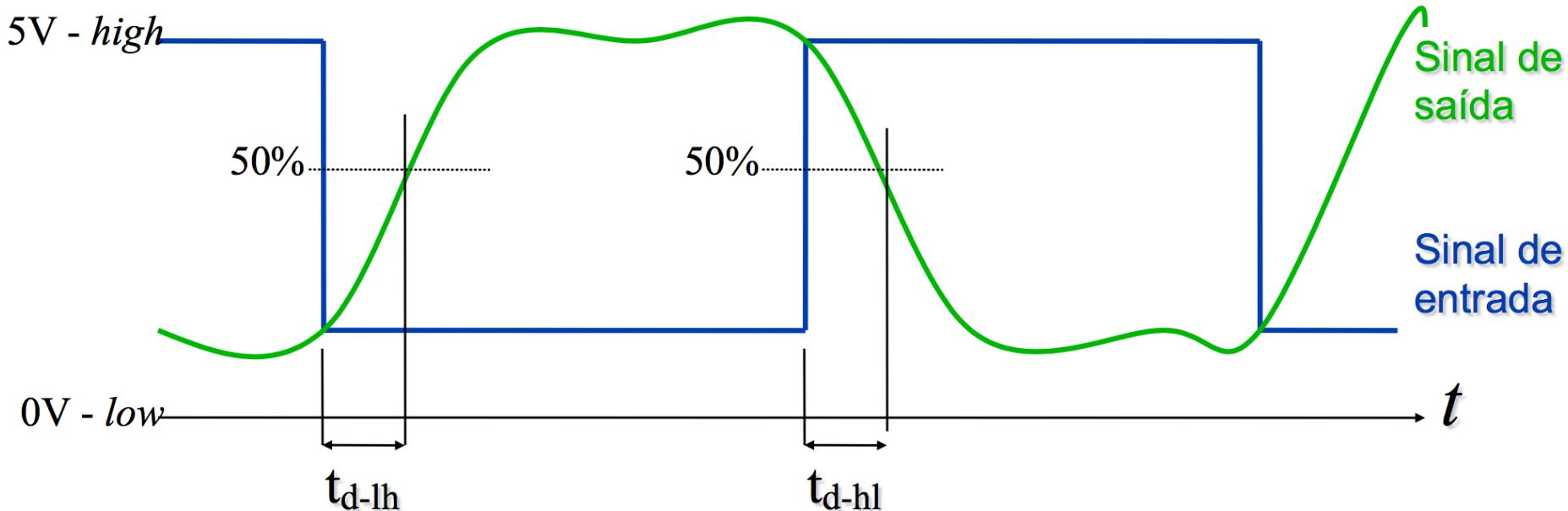


# Atrasos de propagação

- Outra forma de representar os atrasos de propagação



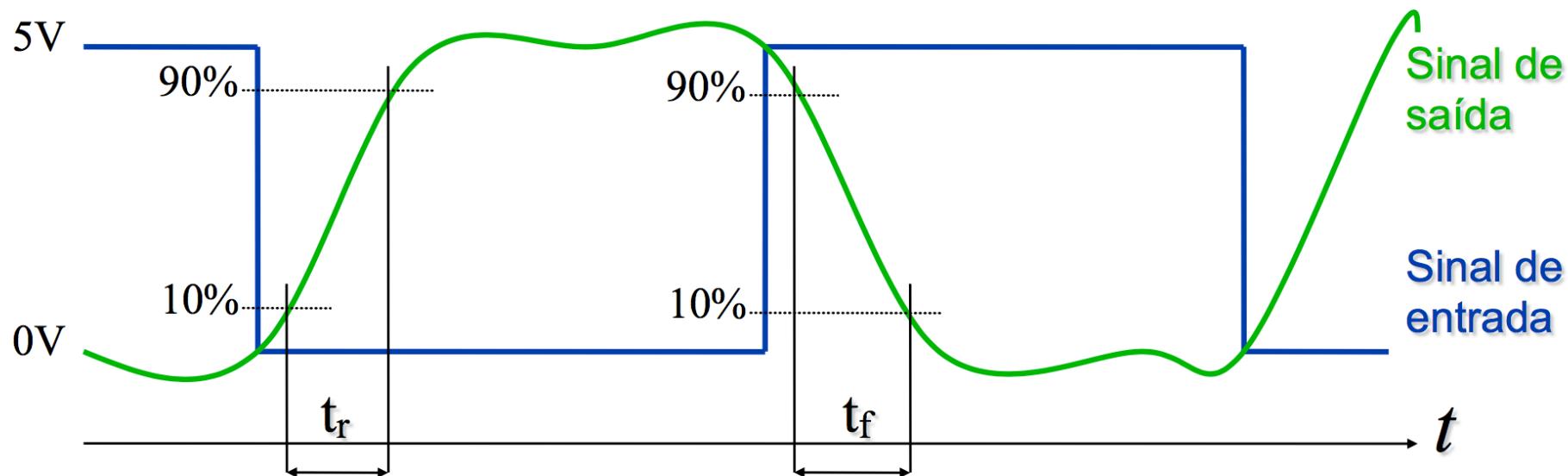
# Atrasos de propagação



- $t_{d-lh}$  - Tempo de atraso de propagação do sinal de saída quando este passa do nível lógico '0' para o nível lógico '1' (*delay time \_ low-high*)
- $t_{d-hl}$  - Tempo de atraso de propagação do sinal de saída quando este passa do nível lógico '1' para o nível lógico '0' (*delay time \_ high-low*)
- $t_d$  - Tempo de atraso de propagação MÉDIO do sinal de saída (*delay time*)

$$t_d = (t_{d-lh} + t_{d-hl}) / 2$$

# Tempos de Subida e Descida



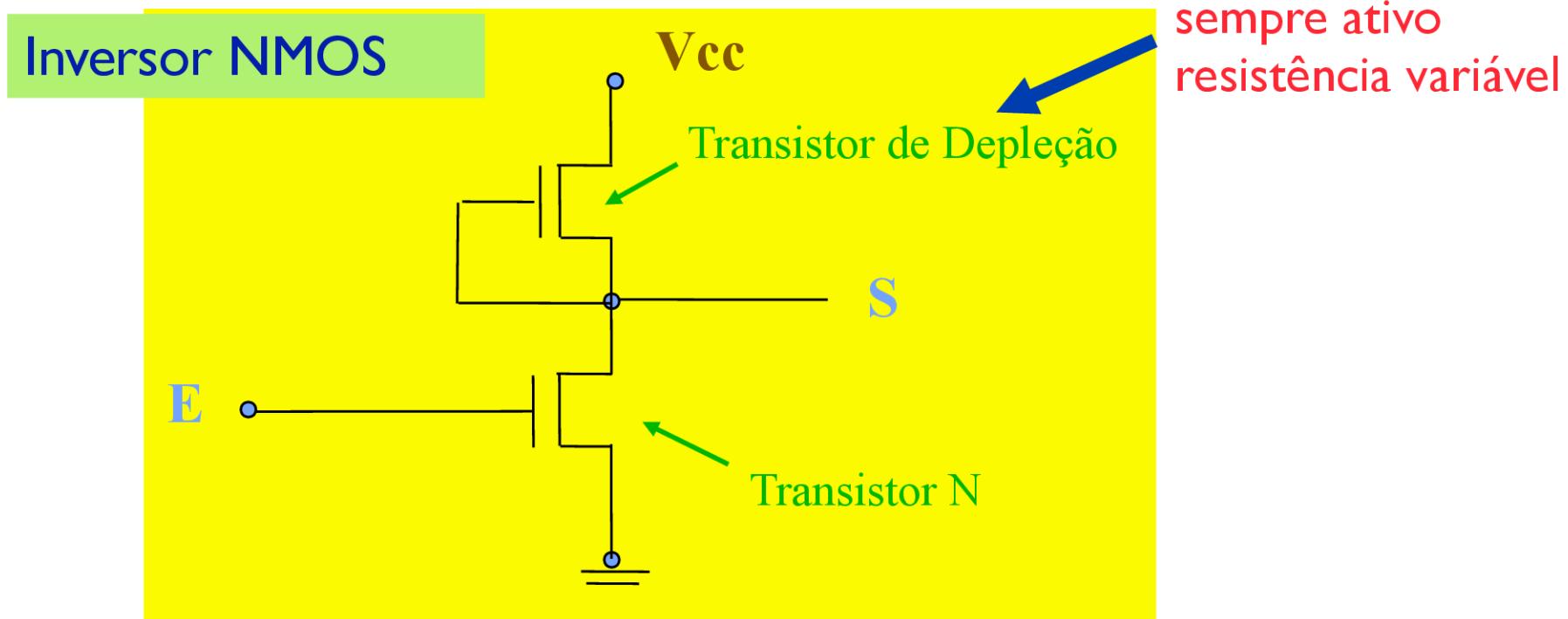
$t_r$  - Tempo de subida (*rise time*)

$t_f$  - Tempo de descida (*fall time*)

OBS: referente ao sinal de saída

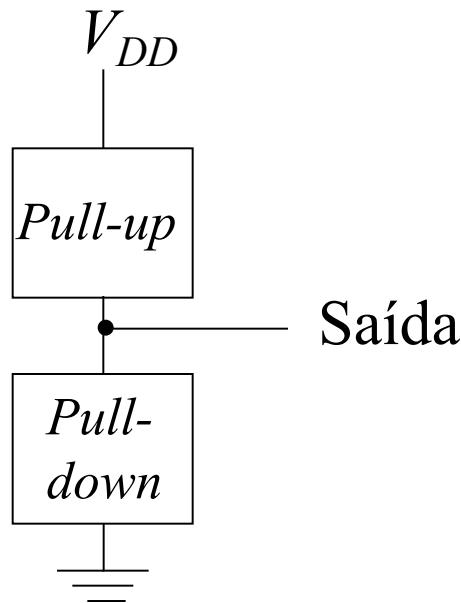
# Famílias MOS

- menor potência consumida que as famílias bipolares.
- maior densidade de integração (portas menores)
- apropriada para circuitos integrados VLSI
- delays de propagação maiores devido a maiores capacitâncias e resistências quando conduzindo



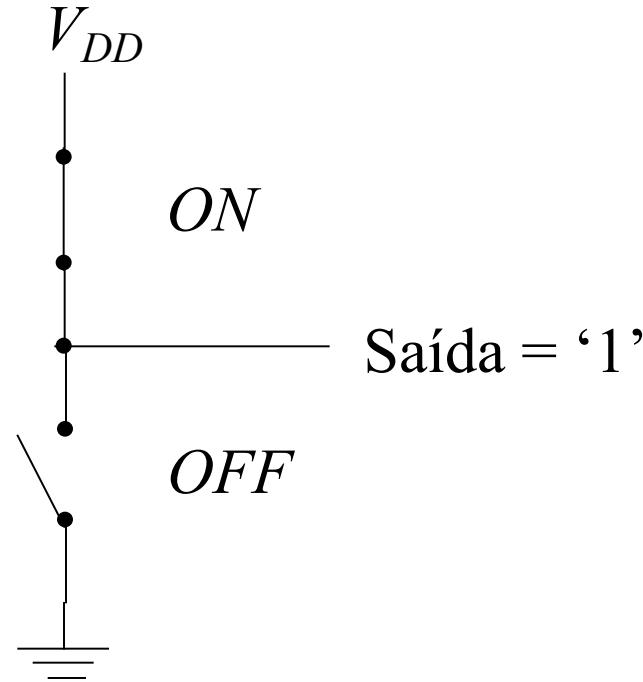
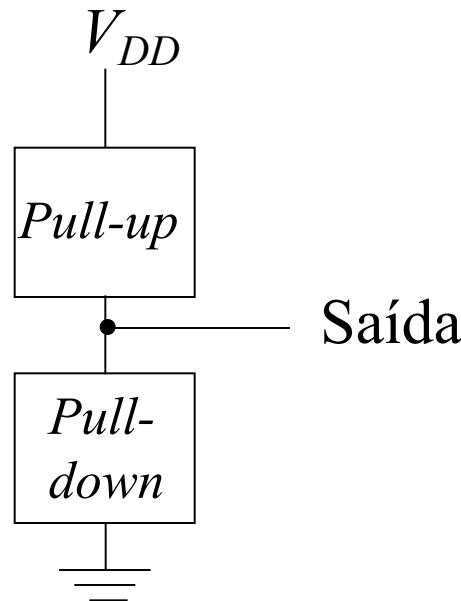
# Lógica CMOS (Complementary MOS)

- Lógica complementar em transistores MOS
- Dois blocos (*Pull-up* e *Pull-down*) de comportamento complementar



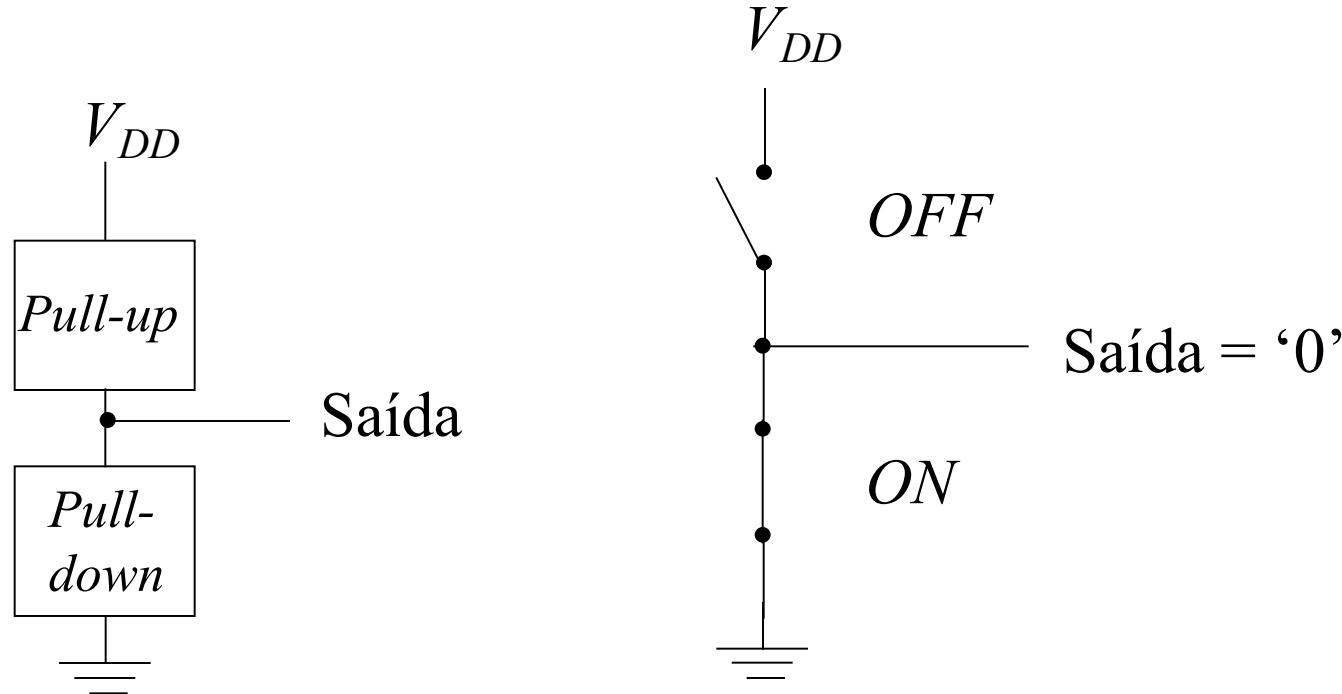
# Lógica CMOS – Pull-up e pull-down

- Quando um bloco está ligado (*ON*), o outro está desligado (*OFF*)



# Lógica CMOS – Pull-up e pull-down

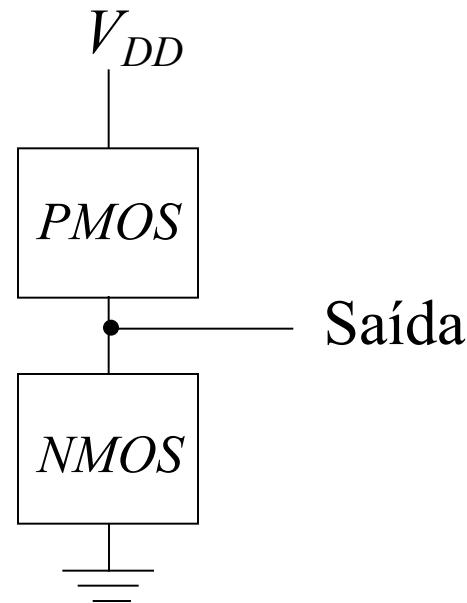
- Quando um bloco está ligado (*ON*), o outro está desligado (*OFF*)



# Lógica CMOS – Pull-up e pull-down

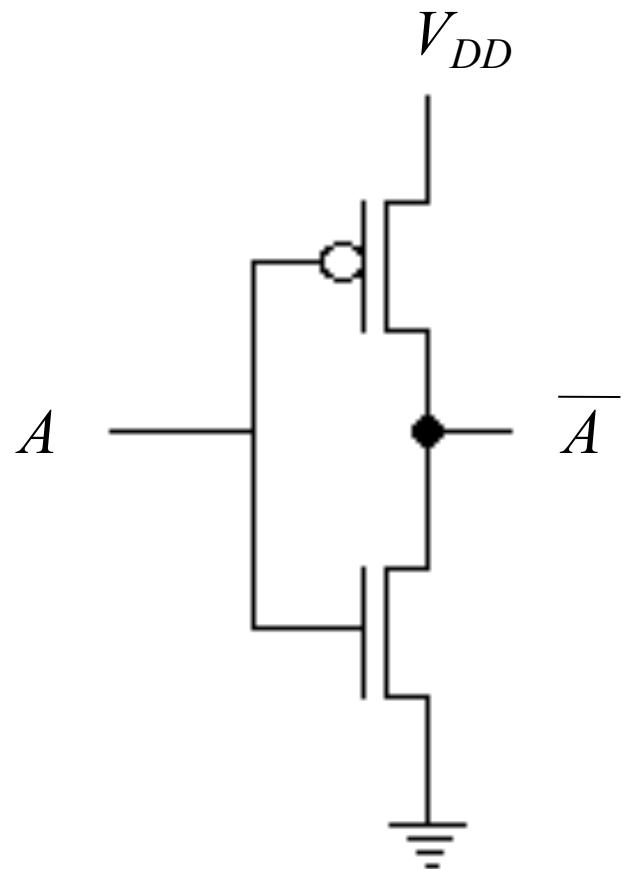
---

- O bloco Pull-up utiliza transistores PMOS, por esses conduzirem melhor o nível “1”
- O bloco Pull-down utiliza transistores NMOS por esses conduzirem melhor o nível “0”

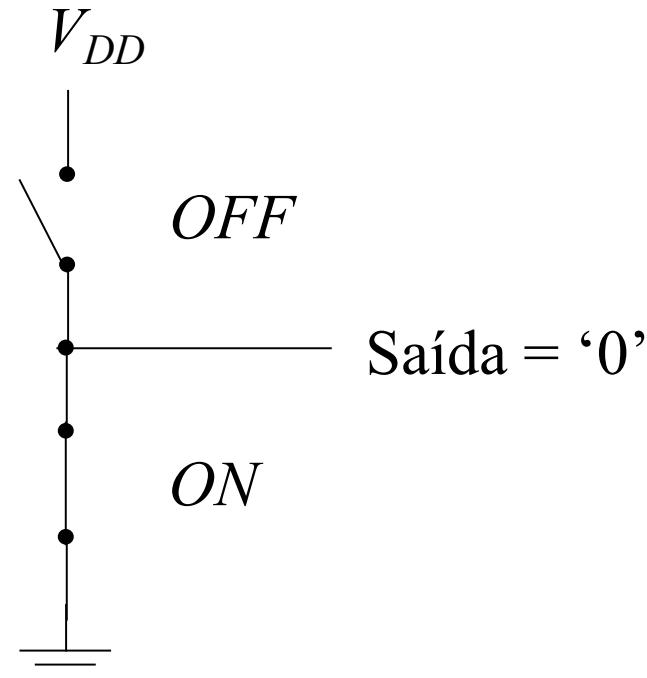
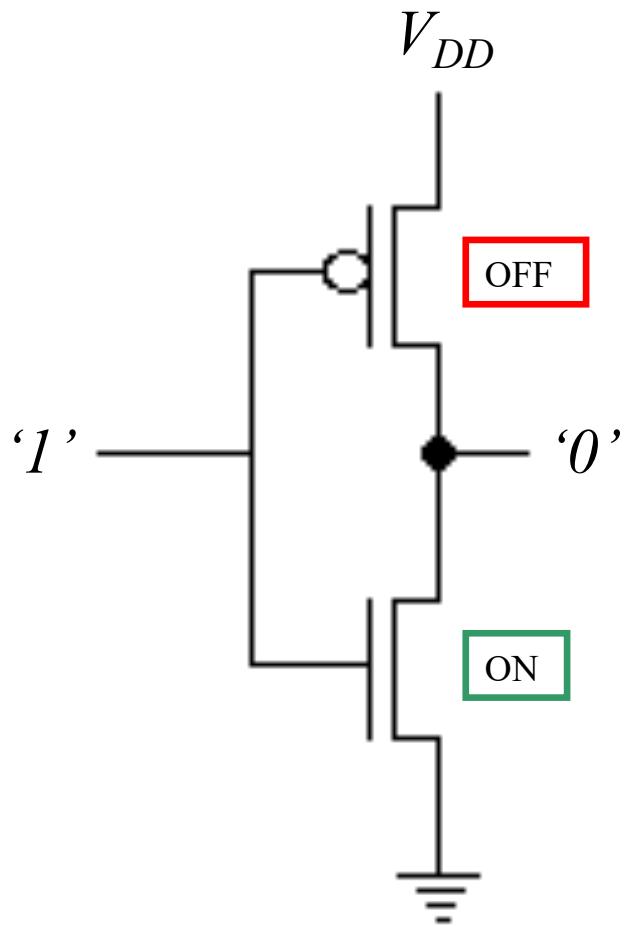


# Inversor CMOS

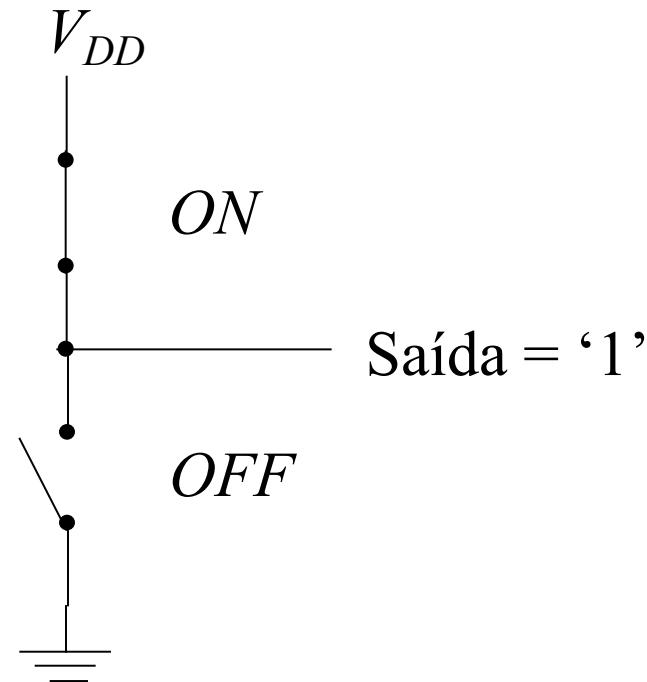
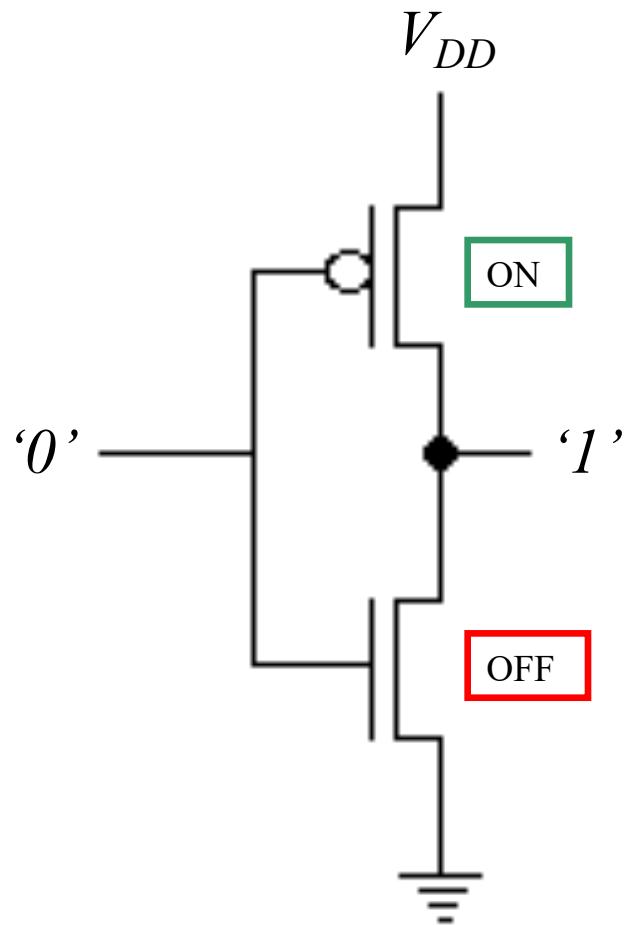
---



# Inversor CMOS



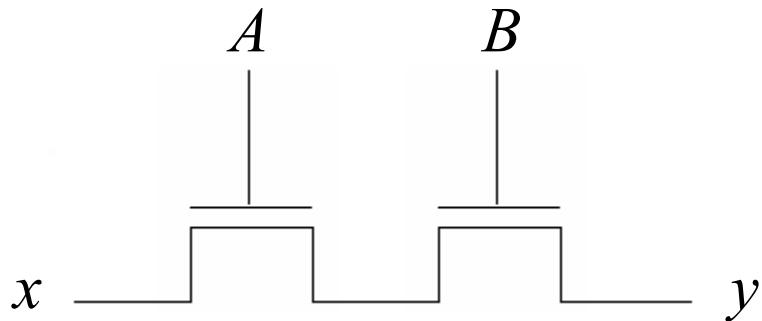
# Inversor CMOS



# Portas CMOS

---

- Utilizam diferentes *associações de transistores* para implementar as diversas *funções lógicas*
- Associação série de transistores NMOS:

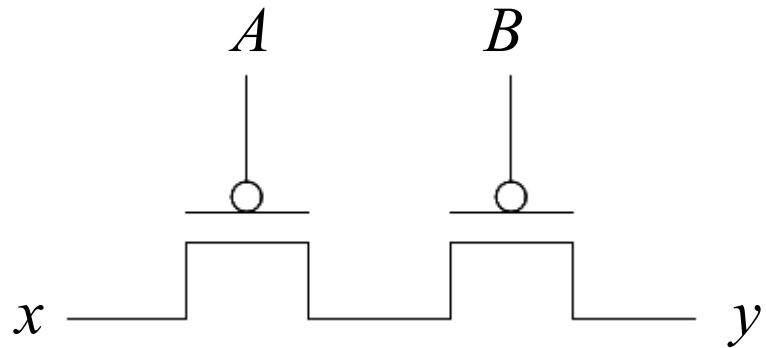


$$conecta(x, y) = A \cdot B$$

# Portas CMOS

---

- Associação série de transistores PMOS:

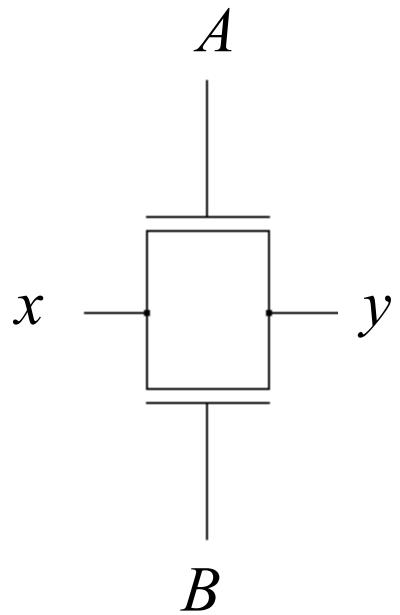


$$conecta(x, y) = \overline{A} \cdot \overline{B}$$

# Portas CMOS

---

- Associação paralela de transistores NMOS:

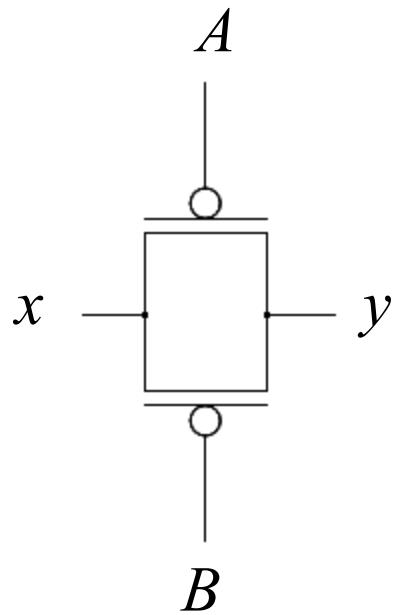


$$conecta(x, y) = A + B$$

# Portas CMOS

---

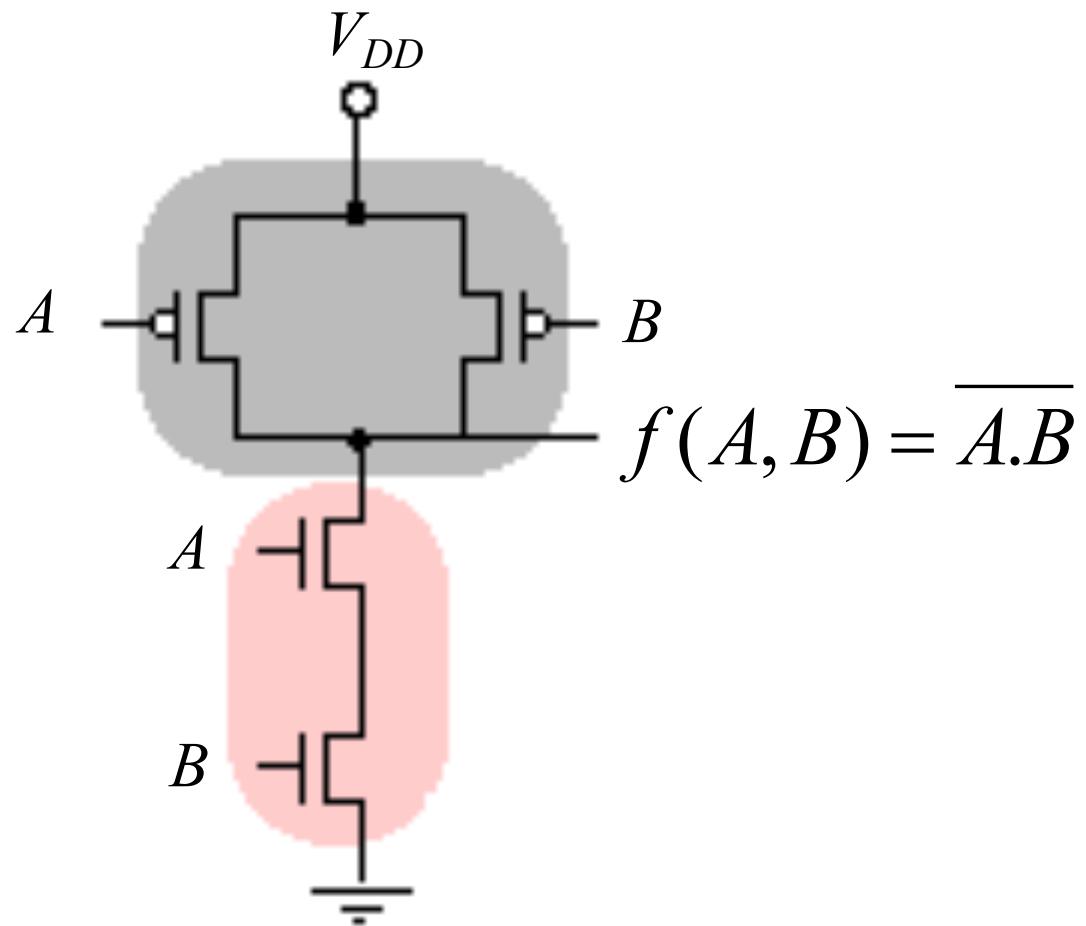
- Associação paralela de transistores PMOS:



$$conecta(x, y) = \overline{A} + \overline{B}$$

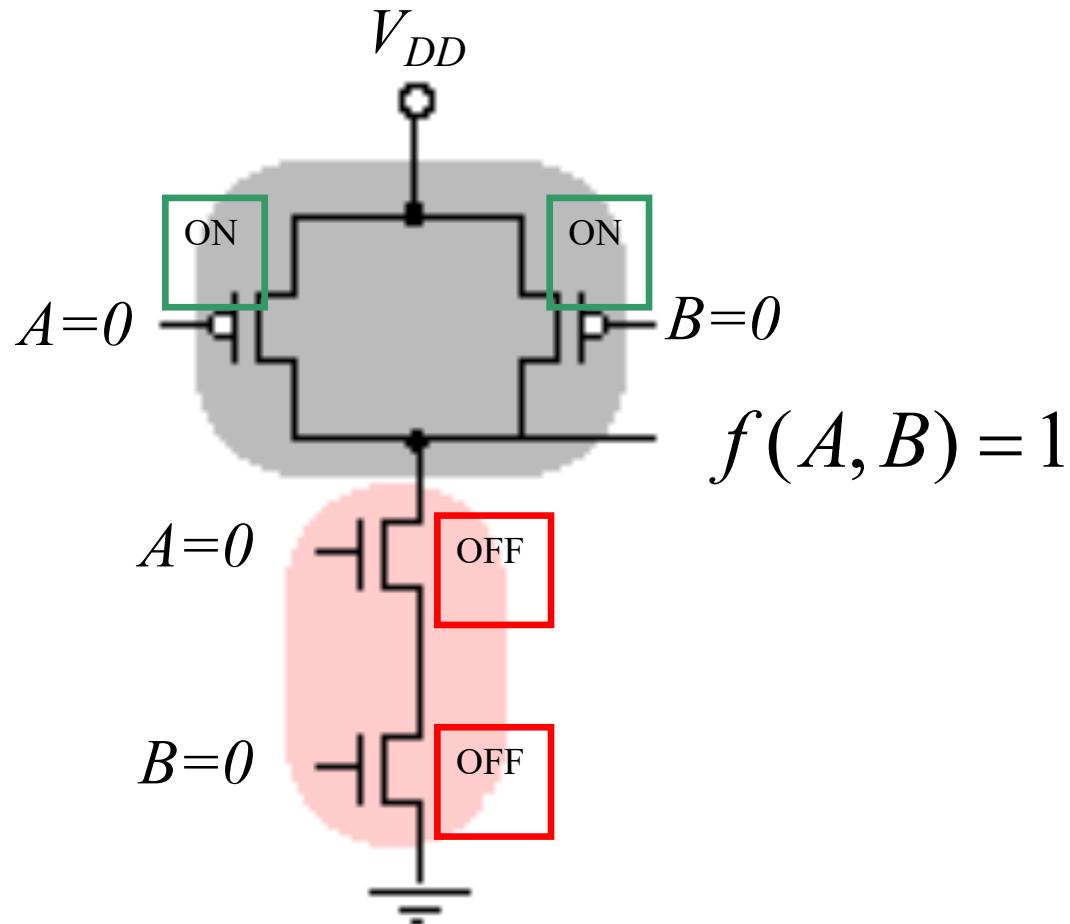
# Porta NAND CMOS

---



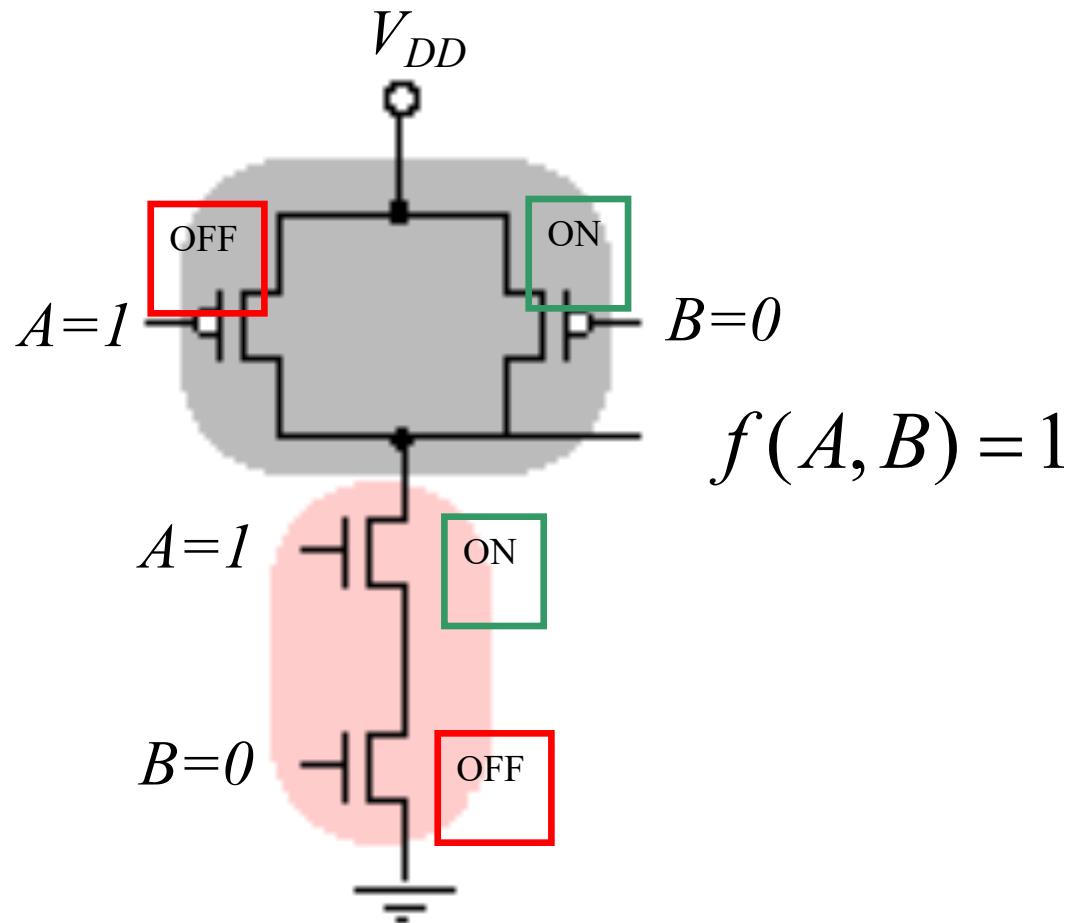
# Porta NAND CMOS

- Ambas as entradas em nível lógico “0”



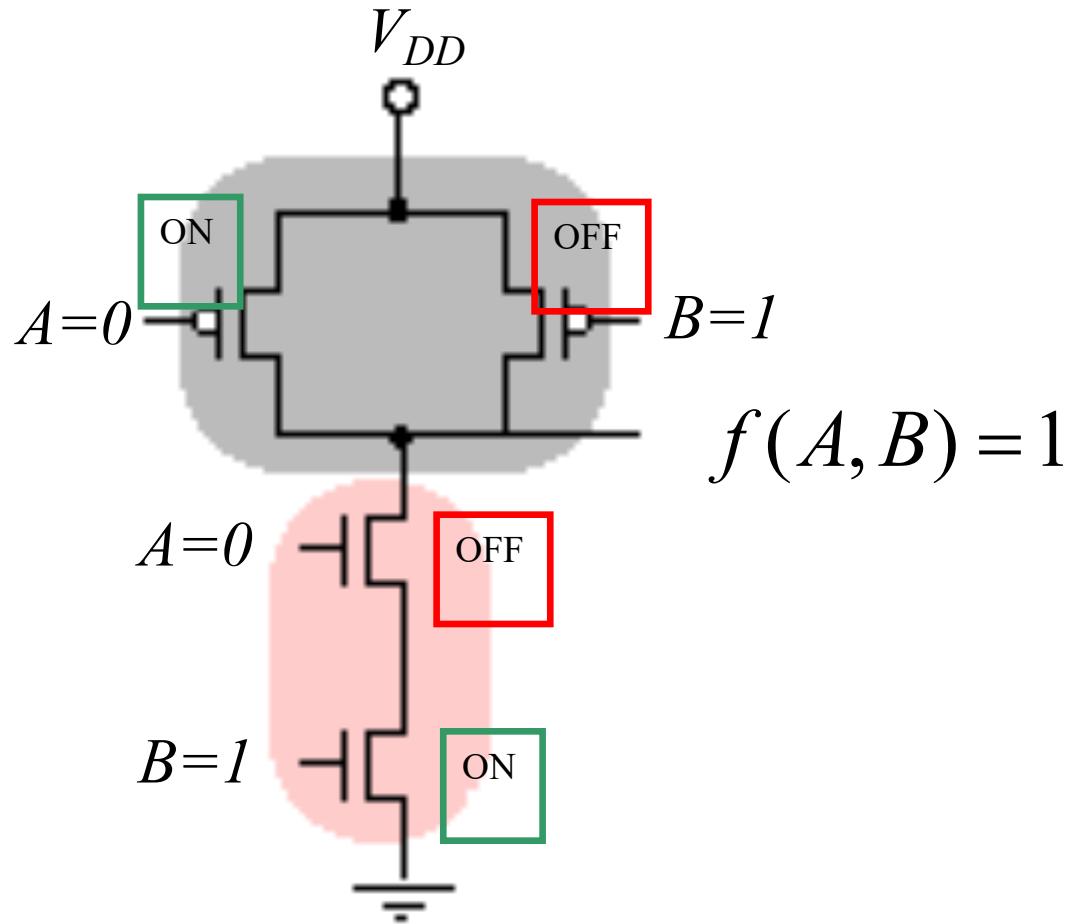
# Porta NAND CMOS

- Entradas com níveis lógicos opostos



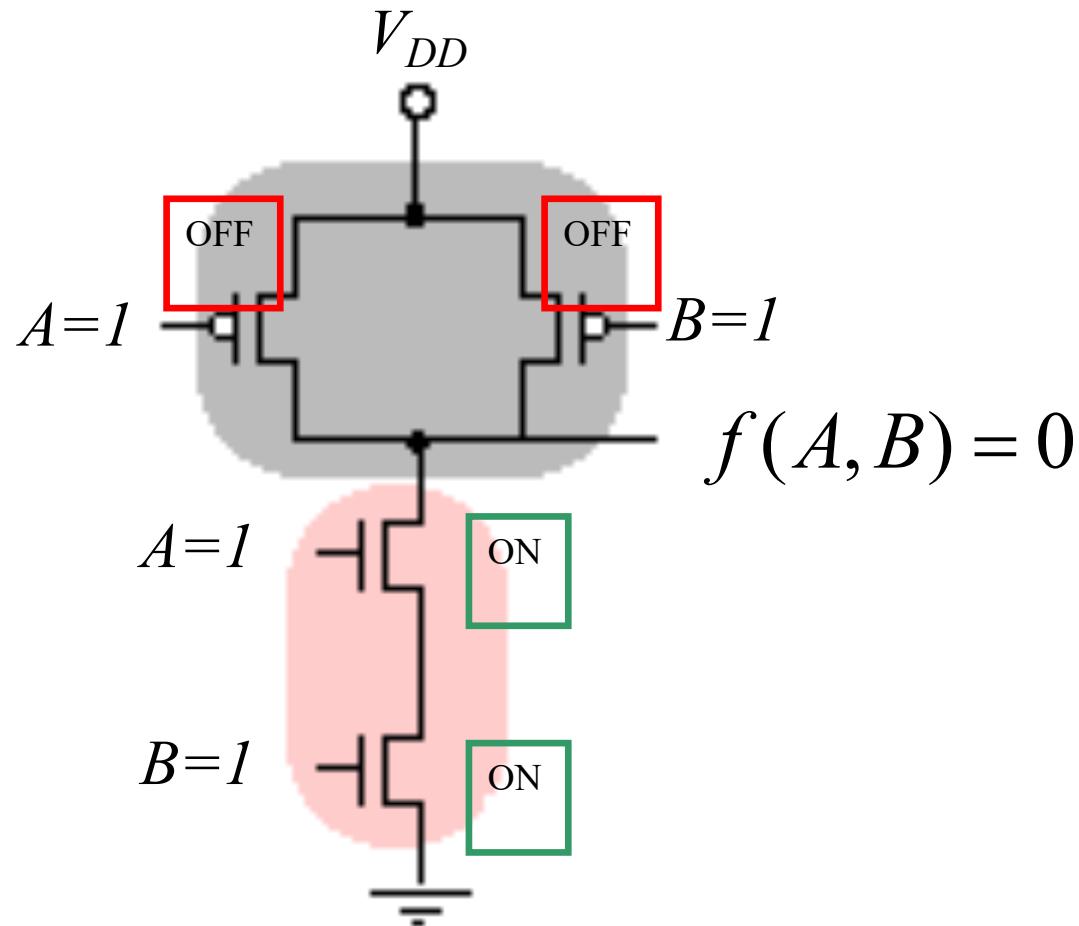
# Porta NAND CMOS

- Entradas com níveis lógicos opostos



# Porta NAND CMOS

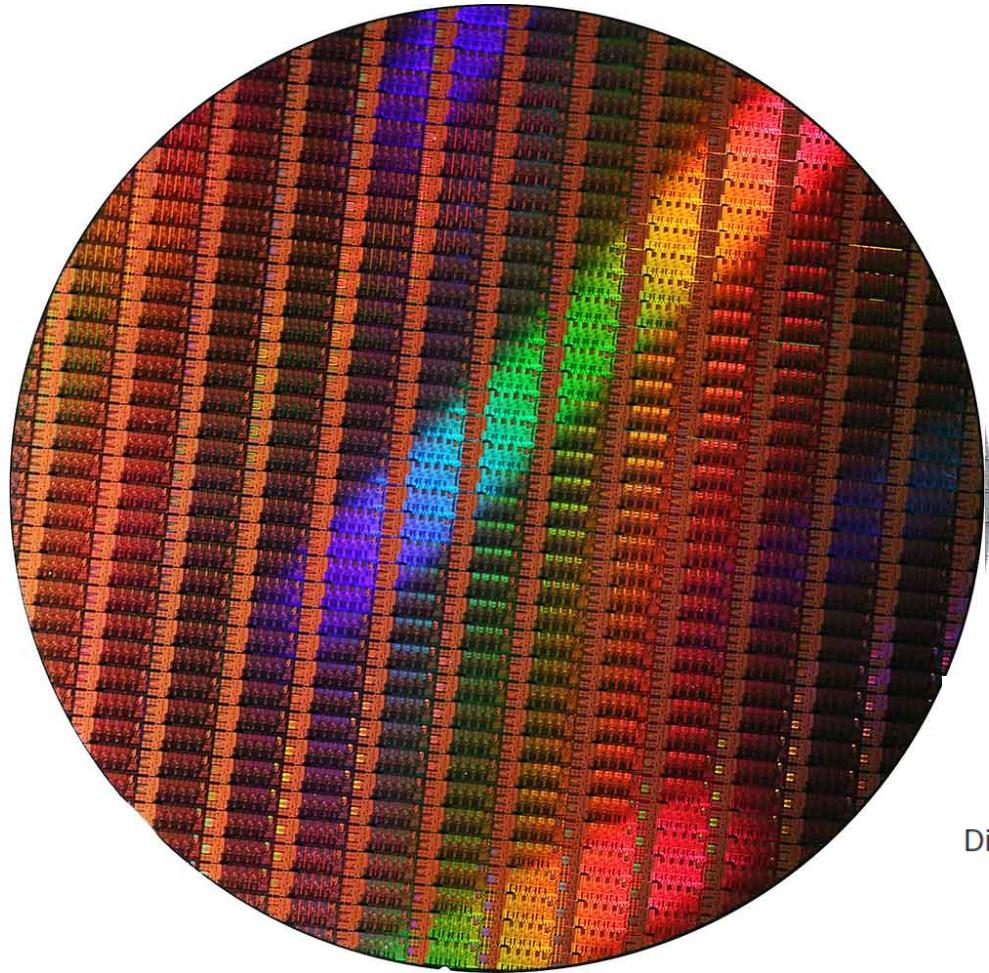
- Ambas as entradas em nível lógico “1”



# Séries CMOS

---

- As séries básicas CMOS para a categoria de 5 V e suas designações incluem:
  - 74HC e 74HCT – CMOS de alta velocidade (o “T” indica compatibilidade com TTL)
  - 74AC e 74ACT – CMOS avançado
  - 74AHC e 74AHCT – CMOS de alta velocidade avançado
- As séries CMOS básicas para a categoria de 3,3 V e suas designações incluem:
  - 74LV e 74LVC – CMOS de baixa tensão
  - 74ALVC – CMOS de baixa tensão avançado



$$\text{Cost per die} = \frac{\text{Cost per wafer}}{\text{Dies per wafer} \times \text{yield}}$$

$$\text{Dies per wafer} \approx \frac{\text{Wafer area}}{\text{Die area}}$$

$$\text{Yield} = \frac{1}{(1 + (\text{Defects per area} \times \text{Die area}/2))^2}$$

Obtida por observação

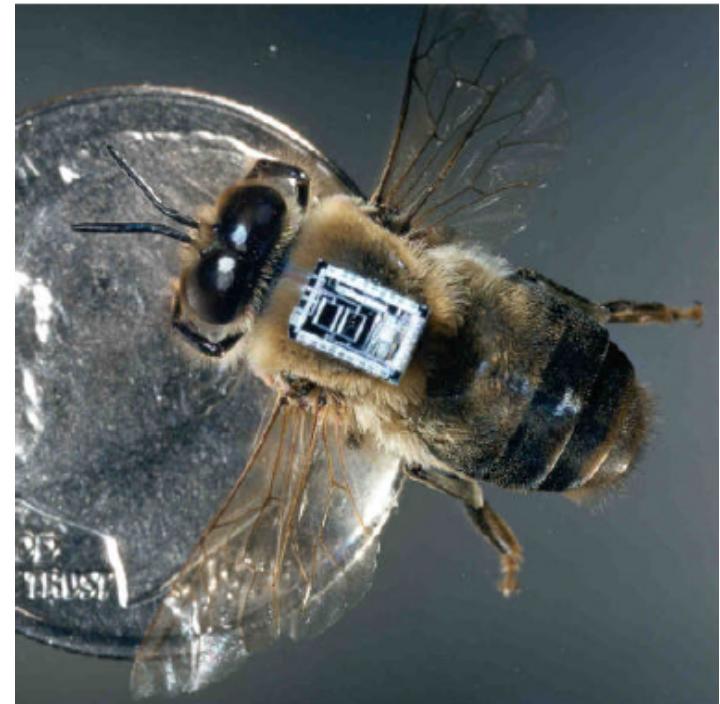
**FIGURE 1.13 A 12-inch (300mm) wafer of Intel Core i7 (Courtesy Intel).** The number of dies on this 300 mm (12 inch) wafer at 100% yield is 280, each 20.7 by 10.5 mm. The several dozen partially rounded chips at the boundaries of the wafer are useless; they are included because it's easier to create the masks used to pattern the silicon. This die uses a 32-nanometer technology, which means that the smallest features are approximately 32 nm in size, although they are typically somewhat smaller than the actual feature size, which refers to the size of the transistors as “drawn” versus the final manufactured size.



# Tecnologia: Conceitos Básicos

## ■ Chip

- Pastilha de silício na qual um circuito integrado é implantado
- Área típica de alguns milímetros quadrados
- Contém atualmente milhões de transistores



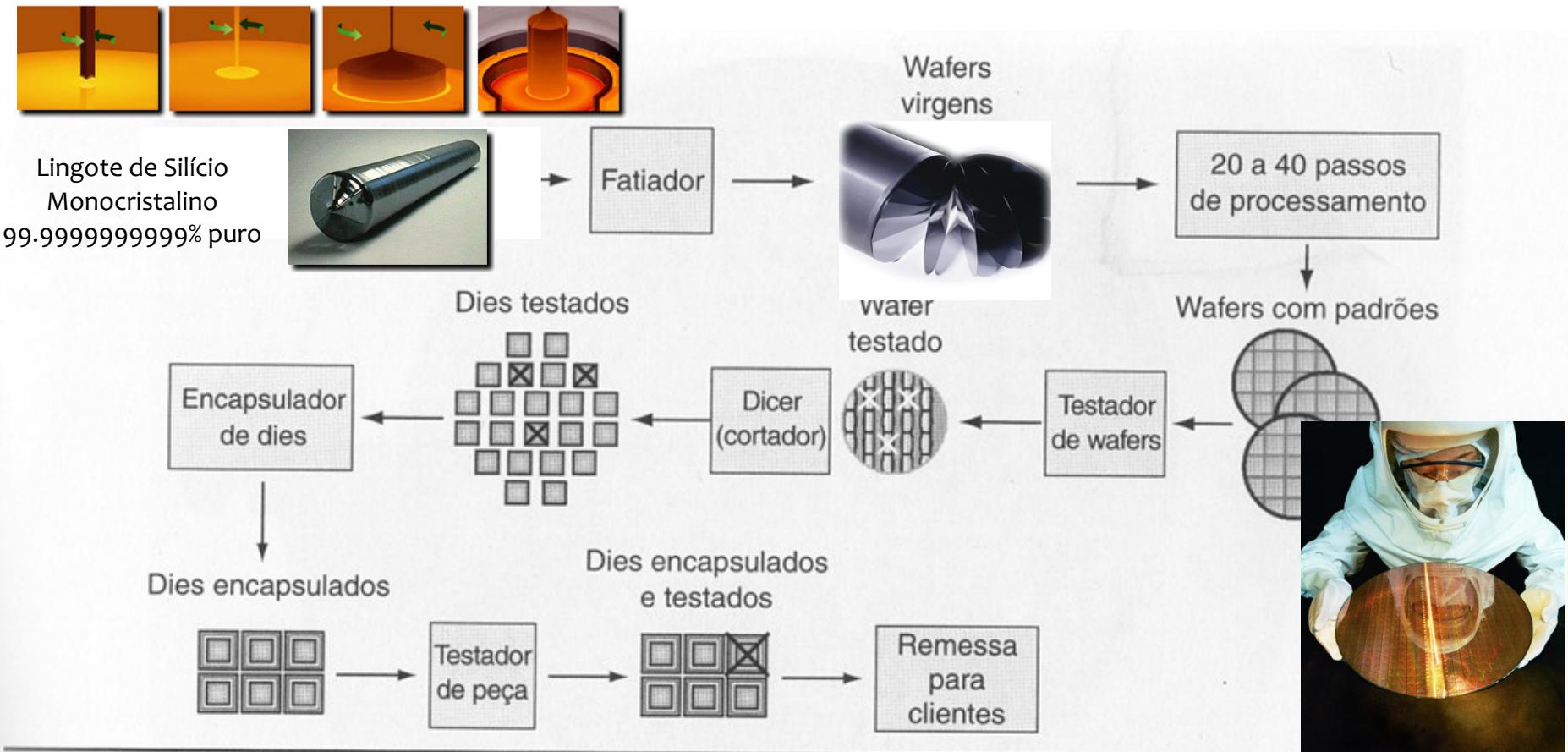
# Como é feito um Chip?

---

- Video Intel

- <https://www.youtube.com/watch?v=d9SWNLZvA8g>

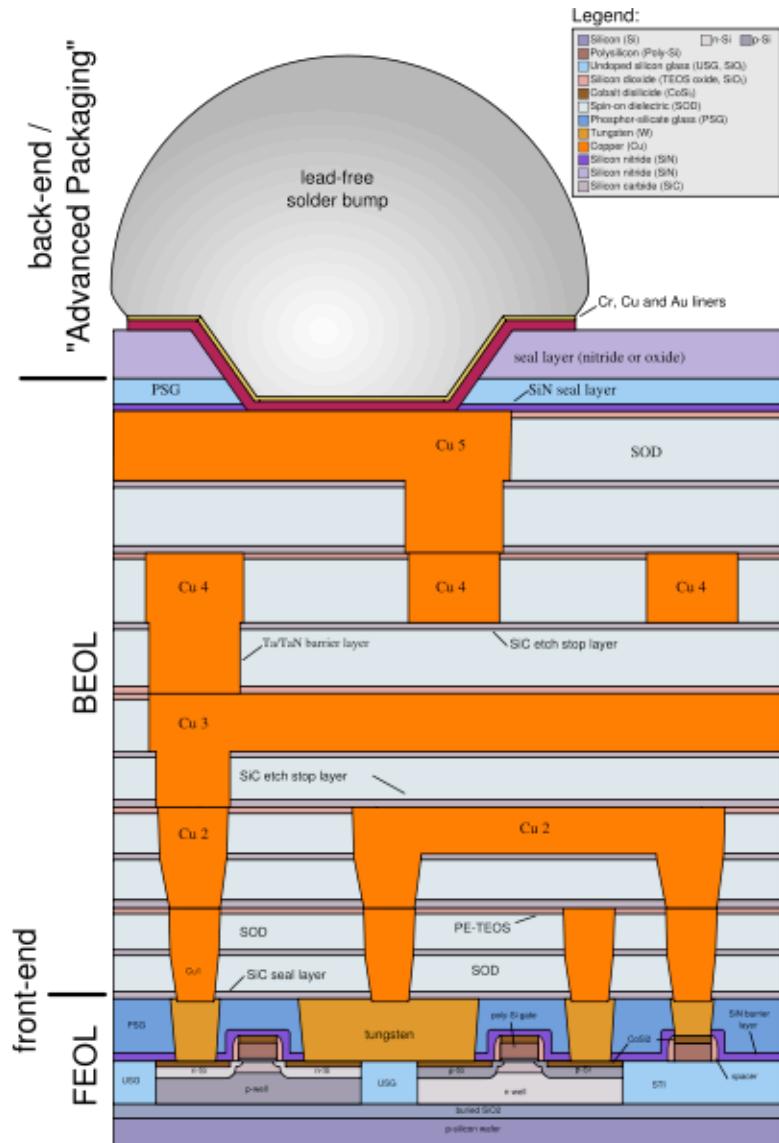
# Fabricação de um chip



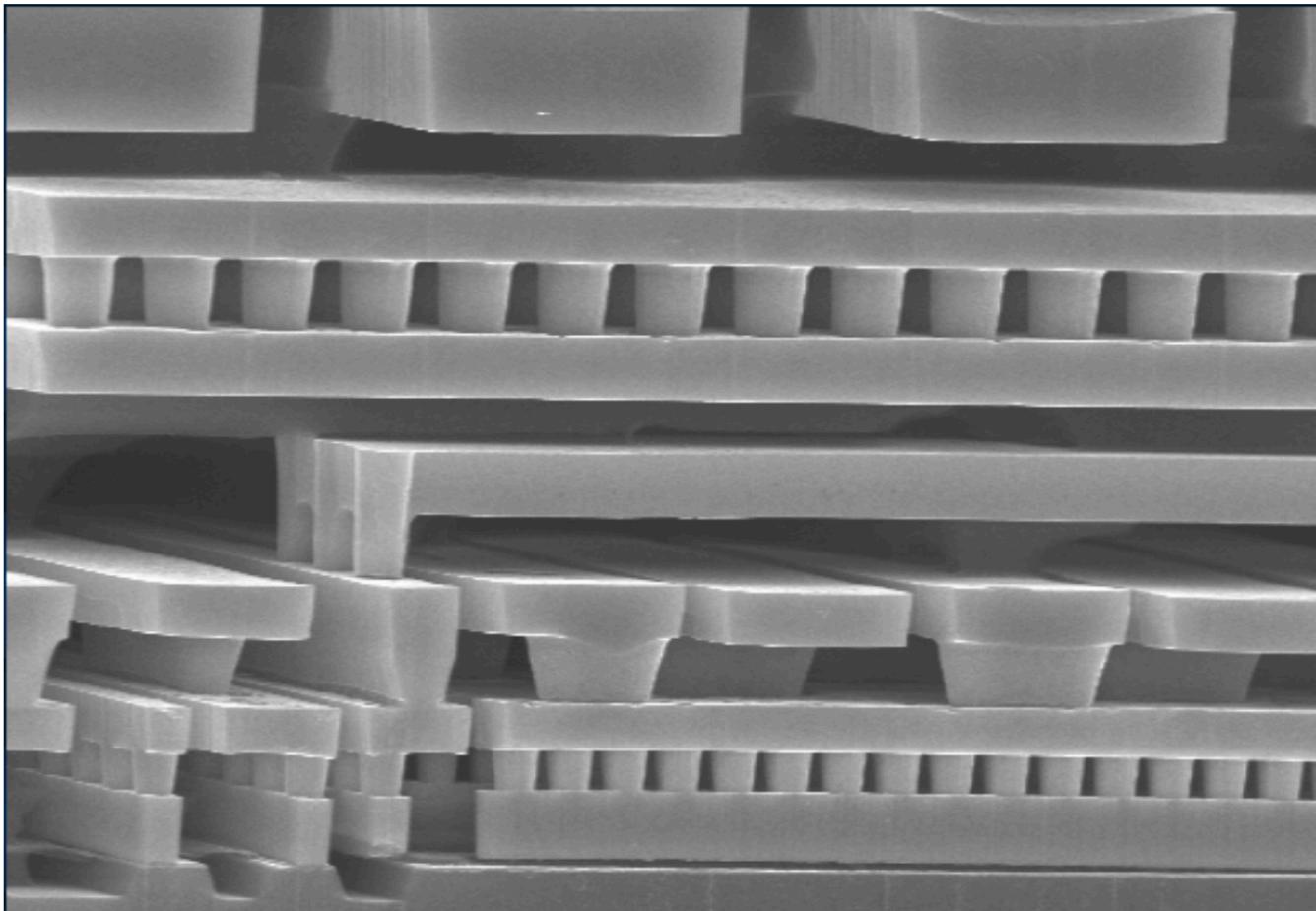
**FIGURA 1.14 Processo de fabricação de um chip.** Após ser fatiado de um lingote de silício, os wafers virgens passam por 20 a 40 passos para criar wafers com padrões (veja a Figura 1.15). Esses wafers com padrões são testados com um testador de wafers e é criado um mapa das partes boas. Depois, os wafers são divididos em dies (moldes) (veja a Figura 1.9). Nessa figura, um wafer produziu 20 dies, dos quais 17 passaram no teste. (X significa que o die está ruim.) O aproveitamento de dies bons nesse caso foi de 17/20, ou 85%. Esses dies bons são soldados a encapsulamentos e testados outra vez antes de serem remetidos para os clientes. Um die encapsulado ruim foi encontrado nesse teste final.

## ■ Dispositivos Integrados

- Transistores
- Camadas de Interconexão
  - Cobre e Tunsgênio
- Polisilício
- Difusão
- Silício - substrato

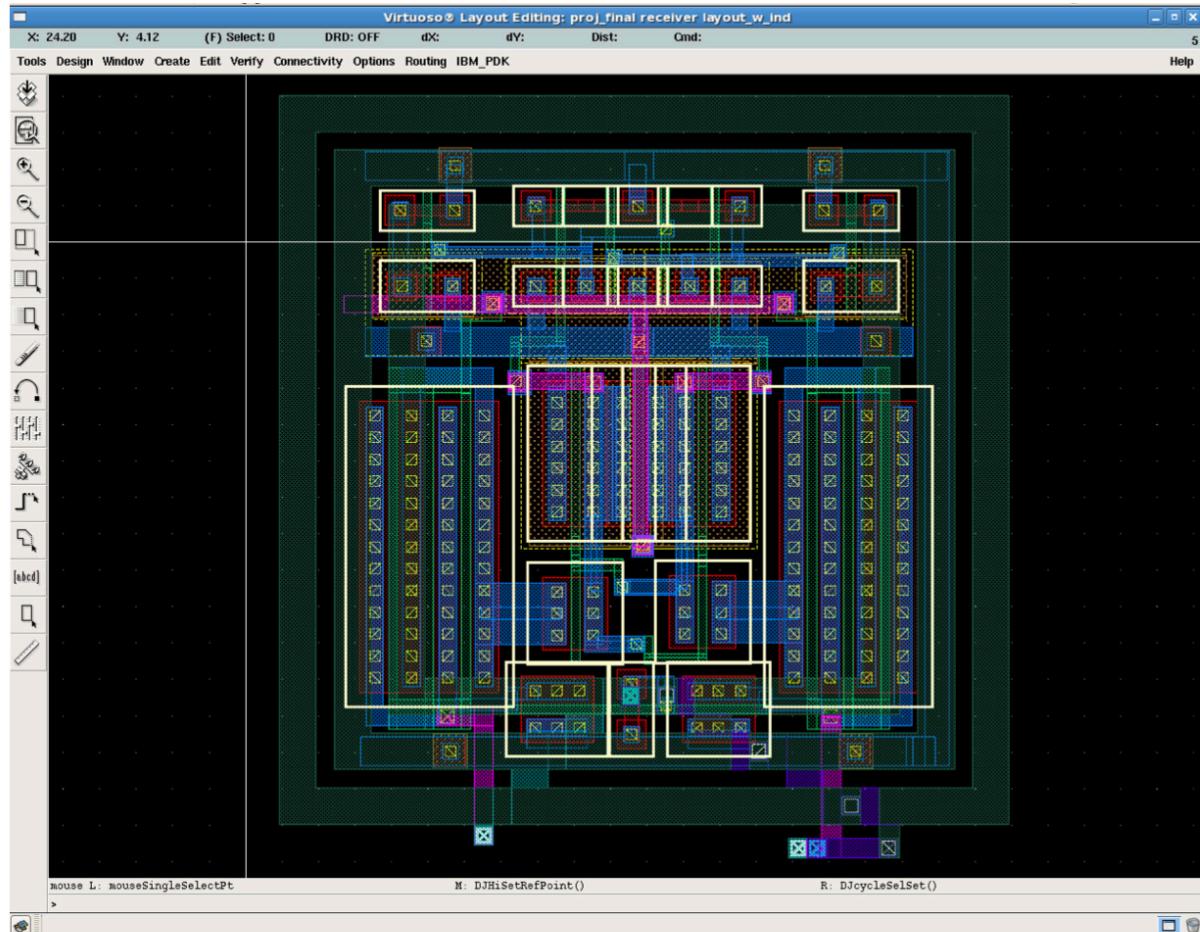


# Camadas de metal

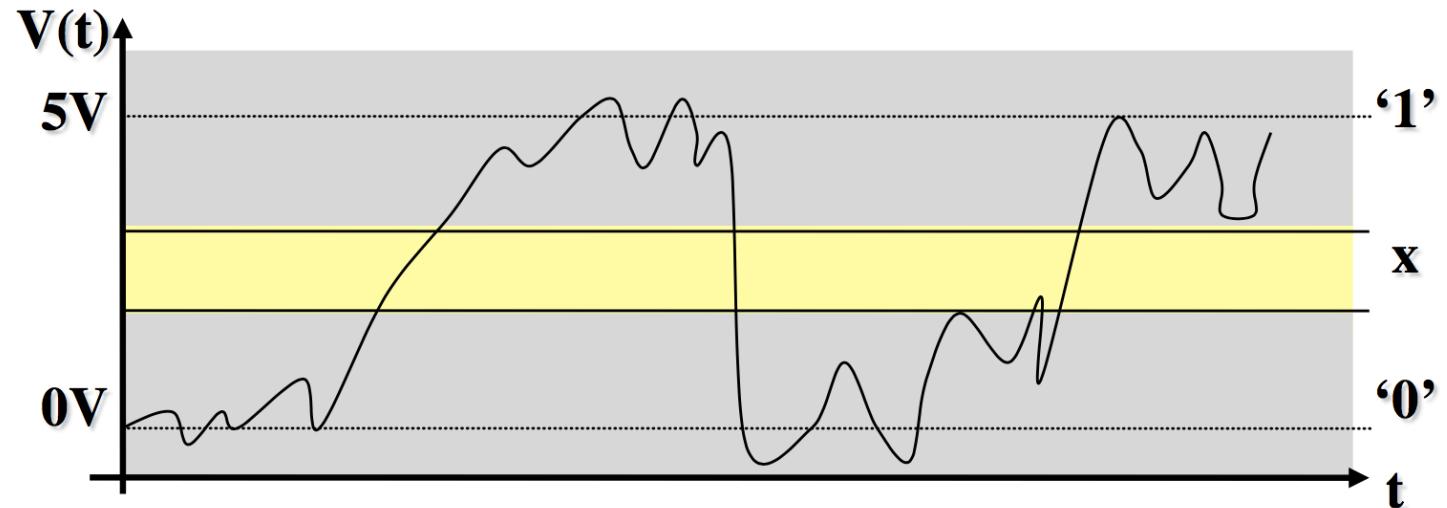
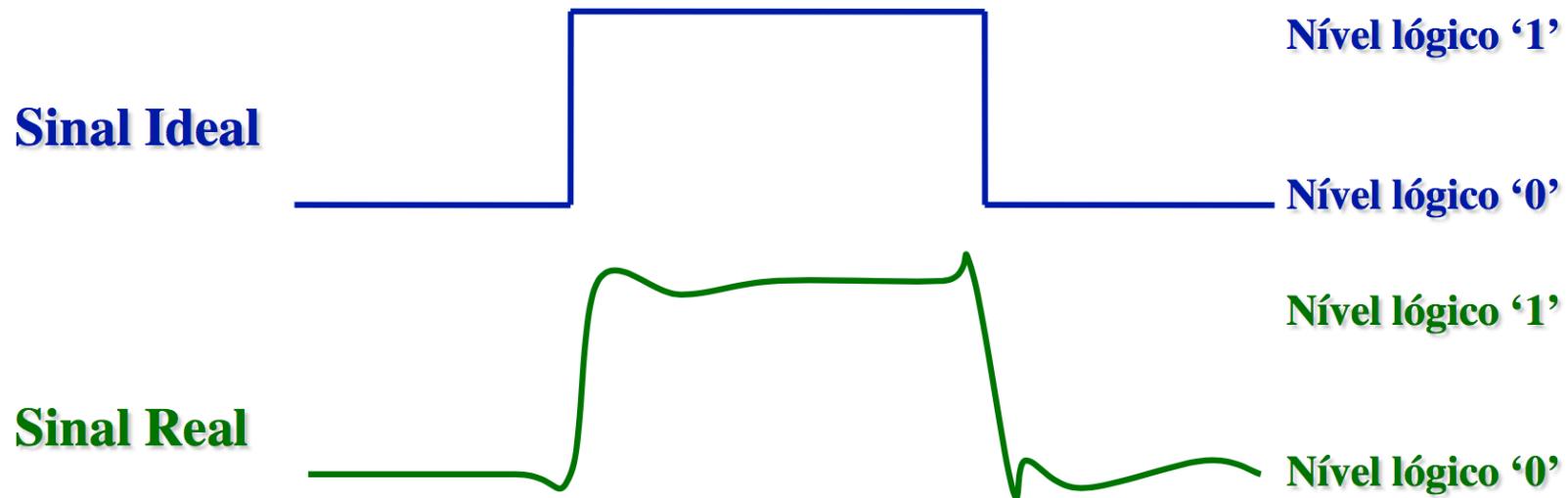


# ► Edição de Layout

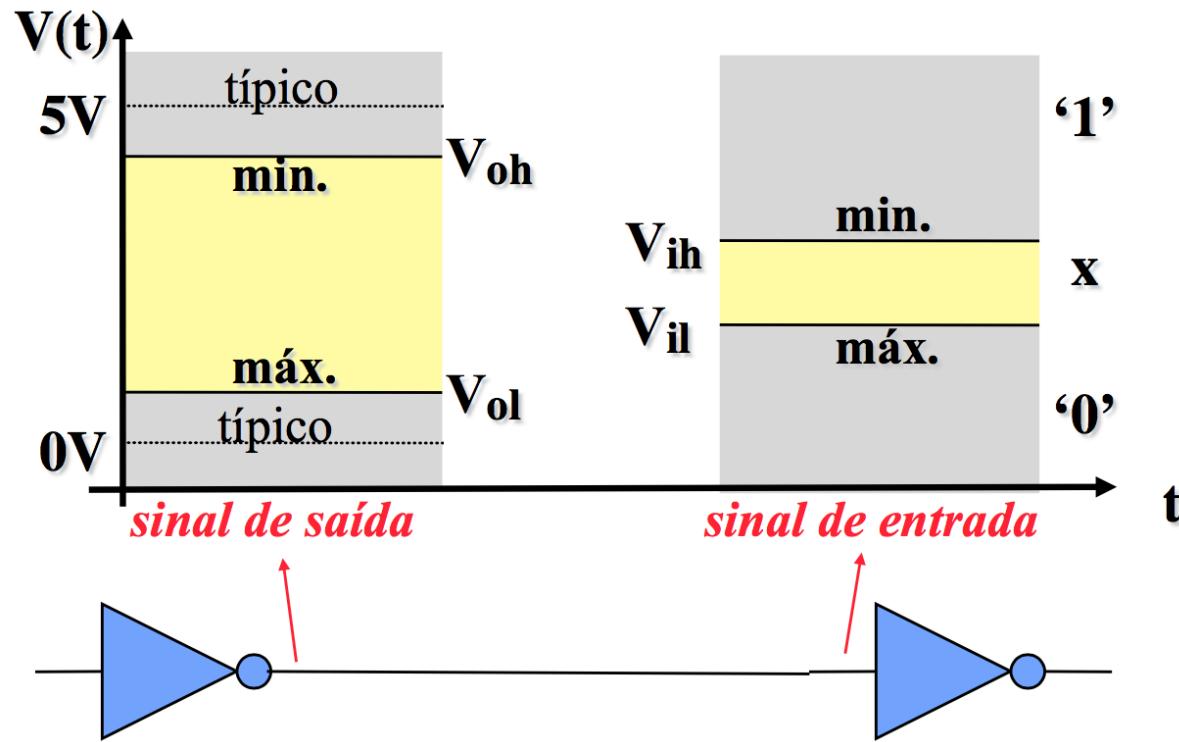
Editor de leiautes  
“Virtuoso”  
(Cadence)



# Chaveamento

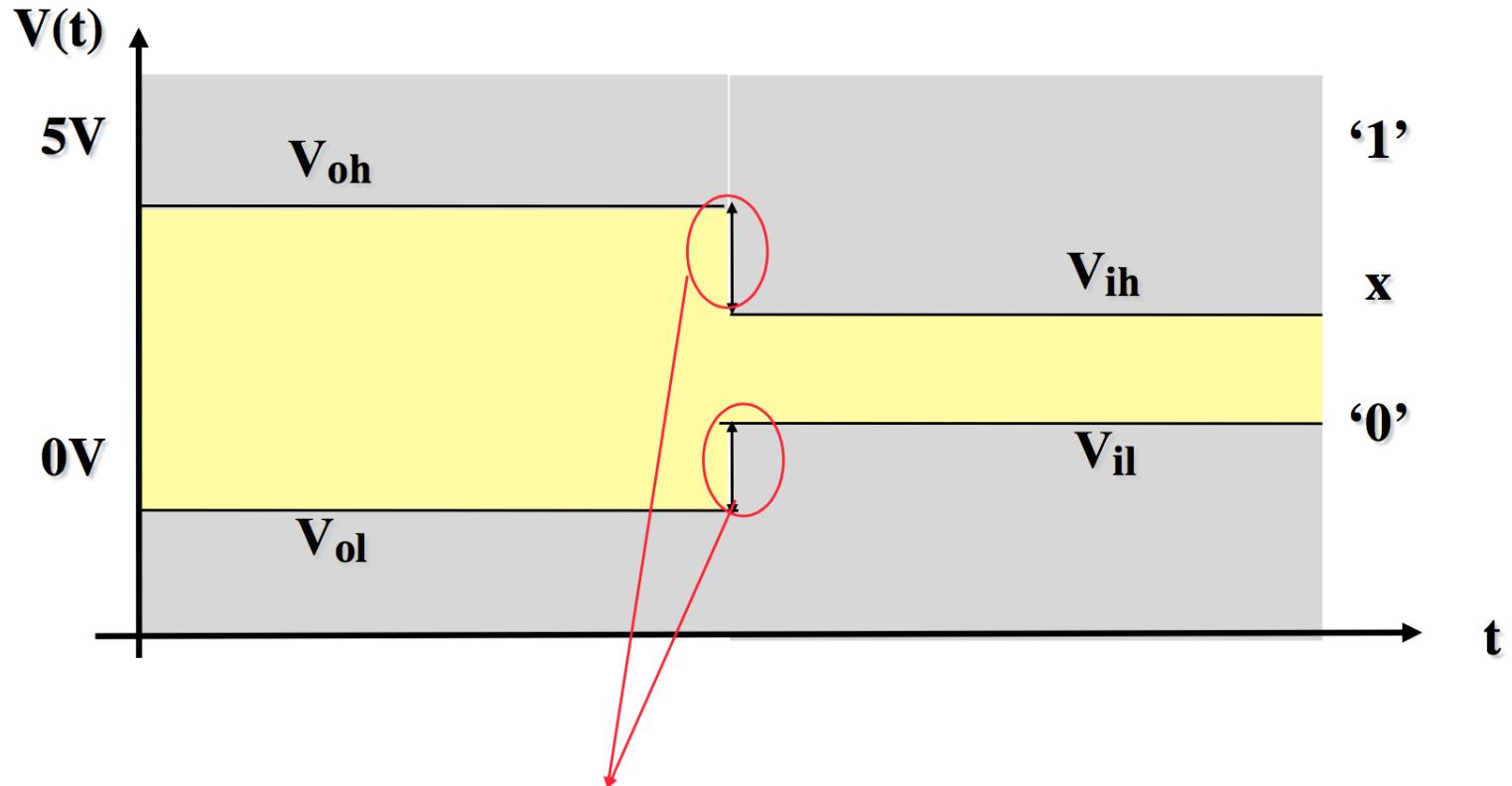


# Níveis de Tensão



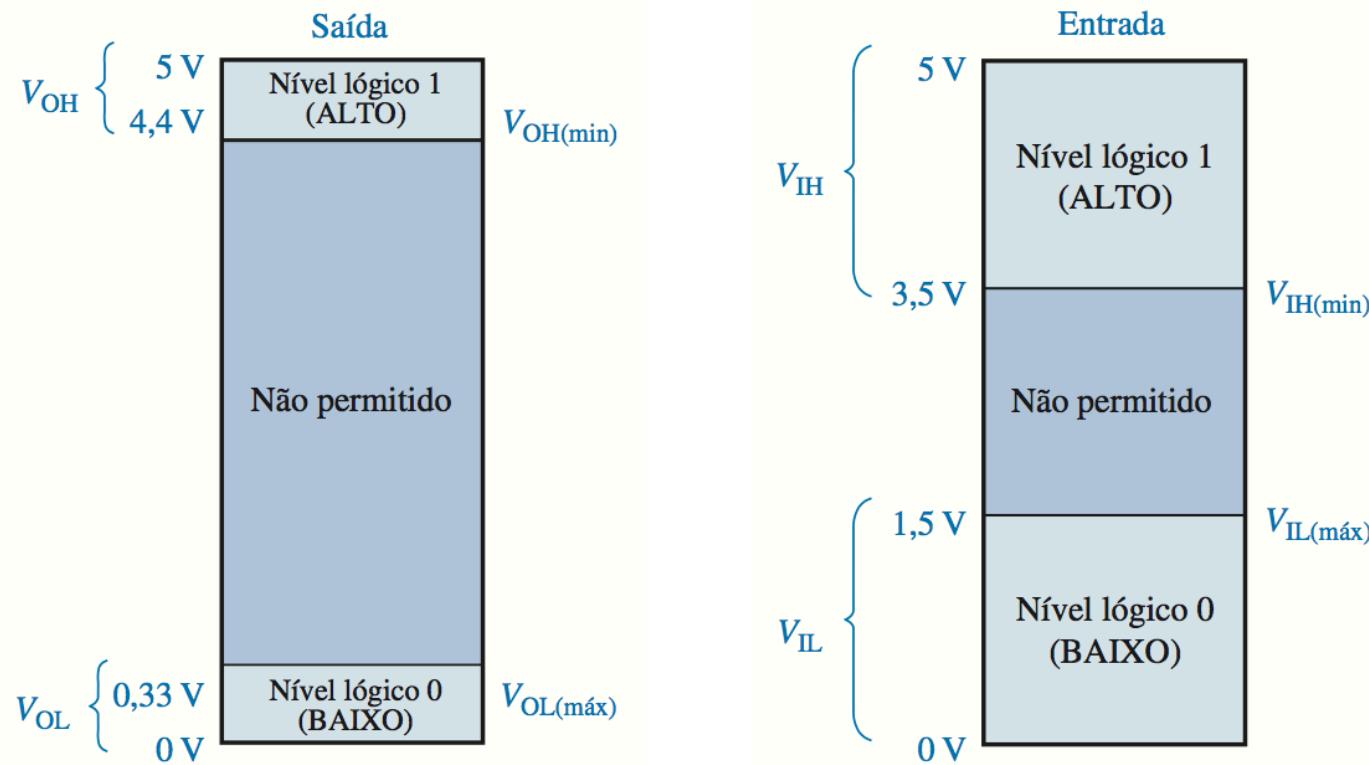
- $V_{il}$  máx. - maior tensão de entrada aceitável como sendo nível lógico '0'
- $V_{ih}$  min. - menor tensão de entrada aceitável para nível lógico '1'
- $V_{ol}$  típico - tensão normalmente gerada na saída da porta lógica para nível lógico '0'
- $V_{oh}$  típico - tensão normalmente gerada na saída da porta lógica para nível lógico '1'
- $V_{ol}$  máx. - maior tensão encontrada na saída da porta lógica para nível lógico '0'
- $V_{oh}$  min. - menor tensão encontrada na saída da porta lógica para nível lógico '1'

# Margem de Ruído



\* o menor valor dessas diferenças é que define a  
**Margem de Ruído !!!**

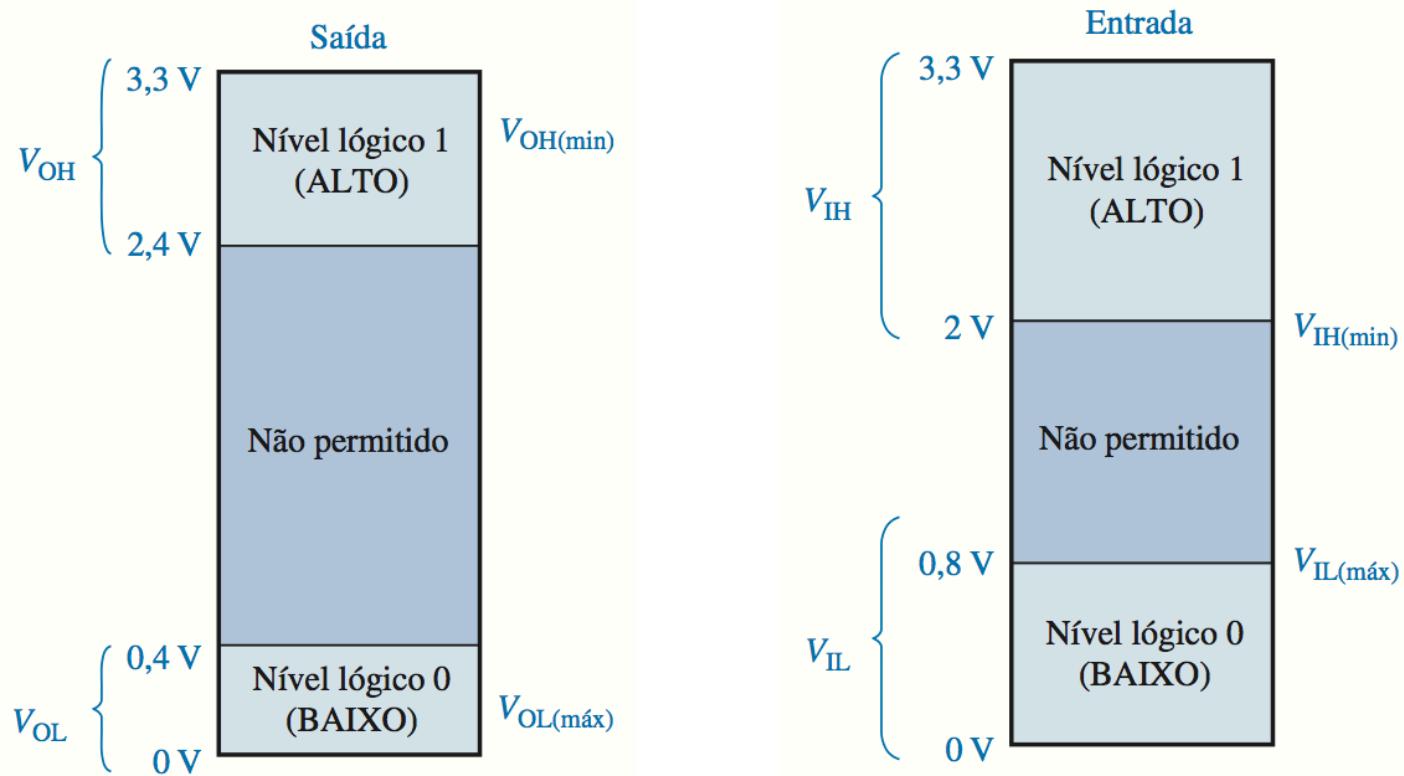
# Margem de Ruído CMOS



$$V_{NH} = V_{OH(min)} - V_{IH(min)} = 4,4 - 3,5 = 0,9V$$

$$V_{NL} = V_{IL(max)} - V_{OL(max)} = 1,5 - 0,33 = 1,17V$$

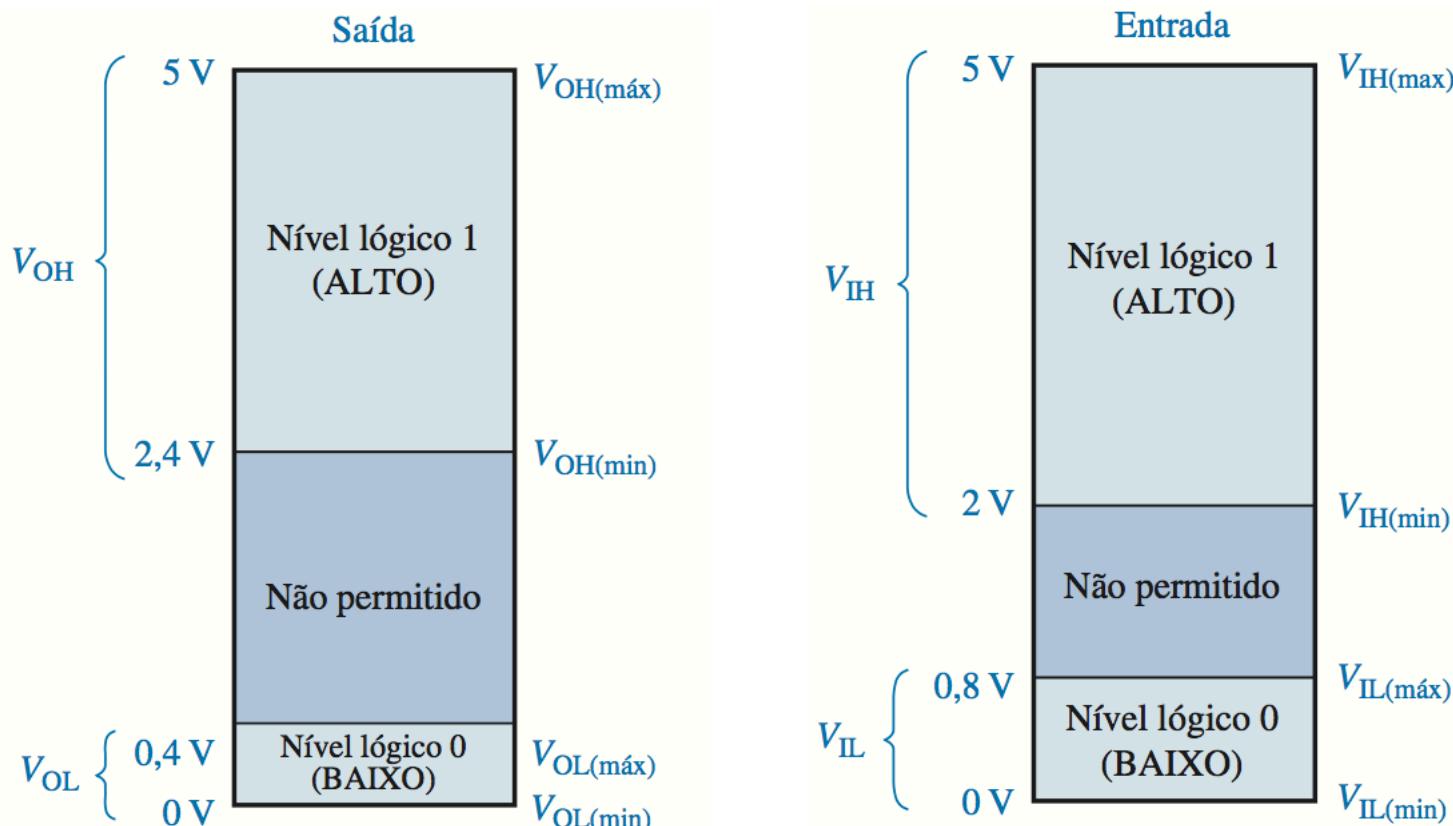
# Margem de Ruído CMOS



$$V_{NH} = V_{OH(min)} - V_{IH(min)} = 2,4 - 2 = 0,4V$$

$$V_{NL} = V_{IL(max)} - V_{OL(max)} = 0,8 - 0,4 = 0,4V$$

# Margem de Ruído TTL



$$V_{NH} = V_{OH(min)} - V_{IH(min)} = 2,4 - 2 = 0,4V$$

$$V_{NL} = V_{IL(max)} - V_{OL(max)} = 0,8 - 0,4 = 0,4V$$

# Margem de Ruído TTL

recommended operating conditions

		SN5400			SN7400			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
$V_{IH}$	High-level input voltage	2			2			V
$V_{IL}$	Low-level input voltage		0.8			0.8		V

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

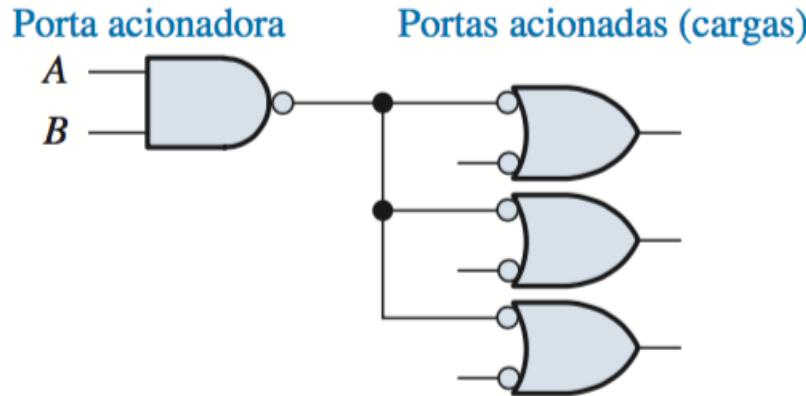
PARAMETER	TEST CONDITIONS †	SN5400			SN7400			UNIT
		MIN	TYP‡	MAX	MIN	TYP‡	MAX	
$V_{OH}$	$V_{CC} = \text{MIN}$ , $V_{IL} = 0.8 \text{ V}$ , $I_{OH} = -0.4 \text{ mA}$	2.4	3.4		2.4	3.4		V
$V_{OL}$	$V_{CC} = \text{MIN}$ , $V_{IH} = 2 \text{ V}$ , $I_{OL} = 16 \text{ mA}$		0.2	0.4		0.2	0.4	V

$$V_{NH} = V_{OH}(\text{min}) - V_{IH}(\text{min}) = 2,4 - 2 = 0,4 \text{ V}$$

$$V_{NL} = V_{IL}(\text{max}) - V_{OL}(\text{max}) = 0,8 - 0,4 = 0,4 \text{ V}$$

# Carga e Fan-out

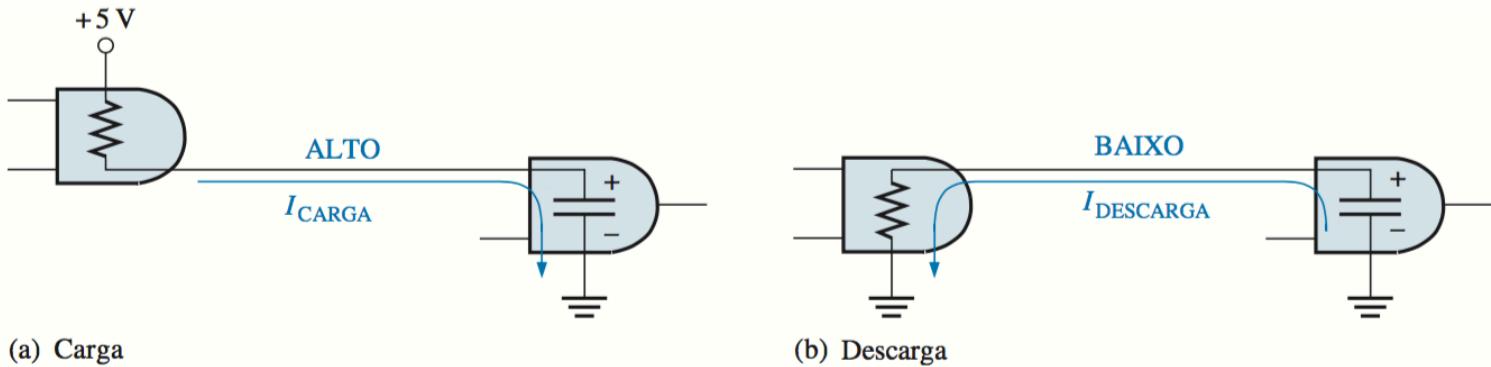
- Também denominado *fator de acionamento de carga*
  - O número de entradas de portas equivalentes da mesma série de uma família que uma porta lógica é capaz de acionar.
  - Existe um limite no número de cargas (portas acionadas) que uma porta pode acionar → Esse limite é denominado de **fan-out da porta**



- Exemplo: Porta lógica com fan-out 10 pode acionar entradas 10 entradas lógicas

# Carga CMOS

- As cargas (entradas de portas) CMOS diferem das TTL → tipo de transistor
- Limitações → capacidade de entrada



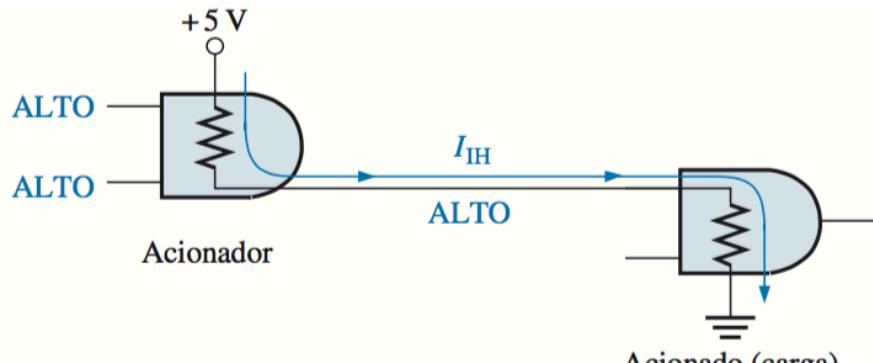
# Carga CMOS

---

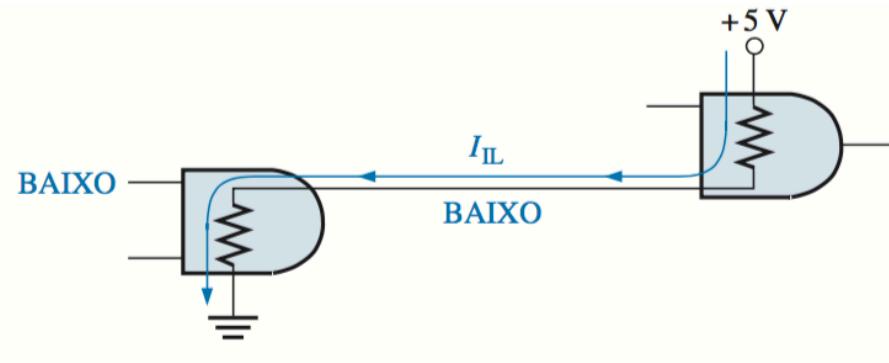
- Mais entradas de portas (cargas) → a capacidade total aumenta → aumenta os tempos de carga e descarga → reduz a máxima freqüência na qual a porta pode operar
- **Quanto menos cargas (entradas), maior a freqüência máxima da porta**

# Carga TTL

- Uma porta acionadora TTL **forneces/absorve corrente**



(a) Fornecimento de corrente

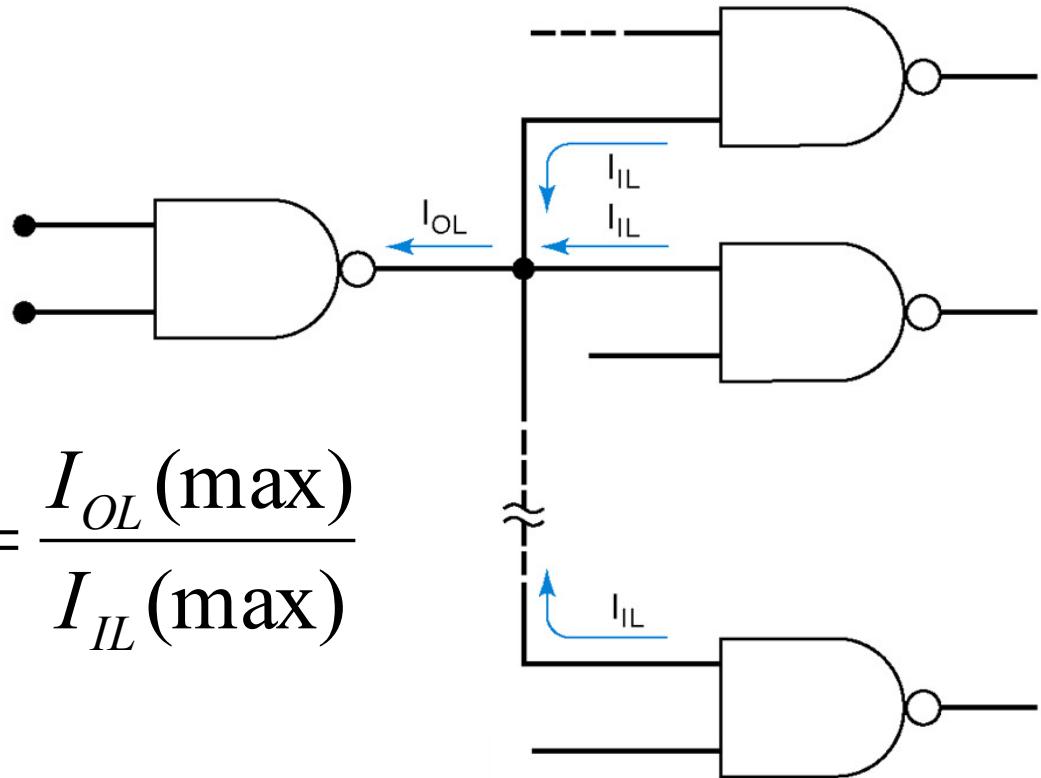


(b) Absorção de corrente

# Carga TTL

- Nível lógico “0” na saída:

$$fan-out(BAIXO) = \frac{I_{OL}(\max)}{I_{IL}(\max)}$$



recommended operating conditions

		SN5400			SN7400			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
$I_{OL}$	Low-level output current				16		16	mA

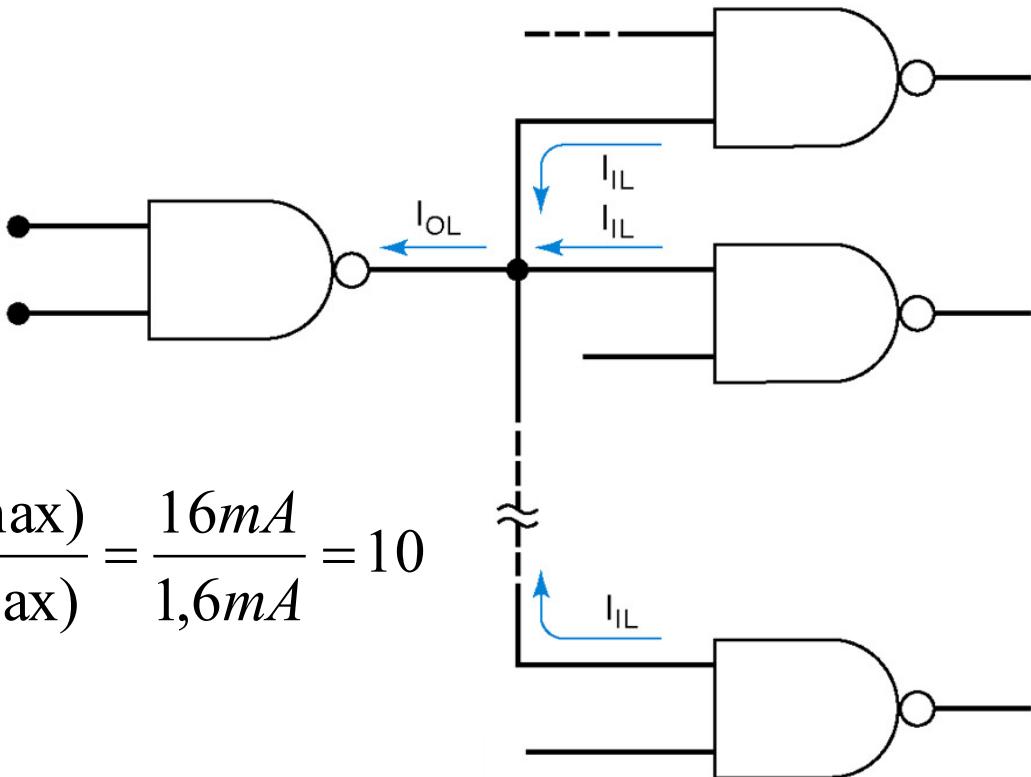
electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS †	SN5400			SN7400			UNIT
		MIN	TYP‡	MAX	MIN	TYP‡	MAX	
$I_{IL}$	$V_{CC} = MAX, V_I = 0.4 V$			- 1.6		- 1.6		mA

# Carga TTL

- Nível lógico “0” na saída:

$$fan-out(BAIXO) = \frac{I_{OL}(\text{max})}{I_{IL}(\text{max})} = \frac{16mA}{1,6mA} = 10$$



recommended operating conditions

	SN5400			SN7400			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
$I_{OL}$ Low-level output current			16			16	mA

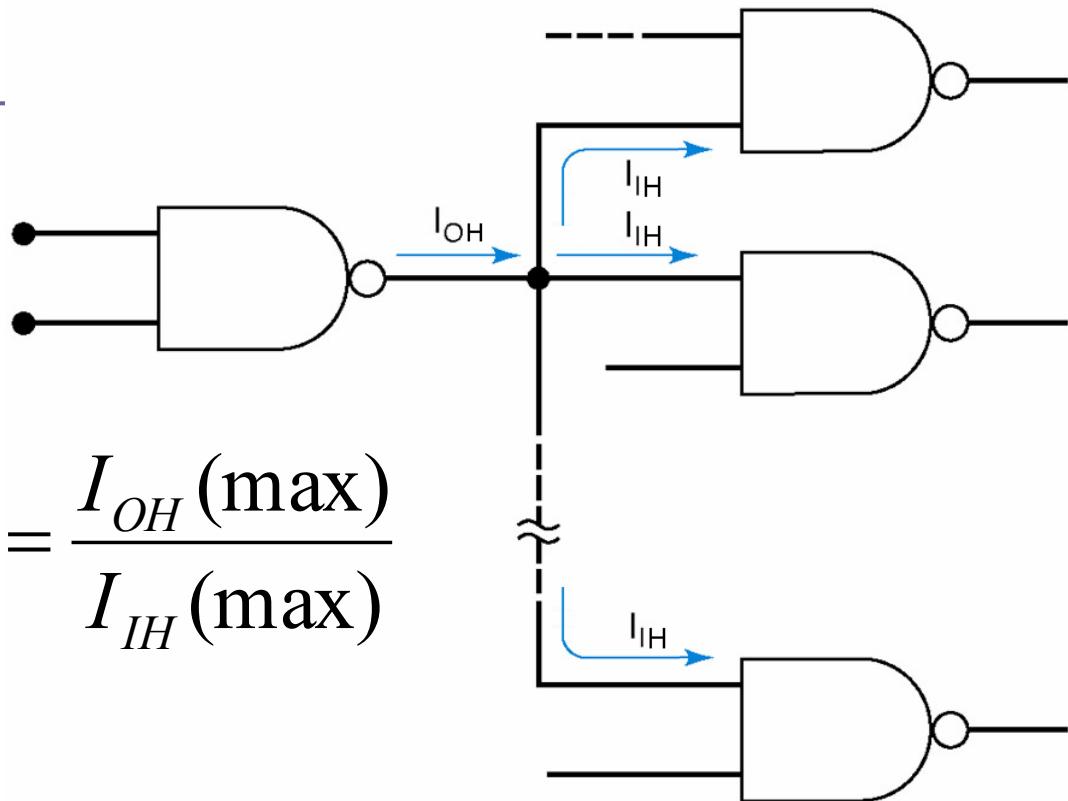
electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS †	SN5400			SN7400			UNIT
		MIN	TYP‡	MAX	MIN	TYP‡	MAX	
$I_{IL}$	$V_{CC} = \text{MAX}, V_I = 0.4 \text{ V}$			- 1.6			- 1.6	mA

# Carga TTL

- Nível lógico “1” na saída:

$$fan-out(ALTO) = \frac{I_{OH}(\max)}{I_{IH}(\max)}$$



recommended operating conditions

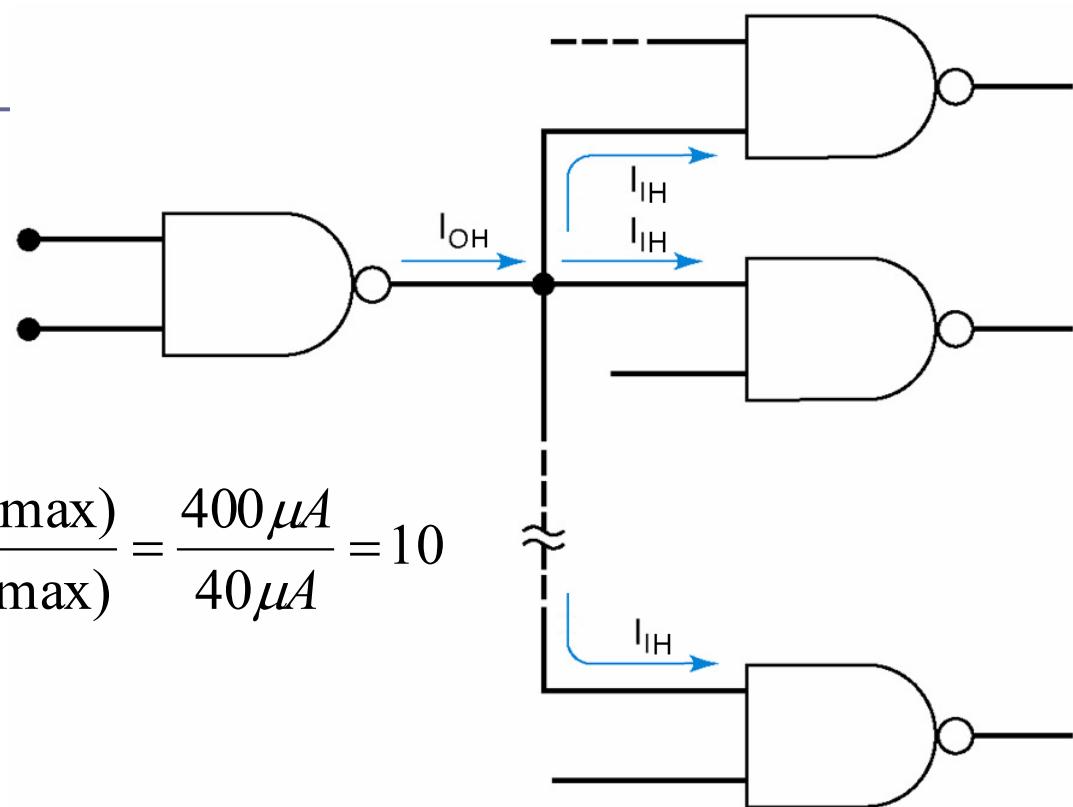
	SN5400			SN7400			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
$I_{OH}$ High-level output current				~ 0.4		~ 0.4	mA

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS †	SN5400			SN7400			UNIT
		MIN	TYP‡	MAX	MIN	TYP‡	MAX	
$I_{IH}$	$V_{CC} = MAX, V_I = 2.4\text{ V}$			40		40		$\mu\text{A}$

# Carga TTL

- Nível lógico “1” na saída:



$$fan-out( ALTO ) = \frac{I_{OH}(\max)}{I_{IH}(\max)} = \frac{400\mu A}{40\mu A} = 10$$

recommended operating conditions

	SN5400			SN7400			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
$I_{OH}$ High-level output current				~ 0.4		~ 0.4	mA

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS †	SN5400			SN7400			UNIT
		MIN	TYP‡	MAX	MIN	TYP‡	MAX	
$I_{IH}$	$V_{CC} = MAX, V_I = 2.4 V$			40			40	$\mu A$