



**Belegarbeit** für das Fach „Entwicklung elektrischer Baugruppen und FEM“  
mit dem Thema:

# Thermische Simulation einer 2D Transistormatrix zur Abbildung bewegter Objekten

Eingereicht am: 5. Januar 2015

von: Henry Pohl (633 430), Dennis Felgentreu (633 374)

Datum der Themenausgabe: 05.11.2014

Studiengang: Mechatronik (Ma.)

Ort, Datum: Jena, 5. Januar 2015

# Inhalt

<b>Inhalt</b>	<b>II</b>
<b>1 Aufgabenstellung</b>	<b>1</b>
1.1 Motivation . . . . .	1
1.2 Beleg - Spezifikation . . . . .	1
<b>2 Anordnung der Transistoren und Widerstände</b>	<b>3</b>
<b>Abbildungsverzeichnis</b>	<b>IV</b>
<b>Tabellenverzeichnis</b>	<b>V</b>



# 1 Aufgabenstellung

## 1.1 Motivation

In der medizinischen Forschung werden häufig Tierversuche durchgeführt, die am häufigst verwendete Tierart sind Mäuse und Ratten. Die Mäuse und Ratten werden in Käfigen gehalten, um Rückschlüsse auf den medizinische Zustand zu erhalten wird die Körpertemperatur gemessen. Um diesen Zeitaufwand einzusparen soll die Messung und Auswertung der Temperatur automatisiert werden. Für diesen Zweck wurde ein Prototyp mit einer Infrarot-Kamera zur Tierbeobachtung erstellt. Ziel dieser Belegarbeit ist es, ein thermisches Modell zu erstellen, welches die infrarot Aufnahme einer Maus in mehreren Pixel darstellt.

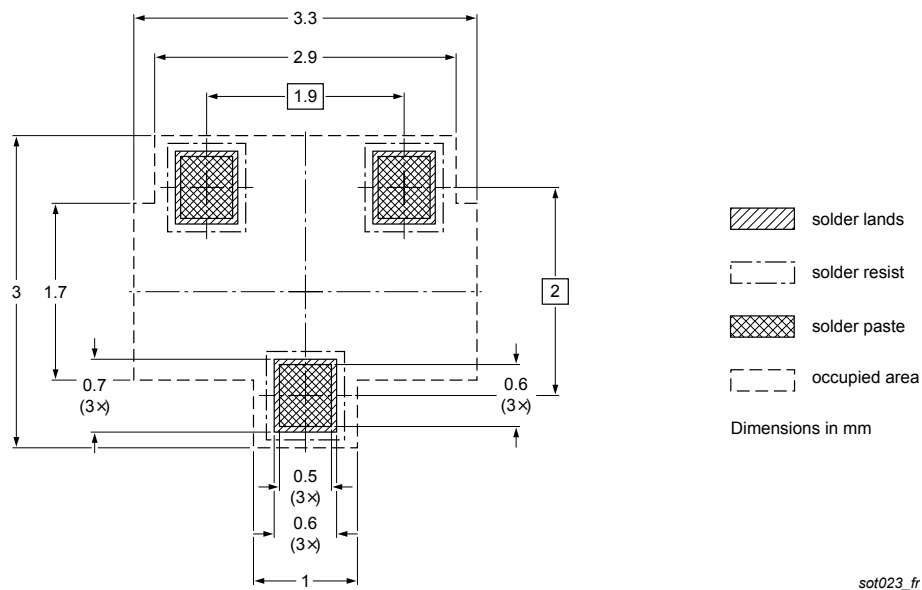
## 1.2 Beleg - Spezifikation

Es wird für die erstellten Modelle eine statisch thermische Simulation durchgeführt. Eine Optimierung hinsichtlich der geometrischen Anordnung, sowie ein Vergleich der bisherigen Ergebnisse in Bezug auf gegenseitige Beeinflussung, zeitliche Erwärmung und Abkühlung. Daraufhin ist mit dem besten Ergebnis eine Simulation durchzuführen, die den zeitlichen Verlauf von Verschiebungseffekten sichtbar macht.

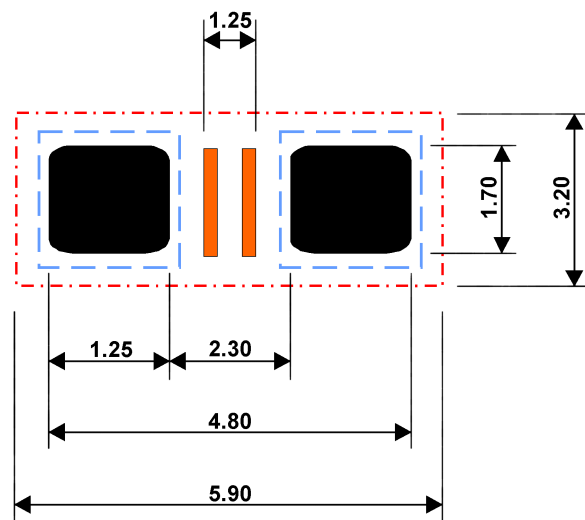
**Tabelle 1.1:** Beleg - Spezifikation

Leiterplatte (LP):	50x50 mm, 7x7 Bauelemente, 2 Lagig (Toplayer Bauelemente, Bottomlayer Leiterbahnen)
Anordnung	in der Mitte der LP 3x3 Pixel mit gleicher Verlustleistung (außer das mittlere Element), äußere Transistorring mit maximaler Verlustleistung
Ausführung:	jeweils mit Transistoren SMD (SOT23) und SMD Widerständen (1206)
Verlustleistungen:	50 mW, 100 mW, 150 mW

In Abbildung 1.1 ist die Dimension eines SOT23 Gehäuses und in Abbildung 1.2 die Dimensionen eines SMD 1206 Widerstandes dargestellt.



**Abbildung 1.1:** Transistor - Reflowfootprint SOT23 Gehäuses, Quelle:  
NXP - PDTC114E Datenblatt S.12



**Abbildung 1.2:** Widerstand - Dimensionen SMD 1206,  
Quelle:  
[http://www.siongboon.com/projects/2005-09-07\\_](http://www.siongboon.com/projects/2005-09-07_home_pcb_fabrication/footprint/1206.gif)  
[home\\_pcb\\_fabrication/footprint/1206.gif](http://www.siongboon.com/projects/2005-09-07_home_pcb_fabrication/footprint/1206.gif)

## **2 Anordnung der Transistoren und Widerstände**

## Abbildungsverzeichnis

1.1	Transistor - Reflowfootprint SOT23 Gehäuses, Quelle: NXP - PDTC114E Datenblatt S.12 . . . . .	2
1.2	Widerstand - Dimensionen SMD 1206, Quelle: <a href="http://www.siongboon.com/projects/2005-09-07_home_pcb_fabrication/footprint/1206.gif">http://www.siongboon.com/projects/2005-09-07_home_pcb_fabrication/footprint/1206.gif</a> . . . . .	2

**Tabellenverzeichnis**

1.1 Beleg - Spezifikation . . . . . 1