



Belegarbeit für das Fach „Entwicklung elektrischer Baugruppen und FEM“
mit dem Thema:

Thermische Simulation einer 2D Transistormatrix zur Abbildung bewegter Objekten

Eingereicht am: 17. Januar 2015

von: Henry Pohl (633 430), Dennis Felgentreu (633 374)

Datum der Themenausgabe: 05.11.2014

Studiengang: Mechatronik (Ma.)

Ort, Datum: Jena, 17. Januar 2015

Inhalt

Inhalt	II
1 Aufgabenstellung	1
1.1 Motivation	1
1.2 Beleg - Spezifikation	1
2 Anordnung der Transistoren und Widerstände	3
2.1 Transistoranordnung	3
2.2 Dimensionierung der Widerstände	4
2.3 Bildung des zu simulierenden Modells	5
3 Thermisch stationäre Simulation	7
3.1 Simulation der Transistor Matrix	8
3.1.1 Optimierung	8
3.1.2 Aufgabe mit Rand	8
3.2 Simulation der Widerstandsmatrix	8
3.2.1 Optimierung	9
3.2.2 Aufgabe mit Rand	9
Abbildungsverzeichnis	IV
Tabellenverzeichnis	V

1 Aufgabenstellung

1.1 Motivation

In der medizinischen Forschung werden häufig Tierversuche durchgeführt, die am häufigst verwendete Tierart sind Mäuse und Ratten. Die Mäuse und Ratten werden in Käfigen gehalten, um Rückschlüsse auf den medizinische Zustand zu erhalten wird die Körpertemperatur gemessen. Um diesen Zeitaufwand einzusparen soll die Messung und Auswertung der Temperatur automatisiert werden. Für diesen Zweck wurde ein Prototyp mit einer Infrarot-Kamera zur Tierbeobachtung erstellt. Ziel dieser Belegarbeit ist es, ein thermisches Modell zu erstellen, welches die infrarot Aufnahme einer Maus in mehreren Pixel darstellt.

1.2 Beleg - Spezifikation

Es wird für die erstellten Modelle eine statisch thermische Simulation durchgeführt. Eine Optimierung hinsichtlich der geometrischen Anordnung, sowie ein Vergleich der bisherigen Ergebnisse in Bezug auf gegenseitige Beeinflussung, zeitliche Erwärmung und Abkühlung. Daraufhin ist mit dem besten Ergebnis eine Simulation durchzuführen, die den zeitlichen Verlauf von Verschiebungseffekten sichtbar macht.

Tabelle 1.1: Beleg - Spezifikation

Leiterplatte (LP):	50x50 mm, 7x7 Bauelemente, 2 Lagig (Toplayer Bauelemente, Bottomlayer Leiterbahnen)
Anordnung	in der Mitte der LP 3x3 Pixel mit gleicher Verlustleistung (außer das mittlere Element), äußere Transistorring mit maximaler Verlustleistung
Ausführung:	jeweils mit Transistoren SMD (SOT23) und SMD Widerständen (1206)
Verlustleistungen:	50 mW, 100 mW, 150 mW

In Abbildung 1.1 ist die Dimension eines SOT23 Gehäuses und in Abbildung 1.2 die Dimensionen eines SMD 1206 Widerstandes dargestellt.

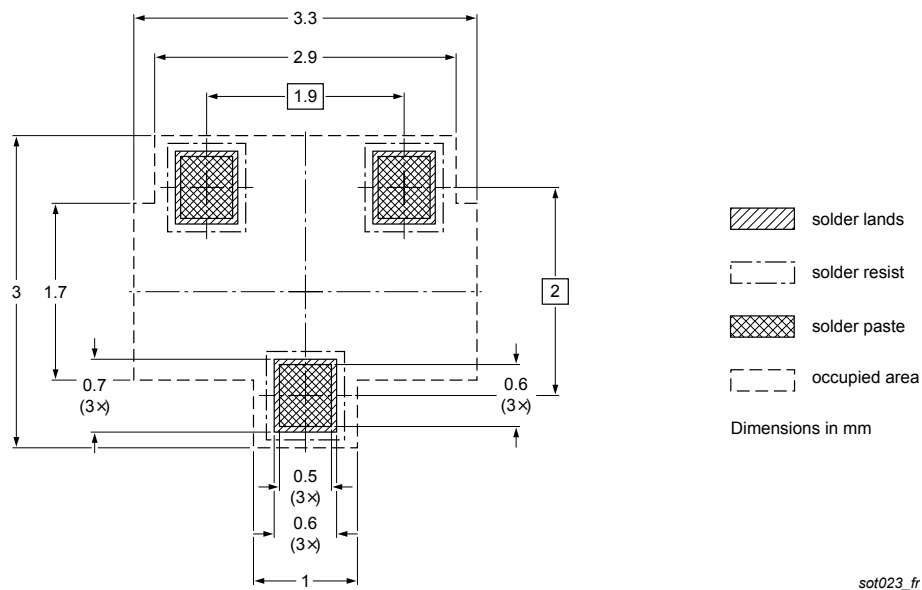


Abbildung 1.1: Transistor - Reflowfootprint SOT23 Gehäuses, Quelle:
NXP - PDTC114E Datenblatt S.12

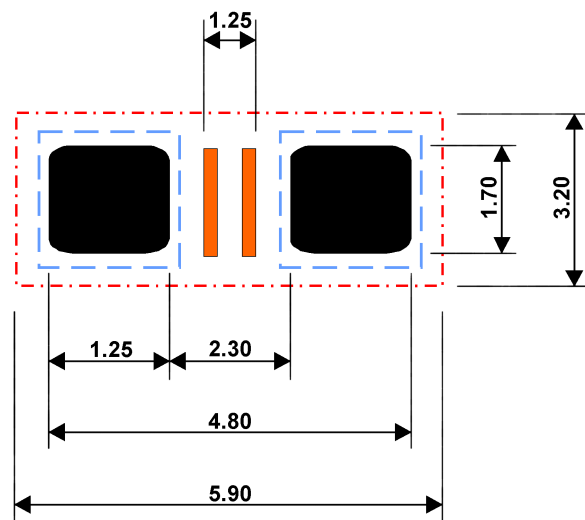


Abbildung 1.2: Widerstand - Dimensionen SMD 1206,
Quelle:
[http://www.siongboon.com/projects/2005-09-07_](http://www.siongboon.com/projects/2005-09-07_home_pcb_fabrication/footprint/1206.gif)
[home_pcb_fabrication/footprint/1206.gif](http://www.siongboon.com/projects/2005-09-07_home_pcb_fabrication/footprint/1206.gif)

2 Anordnung der Transistoren und Widerstände

Das zu simulierende Modell wurde daraufhin vereinfacht, dass die einzelnen Bauelemente durch Quader Repräsentiert werden. Des weiteren wurde auf die Erstellung der Leiterbahnen verzichtet. Dadurch ergibt sich, dass die Leiterplatte ebenfalls durch einen einfachen Quader erstellt wird. Des Weiteren ist bei der Positionierung darauf zu achten, dass die abstände zwischen den Bauelementen in X-Richtung und in Y-Richtung Gleich groß ist und innerhalb der Optimierung symmetrisch erweitert und verringert wird.

2.1 Transistoranordnung

Die Abbildung 2.1 zeigt die Abmessungen eines Transistors der geforderten Bauform SOT23. Der Quader, welcher einen solchen Baustein repräsentieren soll, erhält die darauf beruhenden Abmessungen $h=1,1\text{mm}$ $b=1,4\text{mm}$ $h=3,0\text{mm}$.

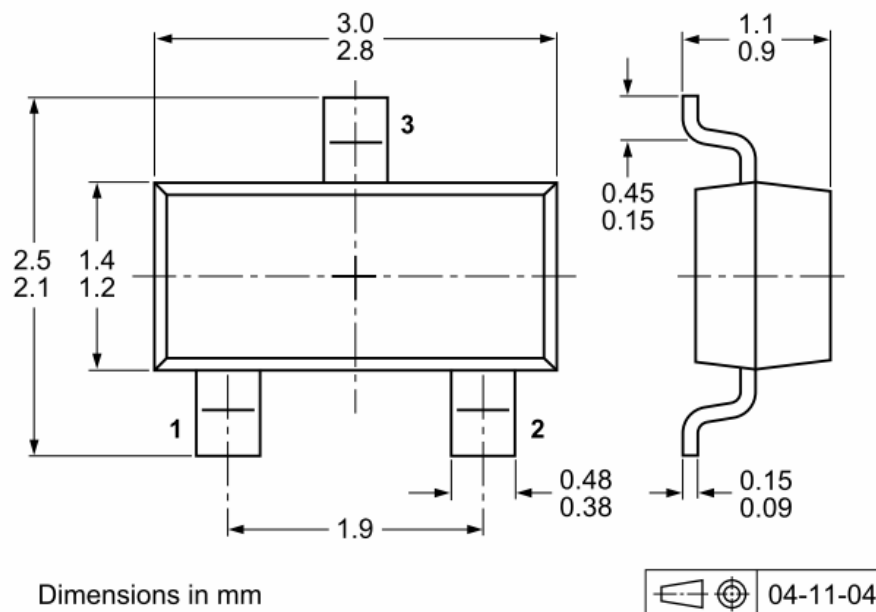


Abbildung 2.1: Transistor - Abmessungen eines SOT23 Gehäuses, Quelle: NXP - PDTC114E Datenblatt S.10

2.2 Dimensionierung der Widerstände

Um die Transistoren zu Positionieren, muss die Größe der Anschlüsse berücksichtigt werden. diese wiederum werden über die footprints ermittelt. (vgl. Abbildung 1.1) Somit ergibt sich ein Mindestabstand zwischen den Mittelpunkten der Transistoren in Y-Richtung von 3 mm und in X-Richtung von 3,3 mm. Um nunmehr die Abstände synchron zu halten werden die Abstände in X-Richtung um weitere 1,6 mm Vergrößert. Schlussendlich ergeben sich folgende Mindestabstände bzw. Vorgabelabstände für die Mittelpunktabstände:

Tabelle 2.1: Abstände zwischen den Mittelpunkten der Transistoren

	Mittelpunktabstand in Y-Richtung	Mittelpunktabstand in X-Richtung
Mindestgehäuseabstand = 0 mm	4,6 mm	3,3 mm
Sollgehäuseabstand = 2 mm	6,6 mm	5,3 mm

2.2 Dimensionierung der Widerstände

Die Abbildung 2.2 zeigt die Abmessungen der geforderten Widerstände. Hierbei ergeben sich die Abmessungen $h=0,55$ mm $b=1,6$ mm $l=3,1$ mm für das zu simulierende Modell. Die footprints legen einen Mindestabstand fest, somit muss rund um den Baustein ein abstand von 1,6 mm eingehalten werden.

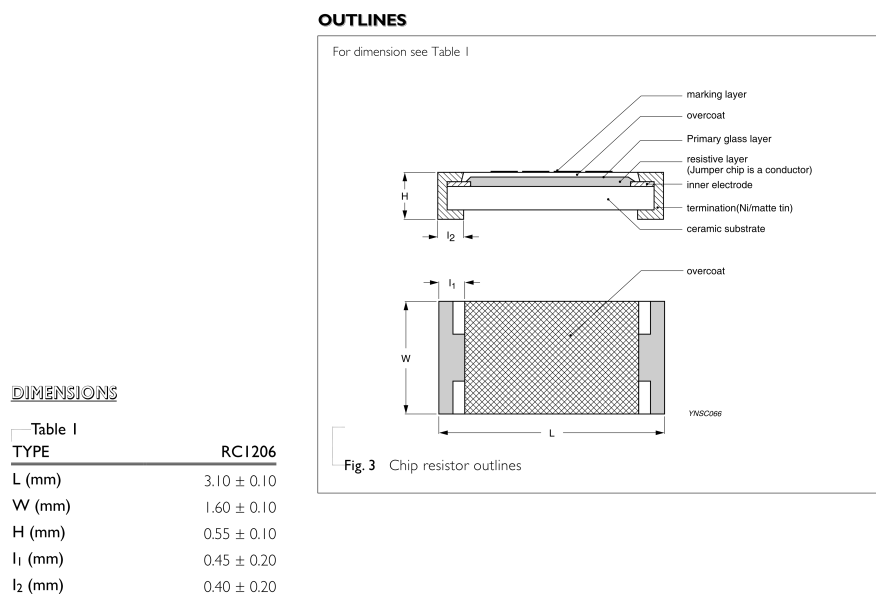


Abbildung 2.2: Widerstand - Abmessungen SMD 1206, Quelle: Datenblatt RC1206 S.4

Weiter ergeben sich somit folgende Mittelpunktabstände:

Tabelle 2.2: Abstände zwischen den Mittelpunkten der SMD Widerstände

	Mittelpunktabstand in Y-Richtung	Mittelpunktabstand in X-Richtung
Mindestgehäuseabstand = 0 mm	4,6 mm	3,2 mm
Sollgehäuseabstand = 2 mm	6,6 mm	5,2 mm

2.3 Bildung des zu simulierenden Modells

Mit den zuvor angegebenen Vorgaben wurden die folgenden Geometrien geschaffen. Dabei wird auf der Platine ein Bauelement generiert und dieses über eine zweifache Anwendung der Muster-Funktion zu einer Matrix erweitert. Ein selbst gesetztes Ziel ist es hierbei, die Matrix mit einem Parameter editieren zu können. Dabei sind die Abstände in X- und Y-Richtung Unterschiedlich. Das Problem wurde folgender Maßen gelöst: Im ersten Schritt wurde ein Parameter P20 erzeugt, welcher den geringeren Abstand zwischen den Mittelpunkten zwei benachbarter Bauelemente beschreibt. Dieser soll später geändert werden. Um diesen nun mit dem Abstand verknüpfen zu können, wurde ein Parameter mit der Länge 1,0 mm geschaffen. Somit kann der Abstand durch das Produkt der Parameter gewonnen werden. Um die unterschiedlichen Abstände in X- und Y-Richtung zu realisieren, wurde ein Offset-Parameter geschaffen, der nun mit dem anderen Abstand addiert wird. Da dieser wiederum von dem Parameter P20 Abhängt, sind beide Abstände von diesem Parameter abhängig und trotzdem bleiben die Abstände zwischen den Bauelementen Symmetrisch. Im folgenden werden die Geometrien für die Simulation der Transistoren gezeigt.

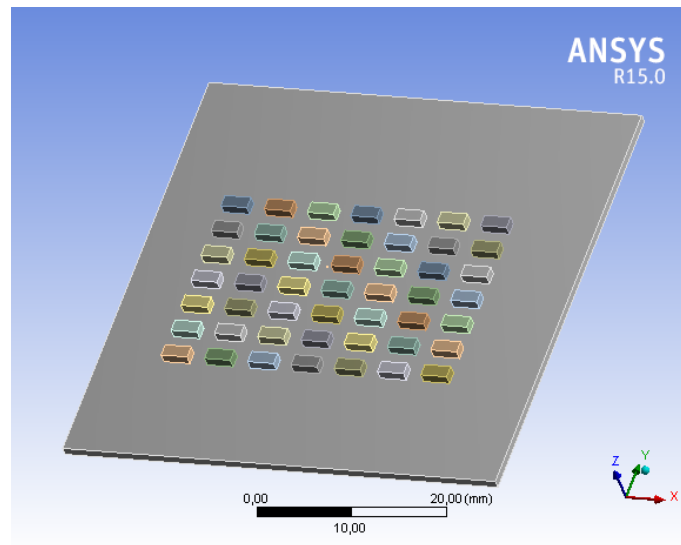


Abbildung 2.3: Transistor - Matrix

und im Vergleich dazu die Matrix der Widerstände.

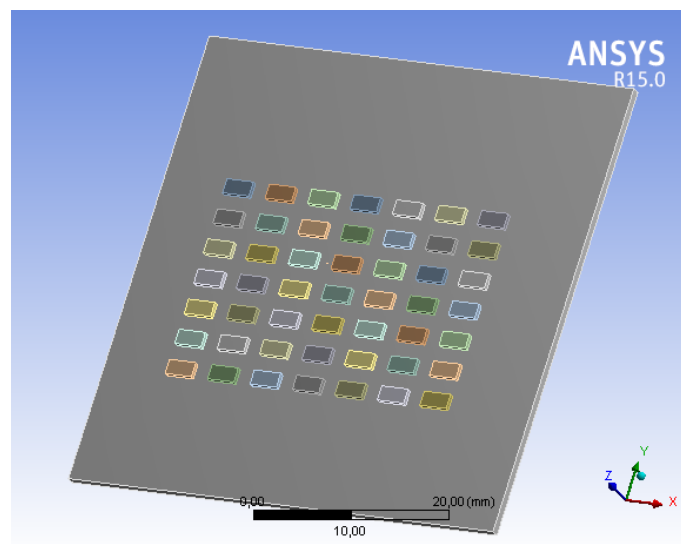


Abbildung 2.4: Widerstand - Matrix

Zu erkennen ist, dass sich die beiden Geometrien hauptsächlich durch die Bauteilhöhe des SOT23-Gehäuses und der SMD-Widerstandes 1206 unterscheiden. Die Matrizen und Abstände zwischen den Bauteilen ähneln sich.

3 Thermisch stationäre Simulation

Nachdem Die Geometrie definiert ist (Siehe Abschnitt) müssen verschiedene Messpunkte definiert werden. Um die Aufgabenstellung zu erfüllen müssen Messpunkte auf zwei aktive Bauelemente gesetzt werden und ein Messpunkt zwischen diesen Pixeln. Mit diesen Messwerten kann nun in einem separaten Parameter die Differenz von Pixeltemperatur zu Pixelzwischenraumtemperatur gebildet werden. Dieser wird in einer späteren Optimierung benötigt. Im Zuge dieser Messpunktdefinition, soll mittig zwischen den Pixeln ein Messpunkt definiert sein. Um diese Anforderung zu entsprechen wurde wie folgt vorgegangen:

- Erstellung eines Koordinatensystems zwischen den Auflageflächen zweier Bauteile
- Erstellen einer Skizze eines Quadrates Symmetrisch um den Ursprung des geschaffenen Koordinatensystems
- Extrudieren der Skizze so, dass eine kleine Schicht der Platine entfernt wird (0,1 mm)

Durch dieses vorgehen wird eine kleine Fläche geschaffen, die auch bei Änderung des Bauteilabstandes, mittig der beiden Bauelemente, definiert ist. Daraufhin kann auf diese geschaffene Fläche ein Messpunkt gesetzt werden. Der erzeugte Ausschnitt ist dabei so gering definiert, dass es die thermischen Eigenschaften der Leiterplatte kaum beeinflusst. Nachteil dieser Lösung ist, dass das Netz nicht mehr gleichmäßig definiert wird.

Weiterführend wurde folgende Parameter gesetzt, um eine Optimierung durchführen zu können.

- Maximale Temperatur
 - maximale Temperatur äußerer Pixel der oberen Reihe
 - maximale Temperatur mittlerer Pixel der oberen Reihe
 - maximale Temperatur zwischen den genannten Pixeln
-

- maximale Temperatur passiver Pixel
- Abstand der Pixelmittelpunkte
- Wert der internen Wärmeerzeugung

Folgend werden die Vernetzung und die Definition der Aktiven Pixel gezeigt:

TODO: Bild Netz

TODO: Bild Interne Wärmeerzeugung

Des weiteren wurden Folgende thermischen Senken bzw. Beziehungen definiert:

Tabelle 3.1: Eigenschaftsdefinition der Flächen

thermische Eigenschaft	Anwendung auf:	Wert
Konvektion	alle Flächen	$8 \frac{W}{m^2}$
Strahlung auf Umgebung	Oberfläche der Platine	—
Strahlung auf Nachbarflächen	Oberflächen der Bauelemente '(Pixel)	—

3.1 Simulation der Transistor Matrix

...

3.1.1 Optimierung

...

3.1.2 Aufgabe mit Rand

...

3.2 Simulation der Widerstandsmatrix

...

3.2.1 Optimierung

...

3.2.2 Aufgabe mit Rand

...

Abbildungsverzeichnis

1.1	Transistor - Reflowfootprint SOT23 Gehäuses, Quelle: NXP - PDTC114E Datenblatt S.12	2
1.2	Widerstand - Dimensionen SMD 1206, Quelle: http://www.siongboon.com/projects/2005-09-07_home_pcb_fabrication/footprint/1206.gif	2
2.1	Transistor - Abmessungen eines SOT23 Gehäuses, Quelle: NXP - PDTC114E Datenblatt S.10	3
2.2	Widerstand - Abmessungen SMD 1206, Quelle: Datenblatt RC1206 S.4	4
2.3	Transistor - Matrix	6
2.4	Widerstand - Matrix	6

Tabellenverzeichnis

1.1	Beleg - Spezifikation	1
2.1	Abstände zwischen den Mittelpunkten der Transistoren	4
2.2	Abstände zwischen den Mittelpunkten der SMD Widerstände	5
3.1	Eigenschaftsdefinition der Flächen	8