技 术 文 件

技术文件名称：ZX296718超高清数字媒体芯片 后端设计可行性报告

技术文件编号：500002940155

版 本：V1.0

拟 制 余斌 王宗伟 黎嘉勇 于长恺 李昆明 孔庆海

审 核 黄智

会 签

标准化

批 准

中兴通讯股份有限公司

**Revision History**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Document Number** | **Revision** | **Done by** | **Date** | **Reason** | **Changes** |
| 500002940155 | V1.0 | 李昆明  黎嘉勇  余斌  王宗伟  于长恺  孔庆海 | 2015/8/31 | 初始版本 | 初始版本无更改 |
|  |  |  |  |  |  |
|  |  |  |  |  |  |
| Notes 1: Revision History should be filled each time the document is archived.  Notes 2: When the document is archived first time, the “Reason” & “Changes” columns should be filled with “None”. | | | | | |

**目 录**

[1 设计指标 3](#_Toc431388174)

[2 工艺及库选择 4](#_Toc431388175)

[2.1 工艺选择 4](#_Toc431388176)

[2.2 通用工艺库 4](#_Toc431388177)

[2.3 IP方案 4](#_Toc431388178)

[3 Sign-Off 标准 5](#_Toc431388179)

[3.1 Timing Sign-Off 5](#_Toc431388180)

[3.2 Power Integrity Sign-Off 6](#_Toc431388181)

[3.3 DFM Sign-Off 6](#_Toc431388182)

[4 面积估算 7](#_Toc431388183)

[5 Floorplan 8](#_Toc431388184)

[6 功耗估算 9](#_Toc431388185)

[7 DFT 10](#_Toc431388186)

[7.1 DFT技术说明 10](#_Toc431388187)

[8 封装与测试 10](#_Toc431388188)

[9 关键技术分析 11](#_Toc431388189)

[9.1 Cortex-A53/ Cortex-A72达到性能指标 11](#_Toc431388190)

[9.2 CPU DVFS方案 11](#_Toc431388191)

[9.3 LPDDR2-1066/LPDDR3-1600/DDR3-1866高速SI接口验证 13](#_Toc431388192)

[9.4 高频ddr\_skew指标实现 16](#_Toc431388193)

[10 后端设计计划 16](#_Toc431388194)

[10.1 进度 16](#_Toc431388195)

[10.2 人力 17](#_Toc431388196)

[10.3 服务器资源 17](#_Toc431388197)

[11 后端设计风险 17](#_Toc431388198)

# 设计指标

ZX296718芯片的主要应用场景包括IPTV、平板电脑以及车载多媒体终端，芯片提供高清Video和2D/3D图形加速的多媒体功能及图形处理功能，提供丰富的接口，如HDMI接口及其他数字模拟音视频接口USB、DDR3及千兆以太网口.高性能的64位ARM V8架构Cortex-A系列处理器, 具有高性能的多媒体处理能力，同时采用先进的低功耗设计，实现芯片低功耗高性能应用。

ZX296718片内架构包含Core子系统部分、总线连接子系统部分、存储子系统部分、连接子系统部分、多媒体子系统部分、业务子系统部分和AON子系统,各子系统应用场景上有一定的相互独立性，可以进行独立的时钟门控和电源门控。子系统框图如下：



图1 系统框图

主要技术指标：

| **Feature** | **Description** |
| --- | --- |
| Process | TSMC 28HPC 1P8M5X2Z+RDL |
| Voltage | IO 1.8/3.0/3.3V, Core 0.9V/1.0V |
| Low Power | Power Shutoff，CPU A53 & CPU A72 DVFS |
| RAM | ～42.5Mbit |
| Die size | ～8.9\*8.2mm2 (post-shrink) |
| Stdcell/IO/RAM vendor | Stdcell: TSMC / ARMPOP；  IO: TSMC；  RAM: Synopsys / ARM POP |
| Archetecture, IP | Quad-Core Cortex A53,Dual-Core Cortex A72,  Mali-T820 2MP,DDR3-1866/LPDDR3-1600/LPDDR2-1066,  audio\_codec,USB2.0\_HSIC\_PHY,USB2.0\_PHY , USB3.0\_HSIC\_PHY PLL\_3GHz,MIPI\_DPHY,LVDS,  HDMI |
| Frequency | A53 800Mhz(WCZ signoff), A72 1Ghz(WCZ signoff) |
| IO/Package | Signal 416，Flipchip |
| DFT | Scan，Mbist，BSD |

表1 主要技术指标描述

# 工艺及库选择

## 工艺选择

| 类别 | 信息 |
| --- | --- |
| Process | TSMC28HPC |
| Core Device | 0.9V |
| IO Device | 1.8V |
| Metal Stack | 1P8M5X2Z+RDL |

表2 工艺选择

## 通用工艺库

| IP | 提供商 | 状态 | 备注 |
| --- | --- | --- | --- |
| Stdcell | TSMC | 已交付 | Std/High/Ultra-High/Low/Ultra-Low Vt 9T cell |
| IO | TSMC | 已交付 | Tphn28hpcgv18e  Tphn28hpcgv18od33  Tphn28hpcgv18od33\_rgm2 |
| RAM | Synopsys | 已交付 | Single Port High Density Rom  Single Port High Speed RF  Single Port High Density RF  Two Port High Density RF  Single Port Ultra High Density SRAM  Single Port High Speed SRAM  Dual Port High Density SRAM |
| A53 POP | ARM | 已交付 | 包括stdcell部分及FCI instance |

表3 通用工艺库清单

## IP方案

| IP | 硬/软核 | 提供商 | 状态 | 备注 |
| --- | --- | --- | --- | --- |
| Audio\_codec（ADC、DAC） | Hard | Synopsys | 已交付 |  |
| USB2.0\_HSIC\_PHY | Hard | Synopsys | 已交付 |  |
| PLL | Hard | Silicon Creations | 已交付 |  |
| MIPI\_DPHY | Hard | Synopsys | 已交付 |  |
| Video\_dac | Hard | Synopsys | 已交付 |  |
| Tempsensor | Hard | ZTE | 部分交付 | 未完全交付 |
| USB20\_femto\_PHY | Hard | Synopsys | 已交付 |  |
| PLL\_PHY（ddr3/lpddr3/lpddr2） | Hard | Synopsys | 已交付 |  |
| DATX8（ddr3/lpddr3/lpddr2） | Hard | Synopsys | 已交付 |  |
| AC（ddr3/lpddr3/lpddr2） | Hard | Synopsys | 已交付 |  |
| sstl\_d3mp（ddr3/lpddr3/lpddr2） | Hard | Synopsys | 已交付 |  |
| HDMI | Hard | SiliconImage | 部分交付 | 未完全交付 |
| LVDS | Hard | GUC | 部分交付 | 未完全交付 |
| Efuse | Hard | TSMC | 已交付 | 需要在Foundry merge |
| POR | Hard | ZTE | 已交付 |  |
| USB30\_femto\_PHY | Hard | Synopsys | 已交付 |  |

表4 IP清单

# Sign-Off 标准

## Timing Sign-Off

图3.1为TSMC28HPC Chip Sign-Off Corners

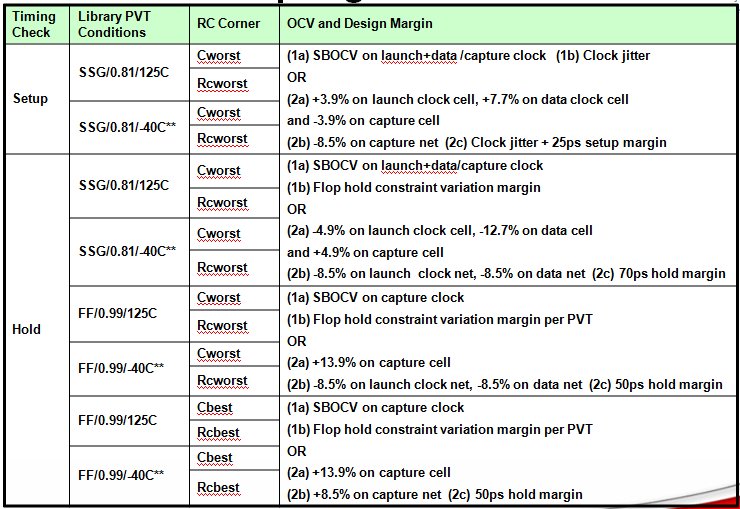


图2 Timing signoff 标准

## Power Integrity Sign-Off

* + Static IR drop
    - 3% for VDD + VSS (Flip chip)
    - 5% for VDD + VSS (Package type is wire bond)
    - Average power IR drop
* Dynamic IR drop
  + Around 3~5x in signoff constraint, avoid of local hotspot
  + Scan Mode IR drop
    - Peak power usually around clock-edge
    - Analyzing IR drop during small timing window when flops are switching at the same time
* EM

Tt(85C)/tt(25C)/ml(110C) < 1

## DFM Sign-Off

|  |  |  |  |
| --- | --- | --- | --- |
| DFM Solution | Suggestion | Implement Stage | DFM Compliance Criteria |
| LPC( Lithography Hot-Spot) | M | After PnR | Without level1 hot spots |
| CMP | R | After PnR | NA |
| CAA | R | After PnR | NA |
| Dummy Insertion(DOD/DPO,DMx/DVIAx) | M | After PnR | drc clean |
| DFT VIA | R | PNR | drc clean |
| Dummy TCD | M | PnR | At least one TCD cell within 2x2mm2 |
| VIA Opt | M | PnR | Via1 ≥ 50%; other Via ≥ 70% |
| Wire Spreading | R | PnR | NA |

Note：R：recommended ，M：must

表5 DFM Signoff Checklist

# 面积估算

|  |  |  |  |
| --- | --- | --- | --- |
|  | Module | Number | Total PR  Area(um^2) |
| Partition | cpu\_top(CCI500) | 1 | 1171146 |
| lb\_a53mg(DVFS) | 1 | 9614303 |
| lb\_a72mg(DVFS) | 1 | 11859100 |
| lb\_hsic | 1 | 237775 |
| lb\_usb2\_0 | 2 | 1751965 |
| lb\_usb3 | 1 | 1632870 |
| lb\_nand&lb\_emmc | 1 | 597697 |
| lb\_ddr | 2 | 9283871 |
| lb\_ts | 1 | 2782708 |
| lb\_gpu | 1 | 9231654 |
| lb\_viu | 1 | 2753709 |
| lb\_vou | 1 | 11071395 |
| lb\_2d | 1 | 853945 |
| lb\_sappu | 1 | 1433090 |
| lb\_vde | 1 | 2018100 |
| lb\_vce | 1 | 1532693 |
| lb\_hde | 1 | 5698653 |
| lb\_ares1\_top | 1 | 2991009 |
| Top\_only | 1 | 10116954 |
| Top only sub block | lb\_aon\_top | 1 |  |
| lb\_ares0\_top | 1 |  |
| lb\_gmac\_top | 1 |  |
| lb\_lsp0\_top | 1 |  |
| lb\_lsp1\_top | 1 |  |
| lb\_sd0\_top | 1 |  |
| lb\_sd1\_top | 1 |  |
| lb\_sec\_top | 1 |  |
| dft\_pinmux | 1 |  |
| lb\_acodec | 1 | 1514931 |
| lb\_vdieodac | 1 | 681928 |
| lb\_pll | 1 | 533346 |
| lb\_tempsensor | 8 | 623804 |
| lb\_efsue（4Kb） | 1 | 328155 |
| Total Area without IO |  |  | 86632636.3 |
|  |  |  |  |

表6 各模块面积估算

注：该数据是基于pre IDP版本初步评估的结果，实际的面积会根据代码的修改而变化。

# Floorplan

芯片尺寸为8.9\*8.2mm2（post-shrink），主要包含A53-4core、 A72-2core、GPU、Codec等几部分及audio\_dac、usb、MIPI、LVDS等众多hard IP。考虑电源域、硬核IP要求、数据流、IO布局、封装基板设计、硬件PCB板设计等诸多因素，经过多轮迭代，floorplan示意图如下：

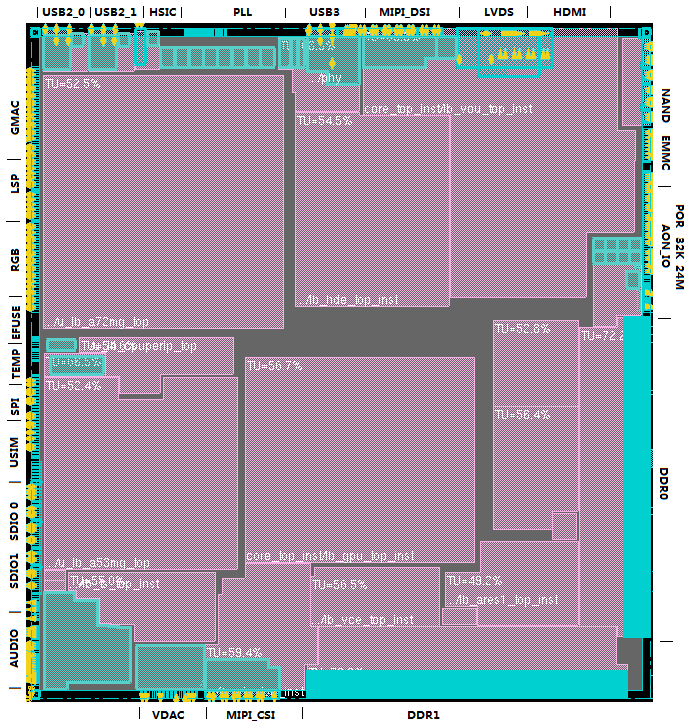


图3 全芯片Floorplan

影响floorplan因素很多，任一因素发生变化就需要调整，牵一发动全身。从方案到后端设计的细化过程中，可能还会有调整。

考虑到芯片的顶层复杂度（电源域、物理模块数量等等），后端物理设计首次采用subchip概念，全芯片包括CPU/GPU/CP三个subchip。此三部分为三个子芯片顶层，有专人负责，内部时序内部自行收敛。顶层只处理subchip与Top接口部分时序。目的是降低顶层实现及时序收敛复杂度，尽可能加速FDP关键路径的时序收敛速度。

# 功耗估算

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | Module | Dynamic Power typical 85C(mw) | Leakage Power Typical 85C(mw) | Total Power (mw) | Peak Power估算 (mw) |
| Partition | cpu\_top(CCI500) | 78.0 | 30.0 | 108.0 |  |
| lb\_a53mg(DVFS) | 760.0 | 474.0 | 1234.0 | 5484.4 |
| lb\_a72mg(DVFS) | 1677.6 | 510.0 | 2187.6 | 8102.2 |
| lb\_hsic | 20.0 | 0.4 | 20.4 |  |
| lb\_usb2\_0 | 133.0 | 1.4 | 134.4 |  |
| lb\_usb3 | 93.9 | 12.4 | 106.3 |  |
| lb\_nand&lb\_emmc | 39.7 | 1.5 | 41.2 |  |
| lb\_ddr | 964.0 | 669.0 | 1633.0 |  |
| lb\_ts | 474.0 | 9.8 | 483.8 |  |
| lb\_gpu | 816.0 | 236.0 | 1052.0 |  |
| lb\_viu | 136.0 | 7.2 | 143.2 |  |
| lb\_vou | 745.0 | 70.6 | 815.6 |  |
| lb\_2d | 56.0 | 3.5 | 59.5 |  |
| lb\_sappu | 173.2 | 18.3 | 191.5 |  |
| lb\_vde | 207.0 | 34.0 | 241.0 |  |
| lb\_vce | 162.0 | 16.8 | 178.8 |  |
| lb\_hde | 657.0 | 83.0 | 740.0 |  |
| lb\_ares1\_top | 250.0 | 24.9 | 274.9 |  |
| Top\_only | 330.5 | 52.3 | 382.8 |  |
| Top only sub block | lb\_aon\_top | 13.3 | 4.7 | 18.0 |  |
| lb\_ares0\_top | 94.0 | 21.0 | 115.0 |  |
| lb\_gmac\_top | 3.5 | 0.3 | 3.8 |  |
| lb\_lsp0\_top | 2.2 | 1.5 | 3.7 |  |
| lb\_lsp1\_top | 1.5 | 1.0 | 2.5 |  |
| lb\_sd0\_top | 1.4 | 0.5 | 1.9 |  |
| lb\_sd1\_top | 1.4 | 0.5 | 1.9 |  |
| lb\_sec\_top | 10.0 | 2.9 | 12.9 |  |
| dft\_pinmux |  |  |  |  |
| lb\_acodec |  |  | 10.8 |  |
| lb\_vdieodac | 147.0 |  | 147.0 |  |
| lb\_pll | 45.0 | 19.2 | 64.2 |  |
| lb\_tempsensor |  |  |  |  |
| lb\_efsue（4Kb） |  |  |  |  |
| IO | tsmc io(IO Ring独立估算) | 300.0 | 20.0 | 320.0 |  |
| Total Area & Power | Area Without io before shrink | 8072.9 | 2275.1 | 10348.0 |  |
| VDD\_SOC |  |  |  |  | 10389.5 |
| VDD\_AON |  |  |  |  | TBD |

表7 全芯片功耗Flatten 分析

以上只是粗略估计，全芯片功耗估算由架构组低功耗团队得出，场景还需细化，待后续更新。

# DFT

## DFT技术说明

| DFT技术 | 说明 |
| --- | --- |
| Scan | 可以完成全芯片的stuck-at/at-speed测试电路设计、验证和向量交付；  可以根据产品要求增加iddq/memory sequential/bridge/path-delay等向量； |
| MBIST | Synopsys/arm提供mentor memory model，可以完成测试电路的设计、验证以及向量交付；  根据目前已有的芯片信息，实现memory repair带来的良率提升可能不会覆盖芯片成本的增加，故暂时不考虑实现。 |
| BSD | 可以对digital IO/differential IO/DDR IO进行boundary scan测试； |

表8 DFT实现项目

# 封装与测试

|  |  |
| --- | --- |
| Package info |  |
| Die size | 8.9\*8.2mm (post shrink) |
| Signal | 426 （含1.8/3.3v的LDO IO） |
| Bump pitch | 140 um |
| Bump size | 78x100um， copper pillar |
| 基板工艺 | FCBGA / 4(1-2-1)Layer，MSAP |
| 基板尺寸 | M:21X21mm C:17x17mm L: 14x14mm |
| Ball pitch | 650um |
| Ball size | 300um |

表9封装说明

评估线宽为25um，140的pitch两个bump之间可以走一根线，最外两圈bump可全部出线，最多可引出信号数为476个，基本保证全部信号IO引出；GPIO可考虑用两排bump出线，DDR、HDMI、MIPI等IP可四排stagger bump出线，可增加出线数目。

除最外圈信号bump外，内部的bump设置为电源地为芯片供电，最多可以有~3000个电源地bump，能够为芯片提供足够的供电能力。同时电源地bump可以直接打孔引出，从而不占用信号布线空间。

选用四层封装基板，其中第一层为信号布线层，第二、三层为电源地平面，可以为芯片上多种电源提供供电平面，并且可以为高速信号走线提供较为完整的参考平面。根据PCB工艺能力，选用650um ball pitch，外三圈红色部分在PCB表层出线，黄色部分在底层出线。同时外圈内圈都预留一些电源地pin位置，用于提高信号电性能以及基板散热能力。

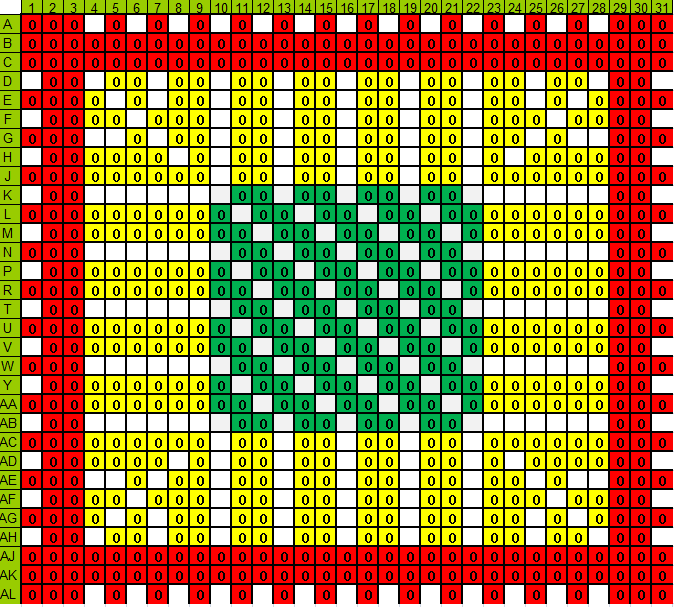


图4 全芯片Ballmap

Padorder如附件所示：



# 关键技术分析

## Cortex-A53/ Cortex-A72达到性能指标

根据下表ARM提供的数据，目前采用12T ARM POP库，TTOD可以达到2GHz，但在0.9V signoff slow corner下只能达到0.825GHz。

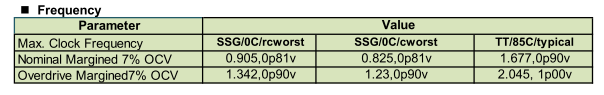


图5 ARM 提供A53不同corner频率

由于整个芯片采用大小核的架构，A53计划使用TSMC 9T的Std cell library，计划在Slow corner 0C的条件下，A53-4core完成800Mhz的signoff.未使用ARM POP库和12T库的情况下完成800Mhz的signoff还是有一定风险.

A72-2core使用ARM POP库，计划在Slow corner 0C的条件下，完成1Ghz的signoff。

## CPU DVFS方案

6718芯片将针对A53，A72部分实现DVFS低功耗方案。

其中CPU部分，logic电压与memory bitcell电压采用不同的bulk控制，目前POP库在编译类型、PVT corner等方面支持该种实现方式。

其中GPU部分，logic电压与memory bitcell同升同降。目前tsmc及synopsys ram在PVT corner方面支持该种实现方式。

DVFS难点一方面在于signoff corner呈倍数增加，另一方面变压区与常压区的接口时序难于收敛。该部分具体的实现方案（时钟复位、低功耗方案、接口时序等）仍需要进一步细化讨论，确保不存在时序收敛问题。

由于CPU部分不能提前于项目进行前期尝试及评估，该部分对于后端物理实现的进度的影响比较大，再加上缺乏有经验工程，有比较大概率成为项目进度瓶颈。

CPU Signoff 策略如下：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Timing Check | Voltage  （Typical） | Library PVT  Conditions | RC Corner | Note |
| Setup | 0.9  (SSG=0.81  FF=0.99) | SSG/0.81/0C | Cworst | 新增signoff corner  cpu&gpu 正常频率 |
| Rcworst |
| SSG/0.81/125C | Cworst | 默认 signoff corner  cpu&gpu 正常频率 |
| Rcworst |
| SSG/0.81/-40C | Cworst | 默认 signoff corner  cpu&gpu 降频(不强制signoff频率) |
| Rcworst |
| TT/0.9/85C | Typical | 新增check corner，不做signoff  cpu&gpu数据用于市场参考 |
| 1.0 | TT/1.0/85C | Typical | 新增check corner，不做signoff  cpu&gpu数据用于市场参考 |
| Hold | 0.9  (SSG=0.81  FF=0.99) | SSG/0.81/125C | Cworst | 默认 signoff corner  cpu&gpu正常频率 |
| Rcworst |
| SSG/0.81/-40C | Cworst | 默认 signoff corner  cpu&gpu正常频率 |
| Rcworst |
| FF/0.99/125C | Cworst | 默认 signoff corner  cpu&gpu正常频率 |
| Rcworst |
| FF/0.99/-40C | Cworst | 默认 signoff corner  cpu&gpu正常频率 |
| Rcworst |
| FF/0.99/125C | Cbest | 默认 signoff corner  cpu&gpu正常频率 |
| Rcbest |
| FF/0.99/-40C | Cbest | 默认 signoff corner  cpu&gpu正常频率 |
| Rcbest |
| SSG/0.81/-0C | Cworst | 新增signoff corner  cpu&gpu正常频率 |
| Rcworst |
| 1.0  (SSG=0.9  FF=1.05) | SSG/0.9/125C | Cworst | 新增 signoff corner  Check cpu&gpu hold |
| Rcworst |
| SSG/0.9/-40C | Cworst | 新增signoff corner  Check cpu&gpu hold |
| Rcworst |
| FF/1.05/125C | Cworst | 新增signoff corner  Check cpu&gpu hold |
| Rcworst |
| FF/1.05/-40C | Cworst | 新增signoff corner  Check cpu&gpu hold |
| Rcworst |
| FF/1.05/125C | Cbest | 新增signoff corner  Check cpu&gpu hold |
| Rcbest |
| FF/1.05/-40C | Cbest | 新增signoff corner  Check cpu&gpu hold |
| Rcbest |

图10：Signoff corner定义

说明：

白色背景：默认正常电压Signoff Corner

蓝色背景：市场参考数据，新增Check Corner

灰色背景：CPU&GPU常压目标Signoff频率，新增Signoff Corner

红色背景：新增升压CPU&GPU Signoff Corner

## LPDDR2-1066/LPDDR3-1600/DDR3-1866高速SI接口验证

LPDDR2采用HSUL\_12接口，IO工作电压为1.2V，信号数据率达到1066Mbps时，DDR PHY接口时钟为533MHz，为此DDR PHY支持的LPDDR2模式下的最高速率，同类型的芯片如RK3368速率最高支持533MHz，与项目最高频率相同。

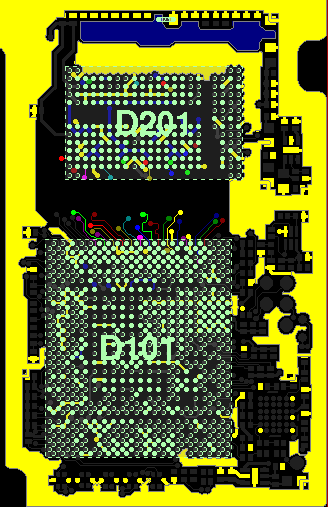
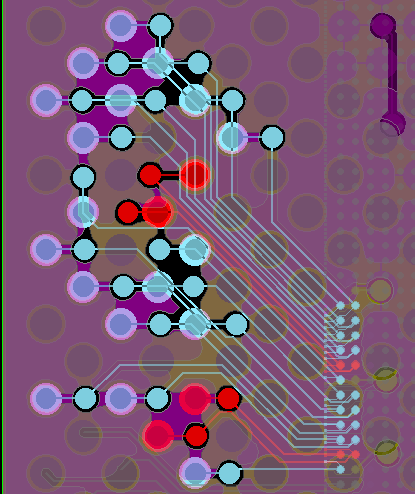
LPDDR3采用HSUL\_12接口，IO工作电压为1.2V，信号数据率达到1600Mbps时，DDR PHY接口时钟为800MHz。当前同类型芯片如高通的MSM8239/MSM8939/MSM8936以及RK3368速率最高可支持800MHz LPDDR3，与本项目最高频率相同，但是展讯的SC9830AD以及联芯的LC1860C最高速率为667MHz LPDDR3，低于本项目的800MHz。

DDR3采HSSTL\_15接口,IO工作电压为1.5V，信号数据率达到1866Mbps时，DDR PHY接口时钟为933MHz，为此DDR PHY支持的DDR3模式下的次高速率，同类型的芯片如RK3368速率最高支持800MHz，低于项目最高频率相同。

LPDDR2/3及DDR3 SI设计的主要挑战包括：时序预算、信号质量、传输延时、ODT选择、布局布线规则等。对于高速的LPDDR3接口信号的设计，需要SOC、package和PCB协同设计，多次迭代最后达到系统级最优。

LPDDR2由于目前未收到对接memory器件的模型，因此暂时没有评估可行性。

为验证800MHz LPDDR3于本项目的可行性，项目评估初期，选用synopsis提供的LPDDR3 controller IBIS模型以及三星的LPDDR3 颗粒的IBIS模型，连接package以及PCB的预布线模型，搭建了controller+package+PCB+memory的仿真系统，对LPDDR3 SI特性进行初步评估，如下图所示。



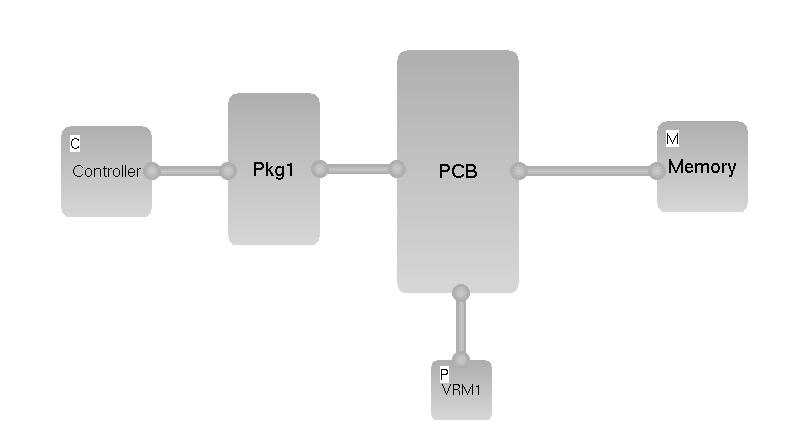
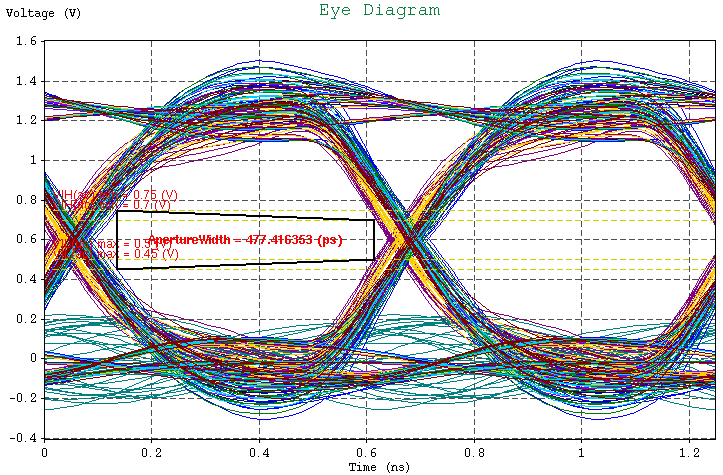
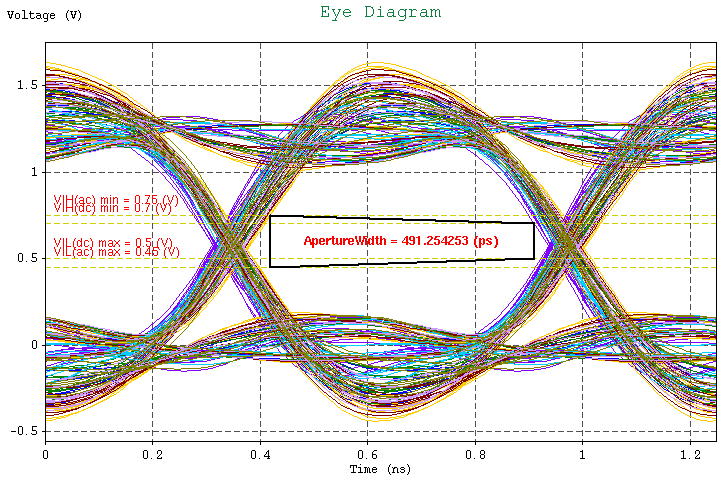


图6 封装示意图

对该系统进行了LPDDR3时序的前仿真，仿真结果如下图所示：



Write read

图7 L DDR3眼图分析

从仿真结果可以看出，信号读写过程中眼高严宽可以基本满足设计要求，但是眼图质量并不是非常理想，后续可根据实际的package与PCB版图设计以及详细的仿真时序参数进行设计的协同优化。

为验证933MHz DDR3于本项目的可行性，项目评估初期，选用synopsis提供的DDR3 controller spice模型以及hynix的DDR3 颗粒的IBIS模型，连接package以及PCB的预布线模型，搭建了controller+package+PCB+memory的仿真系统，对DDR3 SI特性进行单网络SI仿真，如下图所示。

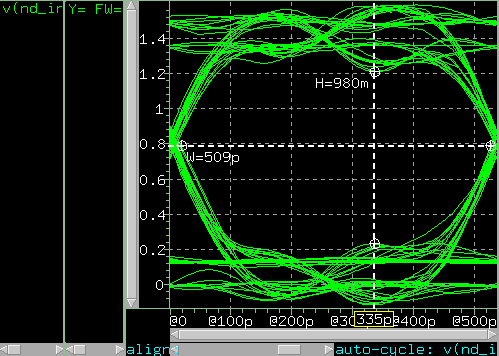
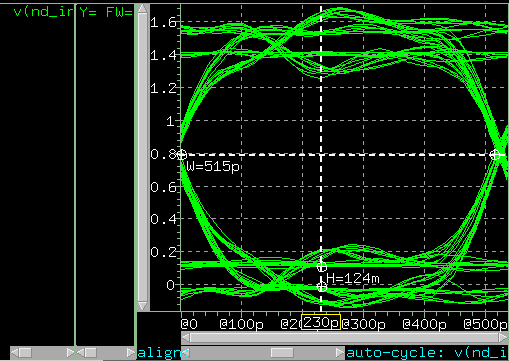
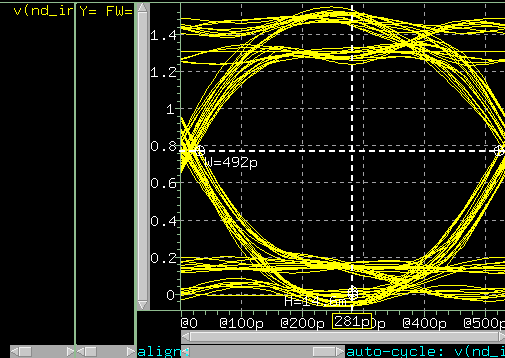
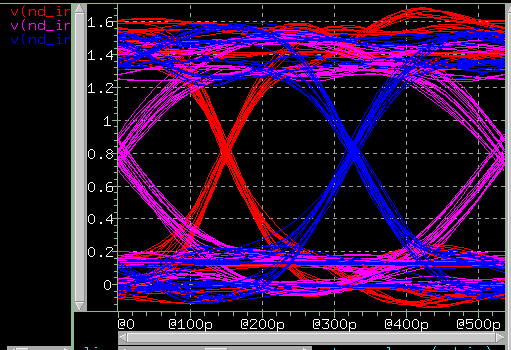
  

图8 DDR3眼图分析

基于前仿真结果提出一些设计优化建议：

时序方面需考虑以下三个因素：发送端 uncertainty、互连 uncertainty and 接收端 uncertainty）

发送端 uncertainty包括PHY的窗口a)phase error b)Duty cycle distortion c)Supply induced jitter和Clock Distribution Skew 及OCV I/O + clock dist；

互连 uncertainty包括{封装走线skew 10-20ps，PCB走线skew 10ps，对接器件内部走线skew，电源噪声，crosstalk，ISI产生的skew(仿真得出）,此处wirebond和FC封装相差较大）；DQ和DQS采用相同IOskew为0，如采用不同IO可能产生5-10ps的skew；PR die内部routing skew在50ps以下，FC的RDL routing skew为5ps/wirebond线 skew为5ps以下。

接收端 uncertainty可通过查器件用手册set up and hold specification(参考micron1866Mps AC135DC100)derating后得到tDS 68ps和tDH 70ps左右。

因此需要选择：

1、PHY消耗时序窗口较小的DDR PHY，

2、封装和PCB走线的需要做co-routing做等长，以减小skew，

3、封装和PCB的走线需要谨慎routing，间距增大和参考电源平面需要完整做好信号隔离，采用6层基板结构，

4、PR die内部routing skew尽量减小，

5、采用FC封装结构，

6、选择时序参数较优的memory器件，

7、选择多级相位可调功能的DDR PHY以调整时序窗口不足。

8、DDR接口信号走线需要完整的参考地平面，系统走线尽可能短，数据信号之间距离尽可能大，尽量不使用过孔。

9、建议在系统级做到走线长度的匹配，封装和PCB走线调整需要多次迭代最后达到系统级最优

10、信号数据率高的数据信号和地址信号放到TOP层走线对信号质量提高有帮助，信号数据率低的控制信号可以放到Bottom层走线。

11、另外由于本项目要求实现高速率LPDDR2/LPDDR3/DDR3兼容，因此在PCB、封装及bump、IO做co-design以实现skew及jitter噪声方面的优化设计。

该部分后续仍需进一步分析优化。

## 高频ddr\_skew指标实现

DDR skew一直是ddr后端实现的重点与难点，尤其6718项目DDR3接口速率达到1866Mbps，对ddr skew/transition及其他时序的检查要求就更为严格。而对于skew的调节，大部分集中在post route完，手动一条条处理相当耗时，且对于何时达到时序收敛不可预测。具体实现过程如下：

1 调节floorplan。使得PHY位于相关IO中间位置，这样能使需要调节的net最大长度最短；否则可能对于skew调节过程引入过多的BUF，不利于skew实现；

2 找出需要balance的net。根据需要调节skew的start pin和end pin，抓出需要balance的一组net，如果start pin与end pin间在综合阶段不小心插入了BUF/INV cell，则需要删除这些cell，以便后续统一添加。

3 添加BUF cell。脚本抓出最长的net，得出插BUF的数量（BufNum）及间隔（L），则同组中其他net的插buf的数量及间距也固定下来。根据不同的IO位置，BUF所放的位置也有所不同，以需要插四个BUF为例图解说明。如果IO距离PHY的间距较远，在粉色区域，则BUF的位置直接在PHY的起始点开始，以间距L分别放入四个BUF；如果IO位置距离PHY较近在紫色区域，那么前三个BUF依次从PHY开始距离L放入，最后一个BUF折回距离第三个L处放置；绿色区域需折返两个BUF；如下：



图9 DDR skew优化方式

4 对新加cell/net fix处理。在后续PR流程中，对这些新插cell与net进行fix处理，防止优化掉。

通过实际评估，芯片内部的PHY/IO接口skew要求满足vendor的指标要求，该部分物理实现风险相对低。

# 后端设计计划

## 进度

| 设计阶段 | 激进进度 | 合理进度 | 保守进度 |
| --- | --- | --- | --- |
| IDP Handoff | T | T | T |
| SDP Handoff | +1.5个月 | +1.5个月 | +1.5个月 |
| FDP Handoff | +2.5个月 | +3个月 | +3.5个月 |
| Tapeout | +2.8个月 | +3个月 | +3.5个月 |

图11：后端开发计划

## 人力



图12：后端人力安排

目前人力已经到位

## 服务器资源

|  | CP | IDP | SDP | FDP | PEAK | Archive |
| --- | --- | --- | --- | --- | --- | --- |
| 存储（TB） | 10 | 12 | 25 | 40 | 50 | 14 |
| 服务器（台） | 16 | 30 | 60 | 75 | 80 | 8 |

图13：后端各阶段服务器资源需求

# 后端设计风险

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **序号** | **严重性** | **问题描述** | **处理建议与解决方案** | **问题状态** | **问题发现日期** | **期望解决日期** | **责任人** | **问题状态** |
| 1 | 高 | A53，A72模块均要求DVFS等复杂低功耗方案，但IP不能提前到位，预研不充分，进度风险高 | 1.组建专业团队  2.与外部公司密切合作  3.提前获取模块进行后端尝试 | 跟踪中 | 2015/08/15 | 2015/10/30 | 孔庆海 | Open |
| 2 | 中 | DDR3与物理设计、封装及SI都相关，实现风险高 | 1.提前针对布局和封装进行实际的评估  2.专业团队来进行接口时序分析  3.与vendor紧密合作 | 进行中 | 2015/08/8 | 2015/11/30 | 孔庆海  余斌 | Open |
| 3 | 高 | 项目进度紧张，与芯原异地onsite合作与协调难度大 | 1. 制定后端实现计划 2. 确定双方交付规则 | 进行中 | 2015/08/01 | 2015/11/30 | 孔庆海 | Open |
| 4 | 中 | 新PR工具Innovus的引入，用于提升VOU大型模块的run time，但是新工具稳定性不确定 | 1. 平台提前建立Innovus流程脚本 2. 提前用小模块尝试 | 进行中 | 2015/08/01 | 2015/11/30 | 孔庆海 | Open |

图14：后端实现风险