技 术 文 件

技术文件名称：ZX296718开发阶段总结

技术文件编号：

版 本：

拟 制 ZX296718开发组

审 核 黄 智

会 签 徐华锋

刘贵生

孔庆海

曹丽娜

李光耀

吴 葵

标准化

批 准

深圳市中兴微电子技术有限公司

**Revision History**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Document Number** | **Revision** | **Done by** | **Date** | **Reason** | **Changes** |
|  | V1.0 | Liu Guisheng | 2016-02-23 | None | None |
| Notes 1: Revision History should be filled each time the document is archived.  Notes 2: When the document is archived first time, the “Reason” & “Changes” columns should be filled with “None”. | | | | | |

1. Document Number栏无需填写，留空。
2. Revison栏填写版本编号，以V1.0作为起始。
3. Done by栏填写作者姓名，使用标准汉语拼音，名字在前、姓氏在后，首字母大写。
4. Date栏格式为阿拉伯数字年月日，以“-”作为分隔。
5. Reason栏填写填写修改原因。
6. Changes栏填写主要变更内容。
7. Reason及Changes栏为左对齐，其他为居中对齐。

目 录

[1 概述 4](#_Toc444204192)

[1.1 系统结构框图 6](#_Toc444204193)

[1.2 系统关键特性 7](#_Toc444204194)

[1.2.1 芯片加工工艺 8](#_Toc444204195)

[1.2.2 Signoff 标准介绍 8](#_Toc444204196)

[1.2.3 Signoff工具版本 9](#_Toc444204197)

[1.2.4 芯片时钟方案 9](#_Toc444204198)

[1.3 版图布局图 10](#_Toc444204199)

[2 RTL验证 11](#_Toc444204200)

[2.1 验证工作原理 11](#_Toc444204201)

[2.2 验证通过准则 12](#_Toc444204202)

[2.3 验证/测试覆盖率 12](#_Toc444204203)

[2.4 验证结论 12](#_Toc444204204)

[3 FPGA 13](#_Toc444204205)

[3.1 FPGA验证/测试工作原理 13](#_Toc444204206)

[3.2 FPGA验证/测试通过准则 14](#_Toc444204207)

[3.3 验证/测试覆盖率 14](#_Toc444204208)

[3.4 验证/测试结论 14](#_Toc444204209)

[4 物理设计 14](#_Toc444204210)

[4.1 功能时序验证 14](#_Toc444204211)

[4.1.1 设计规范 14](#_Toc444204212)

[4.1.2 仿真激励 15](#_Toc444204213)

[4.1.3 验证通过准则 15](#_Toc444204214)

[4.1.4 PR网表验证/测试覆盖率 15](#_Toc444204215)

[4.1.5 验证结论 15](#_Toc444204216)

[4.1.6 各里程碑验证\测试覆盖率 15](#_Toc444204217)

[4.2 形式验证 16](#_Toc444204218)

[4.2.1 形式验证 16](#_Toc444204219)

[4.2.2 静态时序分析 20](#_Toc444204220)

[4.2.3 测试向量 23](#_Toc444204221)

[4.3 可测试性设计（DFT） 23](#_Toc444204222)

[4.3.1 MBIST测试方案 23](#_Toc444204223)

[4.3.2 SCAN测试方案 23](#_Toc444204224)

[4.4 芯片规模 24](#_Toc444204225)

[4.5 封装信息 24](#_Toc444204226)

[4.5.1 封装类型 24](#_Toc444204227)

[4.5.2 功耗 25](#_Toc444204228)

[4.5.3 管脚排布 26](#_Toc444204229)

[4.6 SSO分析 27](#_Toc444204230)

[4.6.1 IO及电源信息 27](#_Toc444204231)

[4.6.2 仿真拓朴结构 27](#_Toc444204232)

[4.6.3 判断标准 27](#_Toc444204233)

[4.6.4 仿真结果 27](#_Toc444204234)

[4.7 串扰分析 28](#_Toc444204235)

[4.8 IBIS模型 28](#_Toc444204236)

[5 需求 28](#_Toc444204237)

[5.1 需求稳定度 28](#_Toc444204238)

[5.1.1 用户需求稳定度 28](#_Toc444204239)

[5.1.2 系统需求稳定度 28](#_Toc444204240)

[6 可靠性 29](#_Toc444204241)

[6.1 可靠性设计与要求 29](#_Toc444204242)

[6.2 厂家质量 29](#_Toc444204243)

[7 缺陷 30](#_Toc444204244)

[7.1 缺陷关闭率 30](#_Toc444204245)

[8 财务 30](#_Toc444204246)

[8.1 研制成本 30](#_Toc444204247)

[8.2 目标成本 31](#_Toc444204248)

[9 其他 31](#_Toc444204249)

[9.1 不合格项关闭率 31](#_Toc444204250)

[9.2 其他 31](#_Toc444204251)

[10 附录：故障分类定义 32](#_Toc444204252)

# 概述

ZX296718芯片项目面向多机顶盒终端产品以及中高端平板产品等。本项目提供高清Video和3D图形加速的多媒体功能及图形处理功能，提供丰富的接口，如HDMI接口及其他数字模拟音视频接口、USB3.0、HDMI、MHL、EMMC5.0、DDR3及千兆以太网等等接口。ZX296718的操作场景见下图。



1. 机顶盒产品应用场景

下图是平板产品应用场景：



1. ZX2967机顶盒产品应用场景

## 系统结构框图



1. ZX296718 Block Diagram

ZX296718片内架构包含CORE子系统部分、总线连接子系统部分、存储子系统部分、外设子系统部分、多媒体子系统部分、业务子系统部分和AON子系统。与芯片连接的外围环境主要是五个部分：时钟复位电源供给、存储设备、高速和低速外设、JTAG调试端口、多媒体音视频。下面分别简单描述这些部分的内容。

1. CPU子系统：采用A72和A53 big-LITTLE处理器系统，包含一个ARM A53四核处理器模组和一个ARM A72双核处理器模组，内含A72双核、A53四核、L1 cache、L2 cahce、Timer、Watchdog、GIC、SCU和NEON等模块，支持ETB等coresight子模块，不支持TPIU接口。A72和A53之间通过CCI500矩阵完成cache一致性。
2. 总线连接子系统，包含一个SYSTEM NoC总线矩阵、一个DDR NoC总线矩阵以及多个NIC总线矩阵，所有的模块通过AMBA总线协议连接在一起形成了一个高效的片内系统。
3. 存储子系统，包含有两个DDR3控制器，一个SPI nor/nand Flash控制器、一个EMMC控制器、两个SDMMC控制器，支持外接SD存储卡或iNAND Flash， 一个NAND控制器，另外还有片内的多个IRAM控制器控制内部IRAM。其中DDR3是基于AXI协议的具有128bit数据总线带宽的存储模块。满足系统的高带宽需求。
4. 外设子系统，分成四部分：内部模块、低速、高速和扩展外设部分，内部模块部分主要包括四个模块，一个SYS\_CTRL系统控制模块，主要是实现各种系统信号的控制和状态监视；一个CRM模块；两个管脚复用PIN\_MUX模块。低速外设部分主要是由低速外设模组构成，这些低速外设包括五个UART控制器、五个SSP控制器、四个I2C控制器、一个GPIO、一个SPDIF控制器、四个Timer控制器、一个PWM控制器，多个I2S模块，其中和HDMI相连的是I2S需要配置成8声道等。高速外设部分主要由高速外设模组构成。高速模组内含两个USB2.0控制器、一个USB3.0控制器、一个USB HSIC控制器和一个GMAC控制器，其中GMAC控制器支持MII/RMII/GMII三种制式。另外安全部分由AES、DES、HASH和Trng等组成。
5. 多媒体子系统可用于高清视频和静态图像的采集、高清视频和静态图像的编解码、3D游戏以及高清视频和静态图像的处理和显示功能。支持H.264等格式的视频编解码和HEVC的解码功能，高像素图像处理模块ISP，支持4K视频播放。输入和输出接口包含DVI IN、MIPI CSI、Dual MIPI DSI、LVDS、VGA、RGB LCD等。
6. AON子系统用于系统的低功耗管理。主要由一个M0 MCU、一个RTC模块、一个PCU模块、一个IR、一个KEY、两个WDT、一个GPIO、两个I2C模块、一个Timer模块及一个IRAM和一个IROM构成；

## 系统关键特性

|  |  |
| --- | --- |
| **名称** | **关键特性** |
| CPU性能需求 | * 四核A53+2A72 * 2.0GHz（部分芯片最高可达到频率） |
| 3D图形处理器性能需求 | * T820 2核600MHz * 素填充率大于1.2G pixel/S * 三角形大于200M t/s |
| DDR最大频率 | * DDR3最高数据率1866Mbps * LPDDR3最高速率1600Mbps * LPDDR2最高速率1066Mbps |
| 视频解码 | * 支持H.265 4Kx2K@60fps解码 * 或支持H.265最高8路1080P解码处理，如8\*1080P30、4\*1080P60 * 支持H.264 1080P60解码 |
| 视频编码 | * 支持H.264 1080P60编码 |
| 系统总线最大频率 | * 达到466MHz或以上 |
| UART控制器最大传输速率 | * 4Mbps |
| SSP同步串口最大传输速率 | * 50Mbps |
| I2C快速时钟 | * 3.4MHz |
| USB2.0传输速率 | * 480Mbps |
| USB3.0传输速率 | * 5Gbps |
| SDIO/SD3.0传输速率 | * 832Mbps |
| EMMC5.0传输速率 | * 400MB/s |

### 芯片加工工艺

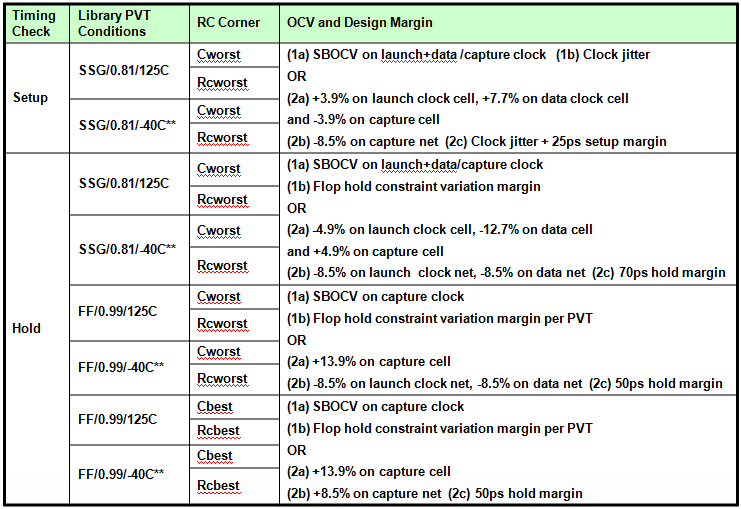
芯片加工工艺采用TSMC28HPC工艺。

| Foundary | Process | Shrink factor | Metal schma |
| --- | --- | --- | --- |
| TSMC | 28hpc | 0.9 | 1p8m 5x2z |

### Signoff 标准介绍

#### STA 标准

1. STA signoff Criterion



#### SI标准

1. Glitch noise check;

条件：同STA Signoff corner;

工具：PT;

Signoff标准：PDP and PT default setting,

si\_noise\_immunity\_default\_height\_ratio = "0.4";

1. SI induced delay Check;

条件：同STA Signoff corner;

工具：PT；

Signoff 标准：由STA覆盖,叠加了SI效应的时序必须满足STA signoff要求。

#### PI标准

IR drop analysis标准：

条件：Power calculation: TC85 lib ( TT/0.9V/85C) + Cworst(125C);

IR drop analysis: power-mesh RC extraction: RCMAX

工具：Redhawk；

Signoff 标准：Power signoff 必须使用VCD/FSDB；如果没有，请注明原因；

IR drop分析的部分，static IR < 3% ( VDD + GND); dynamic IR为可选，如果有运行，请给出结果说明；

dynamic IR < 18% ( VDD + GND);

EM标准

条件：Power calculation: TC85 lib ( TT/0.9V/85C) + Cworst(125C);

EM analysis: power-mesh RC extraction: RCMAX

工具：Redhawk

说明：满足EM rule: 110C, RCMAX

#### PV标准

工具：Calibre

Signoff标准：

LVS passed

No DRC violation;

TSMC rule deck；

　　任何rule deck的修改部分必须给出说明；

　　任何的DRC违例如果被waive了，必须给出说明；

### Signoff工具版本

1. Signoff Tool list and verison

|  |  |  |
| --- | --- | --- |
| Signoff Task | Tool Name | Version |
| FV | LEC | lec/14.10-s180 |
| STA | PT | pt/J-2014.06-SP1 |
| RC extraction | STAR | star/J-2014.12-SP2 |
| SI | PT | pt/J-2014.06-SP1 |
| Power analysis | PTPX | pt/J-2014.06-SP1 |
| IR drop | Redhawk | rhwk/14.2.6 |
| EM | Redhawk | rhwk/14.2.6 |
| PV | Calibre | clb/v2014.3\_35.26 |

### 芯片时钟方案

ZX296718有两个外部参考时钟输入，分别为24MHz时钟输入和32.768KHz时钟输入。24MHz时钟作为系统的主要参考时钟，既是PLL的参考时钟，又是PLL锁定之前系统的工作时钟源。32.768KHz时钟主要为系统定时单元提供参考时钟，也可以为系统在低功耗模式下提供工作时钟。在硬件方案设计时可以不提供该时钟，此时系统定时单元采用24MHz时钟分频产生的32KHz时钟作为工作时钟。

ZX296718一共使用8个PLL，分别为处理器子系统、存储子系统、多媒体子系统、音频子系统、外设子系统及系统互联逻辑提供所需要的工作时钟频率。PLL支持整数和小数倍频，输出时钟频率范围从16MHz到3200MHz，可为系统提供丰富的工作时钟频率资源。PLL\_MAC/ PLL\_MM0/ PLL\_MM1/ PLL\_HSIC输出的时钟频率不可调；PLL\_CPU/ PLL\_DDR/ PLL\_AUDIO/ PLL\_VGA可根据各模块的性能需求调整输出始终频率。PLL\_CPU专门为CPU提供工作时钟；PLL\_DDR专门为DDR提供工作时钟；PLL\_AUDIO专门为音频子系统提供工作时钟；PLL\_VGA专门为多媒体显示提供工作时钟。



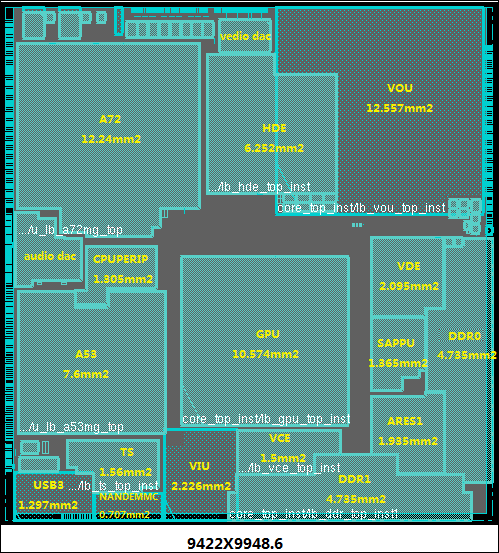
1. ZX296718 Clock Architecture

为了适应性能和功耗对时钟的不同需求，ZX296718采用了时钟多路选择器结构，为各模块提供多个工作时钟频率，可以根据不同应用对性能的需求方便的切换工作时钟频率。各时钟输出到模块之前，都做了门控处理。

每个模块内部实现了一个CRM单元，对时钟复位做进一步的处理，如分频、门控等。详细的时钟方案请参考文档《ZX296718\_系统架构及时钟复位方案结构图.vsd》。

## 版图布局图

芯片预估尺寸为9.42\*9.95mm2（pre-shrink），主要包含A53-4core、 A72-2core、GPU、Codec等几部分及audio\_dac、usb、MIPI、LVDS等众多hard IP。考虑电源域、硬核IP要求、数据流、IO布局、封装基板设计、硬件PCB板设计等诸多因素，经过多轮迭代，floorplan示意图如下：



1. FloorPlan

系统中最关键的数据流向集中在两个DDR上，由于项目支持双通道interleaving特性，所有的数据流将先汇集到ARES1 BUS BLOCK上，然后再经过TZC400模块分发到两个DDR BLOCK。因此ARES1 BUS BLOCK是整个芯片的时序关键路径。

# RTL验证

## 验证工作原理

ZX296718芯片项目面向多机顶盒终端产品以及中高端平板产品等。提供高清Video和3D图形加速的多媒体功能及图形处理功能，提供丰富的接口，如HDMI接口及其他数字模拟音视频接口、USB3.0、HDMI、MHL、EMMC5.0、DDR3及千兆以太网等等接口。

ZX296718系统RTL验证环境如Figure8-1所示。图中，实线表示真实的设计代码功能实现和连接，如C、Verilog等。虚线表示部分或全部采用脚本语言实现的验证模块等。



1. verification environment

## 验证通过准则

A类故障为0，B类故障为0，C、D类故障总数不大于3等 。

## 验证/测试覆盖率

RTL验证覆盖率=100%

对验证需求覆盖率 ＝已经验证的验证需求数 /最终的验证需求数×100％，

= 527/527\*100%

=100%

验证用例执行率＝已经执行的验证用例数 /总的验证用例数×100％，

=1030/1030\*100%

=100%

## 验证结论

RTL版本验证通过。

# FPGA

## FPGA验证/测试工作原理

1. FPGA划分方案



1. FPGA Test Scheme

上图为系统架构分割框图，由上图可知，系统各模块放置如下：VOU及ARES1放在hd\_FPGA上；2D GPU、DVI\_IN、ISP放在2d\_FPGA上；DVB-C放在rf\_FPGA上； 3D GPU、SAPPU放在3d\_FPGA上，H.264 ENC/DEC、HEVC放在hevc\_FPGA上，CPU放cpu\_FPGA上，其余部分放在soc\_FPGA上。特别说明，由于项目单板资源数量的限制，cpu\_FPGA工程分为altera及xilinx两个大的版本，其中altera版本仅测试只含A53单核的CPU子系统，版本将放置在A2板的rf\_FPGA上，xilinx版本采用S2C公司提供的工程分割软件，将CPU子系统分割成两个工程，分别放入xilinx板进行测试。

1. 测试平台连接



1. A2 Board and S2C Board Connected Diagram

A2板与S2C板连接框图如图5所示， A2板的FPGA两两都有serdes互联线。其中仅soc\_FPGA连接了nand、nor、gmac、pcie接口，仅2d\_FPGA（本方案中FPGA命名与6702有一定调整）连接了sata接口。soc\_FPGA和2d\_FPGA连接有arm\_jtag口。A2母板还配有soc\_gp、AVsubcard、lcd、pcm、hdmi、tv\_da子卡。其中soc\_gp子卡用于测试usb、sdmmc、sci、irdec，还兼有soc\_FPGA和hd\_FPGA互联功能；AVsubcard用于测试多媒体VIU和VOU；lcd子卡用于测试lcd和按键；pcm子卡测试pcm+codec；hdmi子卡用于测试hdmi输出；tv\_da子卡用于测试tv\_encoder。母板上的插座，除soc\_FPGA外，各FPGA对应位置的插座连线均相同，但同一FPGA的各插座连线不同。因此，测试时需要注意相应的子卡插到FPGA的对应连接器上，具体可参照6702子卡连接图。A2板与S2C通过跨板serdes连接，根据测试的实际情况将采用Aurora协议实现母板之间的互连。由于目前S2C暂计划只放置3D GPU、CPU等不需要子卡测试模块，因此各接口测试仍在A2母板上完成。

## FPGA验证/测试通过准则

关于故障类型的定义请参见《73[1].6031-2009 产品测试故障分级和测试通过标准 硬件研究所实施要求》。

A类故障个数为0，B类故障个数为0，C类故障加D类故障之和个数不大于3个。

## 验证/测试覆盖率

FPGA测试需求有519个需求项，针对这些需求项，规划了761个用例库，测试需求覆盖率100%

FPGA测试需求覆盖率 ＝已经测试的需求数 /最终的测试需求数×100％，

= 519/519\*100%

=100%

FPGA测试用例覆盖率 ＝已经测试的用例数 /最终的测试用例数×100％，

= 761/761\*100%

=100%

## 验证/测试结论

FPGA全部测试通过。

# 物理设计

## 功能时序验证

### 设计规范

1. References List

| Reference | Version (optional) | Date  (optional) | Provided By |
| --- | --- | --- | --- |
| ZX296718-超高清数字媒体芯片系统方案 | A | 2015-8-20 | 高崇兴 |
| ZX296718芯片研制规范 | A | 2015-08-18 | TanZhixiong |
| ZX296718-超高清数字媒体芯片验证需求 | A | 2015-9-1 | 李季 曹丽娜 |
| USB2.0 bus Specification | V1.0 | 1998-9-23 | Compaq Intel Microsoft NEC |
| AMBA Specification | V1.0 | 1999-5-13 | ZPM022 |
| I2S bus specification | V1.0 | 1996-6-5 | Philips |
| The I2C Bus Specification | V1.0 | 2000-1 | Philips |

先发布时序没有完全收敛的typical corner的全芯片网表用于调试后仿用例，由于全芯片的网表对内存占用很高，全开dump波形内存占用可以达到200多G，所以根据用例的功能将不相关的block设置为BFM模式，dump波形选择尽可能少的层次，用于加快仿真速度和减少资源占用情况。

全芯片网表仿真基于软硬件协同的spock验证平台验证整体的顶层功能（包括时钟复位、低功耗、管脚复用、bootrom等）。

### 仿真激励

所有激励从PAD管脚输入，按照接口约束频率和delay范围做接口时序。

详细请参看以下SVN目录内容：

https://10.7.73.240:8443/zx296718/zx296718\_rep/dev/code/verify\_code/fullchip\_net/testcase

### 验证通过准则

验证通过率大于95%满足要求.

### PR网表验证/测试覆盖率

PR网表验证/测试覆盖率=64/64\*100%

=100%

### 验证结论

V3.0.0NET\_PR\_ECO2后仿真验证通过。

### 各里程碑验证\测试覆盖率

1. Verification/Test Coverage at Each Milestones

分析：RTL验证覆盖集成、接口、典型工作场景、bootrom等，FPGA主要针对IP进行测试以及覆盖一些RTL验证难以覆盖或查看效果的场景，采用RTL验证和FPGA验证相结合的验证覆盖所有的功能。

PR网表验证主要覆盖异步路径、JTAG、DDR、DMA及中断等小系统功能。

## 形式验证

### 形式验证

全芯片形式验证的采取的策略是hierarchical bottom up的方式。

#### 顶层形式验证结果

1. RTL vs SYN FV Summary

|  |  |
| --- | --- |
| Formal Tool | Synopsys Formality 2015.06 |
| RTL | <https://10.7.73.240:8443/zx296718/zx296718_rep/int/hw_code/V3.0.0R> : 22185 |
| Synthesis Netlist | https://10.7.73.240:8443/zx296718/zx296718\_rep/dev/code/backend/zx296718\_top\_fdp/dsn/release/zx296718\_top/zx296718\_top.syn.default.vg.gz |
| SVF | https://10.7.73.240:8443/zx296718/zx296718\_rep/dev/code/backend/zx296718\_top\_fdp/dsn/release/zx296718\_top/zx296718\_top.default.svf |
| Scripts | https://10.7.73.240:8443/zx296718/zx296718\_rep/dev/code/backend/zx296718\_top\_fdp/sub\_proj/zx296718\_top/fv\_fm/scr/zx296718\_top\_fv.151205.fm |
| Special Settings | set hdlin\_interface\_only "lb\_a53mg\_top lb\_a72mg\_top lb\_ares1\_top lb\_cpuperip\_top lb\_ddr\_ew\_top lb\_ddr\_top lb\_gpu\_top lb\_hde\_top lb\_nandemmc\_top lb\_sappu\_top lb\_ts\_top lb\_usb30\_top lb\_vce\_top lb\_vde\_top lb\_viu\_top lb\_vou\_top" |
| Formal Results | Pass |
| Formal Reports | https://10.7.73.240:8443/zx296718/zx296718\_rep/dev/code/backend/zx296718\_top\_fdp/sub\_proj/zx296718\_top/fv\_fm/rpt/\* |

1. RTL vs SYN FV Warnings

| Rule No. | Rule Description | Analysis |
| --- | --- | --- |
| FMR\_VLOG-101 | In initial block, only $power and $retain are supported, other statements are ignored. | Ignore |
| FMR\_VLOG-075 | Pragma 'infer\_mux' is not used by Formality. | Ignore |

#### lb\_sappu\_top形式验证结果

1. RTL vs SYN FV Summary

|  |  |
| --- | --- |
| Formal Tool | Synopsys Formality Version K-2015.06 |
| RTL | https://10.7.73.240:8443/zx296718/zx296718\_rep/int/hw\_code/V3.0.0R/hw\_code/asic |
| Synthesis Netlist | https://10.7.73.240:8443/zx296718/zx296718\_rep/dev/code/backend/zx296718\_top\_fdp/dsn/release/lb\_sappu\_top/lb\_sappu\_top.syn.default.vg.gz |
| SVF | https://10.7.73.240:8443/zx296718/zx296718\_rep/dev/code/backend/zx296718\_top\_fdp/dsn/release/lb\_sappu\_top/lb\_sappu\_top.default.svf |
| Scripts | https://10.7.73.240:8443/zx296718/zx296718\_rep/dev/code/backend/zx296718\_top\_fdp/sub\_proj/lb\_sappu\_top/fv\_fm/scr/lb\_sappu\_top\_fv.1128\_u1.fm |
| Special Settings | None |
| Formal Results | Pass |
| Formal Reports | https://10.7.73.240:8443/zx296718/zx296718\_rep/dev/code/backend/zx296718\_top\_fdp/sub\_proj/lb\_sappu\_top/fv\_fm/rpt/\* |

1. RTL vs SYN FV Warnings

| Rule No. | Rule Description | Analysis |
| --- | --- | --- |
| Null | Null |  |

#### lb\_vce\_top形式验证结果

1. RTL vs SYN FV Summary

|  |  |
| --- | --- |
| Formal Tool | Synopsys Formality Version K-2015.06 |
| RTL | https://10.7.73.240:8443/zx296718/zx296718\_rep/int/hw\_code/V3.0.0R/hw\_code/asic |
| Synthesis Netlist | https://10.7.73.240:8443/zx296718/zx296718\_rep/dev/code/backend/zx296718\_top\_fdp/dsn/release/lb\_vce\_top/lb\_vce\_top.syn.default.vg.gz |
| SVF | https://10.7.73.240:8443/zx296718/zx296718\_rep/dev/code/backend/zx296718\_top\_fdp/dsn/release/lb\_vce\_top/lb\_vce\_top.default.svf |
| Scripts | https://10.7.73.240:8443/zx296718/zx296718\_rep/dev/code/backend/zx296718\_top\_fdp/sub\_proj/lb\_vce\_top/fv\_fm/scr/lb\_vce\_top\_fv.\*.fm |
| Special Settings | None |
| Formal Results | Pass |
| Formal Reports | https://10.7.73.240:8443/zx296718/zx296718\_rep/dev/code/backend/zx296718\_top\_fdp/sub\_proj/lb\_vce\_top/fv\_fm/rpt/\* |

1. RTL vs SYN FV Warnings

| Rule No. | Rule Description | Analysis |
| --- | --- | --- |
| Null | Null |  |

#### lb\_hde\_top形式验证结果

1. RTL vs SYN FV Summary

|  |  |
| --- | --- |
| Formal Tool | Synopsys Formality Version K-2015.06 |
| RTL | https://10.7.73.240:8443/zx296718/zx296718\_rep/int/hw\_code/V3.0.0R/hw\_code/asic |
| Synthesis Netlist | https://10.7.73.240:8443/zx296718/zx296718\_rep/dev/code/backend/zx296718\_top\_fdp/dsn/release/lb\_hde\_top/lb\_hde\_top.syn.default.vg.gz |
| SVF | https://10.7.73.240:8443/zx296718/zx296718\_rep/dev/code/backend/zx296718\_top\_fdp/dsn/release/lb\_hde\_top/lb\_hde\_top.default.svf |
| Scripts | https://10.7.73.240:8443/zx296718/zx296718\_rep/dev/code/backend/zx296718\_top\_fdp/sub\_proj/lb\_hde\_top/fv\_fm/scr/lb\_hde\_top\_fv.\*.fm |
| Special Settings | None |
| Formal Results | Pass |
| Formal Reports | https://10.7.73.240:8443/zx296718/zx296718\_rep/dev/code/backend/zx296718\_top\_fdp/sub\_proj/lb\_hde\_top/fv\_fm/rpt/\* |

1. RTL vs SYN FV Warnings

| Rule No. | Rule Description | Analysis |
| --- | --- | --- |
| FMR\_ELAB-147 | Index may take values outside array bound, may cause simulation mismatch | Ignore |

#### lb\_gpu\_top形式验证结果

1. RTL vs SYN FV Summary

|  |  |
| --- | --- |
| Formal Tool | Synopsys Formality Version K-2015.06 |
| RTL | https://10.7.73.240:8443/zx296718/zx296718\_rep/int/hw\_code/V3.0.0R/hw\_code/asic |
| Synthesis Netlist | https://10.7.73.240:8443/zx296718/zx296718\_rep/dev/code/backend/zx296718\_top\_fdp/dsn/release/lb\_gpu\_top/lb\_gpu\_top.syn.default.vg.gz |
| SVF | https://10.7.73.240:8443/zx296718/zx296718\_rep/dev/code/backend/zx296718\_top\_fdp/dsn/release/lb\_gpu\_top/lb\_gpu\_top.default.svf |
| Scripts | https://10.7.73.240:8443/zx296718/zx296718\_rep/dev/code/backend/zx296718\_top\_fdp/sub\_proj/lb\_gpu\_top/fv\_fm/scr/lb\_gpu\_top\_fv.\*.fm |
| Special Settings | set hdlin\_interface\_only "mali\_t820\_shader\_core\_01fe001e\_1 mali\_t820\_shader\_core" |
| Formal Results | Pass |
| Formal Reports | https://10.7.73.240:8443/zx296718/zx296718\_rep/dev/code/backend/zx296718\_top\_fdp/sub\_proj/lb\_gpu\_top/fv\_fm/rpt/\* |

1. RTL vs SYN FV Summary

|  |  |
| --- | --- |
| Formal Tool | Synopsys Formality Version K-2015.06 |
| RTL | https://10.7.73.240:8443/zx296718/zx296718\_rep/int/hw\_code/V3.0.0R/hw\_code/asic |
| Synthesis Netlist | https://10.7.73.240:8443/zx296718/zx296718\_rep/dev/code/backend/zx296718\_top\_fdp/dsn/release/mali\_t820\_shader\_core\_01fe001e\_1/mali\_t820\_shader\_core\_01fe001e\_1.syn.default.vg.gz |
| SVF | https://10.7.73.240:8443/zx296718/zx296718\_rep/dev/code/backend/zx296718\_top\_fdp/dsn/release/mali\_t820\_shader\_core\_01fe001e\_1/mali\_t820\_shader\_core\_01fe001e\_1.default.svf |
| Scripts | https://10.7.73.240:8443/zx296718/zx296718\_rep/dev/code/backend/zx296718\_top\_fdp/sub\_proj/mali\_t820\_shader\_core\_01fe001e\_1/fv\_fm/scr/mali\_t820\_shader\_core\_01fe001e\_1\_fv.\*.fm |
| Special Settings | None |
| Formal Results | Pass |
| Formal Reports | https://10.7.73.240:8443/zx296718/zx296718\_rep/dev/code/backend/zx296718\_top\_fdp/sub\_proj/mali\_t820\_shader\_core\_01fe001e\_1/fv\_fm/rpt/\* |

1. RTL vs SYN FV Warnings

| Rule No. | Rule Description | Analysis |
| --- | --- | --- |
| FMR\_ELAB-147 | Index may take values outside array bound, may cause simulation mismatch | Ignore |

1. RTL vs SYN FV Warnings

| Rule No. | Rule Description | Analysis |
| --- | --- | --- |
| FMR\_ELAB-147 | Index may take values outside array bound, may cause simulation mismatch | Ignore |

#### lb\_vou\_top形式验证结果

1. RTL vs SYN FV Summary

|  |  |
| --- | --- |
| Formal Tool | Synopsys Formality Version K-2015.06 |
| RTL | https://10.7.73.240:8443/zx296718/zx296718\_rep/int/hw\_code/V3.0.0R/hw\_code/asic |
| Synthesis Netlist | https://10.7.73.240:8443/zx296718/zx296718\_rep/dev/code/backend/zx296718\_top\_fdp/dsn/release/lb\_vou\_top/lb\_vou\_top.syn.default.vg.gz |
| SVF | https://10.7.73.240:8443/zx296718/zx296718\_rep/dev/code/backend/zx296718\_top\_fdp/dsn/release/lb\_vou\_top/lb\_vou\_top.default.svf |
| Scripts | https://10.7.73.240:8443/zx296718/zx296718\_rep/dev/code/backend/zx296718\_top\_fdp/sub\_proj/lb\_vou\_top/fv\_fm/scr/lb\_vou\_top\_fv.\*.fm |
| Special Settings | None |
| Formal Results | Pass |
| Formal Reports | https://10.7.73.240:8443/zx296718/zx296718\_rep/dev/code/backend/zx296718\_top\_fdp/sub\_proj/lb\_vou\_top/fv\_fm/rpt/\* |

1. RTL vs SYN FV Warnings

| Rule No. | Rule Description | Analysis |
| --- | --- | --- |
| FMR\_VLOG-063 | Signed to unsigned assignment occurs | Ignore |
| FMR\_VLOG-057 | Unsigned to signed assignment occurs | Ignore |
| FMR\_ELAB-115 | You are using the full\_case directive but not all cases are covered | Ignore |
| FMR\_ELAB-116 | You are using the parallel\_case directive but some items may overlap | Ignore |
| FMR\_ELAB-147 | Index may take values outside array bound, may cause simulation mismatch | Ignore |
| FMR\_VLOG-100 | Variable(s) is(are) being read asynchronously. This may cause simulation-synthesis mismatches | Ignore |
| FMR\_ELAB-150 | Net '\*Logic0\*' is driving inout port ' as well as another receiver | Ignore |

#### lb\_usb30\_top形式验证结果

1. RTL vs SYN FV Summary

|  |  |
| --- | --- |
| Formal Tool | Synopsys Formality Version K-2015.06 |
| RTL | https://10.7.73.240:8443/zx296718/zx296718\_rep/int/hw\_code/V3.0.0R/hw\_code/asic |
| Synthesis Netlist | https://10.7.73.240:8443/zx296718/zx296718\_rep/dev/code/backend/zx296718\_top\_fdp/dsn/release/lb\_usb30\_top/lb\_usb30\_top.syn.default.vg.gz |
| SVF | https://10.7.73.240:8443/zx296718/zx296718\_rep/dev/code/backend/zx296718\_top\_fdp/dsn/release/lb\_usb30\_top/lb\_usb30\_top.default.svf |
| Scripts | https://10.7.73.240:8443/zx296718/zx296718\_rep/dev/code/backend/zx296718\_top\_fdp/sub\_proj/lb\_usb30\_top/fv\_fm/scr/lb\_usb30\_top\_fv.\*.fm |
| Special Settings | None |
| Formal Results | Pass |
| Formal Reports | https://10.7.73.240:8443/zx296718/zx296718\_rep/dev/code/backend/zx296718\_top\_fdp/sub\_proj/lb\_usb30\_top/fv\_fm/rpt/\* |

1. RTL vs SYN FV Warnings

| Rule No. | Rule Description | Analysis |
| --- | --- | --- |
| FMR\_ELAB-147 | Index may take values outside array bound, may cause simulation mismatch | Ignore |

#### lb\_ddr\_top形式验证结果

1. RTL vs SYN FV Summary

|  |  |
| --- | --- |
| Formal Tool | Synopsys Formality Version K-2015.06 |
| RTL | https://10.7.73.240:8443/zx296718/zx296718\_rep/int/hw\_code/V3.0.0R/hw\_code/asic |
| Synthesis Netlist | https://10.7.73.240:8443/zx296718/zx296718\_rep/dev/code/backend/zx296718\_top\_fdp/dsn/release/lb\_ddr\_top/lb\_ddr\_top.syn.default.vg.gz |
| SVF | https://10.7.73.240:8443/zx296718/zx296718\_rep/dev/code/backend/zx296718\_top\_fdp/dsn/release/lb\_ddr\_top/lb\_ddr\_top.default.svf |
| Scripts | https://10.7.73.240:8443/zx296718/zx296718\_rep/dev/code/backend/zx296718\_top\_fdp/sub\_proj/lb\_ddr\_top/fv\_fm/scr/lb\_ddr\_top\_fv.\*.fm |
| Special Settings | Set un-used ports to constant |
| Formal Results | Pass |
| Formal Reports | https://10.7.73.240:8443/zx296718/zx296718\_rep/dev/code/backend/zx296718\_top\_fdp/sub\_proj/lb\_ddr\_top/fv\_fm/rpt/\* |

1. RTL vs SYN FV Warnings

| Rule No. | Rule Description | Analysis |
| --- | --- | --- |
| FMR\_ELAB-147 | Index may take values outside array bound, may cause simulation mismatch | Ignore |

#### lb\_ddr\_ew\_top形式验证结果

1. RTL vs SYN FV Summary

|  |  |
| --- | --- |
| Formal Tool | Synopsys Formality Version K-2015.06 |
| RTL | https://10.7.73.240:8443/zx296718/zx296718\_rep/int/hw\_code/V3.0.0R/hw\_code/asic |
| Synthesis Netlist | https://10.7.73.240:8443/zx296718/zx296718\_rep/dev/code/backend/zx296718\_top\_fdp/dsn/release/lb\_ddr\_ew\_top/lb\_ddr\_ew\_top.syn.default.vg.gz |
| SVF | https://10.7.73.240:8443/zx296718/zx296718\_rep/dev/code/backend/zx296718\_top\_fdp/dsn/release/lb\_ddr\_ew\_top/lb\_ddr\_ew\_top.default.svf |
| Scripts | https://10.7.73.240:8443/zx296718/zx296718\_rep/dev/code/backend/zx296718\_top\_fdp/sub\_proj/lb\_ddr\_ew\_top/fv\_fm/scr/lb\_ddr\_ew\_top\_fv.\*.fm |
| Special Settings | Set un-used ports to constant |
| Formal Results | Pass |
| Formal Reports | https://10.7.73.240:8443/zx296718/zx296718\_rep/dev/code/backend/zx296718\_top\_fdp/sub\_proj/lb\_ddr\_ew\_top/fv\_fm/rpt/\* |

1. RTL vs SYN FV Warnings

| Rule No. | Rule Description | Analysis |
| --- | --- | --- |
| FMR\_ELAB-147 | Index may take values outside array bound, may cause simulation mismatch | Ignore |

#### 形式验证结论

全芯片形式验证通过。

### 静态时序分析

#### STA/SI 分析

1. STA Data Records

|  |  |
| --- | --- |
| Postlayout Netlist | /beproj2/zx296718\_asic/archive\_zx296718/zx296718\_top\_fdp/dsn/gate/\*pr\*.vg.gz |
| SDC | /beproj2/zx296718\_asic/archive\_zx296718/zx296718\_top\_fdp/dsn/constr/\* |
| Spef file | /beproj2/zx296718\_asic/archive\_zx296718/zx296718\_top\_fdp/dsn/spf/\* |
| SDF file |  |
| CPF | /beproj2/zx296718\_asic/archive\_zx296718/zx296718\_top\_fdp/dsn/spf/\*cpf |
| Scripts | /beproj2/zx296718\_asic/archive\_zx296718/zx296718\_top\_fdp/sta\_pt/scr |
| Special Settings | NA |
| Session | /beproj2/zx296718\_asic/archive\_zx296718/zx296718\_top\_fdp/sta\_pt/db |
| Timing Reports | /beproj2/zx296718\_asic/archive\_zx296718/zx296718\_top\_fdp/sta\_pt/rpt |
| Timing Summary | /beproj2/zx296718\_asic/archive\_zx296718/zx296718\_top\_fdp/sta\_pt/rpt/\*summary |
| Run directory | /beproj2/zx296718\_asic/archive\_zx296718/zx296718\_top\_fdp/sta\_pt |

1. STA DRC Check Summary

|  |  |
| --- | --- |
| Corner | If there is DRV remained, Please describe it. |
|  | 内部pin有max transition violation，可以忽略 |
|  | 内部pin有max cap violation，可以忽略 |

**注**：只检查setup check corner的DRV violation;

1. Glitch Noise check Summary

| Corner | The glitch noise must be checked for each corner. All the path which receiver peak > 0 must be fixed |
| --- | --- |
|  | No violations |
|  |  |

1. STA/SI Warning

|  |  |  |
| --- | --- | --- |
|  | Rule Description | Analysis |
| PTE-074 | At pin '%s' clock '%s' does not have the needed %s edge. | 已逐一检查，可以waive |
| UITE-217 | Forcing pin '%s' to be a timing %s. | DDR的官方约束 |
| RC-004 | Failed to compute C-effective for the timing arc %s (%s%s) %s %s | 已跟vendor确认IO库的delay跟transition不是正向关系 |
| UITE-216 | Object '%s' is not a valid %s. | DDR的官方约束 |
| RC-011 | An extrapolation far outside the library characteriza tion range has been detected. | Synopsys memory ETM查找表的cap最小值比较大 |
| PTE-060 | No clock-gating check is inferred for clock %s at pins %s and %s of cell %s | 已逐一检查，可以waive |
| UITE-218 | set\_clock\_groups overwrote existing false paths. | 已逐一检查，可以waive |
| RC-009 | The drive-resistance for the timing arc is much less than the network impedance to ground; | 已逐一检查，可以waive |
| UITE-130 | Creating a clock on internal pin '%s' | 可以忽略 |
| UITE-210 | Creating a generated clock on input or inout port | 已逐一检查，可以waive |
| PTE-075 | Generated clock '%s' has no path to its master clock | MIPI IP有master和slave两种模式时钟，但只能选择使用其中一种 |
| NOISE-002 | Steady state resistance estimation failed for | Effuse IP没有CCS模型 |
| UITE-123 | Creating a clock source on inout port '%s'. | 已逐一检查，可以waive |
| UITE-447 | Derate summary report may not match the output of report\_timing without timing derates applied | 已逐一检查，可以waive |
| RC-007 | Failed to compute C-effective for the %s multidriven net '%s' driven by cell arcs controlled by the from\_net '%s' | Ddr的VREF信号 |
| UITE-309 | Exclusive or asynchronous clock groups specification supercedes set\_false\_path between clocks. | 已逐一检查，可以waive |
| PTE-071 | The '%s' edge of clock '%s' through pin '%s' causes the clock to both rise and fall. A generated clock is needed at this pin | 已逐一检查，可以waive |
| UITE-309 | Virtual clock '%s' cannot be made propagated. | 已逐一检查，可以waive |
| PTE-101 | No clock-gating check was inferred for clock %s at pins %s and %s of cell %s because no clock pins could be found in the fanout for the propagating clock. | 已逐一检查，可以waive |
| UITE-121 | Creating virtual clock named '%s' with no sources. | 已逐一检查，可以waive |
| PTE-003 | Some timing arcs have been disabled for breaking timing loops or because of constant propagation. | 已逐一检查，可以waive |
| UITE-136 | Creating a generated clock on hierarchical pin '%s' | 已逐一检查，可以waive |
| CMD-064 | Value help ignored for Boolean option %s in argumentdefinition %d for proc '%s'. | ICE脚本 |
| PTE-023 | The generated clock '%s' has not been expanded, please create or activate its master clock. | 已逐一检查，可以waive |
| PTE-053 | For computing a common base period for a number of clocks PrimeTime limits the waveform expansion of the smallest period to be no more than %d times and the waveform expansion of the largest period to be no more than %d times. | DDR官方约束对异步时钟不设置false path |
| PTE-067 | Setting this variable to a lower value can cause a significant performance degradation during a timing update. | 已逐一检查，可以waive |
| PARA-007 | Unconnected hierarchy pin '%s' is missing in the RC annotation for net '%s'. | 已逐一检查，可以waive |

#### STA/SI 结论

在所有scenario下，setup, hold, drc, SI均满足signoff要求。

### 测试向量

无。

## 可测试性设计（DFT）

DFT主要的测试项是scan，memory bist, boundary scan 和Hard IP测试。各测试项的覆盖率目标如下：

1. DFT Test Coverage Factor

| TEST TYPE | Coverage Target |
| --- | --- |
| Scan Chain Test | 100% |
| Scan Stuck-At | 95% with a stretch goal of 98% |
| Scan Transition At-Speed | 80% with a stretch goal of 85% |
| Memory BIST | 100% |

### MBIST测试方案

芯片中的所有memory均应包含在MBIST测试中,测试频率为其工作频率。

memory BIST 电路和集成由Tessent MBIST 工具完成。

包括diagnose电路，可以分析fail的具体memory以及测试步骤。

每个子模块中Memory BIST controller 的配置将由DFT和后端团队根据模块中的memory的clock domain和物理位置决定。

### SCAN测试方案

Mentor的 Tessent 工具是我们缺省的扫描链插入工具。同时，该工具也用来产生EDT逻辑电路，实现扫描链的解压压缩功能，减少机台pattern测试时间。Scan chain的插入分不同的时钟域进行，即不会有一条scan chain跨过2个或多个时钟域。 Scan-insertion的chain长度最大为512。扫描链移位频率为25MHz，与PLL参考时钟频率一致。

为了减少在scan mode下全芯片的测试使用IO，ZX296718采用input/output channel非对称及edt-channel-sharing技术。除了一些特殊blocks(scan chains数目较少)，所有的block的scan-input/output-channel数目分别为8和3，其中8个scan-input-channels中，一个channel为control-channel，其余7个均为data-channel，可以在所有blocks间共享。Scan-output-channel不可以共享。EDT bypass功能也包括在EDT logic中，bypass-chain的数目为3。

另外，Hard IP的scan chain已经在IP vendor的提供网表中连接好， 需要对相关pin进行设置，进入scan mode，完成ATPG。

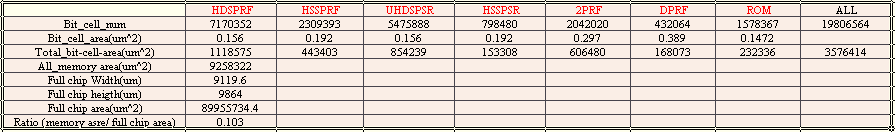
## 芯片规模

Die Size：9442.0um x 9948.6um

Total instance count： 28223085

Total memory instance：1387

Memory bit cell和面积统计：

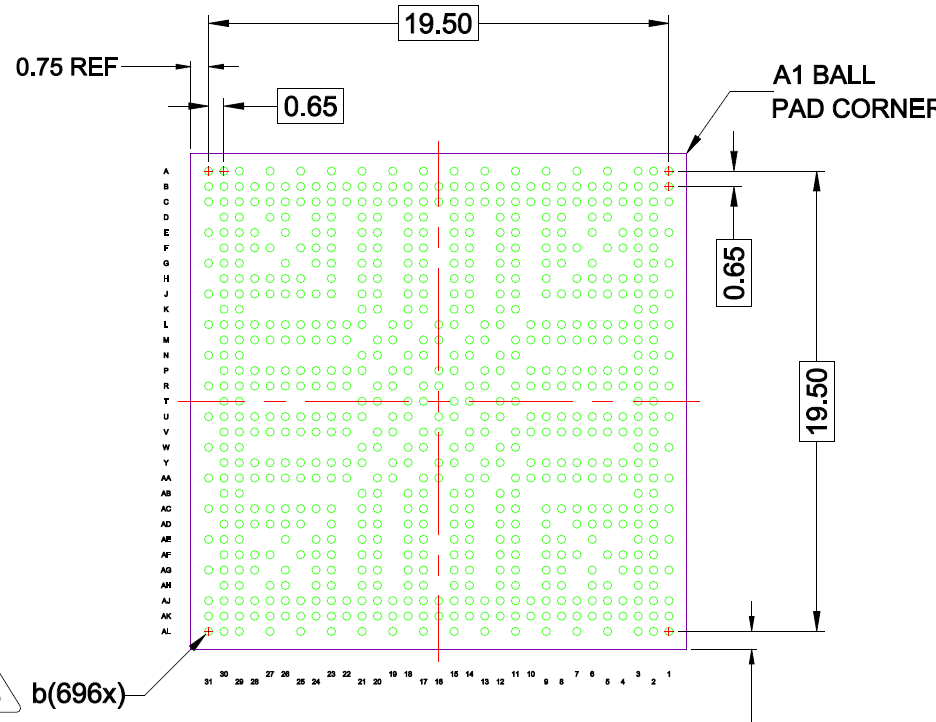


Memory大小及个数详见《ZX296718\_设计信息表.xlsx 》。

## 封装信息

### 封装类型

封装类型为HS-FCBGA，有封装散热片heatspreader，管脚数696。

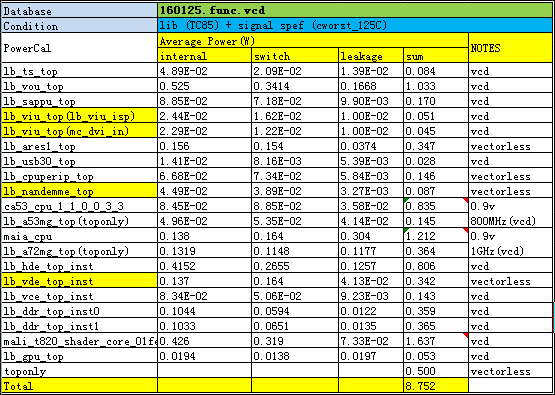
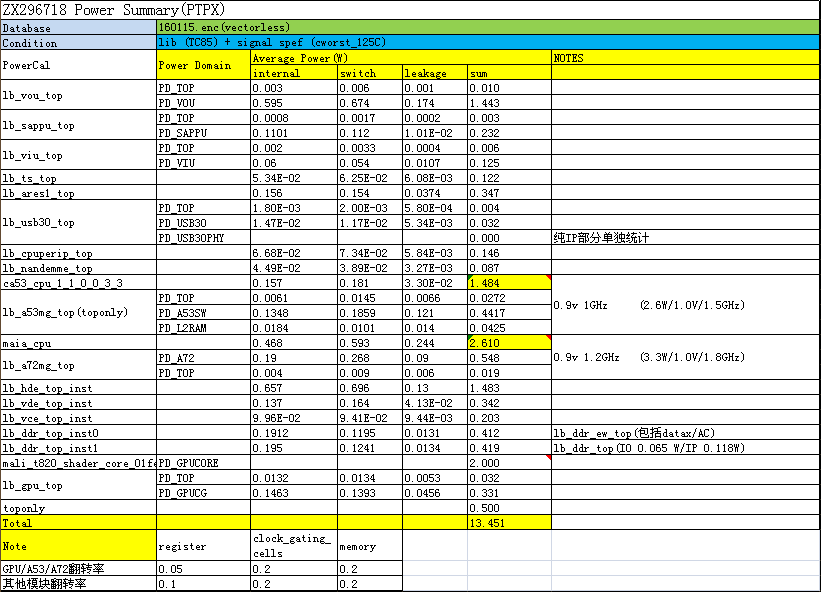


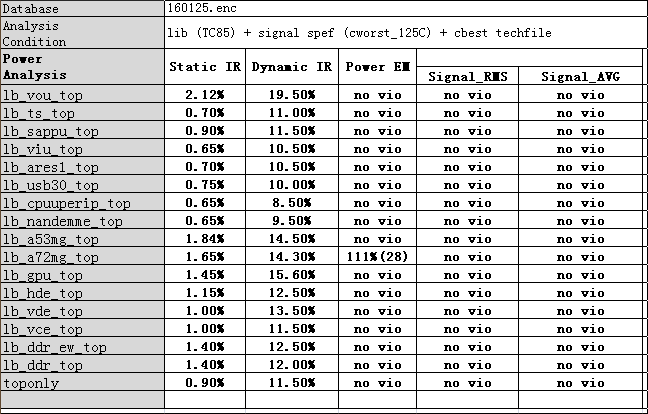
1. Package View

详见封装设计报告，第5.2节的POD描述。

### 功耗

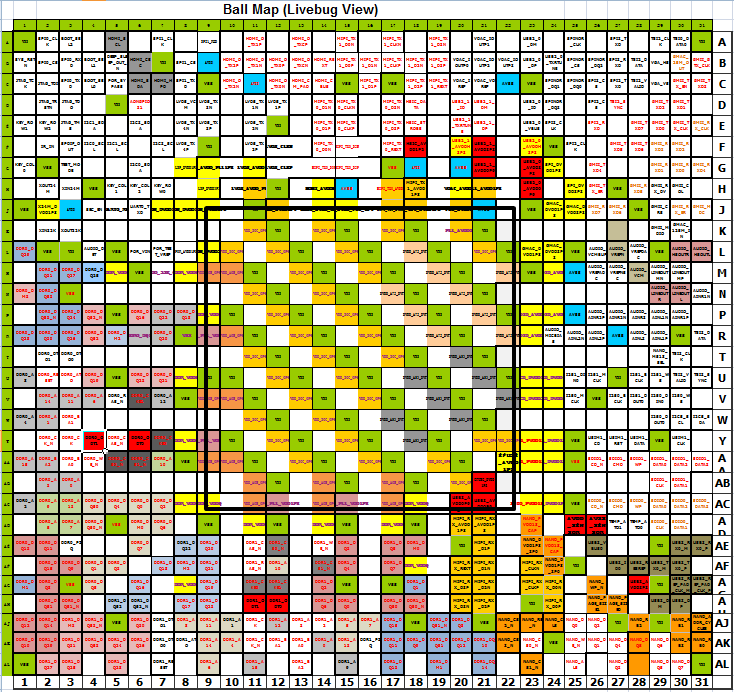
1. Power Information





### 管脚排布

管脚布局如下：



1. Ball Map

管脚排布详见封装设计报告，第5.1.2节的ballmap描述。



## SSO分析

### IO及电源信息

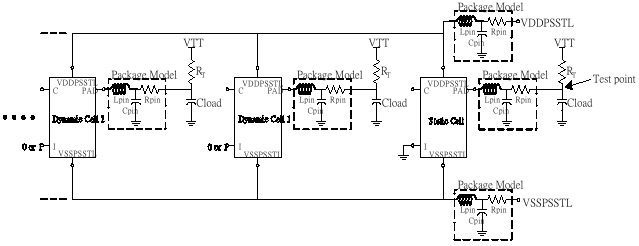
电源种类:0.9V core 电源、1.5V IO电源；

IO种类：

1.5V SSTTL PDDR3双向三态IO

1.5V SSTTL PDDR3DIF差分IO

### 仿真拓朴结构



1. Simulation set-up for dynamic outputs to static outputs

仿真环境设置:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Applications | VDDIO | VDD | Vref | Process |
| DDR3 | 1.575V | 0.99V | 0.7875V | FF |

R、L、C值

Rvss、Rvdd=Rpin=0.3 Ohms

Cvss、Cvdd=Cpin=1 pF

Lvss、Lvdd=1/1 nH

### 判断标准

Static low cell V(Vil)=0.6125V

Static High cell V(Vih)=0.9625V

### 仿真结果

1. Max noise level of SSO simulation

|  |  |  |  |
| --- | --- | --- | --- |
| Noise cell:Static cell | Lvss/Lvdd | | |
| 1nH | 2nH | Judgment criteria |
| 2:1 | 0.464V | 0.532V | 0.6125V |
| 3:1 | 0.514V | 0.618V |
| 4:1 | 0.558V | 0.693V |

详细内容见《SI分析报告》7.8和第8节内容。

## 串扰分析

现阶段流程不作串扰分析。

## IBIS模型

见VNC：10.7.81.22

路径：/pub/lib/tsmc28hpc/TSMCHOME/digital/Back\_End/ibis

# 需求

## 需求稳定度

### 用户需求稳定度

用户需求稳定度=95.5%

注：用户需求稳定度=（首次基线的需求数 - (新增需求数 + 删除需求数 + 变化需求数) ）/第一次基线的产品需求数

1. Stability of User Requirements

分析：因为成本原因删除2D模块，同时根据项目最终选用的USB2.0控制器修改USB2.0功能需求。

### 系统需求稳定度

系统需求稳定度=98.5%

注：系统需求指的是研制规范，系统需求稳定度=（首次基线的需求数 - (新增需求数 + 删除需求数 + 变化需求数) ）/第一次基线的产品需求数

1. Stability of System Requirements

分析：主要变更发生在USB2.0控制器功能，Baseline阶段的USB2.0控制器功能是按照Mentor的控制器功能列的，而项目最后使用的控制器是Synopsys的控制器，从而导致2个功能点改变，另外由于用户需求删除了2D模块，从而引入系统需求删除5个功能点。

# 可靠性

## 可靠性设计与要求

* 1. ESD设计情况：满足设计
  2. LATCH-UP设计情况：满足设计
  3. MSL控制目标：MSL4
  4. PVT（电压、温度和工艺corner）仿真结果分析：后端的signoff根据不同PVT进行
  5. 器件失效率目标：无
  6. 器件寿命目标：通过HTOL1000小时测试为标准
  7. 真实使用环境下(高低温工作范围内/电压偏移范围内)的延迟特性预计、性能参数指标健壮性分析：无
  8. 芯片生产良率控制目标：83%
  9. 芯片可靠性测试方案：参加单独SVN文档《ZX296718 可靠性试验方案》
  10. 芯片可测试性设计对可靠性测试的支持情况：芯片设计时考虑了可靠性测试对hard IP等的要求，对hard IP的powerdown，低功耗等信号在test mode下进行了固定值控制。
  11. 芯片可靠性测试搭建情况：正在设计HTOL测试板

## 厂家质量

1. ESD实现等级
2. MSL实现等级
3. 高低温运行范围
4. LATCH-UP保证情况
5. SI仿真分析报告
6. PVT仿真分析报告
7. 器件失效率预计等级
8. 器件寿命
9. 厂家质量管理体系及认证资料
10. 厂家生产过程质量和可靠性保证标准和资料数据
11. 良率等主要生产参数水平
12. 所采用的工艺对芯片可靠性情况的影响报告

以上内容需要芯片返回后才能测试，现阶段无法提供实测报告。

# 缺陷

## 缺陷关闭率

1. Promptness of Closing Defects

分析：6718的EC数量和处理进度总体符合预期，所有EC均已经关闭。

# 财务

## 研制成本

1. Cost of Research and Manufacturing

分析：截止到实现阶段，研发费用共节约1206万元。

## 目标成本

1. Target Cost of Single Chip

分析：计划决策估算芯片面积为73平方，实际实现为75.9平方，成本略为上升

# 其他

## 不合格项关闭率

1. Closing Rate of Unqualified Items

分析：项目自立项以来共有不合格项7项，分别分布在2015年9月，12月以及206年1月，截止投片技术评审点，这7个不合格项都已经关闭，不合格项关闭率100%。

另外，从不合格项格审批及时性来看，审批及时性很低，这7个不合格项都没有在不合格项开具后的3个工作日内完成审批，后续项目需注意及时审批不合格项，加快问题闭环。

## 其他

无

# 附录：故障分类定义

A类（非常严重）故障定义：产品核心功能失效或重大可靠性问题，导致产品不具有可用性的故障，或者对客户造成重大损失的其他故障，或者产品存在重大的可生产性问题。

B类（严重）故障定义：导致产品部分核心功能失效，但是可以采取客户接受的方法进行弥补的故障。与A类故障的区别在于是否能够采用客户接受的方法弥补，使产品可用。

C类（一般）故障定义：导致某些非核心功能不能正常使用，或者系统某些非核心功能未能实现，但对系统其他功能没有严重影响的缺陷；还包括系统的非核心功能实现不合理，对用户使用造成一定影响，文档关键描述有误。与B类的区别在于失效的功能是否为核心功能。

D类（一般）故障定义：产品存在细微缺陷，但是不影响产品使用；文档非关键描述有误等；多余的功能实现。