



# STARFIVE

STARFIVE TECHNOLOGY  
IP PRODUCT MANUAL

赛昉科技  
IP产品手册

## 版权声明

本手册版权属于上海赛昉半导体科技有限公司所有，受法律保护。未经许可，任何单位及个人不得以任何方式或理由对手册内容进行使用、复制、修改或与其他产品捆绑使用、销售。

转载、摘编或引用手册内容和观点应注明“来源于广东赛昉科技有限公司《赛昉科技 IP 产品手册》”。

凡侵犯版权等知识产权的，必依法追究其法律责任。

## 免责声明

本手册仅提供阶段性信息，所含内容可根据产品的实际情况随时更新，恕不另行通知。

如因手册使用不当造成直接或间接损失，本公司不承担任何责任。

# CONTENTS

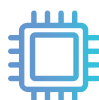
## 目录

### 关于赛昉



|                  |    |
|------------------|----|
| 关于赛昉 .....       | 01 |
| 赛昉科技IP产品矩阵 ..... | 02 |

### RISC-V CPU IP



|               |    |
|---------------|----|
| 昉·天枢-70 ..... | 03 |
| 昉·天枢-80 ..... | 06 |
| 昉·天枢-83 ..... | 09 |
| 昉·天枢-90 ..... | 12 |

### 互联总线IP

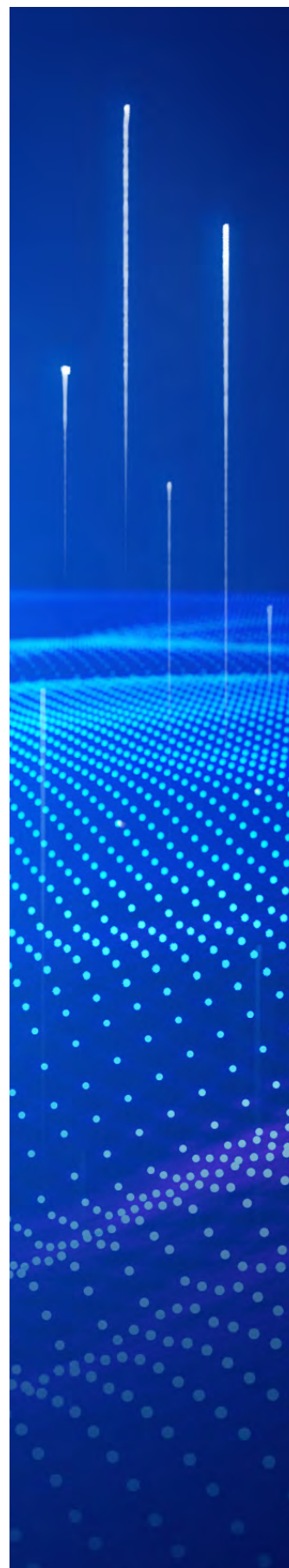


|                |    |
|----------------|----|
| 昉·星链-500 ..... | 15 |
| 昉·星链-700 ..... | 17 |

### RISC-V+NoC IP子系统方案



|                        |    |
|------------------------|----|
| 多核RISC-V IP子系统平台 ..... | 19 |
| 众核RISC-V IP子系统平台 ..... | 21 |





# 关于 RISC-V

RISC-V 指令集架构 (ISA) 于 2010 年在加州大学伯克利分校诞生，并于 2013 年开源，是精简指令集 (RISC) 系列的第五代产品。具有简洁、开放、模块化、可扩展等优势。截至 2024 上半年，RISC-V 国际协会拥有来自 70 个国家 5890 名会员，包括芯片设计厂商、芯片设计服务商、系统集成商、软件服务商、科研机构 and 投资机构等。RISC-V 已在物联网设备中应用广泛，并开始渗透到高端应用场景，如服务器、通信、AI、自动驾驶、VR、办公设备等。根据分析机构 Omdia 最新发布的报告，基于 RISC-V 指令集的芯片出货量每年将增长 50%，预计到 2030 年将达到 170 亿颗，占据 25% 的市场份额。

## 关于赛昉科技

赛昉科技 (StarFive) 成立于2018年，是一家具有独立自主知识产权的本土高科技企业，提供全球领先的基于RISC-V指令集的IP、SoC、开发板等系列产品，赛昉科技的IP产品包括：

### 昉·天枢系列CPU IP

- 可交付性能最高的国产商业级RISC-V CPU IP——昉·天枢-90 (Dubhe-90)
- 支持Vector扩展的高能效商业级RISC-V CPU IP——昉·天枢-83 (Dubhe-83)
- 高能效商业级RISC-V CPU IP——昉·天枢-80 (Dubhe-80)
- 极低功耗的乱序商业级64位RISC-V CPU IP——昉·天枢-70 (Dubhe-70)

### 昉·星链系列互联总线IP

- 首款国产商业级一致性互联总线IP——昉·星链-500 (StarNoC-500)
- 首款国产Mesh架构一致性互联总线IP——昉·星链-700 (StarNoC-700)

### RISC-V+NoC IP子系统方案

- 多核RISC-V IP子系统平台
- 众核RISC-V IP子系统平台

赛昉科技将依托自研CPU Core IP、Interconnect Fabric IP等核心产品和技术，不断推出满足不同应用场景的高性能IP解决方案，实现RISC-V在高性能应用场景的全方位覆盖，为客户创造更多价值。



# 赛昉科技IP产品矩阵

## RISC-V CPU IP

### High Performance 系列

昉·天枢-90  
(Dubhe-90)

+50% Power Efficiency →

昉·天枢-80/83\*  
(Dubhe-80/83\*)

+21% Power Efficiency →

昉·天枢-70  
(Dubhe-70)

SPECint2006 9.4/GHz  
5-wide, OoO  
Hypervisor, CHI  
对标 A76

SPECint2006 8.5/GHz  
3-wide, OoO  
Hypervisor, CHI  
\*RVA23  
\*RVV1.0, Vector Crypto  
对标 A75

SPECint2006 7.2/GHz  
3-wide, OoO  
Per-core power gating  
对标 A72/A510

Server, DPU, PC,  
可信计算, 基础设施网络

应用

工业控制, 存储, AI,  
移动终端, 边缘计算, 云终端

## 一致性片上网络 (NoC) IP

### Cache Coherent Interconnect

昉·星链-500  
(StarNoC-500)

拓扑结构: Crossbar  
CPU Cores: up to 16  
Coherent IO 端口: 1-3  
高性能, 低延迟

4 ~ 16 核场景

昉·星链-700  
(StarNoC-700)

拓扑结构: Mesh  
最大节点数: 12\*12  
CPU Cores: up to 256  
高可扩展性, 高带宽, 低功耗

16 ~ 128 核场景

应用



## RISC-V CPU IP

# 昉·天枢-70 CPU IP

昉·天枢-70是一款极低功耗的乱序商业级64位RISC-V CPU IP。



### 简介

赛昉科技昉·天枢-70 CPU IP采用了9+级流水线、三发射、乱序执行的设计,支持丰富的RISC-V指令集RV64GCBH\_Zicond\_Zicbom\_Zicboz\_Zicbop。昉·天枢-70 SPEC2006int分数可达7.2/GHz, 专为高能效的计算场景而设,满足移动、桌面、人工智能的需求。

经过预集成与验证,昉·天枢-70简化了SoC开发工作。昉·天枢-70提供具备内存一致性的Cluster内单核、双核及四核的配置选择,具有高度可扩展性。

昉·天枢-70的能效比较同系列的昉·天枢-80高出21%。



### Extensions

|             |      |         |      |
|-------------|------|---------|------|
| RV64I       | 2.1  | Debug   | 0.13 |
| M           | 2.0  | Trace   | 1.0  |
| A           | 2.1  | Zicond  | 1.0  |
| F           | 2.2  | Zicbom  | 1.0  |
| D           | 2.2  | Zicboz  | 1.0  |
| C           | 2.0  | Zicbop  | 1.0  |
| B           | 1.0  | Svnapot | 1.0  |
| Priv. Spec. | 1.12 | Svpbmt  | 1.0  |
| H           | 1.0  | Svinval | 1.0  |

## Dubhe-70

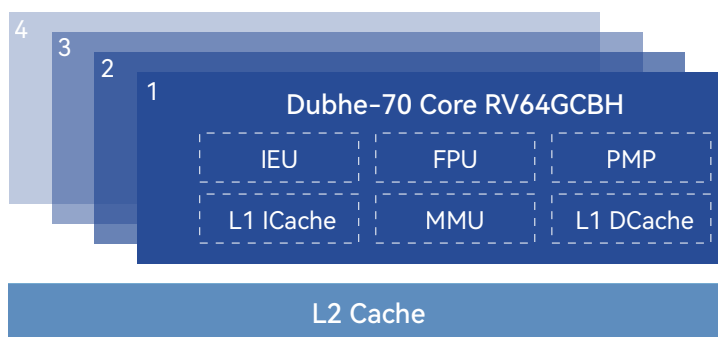
### Debug, PLIC & CLINT

Debug Module

PLIC

CLINT

### Dubhe-70 Cluster



TileLink/AXI/ACE/CHI



### 设计规格

- SPECint2006: 7.2/GHz
- Dhrystone: 6.0/MHz (Legal)
- RV64GCBH
- 9+ 级流水线、三发射
- 超标量、深度乱序执行
- 支持多核缓存一致性



## 移动应用

- 智能手机
- 平板电脑
- 智能穿戴
- 游戏设备



## 工业控制

- 人机交互
- 工业展示
- 工业检测
- 智能网关



## AI

- 机器人
- 计算机视觉
- 智能家居

## 功能列表 Function list



### 取指单元 (IFU)

- 采用取指令与分支预测解耦的架构
- 取指宽度: 16 Byte/Cycle
- 针对返回指令的RAS预测器
- 针对间接跳转指令的IJTP预测器
- 针对条件分支指令的TAGE-Style预测器



### 主干单元 (TKU)

- 3-Way Decode/Rename/Commit
- ROB Entries: 80
- 整数物理寄存器个数: 88
- 浮点物理寄存器个数: 72



### 整数执行单元 (IEU)

- 3个Full ALU (算术/逻辑) 单元
- 1个MDU (乘/除法) 单元
- 1个BRU (分支/跳转) 单元



### 浮点处理单元 (FPU)

- 支持符合IEEE 754-2008浮点标准的32位单精度和64位双精度算术
- 1条浮点Pipeline单元



### 内存管理单元 (MMU)

- 支持RISC-V特权规范定义的Bare、Sv39、Sv48模式
- 16-Entry全相联 (Fully-Associative) L1 ITLB
- 24-Entry全相联L1 DTLB
- 1024-Entry 4路组相联 (Set Associative) STLB
- 可配置奇偶校验



### 内存子系统

- L1指令缓存
  - 可配置的组相联指令缓存
  - 默认32 KB、4路组相联
  - 可配置奇偶校验
- L1数据缓存
  - 默认32 KB、4路组相联
  - 2个Load/Store流水线
  - 缓存写入策略: 回写 (Write Back)
  - 乱序处理, 非阻塞缓存设计
  - 支持标准CMO1.0指令
  - 可配置的ECC
- L2缓存:
  - 默认128 KB、8路组相联
  - MESI一致性
  - 缓存写入策略: 回写 (Write Back)
  - 由多个核于Cluster级别上共享
  - 可配置的ECC



## PMP&PMA

- PMP支持区域的数量可配置为16、32或64个，最小区域大小为4096字节
- 支持预定义PMA和Svpbmt



## 硬件性能监视器 (HPM)

- 支持符合RISC-V标准的硬件性能监视器
- 协助微架构级别的分析核性能调试



## 电源管理

- 内核级别的等待 (Wait For Interrupt) 机制
- 内核级别和Cluster级别的时钟门控
- 内核级别和Cluster级别的低功耗状态 (Power ON/OFF/Retention)
- Cluster级别的动态频率调节



## 平台级中断控制器 (PLIC)

- PLIC中断: 最多可以支持1024个可配置中断信号，可与内核子系统外部设备相连
- PLIC特权等级: PLIC支持8个特权等级



## 处理器核局部中断控制器 (CLINT)

- 最多可支持32组中断目标或Hart



## DEBUG

- 符合RISC-V调试规格的标准调试模块



## 配套软件

- 裸机SDK
  - 编译器与工具链, 包括基于GCC与LLVM框架的包
  - GDB调试器与预编译OpenOCD
  - FreeRTOS
  - 36个示例项目
- Linux SDK
  - 基于Yocto的环境
  - Kernel 6.6
  - 主机开发工具
  - OpenSBI
  - KVM
  - Xvisor
- StarFive StarStudio
  - 为客户提供独立且预编译的IDE



## TRACE

- 符合RISC-V Trace规格的标准Trace模块接口





# RISC-V CPU IP

# 昉·天枢-80 CPU IP

昉·天枢-80是一款支持丰富的RISC-V扩展， 使能高效应用的商业级64位RISC-V CPU IP。



### 简介

赛昉科技昉·天枢-80 CPU IP采用了9+级流水线、三发射、乱序执行的设计，支持丰富的RV64GCBH\_Zicond\_Zicbom\_Zicboz\_Zicbop RISC-V指令集。昉·天枢-80 SPEC2006int分数可达8.5/GHz，专为高效率的计算场景而设，满足移动、桌面、人工智能的需求。

经过预集成与验证，昉·天枢-80简化了SoC开发工作。昉·天枢-80提供具备内存一致性的Cluster内单核、双核及四核的配置选择，具有高度可扩展性。

2024年，昉·天枢-80全面升级，性能较2023年提升6%，能效比提高50%。

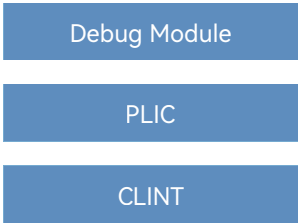


### Extensions

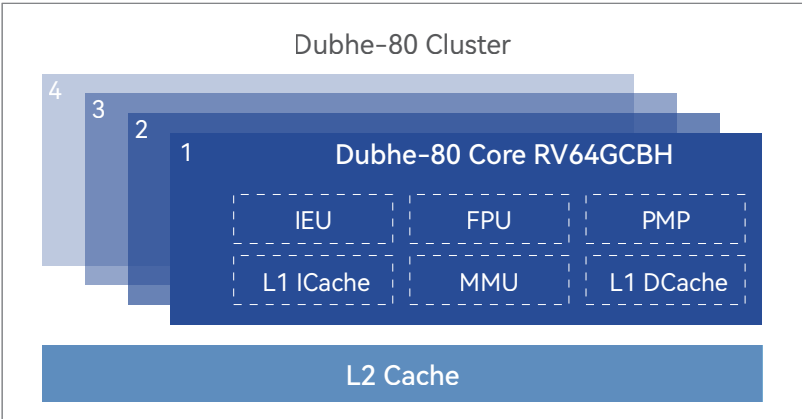
|             |      |         |      |
|-------------|------|---------|------|
| RV64I       | 2.1  | Debug   | 0.13 |
| M           | 2.0  | Trace   | 1.0  |
| A           | 2.1  | Zicond  | 1.0  |
| F           | 2.2  | Zicbom  | 1.0  |
| D           | 2.2  | Zicboz  | 1.0  |
| C           | 2.0  | Zicbop  | 1.0  |
| B           | 1.0  | Svnapot | 1.0  |
| Priv. Spec. | 1.12 | Svpbmt  | 1.0  |
| H           | 1.0  | Svinval | 1.0  |

## Dubhe-80

### Debug, PLIC & CLINT



### Dubhe-80 Cluster



TileLink/AXI/ACE/CHI



### 设计规格

- SPECint2006: 8.5/GHz
- Dhrystone: 6.0/MHz (Legal)
- RV64GCBH
- 9+ 级流水线、三发射
- 超标量、深度乱序执行
- 支持多核缓存一致性



## 移动应用

- 智能手机
- 平板电脑
- 智能穿戴
- 游戏设备



## 工业控制

- 人机交互
- 工业展示
- 工业检测
- 智能网关



## AI

- 机器人
- 计算机视觉
- 智能家居

## 功能列表 Function list



### 取指单元 (IFU)

- 采用取指令与分支预测解耦的架构
- 取指宽度: 16 Byte/Cycle
- 针对返回指令的RAS预测器
- 针对间接跳转指令的IJTP预测器
- 针对条件分支指令的TAGE-Style预测器



### 主干单元 (TKU)

- 3-Way Decode/Rename/Commit
- ROB Entries: 128
- 整数物理寄存器个数: 128
- 浮点物理寄存器个数: 96



### 整数执行单元 (IEU)

- 3个Full ALU (算术/逻辑) 单元
- 1个MDU (乘/除法) 单元
- 1个BRU (分支/跳转) 单元



### 浮点处理单元 (FPU)

- 支持符合IEEE 754-2008浮点标准的32位单精度和64位双精度算术
- 2条浮点Pipeline单元



### 内存管理单元 (MMU)

- 支持RISC-V特权规范定义的Bare、Sv39、Sv48模式
- 32-Entry全相联 (Fully-Associative) L1 ITLB
- 32-Entry全相联L1 DTLB
- 1024-Entry 4路组相联 (Set Associative) STLB
- 可配置奇偶校验



### 内存子系统

- L1指令缓存
  - 可配置的组相联指令缓存
  - 默认32 KB、4路组相联
  - 可配置奇偶校验
- L1数据缓存
  - 默认32 KB、4路组相联
  - 2个Load/Store流水线
  - 缓存写入策略: 回写 (Write Back)
  - 乱序处理, 非阻塞缓存设计
  - 支持标准CMO1.0指令
  - 可配置的ECC
- L2缓存:
  - 默认256KB、8路组相联
  - MESI一致性
  - 缓存写入策略: 回写 (Write Back)
  - 由多个核于Cluster级别上共享
  - 可配置的ECC



### PMP&PMA

- PMP支持区域的数量可配置为16、32或64个，最小区域大小为4096字节
- 支持预定义PMA和Svpbmt



### 硬件性能监视器 (HPM)

- 支持符合RISC-V标准的硬件性能监视器
- 协助微架构级别的分析核性能调试



### 电源管理

- 内核级别的等待 (Wait For Interrupt) 机制
- 内核级别和Cluster级别的时钟门控
- 内核级别和Cluster级别的低功耗状态 (Power ON/OFF/Retention)
- Cluster级别的动态频率调节



### 平台级中断控制器 (PLIC)

- PLIC中断: 最多可以支持1024个可配置中断信号，可与内核子系统外部设备相连
- PLIC特权等级: PLIC支持8个特权等级



### 处理器核局部中断控制器 (CLINT)

- 最多可支持32组中断目标或Hart



### DEBUG

- 符合RISC-V调试规格的标准调试模块



### 配套软件

- 裸机SDK
  - 编译器与工具链, 包括基于GCC与LLVM框架的包
  - GDB调试器与预编译OpenOCD
  - FreeRTOS
  - 36个示例项目
- Linux SDK
  - 基于Yocto的环境
  - Kernel 6.6
  - 主机开发工具
  - OpenSBI
  - KVM
  - Xvisor
- StarFive StarStudio
  - 为客户提供独立且预编译的IDE



### TRACE

- 符合RISC-V Trace规格的标准Trace模块接口



## RISC-V CPU IP

# 昉·天枢-83 CPU IP

昉·天枢-83是一款支持Vector扩展, 使能高效应用的商业级64位RISC-V CPU IP。

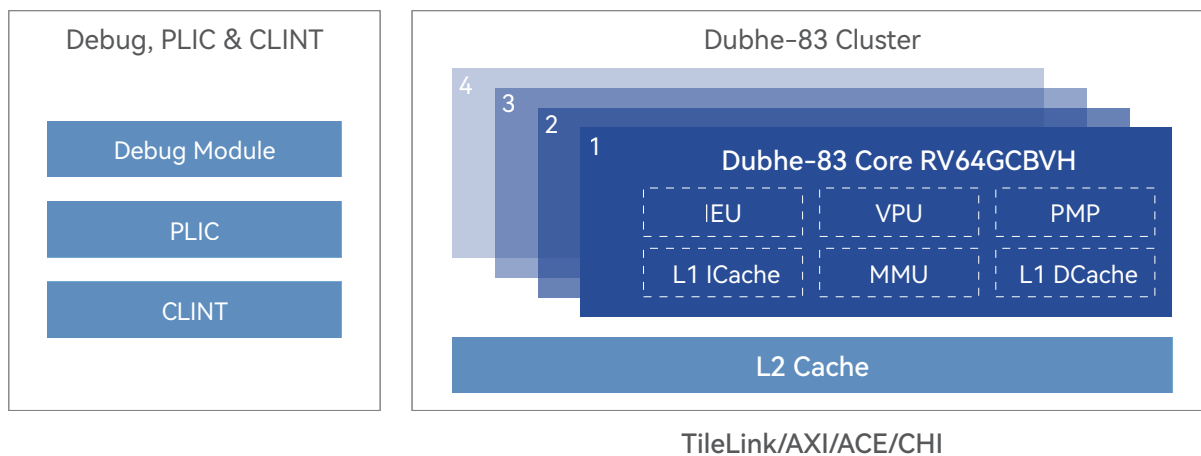


### 简介

赛昉科技昉·天枢-83 CPU IP采用了10+级流水线、三发射、乱序执行的设计, 支持丰富的RISC-V指令集RV64GCBVH, 遵循 RVA23 Profile, 支持 Vector Crypto 所有扩展。昉·天枢-83 SPEC2006int分数可达8.5/GHz, 专为高性能的计算场景而设, 满足移动、桌面、人工智能的需求。

经过预集成与验证, 昉·天枢-83简化了SoC开发工作。昉·天枢-83提供具备内存一致性的Cluster内单核、双核及四核的配置选择, 具有高度可扩展性。

## Dubhe-83



### 设计规格

- SPECint2006: 8.5/GHz
- Dhrystone: 6.0/MHz (Legal)
- ISA: RV64GCBVH

- 10+ 级流水线、三发射
- 超标量、深度乱序执行
- 支持多核缓存一致性



### 移动应用

- 智能手机
- 平板电脑
- 智能穿戴
- 游戏设备



### 工业控制

- 人机交互
- 工业展示
- 工业检测
- 智能网关



### AI

- 机器人
- 计算机视觉
- 智能家居

## 功能列表 Function list



### 取指单元 (IFU)

- 采用取指令与分支预测解耦的架构
- 取指宽度: 16 Byte/Cycle
- 针对返回指令的RAS预测器
- 针对间接跳转指令的IJTP预测器
- 针对条件分支指令的TAGE-Style预测器



### 主干单元 (TKU)

- 3-Way Decode/Rename/Commit
- ROB Entries: 128
- 整数物理寄存器个数: 128
- 浮点/向量物理寄存器个数: 192



### 整数执行单元 (IEU)

- 3个Full ALU (算术/逻辑) 单元
- 1个MDU (乘/除法) 单元
- 1个BRU (分支/跳转) 单元



### 向量处理单元 (VPU)

- 支持8位, 16位, 32位, 64位整数和IEEE754-2008标准16位, 32位, 64位浮点以及BF16浮点运算
- 支持VLEN=DLEN=256
- 2条向量Pipeline单元
- 2条浮点Pipeline单元, 复用VPU



### 内存管理单元 (MMU)

- 支持RISC-V特权规范定义的Bare、Sv39、Sv48模式
- 32-Entry全相联 (Fully-Associative) L1 ITLB
- 32-Entry全相联L1 DTLB
- 1024-Entry 4路组相联 (Set Associative) STLB
- 可配置奇偶校验



### 内存子系统

- L1指令缓存
  - 可配置的组相联指令缓存
  - 默认32 KB、4路组相联
  - 支持Way-Prediction
  - 可配置奇偶校验
- L1数据缓存
  - 默认32 KB、4路组相联
  - 2个Load/Store流水线
  - 缓存写入策略: 回写 (Write Back)
  - 乱序处理, 非阻塞缓存设计
  - 支持Way-Prediction
  - 支持标准CMO1.0指令
  - 可配置的ECC
- L2缓存
  - 默认512 KB、8路组相联
  - MESI一致性
  - 硬件数据预取
  - 缓存写入策略: 回写 (Write Back)
  - 由多个核于Cluster级别上共享
  - 可配置的ECC



### PMP&PMA

- PMP支持区域的数量可配置为16、32或64个, 最小区域大小为4096字节
- 支持预定义PMA和Svpbmt



### 硬件性能监视器 (HPM)

- 支持符合RISC-V标准的硬件性能监视器
- 协助微架构级别的分析核性能调试



### 电源管理

- 内核级别的等待 (Wait For Interrupt) 机制
- 内核级别和Cluster级别的时钟门控
- 内核级别和Cluster级别的低功耗状态 (Power ON/OFF/Retention)
- Cluster级别的动态频率调节



### 平台级中断控制器 (PLIC)

- PLIC中断: 最大可以支持1024个可配置中断信号, 可与内核子系统外部设备相连
- PLIC特权等级: PLIC支持8个特权等级



### 处理器核局部中断控制器 (CLINT)

- 最多可支持32组中断目标或Hart



### DEBUG

- 符合RISC-V调试规格的标准调试模块



### 配套软件

- 裸机SDK
  - 编译器与工具链, 包括基于GCC与LLVM框架的包
  - GDB调试器与预编译OpenOCD
  - FreeRTOS
  - 36+个示例项目
- Linux SDK
  - 基于Yocto的环境
  - Kernel 6.6
  - 主机开发工具
  - OpenSBI
  - Uboot
  - KVM
  - Xvisor
- StarFive StarStudio
  - 为客户提供独立且预编译的IDE



### TRACE

- 符合RISC-V Trace规格的标准Trace模块接口



# RISC-V CPU IP

## 昉·天枢-90 CPU IP

昉·天枢-90 是一款支持丰富的RISC-V扩展, 使能边缘、云计算和高性能计算应用的商业级64位RISC-V CPU IP。



### 简介

昉·天枢-90 是可交付性能最高的商业级国产 RISC-V CPU Core IP, 采用 11+ 级流水线、五发射、超标量、深度乱序执行等设计, 支持标准 RISC-V RV64GCBH 扩展, 同时还针对性能和频率做了深度的优化, SPECint2006 可达 9.4/GHz。昉·天枢-90 经过预集成及验证, 提供具备内存一致性的集群内单核、双核及四核的配置选择, 简化了SoC 开发工作, 可广泛用于数据中心、PC、移动设备、高性能网络通讯、机器学习等高性能计算场景、设备。

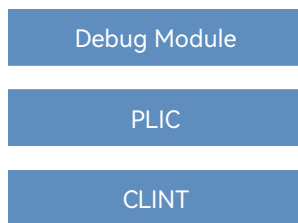


### Extensions

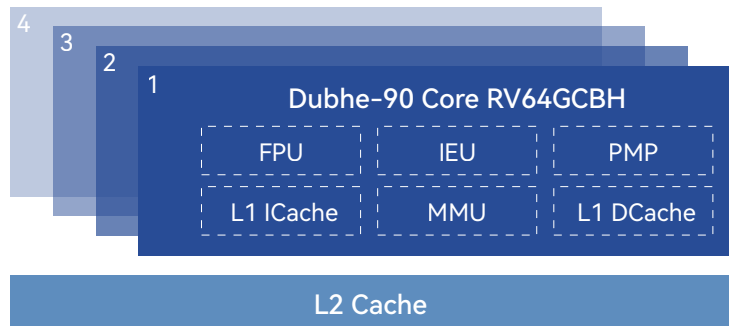
|                   |       |
|-------------------|-------|
| RISC-V 64位基本整数指令集 | 2.1   |
| M (标准整数乘法和除法扩展)   | 2.0   |
| A (标准原子指令扩展)      | 2.1   |
| F (标准单精度浮点扩展)     | 2.2   |
| D (标准双精度浮点扩展)     | 2.2   |
| C (标准压缩指令扩展)      | 2.0   |
| B (标准位操作扩展)       | 1.0   |
| 特权规范 (Privilege)  | 1.12  |
| H (Hypervisor)    | 0.6.1 |
| Debug             | 0.13  |
| Trace             | 1.0   |

## Dubhe-90

### Debug, PLIC & CLINT



### Dubhe-90 Cluster



TileLink/AXI/ACE/CHI



### 设计规格

- SPECint2006: 9.4/GHz
- Dhrystone: 6.5/MHz (Legal)
- 支持虚拟化 Hypervisor (H) 扩展指令
- 11+ 级流水线、五发射
- 超标量、深度乱序执行
- 支持多核缓存一致性



## 边缘/云数据中心

- 边缘云计算
- 智能网卡及数据处理单元
- 企业级计算存储
- 基板管理控制器



## 通信/网络

- 5G架构和基站
- 无线访问接入点
- 企业交换机及防火墙/下一代防火墙
- 车联网 (V2X) 通讯



## 人工智能/机器学习

- 自动驾驶/高级驾驶
- 车载信息娱乐/HUD
- 机器人/无人机/工业控制
- 计算机视觉/AR/VR/MR

## 功能列表 Function list



### 取指单元 (IFU)

- 采用取指令与分支预测解耦的架构
- 取指宽度: 16 Byte/Cycle
- 针对返回指令的RAS预测器
- 针对间接跳转指令的IJTP预测器
- 针对条件分支指令的TAGE-Style预测器



### 主干单元 (TKU)

- 5-Way Decode/Rename/Commit
- ROB Entries: 160
- 整数物理寄存器个数: 160
- 浮点物理寄存器个数: 160



### 整数执行单元 (IEU)

- 2条独立的Full ALU单元
- 1条复用MDU资源的Full ALU单元
- 1条独立的分支执行单元



### 浮点单元 (FPU)

- 支持符合IEEE 754-2008浮点标准的32位单精度和64位双精度算术



### 内存管理单元 (MMU)

- 支持RISC-V特权规范定义的Bare、Sv39、Sv48模式
- 32-Entry ITLB全相联 (Fully-Associative)
- 48-Entry DTLB全相联
- 1280-Entry 5路组相联 (Set Associative) STLB



### 内存子系统

- L1指令缓存
  - 可配置的组相联指令缓存
  - 默认64 KB、4路组相联
  - 支持指令预取
  - 可配置奇偶校验
- L1数据缓存
  - 默认64 KB、4路组相联
  - 2个Load/Store流水线
  - 缓存写入策略: 回写 (Write Back)
  - 乱序处理, 非阻塞缓存设计
  - 支持自定义CMO指令
  - 可配置ECC
- L2缓存
  - 默认2 MB、8路组相联
  - 支持L2缓存Prefetch
  - MESI一致性
  - 缓存写入策略: 回写 (Write Back)
  - 由多个核于Cluster级别上共享
  - 可配置ECC





### PMP&PMA

- PMP支持区域的数量可配置为16、32或64个，最小区域大小为4096字节
- 支持固定的PMA



### 硬件性能监视器 (HPM)

- 支持符合RISC-V标准的硬件性能监视器
- 协助微架构级别的分析核性能调试



### 电源管理

- 内核级别的等待 (Wait For Interrupt) 机制
- 内核级别和Cluster级别的时钟门控
- 内核级别和Cluster级别的低功耗状态 (Power ON/OFF/Retention)
- Cluster级别的动态频率调节



### 平台级中断控制器 (PLIC)

- PLIC中断: 最多可以支持1024个可配置中断信号，可与内核子系统外部设备相连
- PLIC特权等级: PLIC支持8个特权等级



### 处理器核局部中断控制器 (CLINT)

- 最多可支持32组中断目标或Hart



### DEBUG

- 符合RISC-V调试规格的标准调试模块



### 配套软件

- 裸机SDK
  - 编译器与工具链, 包括基于GCC与LLVM框架的包
  - GDB调试器与预编译OpenOCD
  - FreeRTOS
  - 36个示例项目
- Linux SDK
  - 基于Yocto的环境
  - Kernel 6.6
  - 主机开发工具
  - OpenSBI
  - KVM
  - Xvisor
- StarFive StarStudio
  - 为客户提供独立且预编译的IDE



### TRACE

- 符合RISC-V Trace规格的标准Trace模块接口



# 昉·星链-500 Interconnect Fabric IP

昉·星链-500是赛昉科技首款自研的支持缓存一致性的Interconnect Fabric IP, 支撑构建多核CPU和SoC。

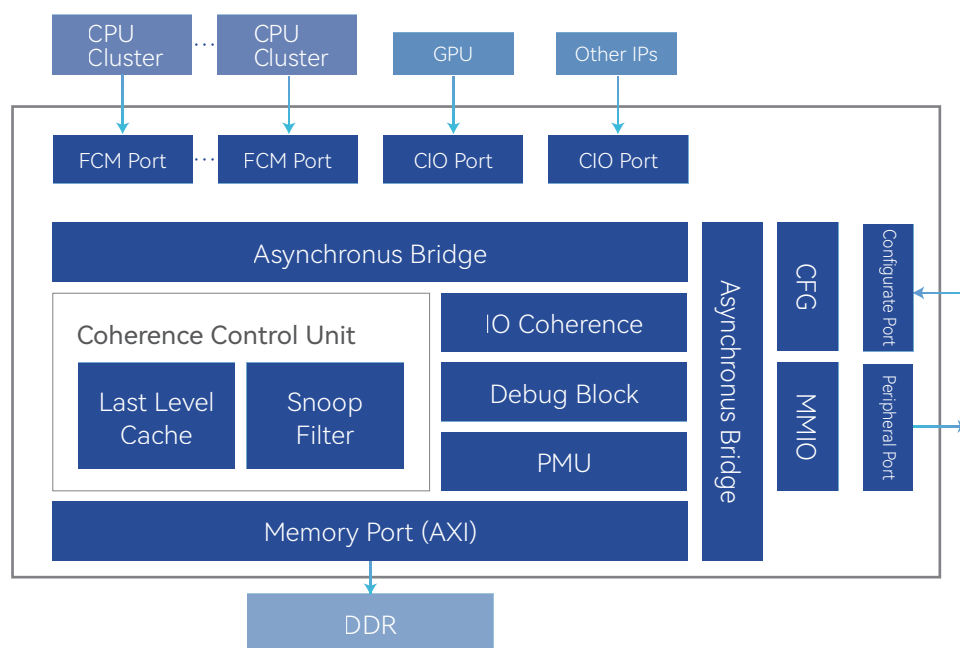


## 简介

昉·星链-500 是赛昉科技首款自研的支持缓存一致性的 Interconnect Fabric IP, 支撑构建多核 CPU 和 SoC

- 提供缓存一致性 NoC: 连接多个 CPU Cluster、IO 设备和 DDR, 并在 SoC 范围内维护缓存的一致性
- 高性能: 提供 Last Level Cache (LLC), 提供 Snoop Filter, 提高一致性维护模块效率和 Memory Hierarchy 性能
- 高效的数据交换: 支持 CPU 和 IO 设备共享 LLC, 简化 CPU 和 IO 数据交换并提高性能
- 低功耗: 支持 LLC Way Shutdown, Cache Retention 等低功耗技术
- 高可靠性: Snoop Filter 和 LLC 支持 SEC-DED (Single Error Correction Double Error Detection)
- 控制接口支持: MMIO - CPU 可配置 IO 设备和读取片上 SRAM; CFG - IO 设备访问和配置一致性片上互联

## StarNoC-500



## 设计规格

- 支持多个 Fully Coherent Master (FCM) Port
- 支持多个 CPU Core/Cluster 配置
- 支持 Component Aggregation Layer (CAL)
- 支持多个 Coherent IO (CIO) Port
- 频率: 1.2 GHz @ 12nm (Reference)
- 缓存大小: Typical 4 MB (Customizable)
- 总线宽度: 256 Bit (Customizable)
- 高带宽、低功耗、低时延

## 功能列表 Function list



### Coherence Unit

- 支持多CPU Core/Cluster Cache Coherency
- 支持Cache Coherent IO



### CIO Port

- 支持并发
- 支持QoS LLC Allocation



### LLC

- Cache Inclusion Policy: Exclusive
- 支持Multibank
- 支持CMO
- 支持Atomic



### Error Reporting

- 支持Error Reporting



### Low Power Design

- 支持低功耗模式
  - Clock Gating
  - Cache Way Shutdown
  - Cache Retention



### Debug

- 支持Bus Monitor
- 支持Internal Status Monitor



### RAS

- Snoop Filter, LLC支持SEC-DED



### Performance Monitor (PMU)

- 支持Performance Monitor



# 昉·星链-700 Interconnect Fabric IP

昉·星链-700是赛昉科技自研的支持缓存一致性的Interconnect Fabric IP，支撑构建众核CPU和SoC。



## 简介

昉·星链-700 是赛昉科技自研的支持缓存一致性的高扩展性、高性能 Interconnect Fabric IP，支撑构建众核 CPU 和 SoC

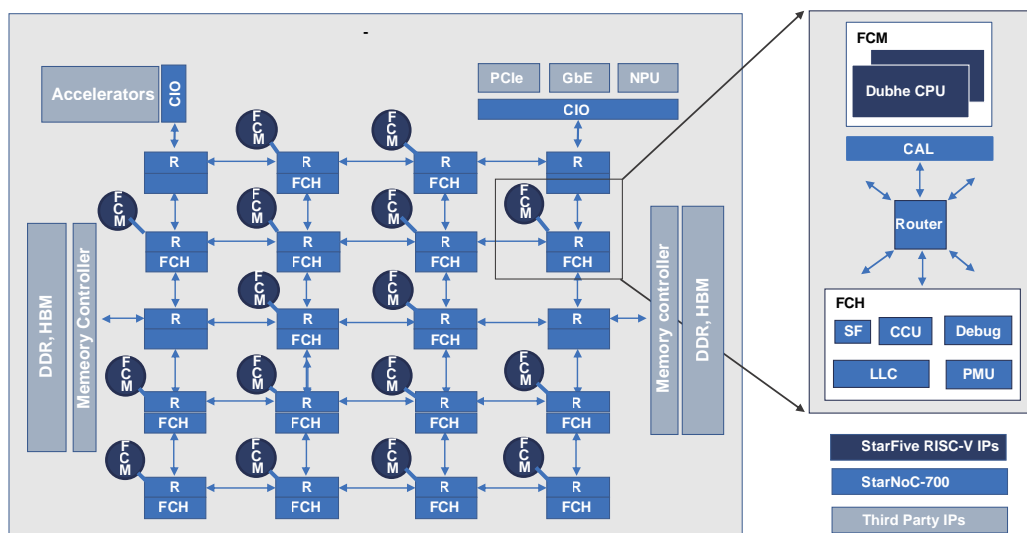
- 提供缓存一致性 NoC：连接最多 256 CPU Cores、IO 设备和 DDR，并在 SoC 范围内维护缓存的一致性
- 高性能：提供最大 512 MB Last Level Cache (LLC)，提供 Snoop Filter，提高一致性维护模块效率和 Memory Hierarchy 性能
- 高扩展性：采用 Mesh NoC，提高可扩展性；采用专门 Control NoC 支持控制命令传输
- 低时延：采用 Semi-custom 设计方法，降低 NoC 传输时延
- 高效的数据交换：支持 CPU 和 IO 设备共享 LLC，简化 CPU 和 IO 数据交换并提高性能
- 低功耗：支持 LLC Way Shutdown, Architecture Clock Gating 等低功耗技术
- 高可靠性：Snoop Filter 和 LLC 支持 ECC (SEC-DED, Single Error Correction Double Error Detection)



## 设计规格

- 高扩展性，低功耗，低时延
- 支持 Component Aggregation Layer (CAL)
- 拓扑结构：Mesh
- 支持多个 I/O Coherent Master Node (CIO)
- 最大节点数 12x12
- 单节点支持 3-5 个 Devices
- 可配置的 Data Path Link Width: 128b/256b/512b

基于昉·星链-700的16核系统示意图



- FCH: Fully Coherent Home Node : Home node for a coherent region of memory with a block of SLC and Snoop Filter
- FCM: Fully Coherent Master Node: Typically a CPU core, a CAL with two cores, or a CPU core cluster
- CIO: I/O Coherent Master Node: An I/O-coherent master device

## 功能列表 Function list



### Coherence Unit

- 支持众核CPU Core/Cluster Cache Coherency
- 支持CHI协议
- 支持Snoop Filter
- 支持Cache Coherent IO



### CIO Port

- 支持并发



### LLC

- 分布式LLC
- Cache Inclusion Policy: Non-inclusive
- 支持CMO
- 支持Atomic



### Error Reporting

- 支持Error Reporting



### Low Power Design

- 支持低功耗模式
  - Architecture Clock Gating
  - Cache Way Shutdown



### Debug

- 支持Debug



### RAS

- Snoop Filter, LLC支持SEC-DED



### Performance Monitor (PMU)

- 支持Performance Monitor
- 支持独立的Control NoC, 传输控制命令: PMU、CMO、Interrupt等
- 支持Message Signaled Interrupts (MSI)



## RISC-V+NoC IP子系统方案

# RISC-V多核系统解决方案

基于赛昉科技RISC-V CPU IP和Interconnect Fabric IP，构建高性能、高带宽、低延迟的系统解决方案平台。

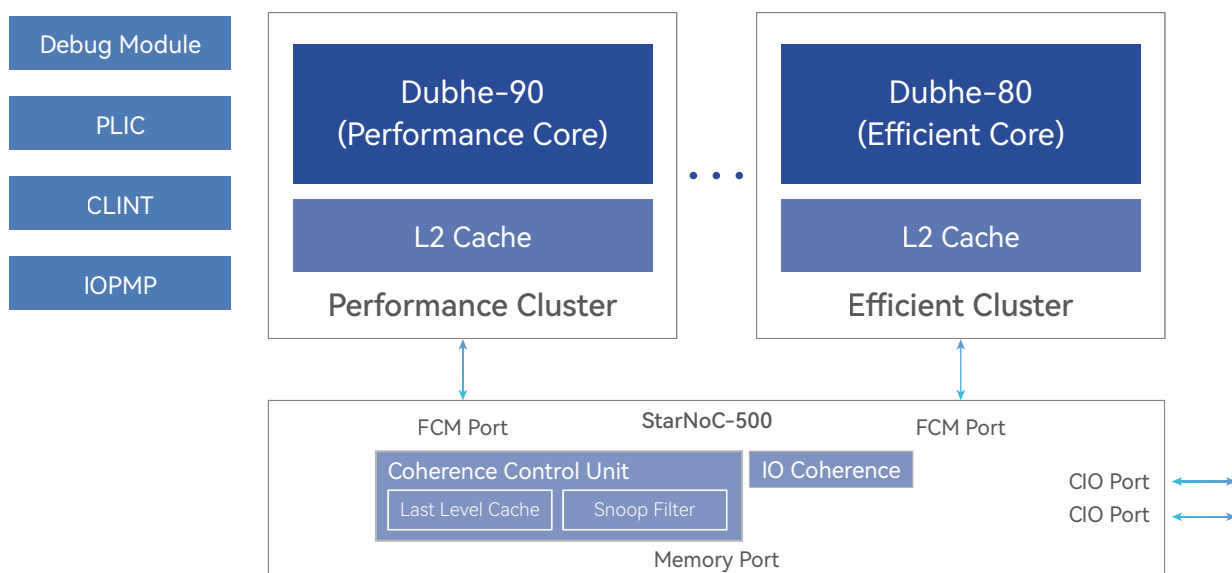


### 简介

基于赛昉科技 RISC-V CPU IP 和 Interconnect Fabric IP，构建高性能、高带宽、低延迟的 RISC-V 多核系统解决方案平台。解决方案包括：

- RISC-V 高性能内核——昉·天枢-90
- RISC-V 高能效内核——昉·天枢-80
- 高速的支持缓存一致性 Interconnect Fabric IP——昉·星链-500
- RISC-V Debug Module 调试接口
- RISC-V 中断控制器 (PLIC、CLINT)
- 功耗管理、安全性、虚拟化、IO 一致性 (IO Coherency) 和内存子系统

### StarFive RISC-V Core and SOC Solutions



#### 边缘/云数据中心

- 边缘/云服务器
- DPU
- 计算存储
- 存储阵列



#### 通信/网络

- 5G内核与接入
- 手机应用
- 路由器
- 交换机



#### 客户端计算/机器学习

- LinuxPC/MiniPC/笔记本
- 工业控制
- 机器人
- KIOS

---

## 方案亮点

- 支持所有主要的 RISC-V 标准扩展 (RV64GCBH)
- 支持符合 RISC-V 标准的中断、Debug 和 Trace 规范
- 赛昉科技支持缓存一致性的 NoC 连接 Cluster 与系统组件, 实现高速、低功耗、低延迟
- 该解决方案可以轻松将 AMBA 接口和现有 IP 结合利用
- 安全解决方案-RISC-V 可信执行环境 (TEE)、RISC-V 安全启动、安全调试
- CPU Cluster 支持先进的功耗管理: 每个内核和每个 Cluster 均支持动态频率调整 (DFS)、电源状态 (ON/OFF/Retention)、温度 / 电压传感器、性能监视器
- 经过电源功耗优化后实现高效和高性能内核

---

## 昉·天枢-90

昉·天枢-90 CPU IP 采用了 11+ 级流水线、五发射、超标量、深度乱序执行等设计, 支持标准 RISC-V RV64GCBH 扩展。昉·天枢-90 SPECint2006 可达 9.4/GHz, 可广泛用于数据中心、PC、移动设备、高性能网络通讯、机器学习等高性能计算场景、设备。

---

## 昉·天枢-80

昉·天枢-80 CPU IP 采用了 9+ 级流水线、三发射、乱序执行的设计, 支持丰富的 RV64GCBH\_Zicnd\_Zicbom\_Zicboz\_Zicbop RISC-V 指令集。昉·天枢-80 SPEC2006int 分数可达 8.5/GHz, 专为高能效的计算场景而设, 满足移动、桌面、人工智能的需求。

---

## 昉·星链-500

昉·星链-500 是赛昉科技首款自研的支持缓存一致性的 Interconnect Fabric IP, 提供缓存一致性 NoC、具备高性能、低功耗、高效的数据交换、高可靠性、控制接口支持等特点。



## RISC-V+NoC IP子系统方案

# RISC-V众核系统解决方案

基于赛昉科技RISC-V CPU IP和Interconnect Fabric IP，构建高性能、高带宽、低延迟的系统解决方案平台。

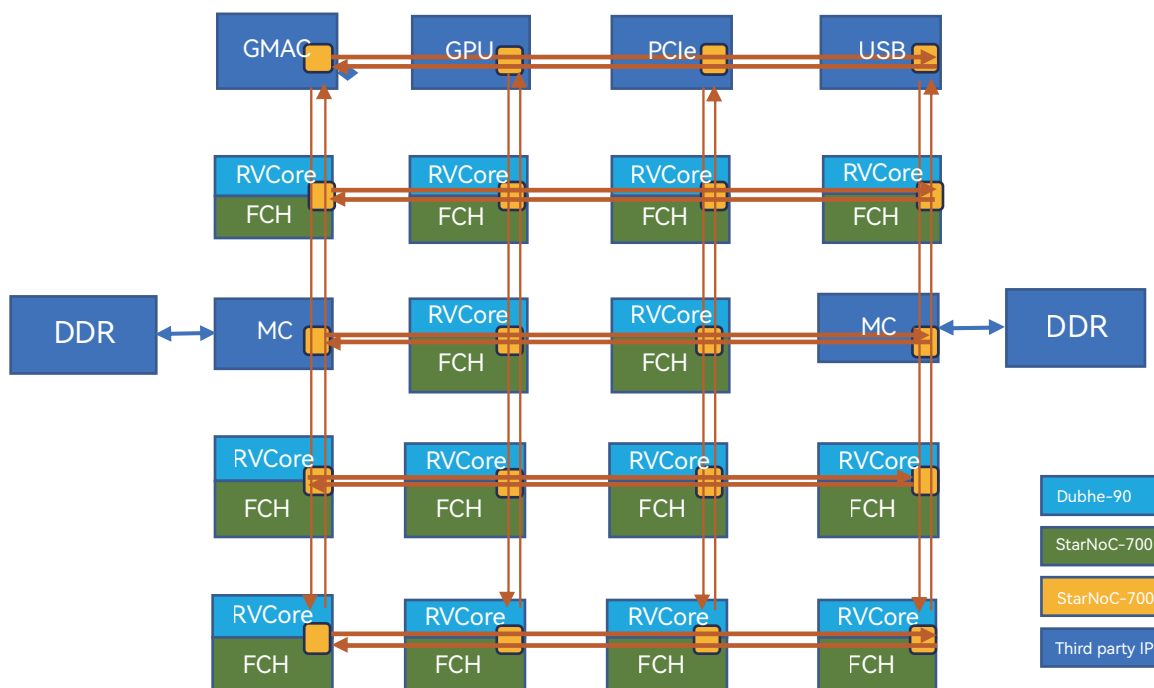


### 简介

基于赛昉科技 RISC-V CPU IP 和 Interconnect Fabric IP，构建高性能、高带宽、低延迟的 RISC-V 众核系统解决方案平台。解决方案包括：

- RISC-V 高性能内核——昉·天枢-90 (Dubhe-90)
- 高速的支持缓存一致性 Interconnect Fabric IP——昉·星链-700 (StarNoC-700)
- RISC-V Debug Module 调试接口
- RISC-V 中断控制器 (PLIC、CLINT)
- 功耗管理、安全性、虚拟化、IO 一致性 (IO Coherency) 和内存子系统

基于昉·天枢-90及昉·星链-700的众核系统示意图



### 应用场景

- 云服务器
- DPU
- 计算存储
- 网络通信
- 基站
- AI训练/推理加速器
- PC/笔记本



---

## 方案亮点

- 支持所有主要的 RISC-V 标准扩展 (RV64GCBH)
- 支持符合 RISC-V 标准的中断、Debug 和 Trace 规范
- 支持高性能、高扩展性缓存一致性的 NoC 连接 CPU Core 与系统组件, 实现高速、低功耗、低延迟, 最多可支持 256 核的 SoC 采用独立的数据 NoC 和控制 NoC
- 可轻松将 AMBA 接口和现有 IP 结合利用
- 安全解决方案-RISC-V 可信执行环境 (TEE)、RISC-V 安全启动、安全调试
- CPU Cluster 支持先进的功耗管理: 每个内核和每个 Cluster 均支持动态频率调整 (DFS)、电源状态 (ON/OFF/Retention)、
- 温度 / 电压传感器、性能监视器
- 经过电源功耗优化后实现高效和高性能内核

---

## 昉·天枢-90

昉·天枢-90 CPU IP 采用了 11+ 级流水线、五发射、超标量、深度乱序执行等设计, 支持标准 RISC-V RV64GCBH 扩展。昉·天枢-90 SPECint2006 可达 9.4/GHz, 可广泛用于数据中心、PC、移动设备、高性能网络通讯、机器学习等高性能计算场景、设备。

---

## 昉·星链-700

昉·星链-700 是赛昉科技自研的支持缓存一致性和众核系统的 Interconnect Fabric IP, Mesh 架构、具备高性能、高扩展性、低功耗、高效的数据交换、高可靠性、支持控制接口等特点。

## 以RISC-V创新为客户创造价值

Creating value for customers through RISC-V innovation



## 服务与支持

赛昉科技官网: [www.starfivetech.com](http://www.starfivetech.com)

RVspace一站式用户体验中心: [rvspace.org/zh/home](http://rvspace.org/zh/home)

产品及应用视频主页: [space.bilibili.com/1061635252](http://space.bilibili.com/1061635252)

Github代码仓库: [github.com/starfive-tech](https://github.com/starfive-tech)

市场联系: [marketing@starfivetech.com](mailto:marketing@starfivetech.com)

销售联系: [sales@starfivetech.com](mailto:sales@starfivetech.com)

技术支持: [support@starfivetech.com](mailto:support@starfivetech.com)

## 赛昉科技

地址: 上海市浦东新区盛夏路61弄张润大厦2号楼502

联系电话: 021-50478300

上海 | 顺德 | 深圳 | 成都 | 北京 | 马来西亚 | 新加坡



微信公众号