**8주차 결과 보고서**

|  |  |  |  |
| --- | --- | --- | --- |
| 전공: 컴퓨터공학과 | 학년: 2학년 | 학번: 20221556 | 이름: 박정빈 |

1. 실험 목적

- 7-Segment Display의 개념을 이해한다.

- Verilog를 사용하여 7-Segment Display를 구현한다.

- 입력 신호 생성 후 Simulation을 통하여 구현된 각 Gate의 동작을 확인한다.

- FPGA를 통해서 Verilog로 구현된 회로의 동작을 확인한다.

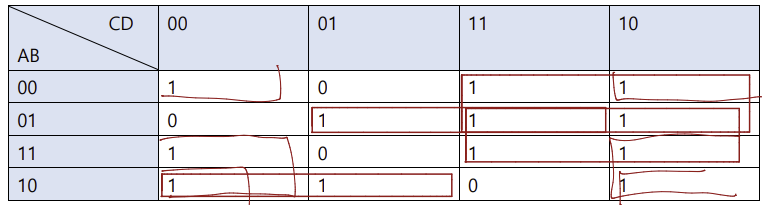
2. 7-Segment Display

① 진리표, 카르노맵

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Input | | | | Output | | | | | | | |
| In A | In B | In C | In D | A | B | C | D | E | F | G | DP |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 |
| 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 |
| 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 |
| 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |

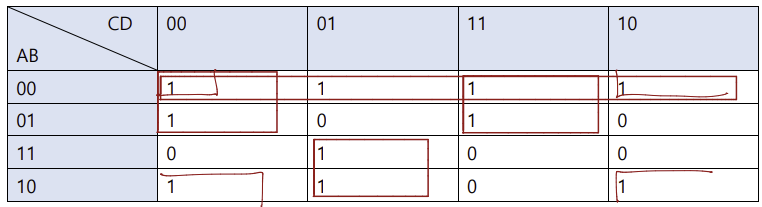
A

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| CD  AB | 00 | 01 | 11 | 10 |
| 00 | 1 | 0 | 1 | 1 |
| 01 | 0 | 1 | 1 | 1 |
| 11 | 1 | 0 | 1 | 1 |
| 10 | 1 | 1 | 0 | 1 |



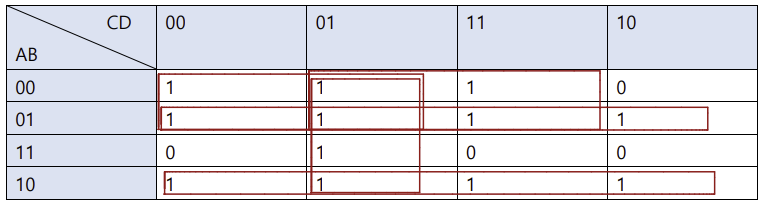
B

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| CD  AB | 00 | 01 | 11 | 10 |
| 00 | 1 | 1 | 1 | 1 |
| 01 | 1 | 0 | 1 | 0 |
| 11 | 0 | 1 | 0 | 0 |
| 10 | 1 | 1 | 0 | 1 |



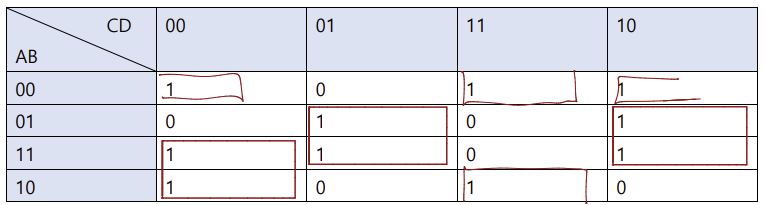
C

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| CD  AB | 00 | 01 | 11 | 10 |
| 00 | 1 | 1 | 1 | 0 |
| 01 | 1 | 1 | 1 | 1 |
| 11 | 0 | 1 | 0 | 0 |
| 10 | 1 | 1 | 1 | 1 |



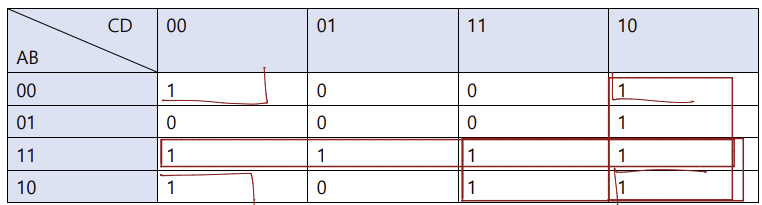
D

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| CD  AB | 00 | 01 | 11 | 10 |
| 00 | 1 | 0 | 1 | 1 |
| 01 | 0 | 1 | 0 | 1 |
| 11 | 1 | 1 | 0 | 1 |
| 10 | 1 | 0 | 1 | 0 |



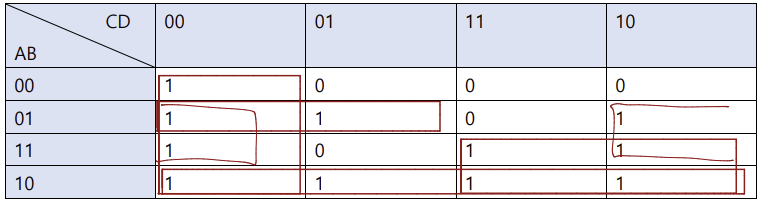
E

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| CD  AB | 00 | 01 | 11 | 10 |
| 00 | 1 | 0 | 0 | 1 |
| 01 | 0 | 0 | 0 | 1 |
| 11 | 1 | 1 | 1 | 1 |
| 10 | 1 | 0 | 1 | 1 |



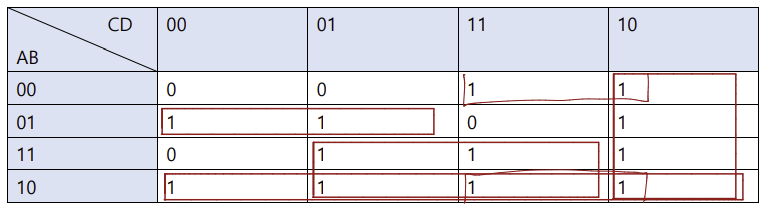
F

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| CD  AB | 00 | 01 | 11 | 10 |
| 00 | 1 | 0 | 0 | 0 |
| 01 | 1 | 1 | 0 | 1 |
| 11 | 1 | 0 | 1 | 1 |
| 10 | 1 | 1 | 1 | 1 |



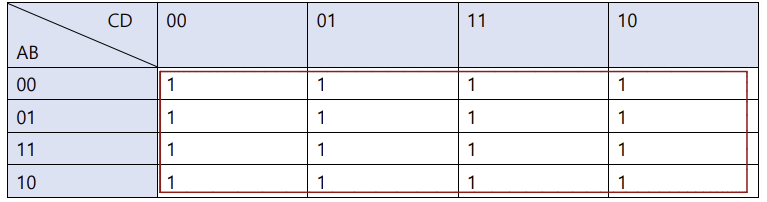
G

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| CD  AB | 00 | 01 | 11 | 10 |
| 00 | 0 | 0 | 1 | 1 |
| 01 | 1 | 1 | 0 | 1 |
| 11 | 0 | 1 | 1 | 1 |
| 10 | 1 | 1 | 1 | 1 |

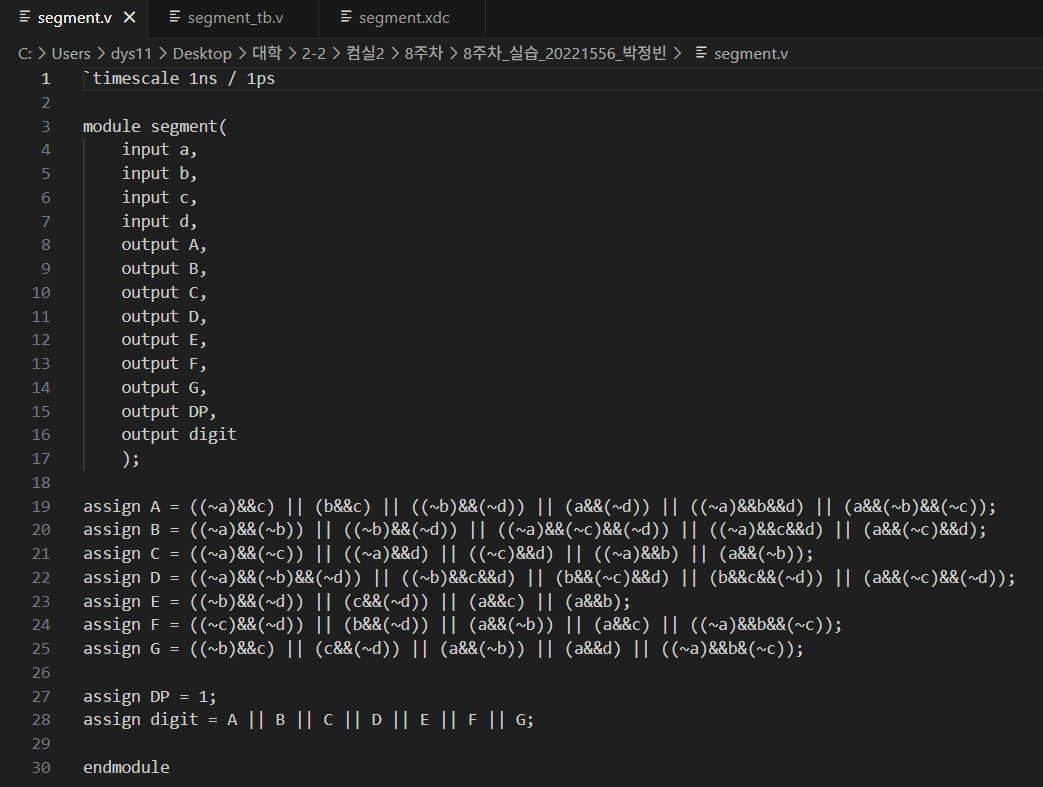


DP

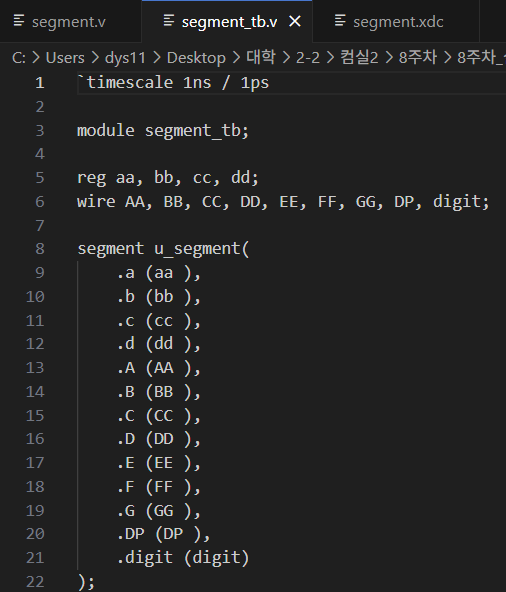
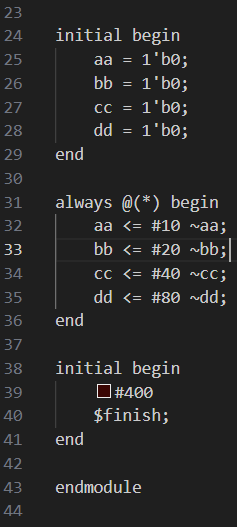
|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| CD  AB | 00 | 01 | 11 | 10 |
| 00 | 1 | 1 | 1 | 1 |
| 01 | 1 | 1 | 1 | 1 |
| 11 | 1 | 1 | 1 | 1 |
| 10 | 1 | 1 | 1 | 1 |



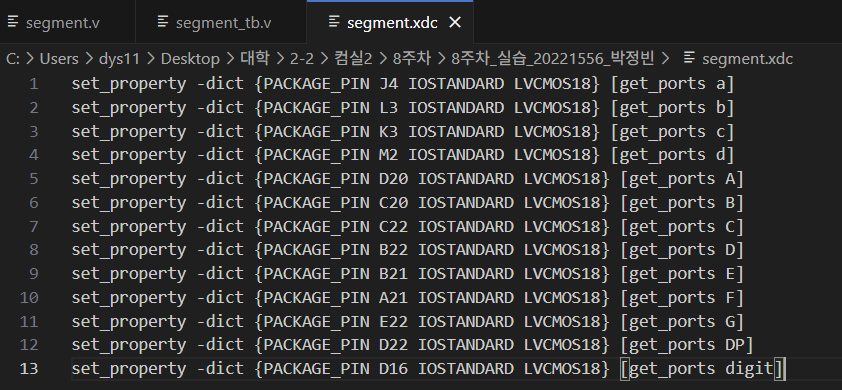
② Design Source



③ testbench

④ constraint



|  |  |
| --- | --- |
|  | 입력되는 4bit 이진수인 a, b, c, d는 DIP 스위치와 연결하였고, 7-Segment의 segment인 A~G와 DP는 각 이름에 대응되는 segment에 연결하였다.  digit을 DIGIT3에 연결하여 3번째 위치의 display에 결과가 나타나도록 하였다. |

⑤ simulation



⑥ 결과 및 과정

진리표를 기반으로 각 Segment의 카르노맵을 그리고 minumum SOP 논리식을 구하여 7-Segment Display를 구현하였다. digit은 A~G 중 하나라도 1인 경우에 display에 나타나도록 논리식을 구성하였다. Design 코드에서 사용한 수식은 다음과 같다.

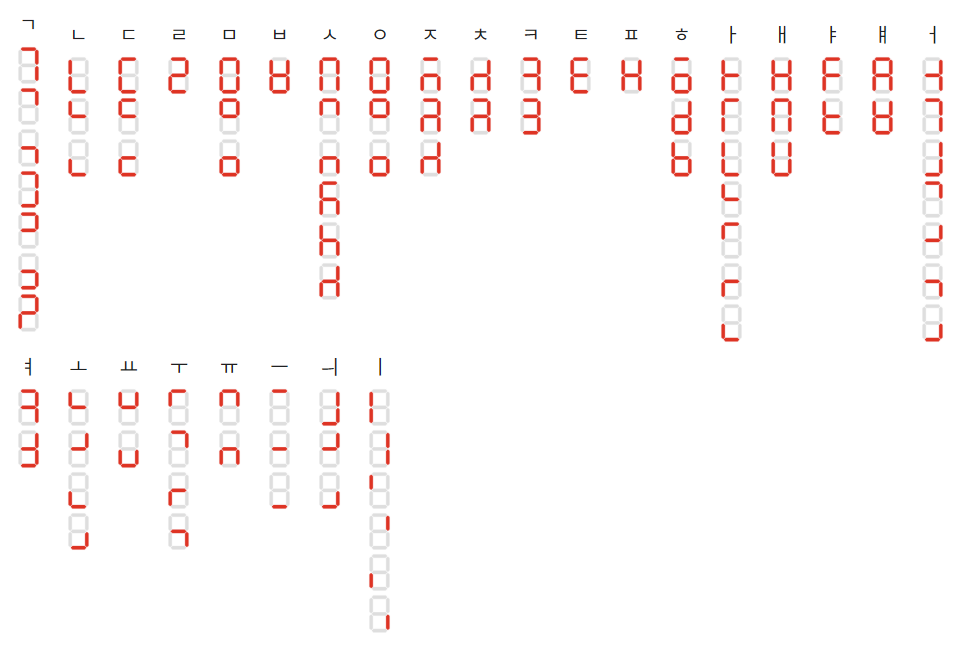
|  |  |
| --- | --- |
| Segment | 수식 |
| A | ((~a)&&c) || (b&&c) || ((~b)&&(~d)) || (a&&(~d)) || ((~a)&&b&&d) || (a&&(~b)&&(~c)) |
| B | ((~a)&&(~b)) || ((~b)&&(~d)) || ((~a)&&(~c)&&(~d)) || ((~a)&&c&&d) || (a&&(~c)&&d) |
| C | ((~a)&&(~c)) || ((~a)&&d) || ((~c)&&d) || ((~a)&&b) || (a&&(~b)) |
| D | ((~a)&&(~b)&&(~d)) || ((~b)&&c&&d) || (b&&(~c)&&d) || (b&&c&&(~d)) || (a&&(~c)&&(~d)) |
| E | ((~b)&&(~d)) || (c&&(~d)) || (a&&c) || (a&&b) |
| F | ((~c)&&(~d)) || (b&&(~d)) || (a&&(~b)) || (a&&c) || ((~a)&&b&&(~c)) |
| G | ((~b)&&c) || (c&&(~d)) || (a&&(~b)) || (a&&d) || ((~a)&&b&(~c)) |
| DP | 1 |
| digit | A || B || C || D || E || F || G |

simulation 결과, 입력된 이진수에 따라 7-Segment Display가 정상적으로 작동함을 확인하였다. 아래는 7-Segment display의 각 경우에 대한 결과이다.

|  |  |
| --- | --- |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |

3. 결과 검토 및 논의 사항

7-Segment Display를 구현하고 시뮬레이션 해보았다. 4 bit의 이진수를 입력 받아 해당하는 값을 Display에 표시할 수 있었다. 7개의 Segment에 더하여 DP를 통해 소수점도 나타낼 수 있었고 digit 변수를 통해 display를 활성화 할지, 어느 위치에 할지 정할 수 있었다. 실습에서 진행한 16진수 뿐 아니라 다른 진리표를 작성하여 다른 문자도 7-Segment로 표시할 수 있다. 아래는 예시로 한글 자모음을 나타내는 방법이다.



4. 추가 이론

1) Decoder

7-Segment Display에 4-bit 입력을 주었을 때 어떤 Segment를 켤지 결정하는 회로를 Decoder라고 한다. 대표적인 Decoder로는 Common Anode용 7447과, Common Cathode용 7448이 있다. 이 Decoder들은 BCD 입력을 받아 0~9까지의 숫자에 대응하는 세그먼트 출력을 자동으로 생성한다.

2) Multiplexing

Multiplexing 여러 자리의 숫자를 표시하기 위해 사용되는 기법이다. 한 번에 하나의 Display만 활성화하지만 이를 빠르게 진행시켜 사람의 눈에는 모든 자리가 동시에 켜져 있는 것처럼 보이게 한다. 이는 Time Division Multiplexing이며 마이크로컨트롤러나 FPGA로 제어할 때 사용된다.