

Nama : Amartya Bintang Wijat Ranti

NIM : L200180193

Kelas : Informatika G

Praktikum 1: NOR Latch

2. Berdasarkan simulasi Anda, isi titik-titik pada tabel berikut!

	S (Set)	R(Reset)	Output	
			Q	Q'
1	0	1	0	1
2	0	0	0	1
3	1	0	1	0
4	0	0	1	0
5	1	1	0	0

3. Jawablah pertanyaan berikut!

- Apa yang akan terjadi jika kita berikan $S=R=0$?
Yang terjadi adalah memory, yakni menyimpan hasil Q dan Q' sebelumnya.
- Kenapa kondisi $S=R=1$ tidak diperbolehkan?
Karena Q dan Q' harus diperoleh berbeda hasilnya atau kebalikan, jadi apabila hasil sama adalah terlarang atau ambigu atau invalid.

Praktikum 2: NAND Latch

2. Berdasarkan simulasi Anda, isi titik-titik pada tabel berikut!

	S (Set)	R(Reset)	Output	
			Q	Q'
1	0	1	1	0
2	1	1	1	0
3	1	0	0	1
4	1	1	0	1
5	0	0	1	1

3. Jawab pertanyaan berikut!

- Apa yang akan terjadi jika kita berikan kondisi $S=R=1$?
Yang terjadi adalah memory, yakni menyimpan hasil Q dan Q' sebelumnya.
 - Kenapa kondisi $S=R=0$ tidak diperbolehkan?
Karena Q dan Q' harus hasilnya berkebalikan, jadi apabila hasil sama adalah terlarang atau ambigu atau invalid.
4. Berdasarkan analisis rangkaian flip-flop di atas, apa opini/pendapat Anda tentang pernyataan "Flip-flop dan latch digunakan sebagai elemen penyimpanan data".
Dapat menyimpan data ketika sebelum set dan sama dengan 1, kemudian berubah hasilnya ketika set dan reset diatur berkebalikan dengan kondisi sebelumnya, semisal $S=0, R=1$ menjadi $S=1, R=0$.

Praktikum 3: Flip-Flop RS

2. Berdasarkan simulasi Anda, isi titik-titik pada tabel berikut!

	S(Set)	R(Reset)	CLOCK	Output	
				Q	Q(t+1)
1	0	0	0	-	-
2	0	0	1	-	-
3	0	1	0	-	-
4	0	1	1	0	1
5	1	0	0	0	1
6	1	0	1	1	0
7	1	1	0	1	0
8	1	1	1	0	0

3. Jawab pertanyaan berikut!

- a. Apa yang akan terjadi jika kita berikan kondisi $S=R=1$ dan clock berubah dari 1 ke 0?

Yang terjadi adalah kondisi saat clock=1 adalah $Q=0$ dan $Q'=0$, kemudian saat clock=0 kondisi error.

- b. Bagaimana kondisi diatas dapat terjadi?

Karena pada kondisi awal sudah dilarang karena bernilai high atau 1, jadi ketika clock berubah ke 0 menjadi error.

4. Jelaskan bagaimana Flip-Flop RS bekerja!

Flip-Flop RS bekerja tidak tergantung pada clock, namun masih terjadi error ketika $S=R=1$ dan clock berubah dari 1 ke 0 dan $S=R=1$ dan clock=1 ada,ah terlarang.

Praktikum 4: Flip-Flop D

2. Berdasarkan simulasi yang Anda buat, isi titik-titik tabel berikut!

	D	CLOCK	Output	
			Q	Q(t+1)
1	0	0	-	-
2	0	1	0	1
3	1	0	1	0
4	1	1	1	0
5	0	0	0	1
6	0	1	0	1
7	1	0	1	0
8	1	1	1	0

3. Jelaskan bagaimana Flip-Flop D bekerja!

Flip-Flop D bekerja saat clock hadir atau 1 dan menyimpan hasil D ketika clock=0.

4. Apa fungsi NOT gate pada Flip-Flop D dibandingkan dengan Flip-Flop SR?

Berfungsi untuk menanggulangi kesalahan pada Flip-Flop RS ketika D clock=1.

Praktikum 5: Flip-Flop JK

2. Berdasarkan simulasi Anda, isi titik-titik pada tabel berikut!

	J	K	CLOCK	Output	
				Q	Q(t+1)
1	0	0	0	0	1
2	0	0	1	0	1
3	0	1	0	0	1
4	0	1	1	0	1
5	1	0	0	0	1
6	1	0	1	1	0
7	1	1	0	1	0
8	1	1	1	0	1

3. Jawab pertanyaan berikut ini:
- Apa yang akan terjadi jika $J=K=0$ dan clock rise up (change from 0 to 1)?
Yang terjadi adalah memory, menyimpan hasil Q dan Q' sebelumnya.
 - Apa yang akan terjadi jika $J=K$, dan clock rise up?
Yang terjadi adalah hasil $Q=1$ dan $Q'=0$, menjadi $Q=0$ dan $Q'=1$ atau hasil berkebalikan sebelumnya.
4. Jelaskan bagaimana Flip-Flop JK bekerja!
- FLip-Flop bekerja ketika clock hadir atau tergantung pada sinyal clock, kemudian menegasi atau membalik pada $J=K=1$ atau meminimalisir error ketika J dan K high.