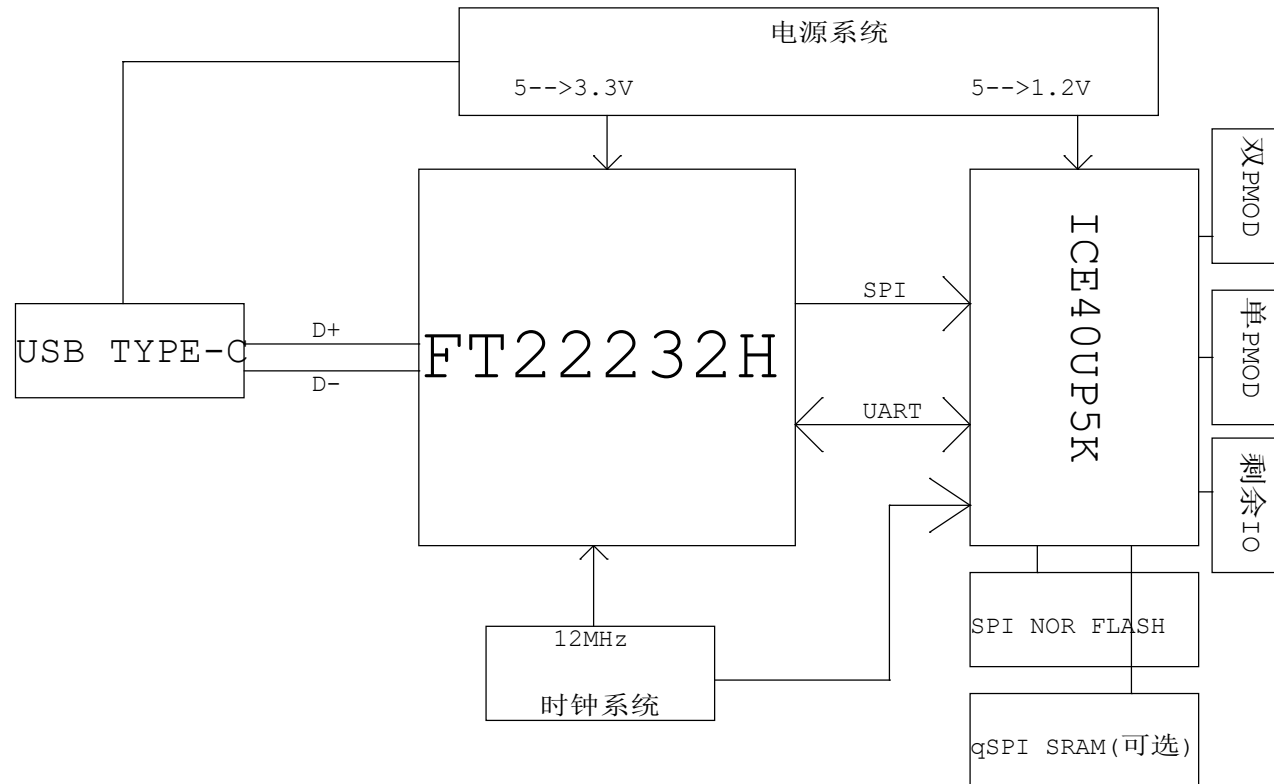


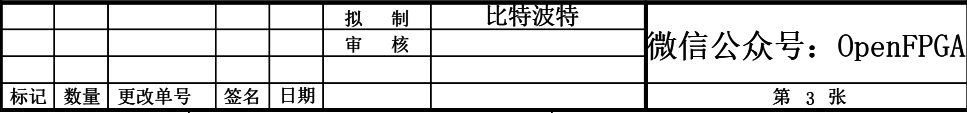
# 01 SYSTEM BLOCK



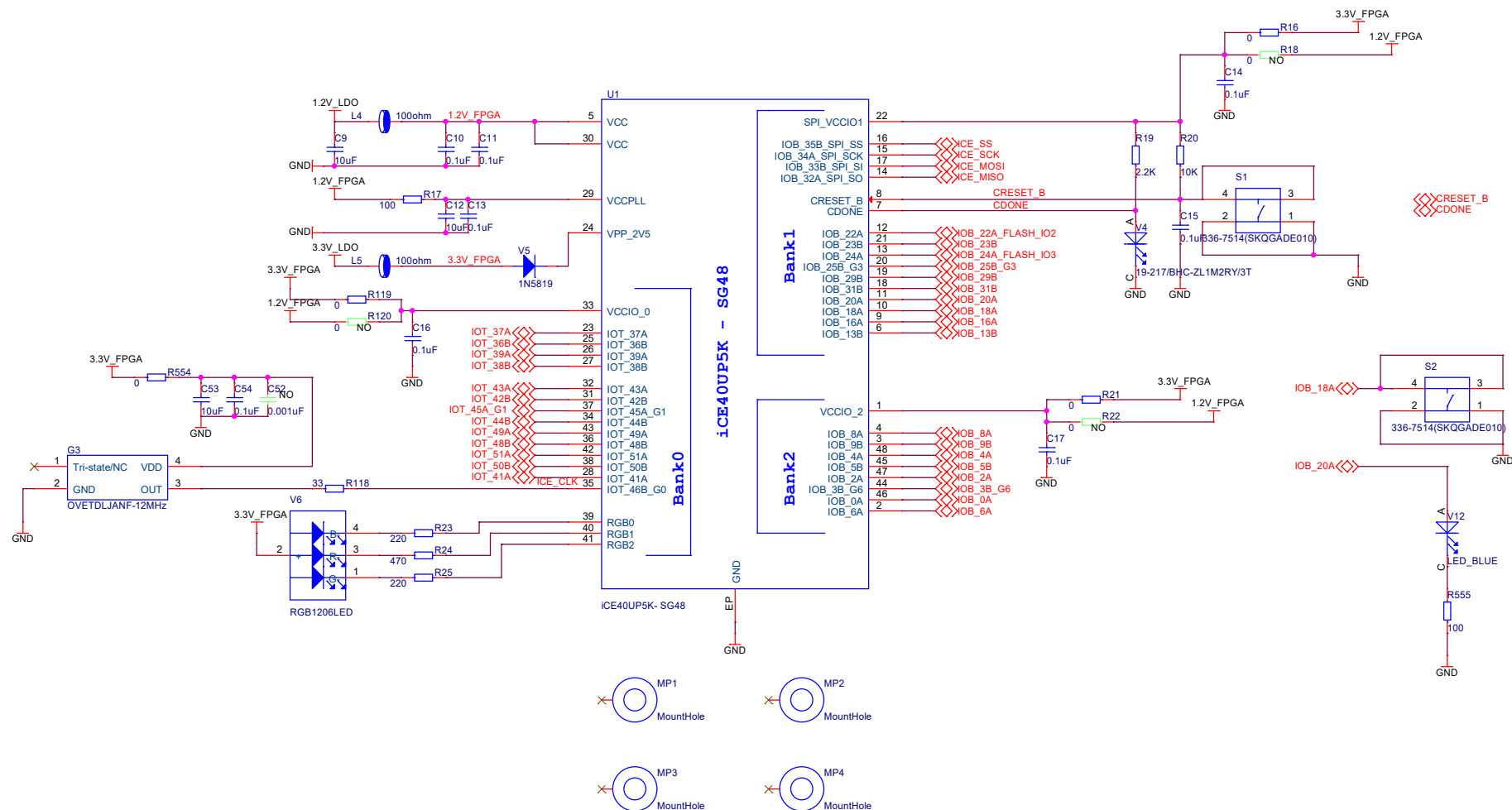
媒体编号	
旧底图总号	
D	
底图总号	
日 期	签 名

[illegible]





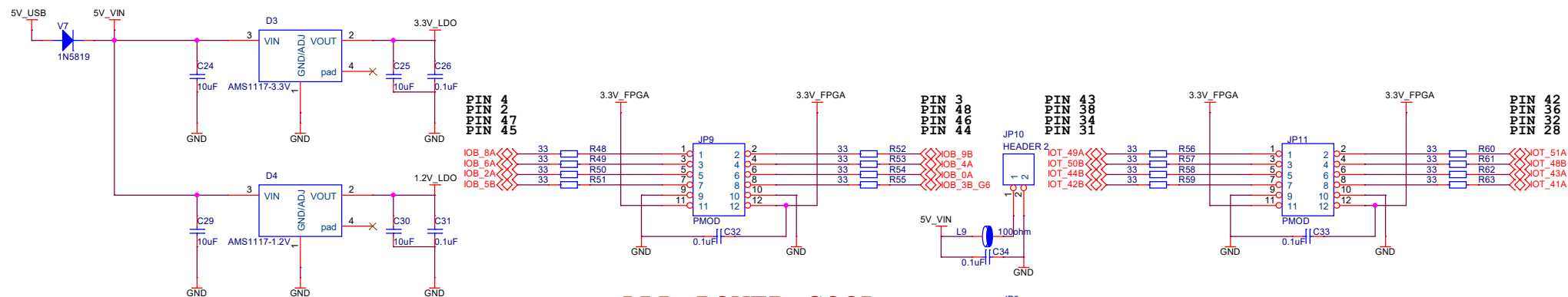
## 04 ICE\_FPGA



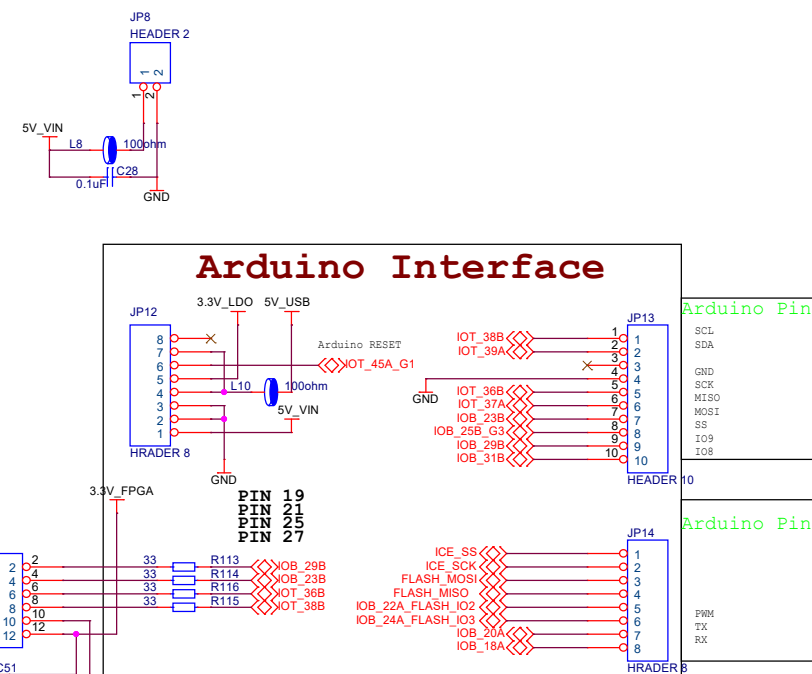
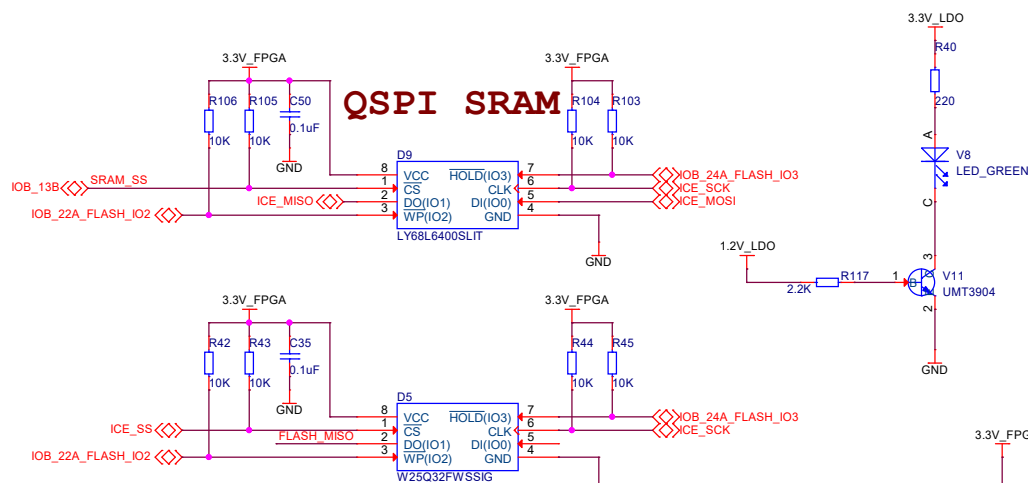
微信公众号: OpenFPGA

第 4 张

## 05 POWER&Interface

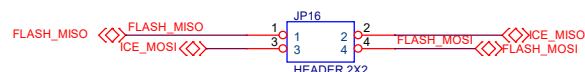


## ALL POWER GOOD



For programming iCE cut traces connecting J15 and J16 pads  
Short the pads 1 and 2 together of the J15 and J16 respectively  
For programming Flash reverse the operations

```
= Prog FLASH
|| Prog ICE
```



媒体编号	
旧底图总号	
D	
A 底图总号	
日期	签名

					拟制	比特波特	微信公众号: OpenFPGA
					审核		
标记	数量	更改单号	签名	日期			
							第 5 张

1

2

3

4

5

6

7

8

1

5

3

2

1

BF2. 908. 3794DL

A\_STUFFNO

Item	Reference
CAP	
RES	
IC	

A

B

C

D

E

F

媒体编号

底图总号

底图总号

日期

签名

					拟制		BF2. 908. 3794DL
					审核		
标记	数量	更改单号	签名	日期			

6 制图:

7 描图:

幅面: A2 8

**B\_NOTE**

BF2.908.3794DL

**A**

B

**C**

D

**E****F**

媒体编号

旧底图总号

底图总号

日期	签名
----	----

格式 (3)

1

2

3

4

5

6 制图:

7 描图:

幅面: A2 8

BF2. 908. 3794DL

第 7 张

拟	制
审	核

---

标记	数量	更改单号	签名	日期
----	----	------	----	----

---