

*Este examen consta de 10 preguntas con un total de 10 puntos. Cada tres preguntas incorrectas resta un punto. Sólo una opción es correcta a menos que se indique algo distinto. No está permitido el uso de calculadora. La duración máxima de este examen será de 30 minutos.*

Apellidos: \_\_\_\_\_ **SOLUCIÓN** \_\_\_\_\_ Nombre: \_\_\_\_\_ Grupo: \_\_\_\_\_

1. [1p] La carga de trabajo en un sistema de computación heterogénea formado con distintas tecnologías en una única plataforma:  
☐ a) Se asigna a cada tecnología en partes iguales para facilitar la distribución de trabajo.  
☒ b) Se asigna a cada tecnología teniendo en cuenta el rendimiento que se puede obtener de cada una de ellas.  
☐ c) Ninguna de las anteriores.
2. [1p] En un diseño para un sistema heterogéneo, luego de definirse la partición HW/SW del sistema, la síntesis de cada parte:  
☐ a) Se realiza independiente una de la otra y se agregan al diseño.  
☐ b) Se realizan de manera conjunta e iterativa comparando resultados.  
☒ c) Se realizan de manera independiente pero luego se integran a través de interfaces y se testean.
3. [1p] La especificación AMBA en el entorno ARM se refiere a:  
☐ a) Especificación del modelo de programación para el procesador ARM.  
☐ b) Especificación de un método de acceso a memoria.  
☒ c) Especificación de un modelo de comunicación con sus interfaces.
4. [1p] El consumo de potencia de un procesador tipo Cortex M4 se puede reducir:  
☐ a) Aumentando la frecuencia del reloj para que termine su trabajo en menos tiempo.  
☐ b) Utilizando todos los modos de bajo consumo que ofrece el procesador cuando no esté procesando.  
☒ c) Utilizando los modos de bajo consumo posibles de acuerdo a la aplicación y reduciendo la frecuencia del procesador de acuerdo a lo que permita el diseño.
5. [1p] La tecnología de lógica reconfigurable es una tecnología que permite:  
☒ a) Configurar el hardware interno tantas veces como lo permita la tecnología para obtener una funcionalidad deseada.  
☐ b) Configurar el hardware interno solo para simular una determinada funcionalidad.  
☐ c) Las dos anteriores.
6. [1p] ¿Cuáles de las siguientes son ventajas en el uso de FPGAs?  
☐ a) Menor consumo de potencia en comparación con CPUs, elevada frecuencia de operación.  
☒ b) Capacidad de reconfiguración, consumo de potencia reducido en comparación con otros dispositivos, menor tiempo de diseño.  
☐ c) Tecnología con curva de aprendizaje rápida, menor coste que CPUs tradicionales, rendimiento equiparables a GPUs.
7. [1p] En arquitectura Zynq, el puerto ACP (Accelerator Coherence Port) sirve para:  
☐ a) Comunicación de la parte reconfigurable con los periféricos de entrada/salida.  
☐ b) Comunicación entre componentes implementados en la parte reconfigurable.  
☒ c) Comunicación entre memoria cache y la parte reconfigurable.
8. [1p] En el proceso de diseño hardware utilizando herramientas de Síntesis de Alto Nivel (HLS).  
☒ a) Se describe un sistema a nivel de su comportamiento y se obtiene un componente RTL.  
☐ b) Se describe un sistema a nivel de diagrama en bloque y se obtiene el código en C/ C++ describiendo su comportamiento.  
☐ c) Se obtiene un código de simulación a partir de una descripción en lenguaje de descripción de hardware (VHDL).

**Escuela Superior de Informática**

9. [1p] En el proceso de síntesis usando HLS, la etapa de scheduling se encarga de:
- ☐ a) Asignar los recursos hardware necesarios para la funcionalidad buscada.
  - ☒ b) Asignar en qué ciclos de reloj se ejecutará cada operación.
  - ☐ c) Asignar espacio de memoria a variables y datos del algoritmo a ejecutar.
10. [1p] ¿Qué se extrae del código de entrada al usar HLS?
- ☐ a) Una máquina de estado para el control de los pasos del algoritmo.
  - ☒ b) Una máquina de estado para el control de las etapas del algoritmo a implementar más el camino de datos.
  - ☐ c) Extrae el datapath correspondiente al algoritmo a implementar.