

CS32F103x8

CS32F103xB

32位基于ARM核心的带64或128K字节闪存的标准型微控制器

功能

■ 内核：ARM 32位Cortex™-M3 内核

- 最高72MHz工作频率，在存储器的0等待周期访问时可达1.25DMips/MHz (Dhrystone2.1)
- 单周期乘法和硬件除法

■ 存储器

- 64KB 或 128KB 程序 Flash
- 20KB SRAM

■ 时钟、复位和电源管理

- 2.0~3.6伏供电和I/O引脚
- 上电/断电复位(POR/PDR)、可编程电压监测器(PVD)
- 4~16MHz晶体振荡器
- 内嵌经出厂调校的8MHz的高速RC振荡器
- 内嵌带校准的40kHz的低速RC振荡器
- 产生CPU时钟的PLL
- 带校准功能的32kHz RTC振荡器

■ 2个12位ADC，1μs转换时间(多达16个输入通道)

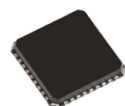
- 转换范围：0至3.6V
- 双采样和保持功能
- 温度传感器

■ DMA：

- 7通道DMA控制器
- 支持的外设：定时器、ADC、SPI、I²C和USART

■ 低功耗

- 睡眠、停机和待机模式
- V_{BAT}为RTC和后备寄存器供电



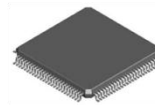
QFN36 6 x 6 mm



LQFP48 7 x 7 mm



LQFP64 10 x 10 mm



LQFP100 14 x 14 mm

- 16个外部中断；几乎所有端口均可承受5V信号

■ 调试模式

- 串行单线调试(SWD)和JTAG接口

■ 7个定时器

- 3个16位定时器，每个定时器有多达4个用于输入捕获/输出比较/PWM或脉冲计数的通道和增量编码器输入
- 1个16位带死区控制和紧急刹车，用于电机控制的PWM高级控制定时器

- 2个看门狗定时器(独立的和窗口型的)
- 系统时间定时器：24位自减型计数器

■ 多达9个通信接口

- 多达2个I²C接口(支持SMBus/PMBus)
- 多达3个USART接口(支持ISO7816接口，LIN，IrDA接口和调制解调控制)
- 多达2个SPI接口(18M位/秒)
- CAN接口(2.0B 主动)
- USB 2.0全速接口

■ CRC计算单元，96位的芯片唯一识别码

目录

1. 介绍	4
2. 规格说明	5
2.1 概述	5
2.1.1 ARM®的 Cortex™-M3 核心并内嵌闪存和 SRAM	5
2.1.2 内置闪存存储器	5
2.1.3 CRC(循环冗余校验)计算单元.....	5
2.1.4 内置 SRAM.....	6
2.1.5 嵌套的向量式中断控制器(NVIC).....	6
2.1.6 外部中断/事件控制器(EXTI)	6
2.1.7 时钟和启动	6
2.1.8 自举模式	7
2.1.9 供电方案	7
2.1.10 供电监控器	7
2.1.11 调压器	7
2.1.12 低功耗模式	7
2.1.13 DMA.....	8
2.1.14 RTC(实时时钟)和后备寄存器.....	8
2.1.15 定时器和看门狗	9
2.1.16 I ² C 总线.....	10
2.1.17 通用同步/异步收发器(USART).....	10
2.1.18 串行外设接口(SPI)	10
2.1.19 控制器区域网络(CAN).....	10
2.1.20 通用串行总线(USB)	11
2.1.21 通用输入输出接口(GPIO).....	11
2.1.22 ADC(模拟/数字转换器).....	11
2.1.23 温度传感器	11
2.1.24 串行单线 JTAG 调试口(SWJ-DP).....	11
3. 引脚定义	15
4. 存储器映像	23
5. 电气特性	24

5.1 测试条件	24
5.1.1 最小和最大数值	24
5.1.2 典型数值	24
5.1.3 典型曲线	24
5.1.4 负载电容	24
5.1.5 引脚输入电压	25
5.1.6 供电方案	26
5.1.7 电流消耗测量	26
5.2 绝对最大额定值	27
5.3 工作条件	28
5.3.1 通用工作条件	28
5.3.2 上电和掉电时的工作条件	28
5.3.3 内嵌复位和电源控制模块特性	29
5.3.4 内置的参照电压	30
5.3.5 供电电流特性	30
5.3.6 外部时钟源特性	34
5.3.7 内部时钟源特性	38
5.3.8 PLL 特性	39
5.3.9 储存器特性	39
5.3.10 EMC 特性	40
5.3.11 绝对最大值(电气敏感性)	41
5.3.12 I/O 端口特性	42
5.3.13 NRST 引脚特性	45
5.3.14 TIM 定时器特性	46
5.3.15 通信接口	46
5.3.16 CAN(控制器局域网)接口	51
5.3.17 12 位 ADC 特性	51
5.3.18 温度传感器特性	55
6. 封装特性	56
6.1 封装机械数据	56
6.2 热特性	60
6.2.1 参考文档	60

7. 版本历史	61
---------------	----

CKS版权所有

1. 介绍

本文给出了中科芯 CS32F103x8 和 CS32F103xB 标准型 MCU 产品的器件特性。

CS32F103x8 和 CS32F103xB 数据手册，必须结合其相关参考手册一起阅读。

有关 Cortex™-M3 核心的相关信息，请参考《Cortex-M3 技术参考手册》，可在 ARM 公司的网站下载：
<http://infocenter.arm.com/help/index.jsp?topic=/com.arm.doc.ddi0337e/>。

CKS 版权所有

2. 规格说明

CS32F103x8 和 CS32F103xB 标准型系列使用高性能的 ARM® Cortex™-M3 32 位的 RISC 内核，工作频率为 72MHz，内置高速存储器(高达 128K 字节的闪存和 20K 字节的 SRAM)，丰富的增强 I/O 端口和联接到两条 APB 总线的外设。其中包含 2 个 12 位 ADC、3 个通用 16 位定时器和 1 个 PWM 定时器，此外，还包含标准和先进的通信接口：多达 2 个 I²C 接口和 SPI 接口、3 个 USART 接口、1 个 USB 接口和 1 个 CAN 接口。

CS32F103x8 和 CS32F103xB 标准型系列产品供电电压为 2.0V 至 3.6V, -40℃ 至 +85℃ 的工作温度范围以及 -40℃ 至 +105℃ 的扩展温度范围，一系列的省电模式保证低功耗应用的要求。

CS32F103x8 和 CS32F103xB 标准型系列产品提供包括从 36 脚至 100 脚的 4 种不同封装形式；根据不同的封装形式，器件中的外设配置不尽相同。下面给出了该系列产品中所有外设的基本介绍。

这些丰富的外设配置，使得 CS32F103x8 和 CS32F103xB 标准型系列微控制器可用于多种应用场合：

- 电机驱动和应用控制
- 医疗和手持设备
- PC 游戏外设和 GPS 平台
- 工业应用：可编程控制器(PLC)、变频器、打印机和扫描仪
- 警报系统、视频对讲和暖气通风空调系统等

2.1 概述

2.1.1 ARM®的 Cortex™-M3 核心并内嵌闪存和 SRAM

ARM 的 Cortex™-M3 处理器是最新一代的嵌入式 ARM 处理器，它为实现 MCU 的需要提供了低成本的平台、缩减的引脚数目以及降低的系统功耗，同时提供卓越的计算性能和先进的中断系统响应。

ARM 的 Cortex™-M3 是 32 位的 RISC 处理器，提供额外的代码效率，在通常 8 和 16 位系统的存储空间上发挥了 ARM 内核的高性能。

CS32F103x8 和 CS32F103xB 标准型系列拥有内置的 ARM 核心，因此它与所有的 ARM 工具和软件兼容。图 1 是该系列产品的功能框图。

2.1.2 内置闪存存储器

64K 或 128K 字节的内置闪存存储器，用于存放程序和数据。

2.1.3 CRC(循环冗余校验)计算单元

CRC(循环冗余校验)计算单元使用一个固定的多项式发生器，从一个 32 位的数据字产生一个 CRC 码。

在众多的应用中,基于CRC的技术被用于验证数据传输或存储的一致性。在EN/IEC 60335-1标准的范围内,它提供了一种检测闪存存储器错误的手段,CRC 计算单元可以用于实时地计算软件的签名,并与在链接和生成该软件时产生的签名对比。

2.1.4 内置 SRAM

20K 字节的内置 SRAM, CPU 能以 0 等待周期访问(读/写)。

2.1.5 嵌套的向量式中断控制器(NVIC)

CS32F103x8 和 CS32F103xB 标准型产品内置嵌套的向量式中断控制器,能够处理多达 43 个可屏蔽中断通道(不包括 16 个 Cortex™-M3 的中断线)和 16 个优先级。

- 紧耦合的 NVIC 能够达到低延迟的中断响应处理
- 中断向量入口地址直接进入内核
- 紧耦合的 NVIC 接口
- 允许中断的早期处理
- 处理晚到的较高优先级中断
- 支持中断尾部链接功能
- 自动保存处理器状态
- 中断返回时自动恢复,无需额外指令开销

该模块以最小的中断延迟提供灵活的中断管理功能。

2.1.6 外部中断/事件控制器(EXTI)

外部中断/事件控制器包含 19 个边沿检测器,用于产生中断/事件请求。每个中断线都可以独立地配置它的触发事件(上升沿或下降沿或双边沿),并能够单独地被屏蔽;由一个挂起的寄存器维持所有中断请求的状态。EXTI 可以检测到宽度小于内部 APB2 的时钟周期的脉冲。多达 80 个通用 I/O 口连接到 16 个外部中断线。

2.1.7 时钟和启动

系统时钟的选择是在启动时进行,复位时内部 8MHz 的 RC 振荡器被选为默认的 CPU 时钟,随后可以选择外部且具失效监控的 4~16MHz 时钟;当检测到外部时钟失效时,它将被隔离,系统将自动地切换到内部的 RC 振荡器,如果使能中断,软件可以接收到相应的中断。同样,在需要时可以采取对 PLL 时钟完全的中断管理(如当一个期间使用的外部振荡器失效时)。

多个预分频器用于配置 AHB 的频率、高速 APB(APB2)和低速 APB(APB1)区域。AHB 和高速 APB 的最高频率是 72MHz,低速 APB 的最高频率为 36MHz。参考如图 2 所示的时钟驱动框图。

2.1.8 自举模式

在启动时，通过自举引脚可以选择三种自举模式中的一种：

- 从程序闪存存储器自举
- 从系统存储器自举
- 从内部 SRAM 自举

自举加载程序(Bootloader)存放于系统存储器中，可以通过 USART1 对闪存重新编程。

2.1.9 供电方案

- $V_{DD} = 2.0 \sim 3.6V$ ： V_{DD} 引脚为 I/O 引脚和内部调压器供电。
- $V_{SSA}, V_{DDA} = 2.0 \sim 3.6V$ ： 为 ADC、复位模块、RC 振荡器和 PLL 的模拟部分提供供电。使用 ADC 时， V_{DDA} 不得小于 2.4V。 V_{DDA} 和 V_{SSA} 必须分别连接到 V_{DD} 和 V_{SS} 。
- $V_{BAT} = 1.8 \sim 3.6V$ ： 当关闭 V_{DD} 时，(通过内部电源切换器)为 RTC、外部 32kHz 振荡器和后备寄存器供电。

关于如何连接电源引脚的详细信息，参见图 10 供电方案。

2.1.10 供电监控器

本产品内部集成了上电复位(POR)/掉电复位(PDR)电路，该电路始终处于工作状态，保证系统在供电超过 2V 时工作；当 V_{DD} 低于设定的阈值($V_{POR/PDR}$)时，置器件于复位状态，而不必使用外部复位电路。器件中还有一个可编程电压监测器(PVD)，它监视 V_{DD}/V_{DDA} 供电并与阈值 V_{PVD} 比较，当 V_{DD} 低于或高于阈值 V_{PVD} 时产生中断，中断处理程序可以发出警告信息或将微控制器转入安全模式。PVD 功能需要通过程序开启。关于 $V_{POR/PDR}$ 和 V_{PVD} 的值参考表 8。

2.1.11 调压器

调压器有三个操作模式：主模式(MR)、低功耗模式(LPR)和关断模式

- 主模式(MR)用于正常的运行操作
- 低功耗模式(LPR)用于 CPU 的停机模式
- 关断模式用于 CPU 的待机模式：调压器的输出为高阻状态，内核电路的供电切断，调压器处于零消耗状态(但寄存器和 SRAM 的内容将丢失)

该调压器在复位后始终处于工作状态，在待机模式下关闭处于高阻输出。

2.1.12 低功耗模式

CS32F103xB 和 CS32F103xB 标准型产品支持三种低功耗模式，可以在要求低功耗、短启动时间和多种唤醒事件之间达到最佳的平衡。

● 睡眠模式

在睡眠模式，只有 MCU 停止，所有外设处于工作状态并可在发生中断/事件时唤醒 MCU。

● 停机模式

在保持 SRAM 和寄存器内容不丢失的情况下，停机模式可以达到最低的电能消耗。在停机模式下，停止所有内部 1.5V 部分的供电，PLL、HSI 的 RC 振荡器和 HSE 晶体振荡器被关闭，调压器可以被置于普通模式或低功耗模式。

可以通过任一配置成 EXTI 的信号把微控制器从停机模式中唤醒，EXTI 信号可以是 16 个外部 I/O 口之一、PVD 的输出、RTC 闹钟或 USB 的唤醒信号。

● 待机模式

在待机模式下可以达到最低的电能消耗。内部的电压调压器被关闭，因此所有内部 1.5V 部分的供电被切断；PLL、HSI 的 RC 振荡器和 HSE 晶体振荡器也被关闭；进入待机模式后，SRAM 和寄存器的内容将消失，但后备寄存器的内容仍然保留，待机电路仍工作。

从待机模式退出的条件是：NRST 上的外部复位信号、IWDG 复位、WKUP 引脚上的一个上升边沿或 RTC 的闹钟发生时。

注：在进入停机或待机模式时，RTC、IWDG 及其相应的时钟不会被停止。

2.1.13 DMA

灵活的 7 路通用 DMA 可以管理存储器到存储器、设备到存储器和存储器到设备的数据传输；DMA 控制器支持环形缓冲区的管理，避免了控制器传输到达缓冲区结尾时所产生的中断。

每个通道都有专门的硬件 DMA 请求逻辑，同时可以由软件触发每个通道；传输的长度、传输的源地址和目标地址都可以通过软件单独设置。

DMA 可以用于主要的外设：SPI、PC、USART 以及通用、基本和高级控制定时器 TIMx 和 ADC。

2.1.14 RTC(实时时钟)和后备寄存器

RTC 和后备寄存器通过一个开关供电，在 V_{DD} 有效时该开关选择 V_{DD} ，否则由 V_{BAT} 引脚供电。后备寄存器(10 个 16 位的寄存器)可以用于在关闭 V_{DD} 时，保存 20 个字节的用户应用数据。RTC 和后备寄存器不会被系统或电源复位源复位；当从待机模式唤醒时，也不会被复位。

实时时钟具有一组连续运行的计数器，可以通过适当的软件提供日历时钟功能，还具有闹钟中断和阶段性中断功能。RTC 的驱动时钟可以是一个使用外部晶体的 32.768kHz 的振荡器、内部低功耗 RC 振荡器或高速的外部时钟经 128 分频。内部低功耗 RC 振荡器的典型频率为 40kHz。为补偿天然晶体的偏差，可以通过输出一个 512Hz 的信号对 RTC 的时钟进行校准。RTC 具有一个 32 位的可编程计数器，使用比较寄存器可以进行长时间的测量。有一个 20 位的预分频器用于时基时钟，默认情况下时钟为 32.768kHz 时，它将产生一个 1 秒长的时间基准。

2.1.15 定时器和看门狗

CS32F103x8 和 CS32F103xB 标准型系列产品包含 1 个高级控制定时器、3 个普通定时器，以及 2 个看门狗定时器和 1 个系统定时器。

下表比较了高级控制定时器、普通定时器和基本定时器的功能：

表 1 定时器功能比较

定时器	计数器分辨率	计数器类型	预分频系数	产生 DMA 请求	捕获/比较通道	互补输出
TIM1	16 位	递增计数/ 递减计数	1~65536 之间的 任意整数	可以	4	有
TIM2 TIM3 TIM4	16 位	递增计数/ 递减计数	1~65536 之间的 任意整数	可以	4	没有

高级控制定时器(TIM1)

高级控制定时器(TIM1)可以被看成是分配到 6 个通道的三相 PWM 发生器，它具有带死区插入的互补 PWM 输出，还可以被当成完整的通用定时器。4 个独立的通道可以用于：

- 输入捕获
- 输出比较
- 产生 PWM(边缘或中心对齐模式)
- 单脉冲输出

配置为 16 位标准定时器时，它与 TIMx 定时器具有相同的功能。配置为 16 位 PWM 发生器时，它具有全调制能力(0~100%)。

在调试模式下，计数器可以被冻结，同时 PWM 输出被禁止，从而切断由这些输出所控制的开关。

很多功能都与标准的 TIM 定时器相同，内部结构也相同，因此高级控制定时器可以通过定时器链接功能与 TIM 定时器协同操作，提供同步或事件链接功能。

通用定时器(TIMx)

CS32F103x8 和 CS32F103xB 标准型产品中，内置了多达 3 个可同步运行的标准定时器(TIM2、TIM3 和 TIM4)。每个定时器都有一个 16 位的自动加载递增/递减计数器、一个 16 位的预分频器和 4 个独立的通道，每个通道都可用于输入捕获、输出比较、PWM 和单脉冲模式输出，在最大的封装配置中可提供最多 12 个输入捕获、输出比较或 PWM 通道。

它们还能通过定时器链接功能与高级控制定时器共同工作，提供同步或事件链接功能。在调试模式下，计数器可以被冻结。任一标准定时器都能用于产生 PWM 输出。每个定时器都有独立的 DMA 请求机制。

这些定时器还能够处理增量编码器的信号，也能处理 1 至 3 个霍尔传感器的数字输出。

独立看门狗

独立看门狗是基于一个 12 位的递减计数器和一个 8 位的预分频器，它由一个内部独立的 40kHz 的 RC 振荡器提供时钟；因为这个 RC 振荡器独立于主时钟，所以它可运行于停机模式和待机模式。它可以被当成看门狗用于在发生时复位整个系统，或作为一个自由定时器为应用程序提供超时管理。通过选项字节可以配置成是软件或硬件启动看门狗。在调试模式下，计数器可以被冻结。

窗口看门狗

窗口看门狗含有一个 7 位的可配置为自由运行的递减计数器。当作用于看门狗时，可在发生问题时复位整个系统。它由主时钟驱动，具有早期预警中断功能；在调试模式下，计数器可以被冻结。

系统时基定时器

这个定时器可专用于实时操作系统，也可当成一个标准的递减计数器。它具有下述特性：

- 24 位的递减计数器
- 自动重加载功能
- 当计数器为 0 时能产生一个可屏蔽系统中断
- 可编程时钟源

2.1.16 I²C 总线

多达 2 个 I²C 总线接口，能够工作于多主模式或从模式，支持标准模式和快速模式。

I²C 接口支持 7 位或 10 位寻址，7 位从模式支持双从地址寻址。内置硬件 CRC 发生器/校验器。

该接口可使用 DMA 操作并支持 SMBus 总线 2.0 版/PMBus 总线。

2.1.17 通用同步/异步收发器(USART)

USART1 接口通信速率可达 4.5Mb/s，其他接口的通信速率可达 Mb/s。USART 接口具有硬件 CTS 和 RTS 信号管理、支持 IrDA SIR ENDEC 传输编解码、兼容 ISO7816 的智能卡并提供 LIN 主/从功能。

所有 USART 接口都可以使用 DMA 操作。

2.1.18 串行外设接口(SPI)

多达 2 个 SPI 接口，可配置为从模式或主模式，全双工和半双工的通信速率可达 18 Mb/s。3 位预分频器可产生 8 种主模式频率，可配置成 8 位或 16 位的数据帧格式。硬件 CRC 产生/校验支持基本的 SD 卡和 MMC 模式。

所有的 SPI 接口都可以使用 DMA 操作。

2.1.19 控制器区域网络(CAN)

CAN 接口兼容规范 2.0A 和 2.0B(主动)，位速率高达 1 Mb/s。它可以接收和发送 11 位标识符的标准帧，也可以接收和发送 29 位标识符的扩展帧。具有 3 个发送邮箱和 2 个接收 FIFO，3 级 14 个可调节的滤波器。

2.1.20 通用串行总线(USB)

CS32F103x8 和 CS32F103xB 标准型系列产品，内嵌一个兼容全速 USB 的设备控制器，遵循全速 USB 设备(12 Mb/s)标准，端点可由软件配置，具有待机/唤醒功能。USB 专用的 48MHz 时钟由内部主 PLL 直接产生(时钟源必须是一个 HSE 晶体振荡器)。

2.1.21 通用输入输出接口(GPIO)

每个 GPIO 引脚都可以由软件配置成输出(推挽或开漏)、输入(上拉或下拉或浮空)或复用的外设功能端口。多数 GPIO 引脚都与数字或模拟的复用外设共用。除了具有模拟输入功能，所有的 GPIO 引脚都允许大电流通过。

在需要的情况下，I/O 引脚的外设功能可以通过一个特定的操作锁定，以避免对 I/O 寄存器的意外写入操作。在 APB2 上的 I/O 脚的翻转速度可达 18MHz。

2.1.22 ADC(模拟/数字转换器)

CS32F103x8 和 CS32F103xB 标准型产品内嵌 2 个 12 位的模拟/数字转换器(ADC)，每个 ADC 共用多达 16 个外部通道，可以实现单次转换或扫描模式转换。在扫描模式下，可在选定的一组模拟输入引脚上自动进行转换。

ADC 接口上的其它逻辑功能包括：

- 同步的采样和保持
- 交叉的采样和保持
- 单次采样

ADC 可以使用 DMA 操作。

模拟看门狗能够非常精准地监视一路、多路或所有选中的通道，当被监视的信号超出预置的阈值时，模拟看门狗将产生中断。

由标准定时器(TIMx)和高级控制定时器(TIM1)产生的事件，可以分别内部级联到 ADC 的开始触发和注入触发，应用程序能使 AD 转换与时钟同步。

2.1.23 温度传感器

温度传感器产生一个随温度线性变化的电压，转换范围在 $2V < V_{DDA} < 3.6V$ 之间。温度传感器在内部被连接到 ADC12_IN16 的输入通道上，用于将传感器的输出转换到数字数值。

2.1.24 串行单线 JTAG 调试口(SWJ-DP)

内嵌 ARM 的 SWJ-DP 接口，这是一个结合了 JTAG 和串行单线调试的接口，可以实现串行单线调试接口或 JTAG 接口的连接。JTAG 的 TMS 和 TCK 信号分别与 SWDIO 和 SWCLK 共用引脚，TMS 脚上的一个

特殊的信号序列用于在 JTAG-DP 和 SW-DP 间切换。

CKS版权所有

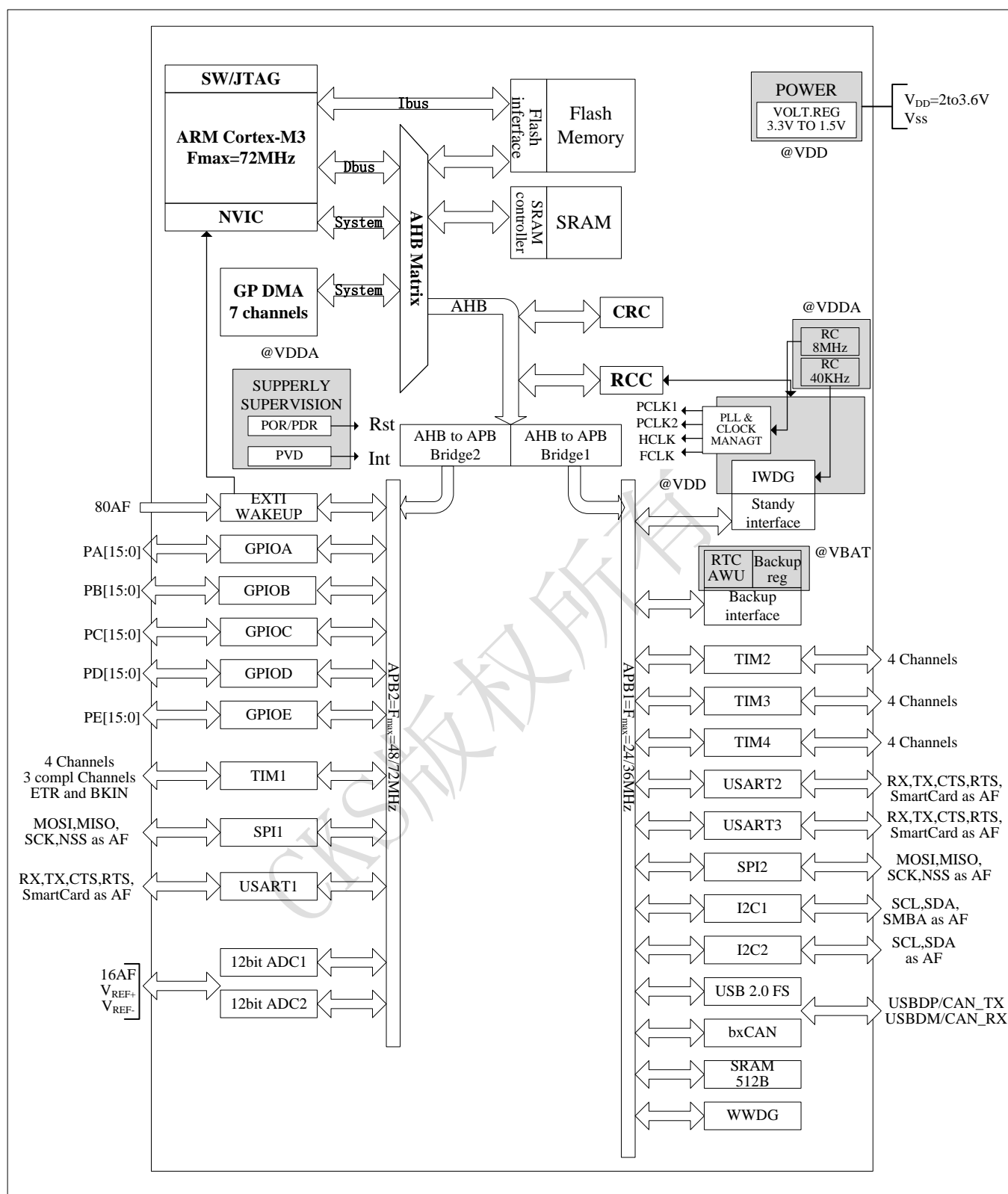


图 1 系统模块框图

- 1.工作温度: -40℃ 至+105℃, 结温达 125℃。
2. AF: 可作为外设功能脚的 I/O 端口

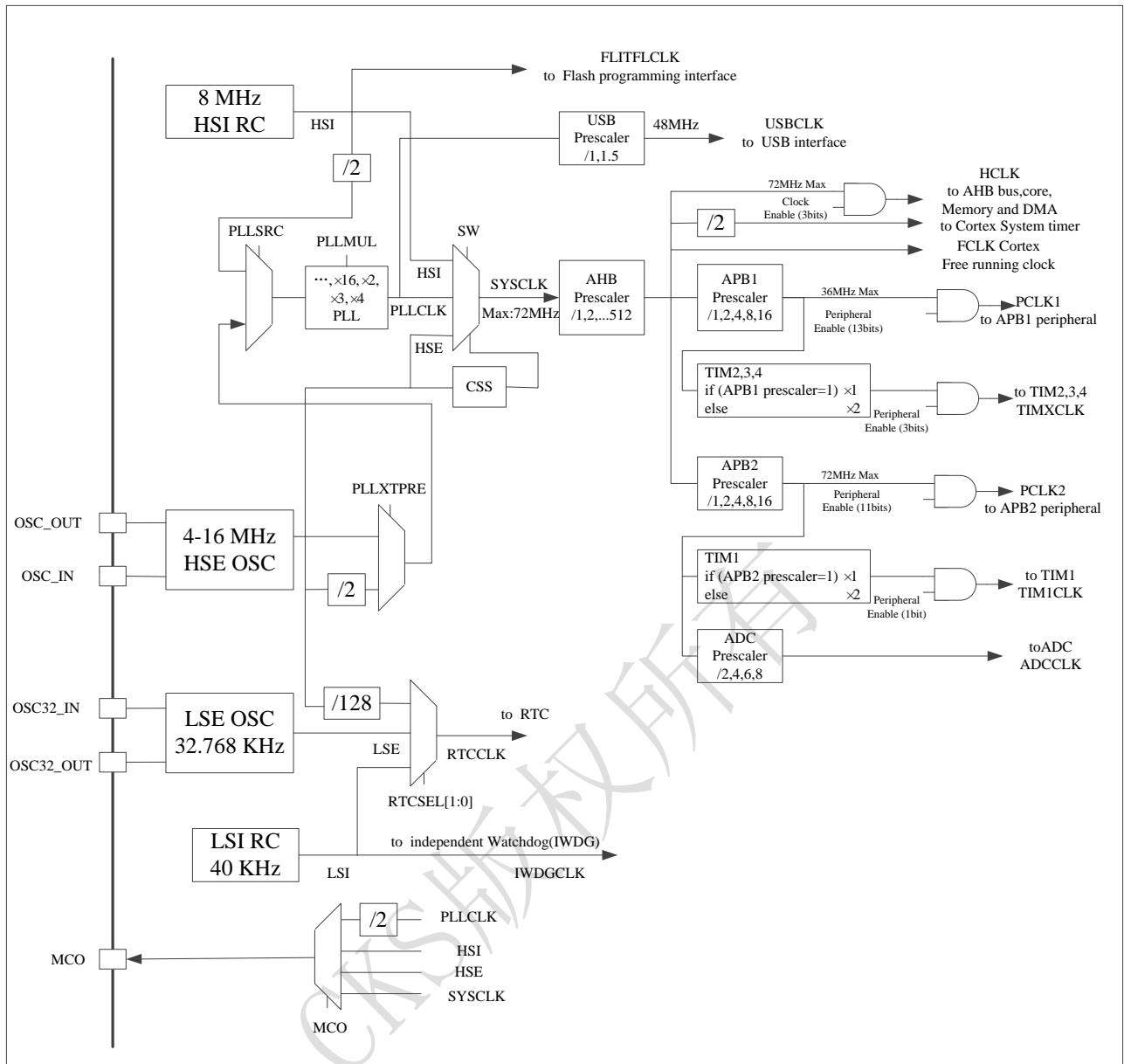


图 2 时钟树

1. 当 HSI 作为 PLL 时钟的输入时，最高的系统时钟频率只能达到 64MHz。
2. 当使用 USB 功能时，必须同时使用 HSE 和 PLL，CPU 的频率必须是 48MHz 或 72MHz。
3. 当需要 ADC 采样时间为 1μs 时，APB2 必须设置在 14MHz、28MHz 或 56MHz。

3. 引脚定义

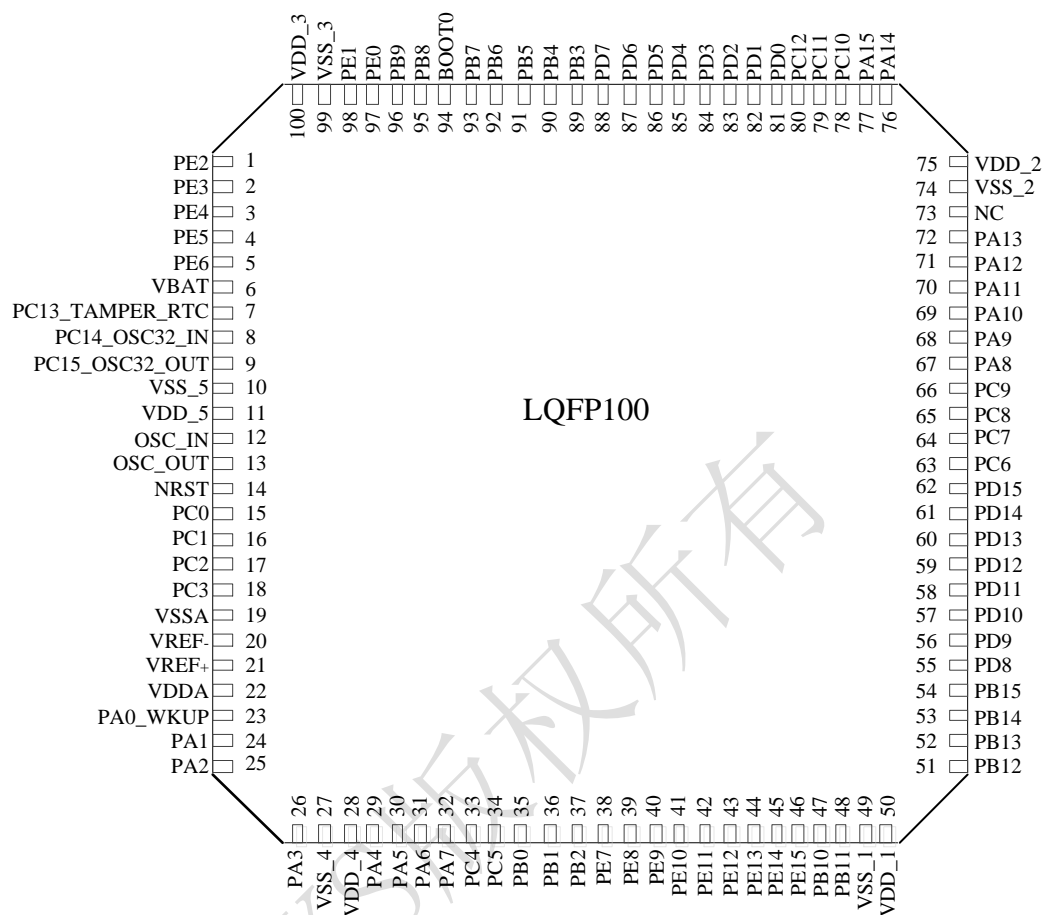


图 3 CS32F103xx 标准型 LQFP100 引脚分布

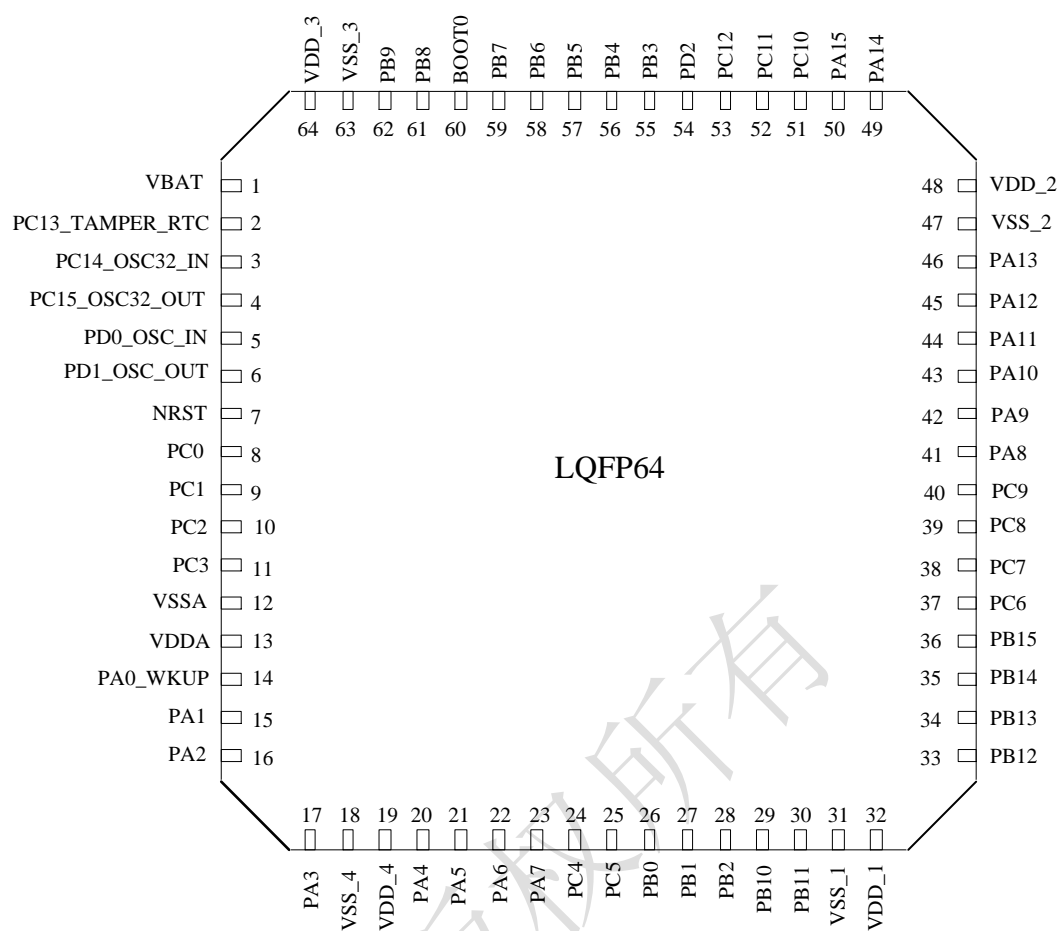


图 4 CS32F103xx 标准型 LQFP64 引脚分布

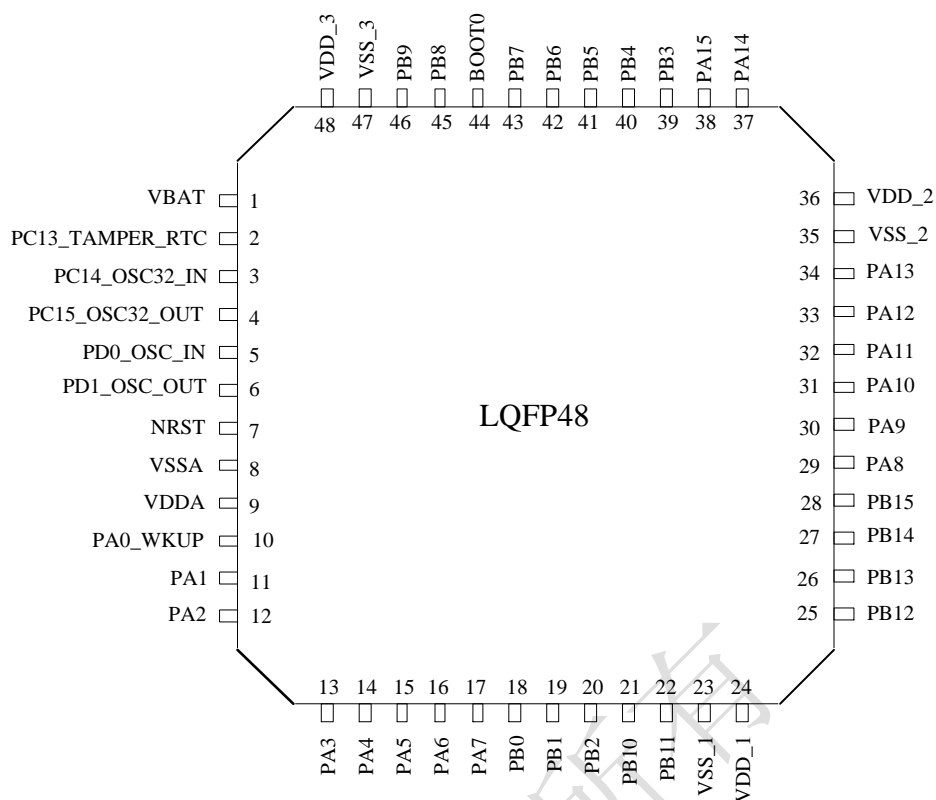


图 5 CS32F103xx 标准型 LQFP48 引脚分布

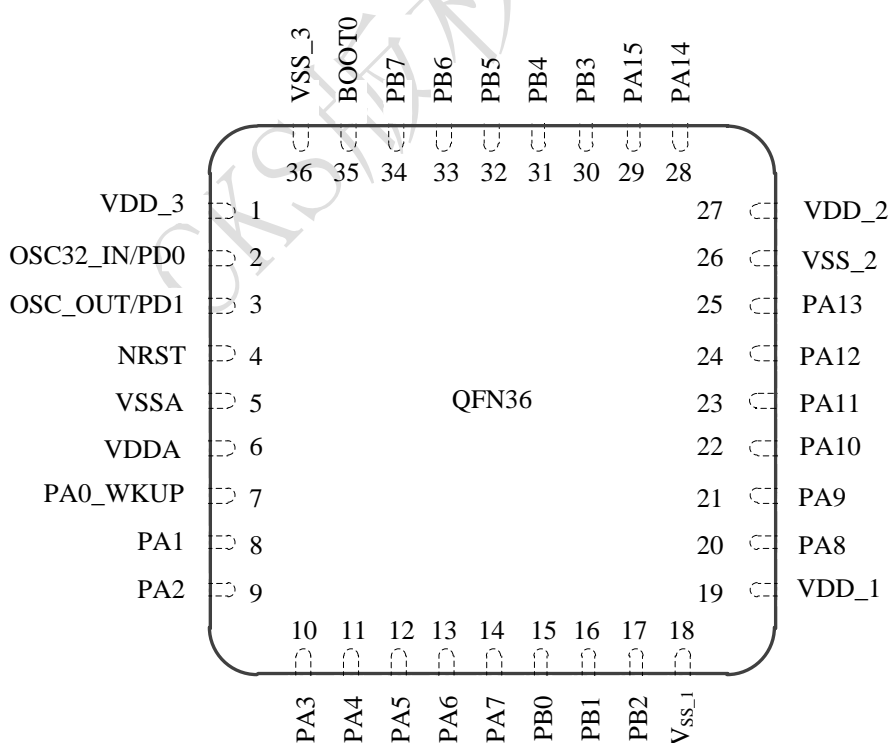


图 6 CS32F103xx 标准型 QFN36 引脚分布

表 2 CS32F103xx 引脚定义

引脚编号				引脚名称	类型 ⁽¹⁾	I/O 电平 ⁽²⁾	主功能 ⁽³⁾ (复位后)	可选的复用功能	
LQFP48	LQFP64	LQFP100	QFN36						
-	-	1	-	PE2	I/O	FT	PE2	TRACECK	
-	-	2	-	PE3	I/O	FT	PE3	TRACED0	
-	-	3	-	PE4	I/O	FT	PE4	TRACED1	
-	-	4	-	PE5	I/O	FT	PE5	TRACED2	
-	-	5	-	PE6	I/O	FT	PE6	TRACED3	
1	1	6	-	V _{BAT}	S		V _{BAT}		
2	2	7	-	PC13-TAMPER-RTC ⁽⁴⁾	I/O		PC13	TAMPER-RTC	
3	3	8	-	PC14-OSC32_IN ⁽⁴⁾	I/O		PC14	OSC32_IN	
4	4	9	-	PC15-OSC32_OUT ⁽⁴⁾	I/O		PC15	OSC32_OUT	
-	-	10	-	V _{SS_5}	S		V _{SS_5}		
-	-	11	-	V _{DD_5}	S		V _{DD_5}		
5	5	12	2	OSC_IN	I		OSC_IN		PD0 ⁽⁷⁾
6	6	13	3	OSC_OUT	O		OSC_OUT		PD1 ⁽⁷⁾
7	7	14	4	NRST	I/O		NRST		
-	8	15	-	PC0	I/O		PC0	ADC12_IN10	
-	9	16	-	PC1	I/O		PC1	ADC12_IN11	
-	10	17	-	PC2	I/O		PC2	ADC12_IN12	
-	11	18	-	PC3	I/O		PC3	ADC12_IN13	
8	12	19	5	V _{SSA}	S		V _{SSA}		
-	-	20	-	V _{REF-}	S		V _{REF-}		
-	-	21	-	V _{REF+}	S		V _{REF+}		
9	13	22	6	V _{DDA}	S		V _{DDA}		
10	14	23	7	PA0-WKUP	I/O		PA0	WKUP/USART2_CTS ⁽⁶⁾ /ADC12_IN0/TIM2_CH1_ETR ⁽⁶⁾	
11	15	24	8	PA1	I/O		PA1	USART2_RTS ⁽⁶⁾ /ADC12_IN1/TIM2_CH2 ⁽⁶⁾	
12	16	25	9	PA2	I/O		PA2	USART2_TX ⁽⁶⁾ /ADC12_IN2/TIM2_CH3 ⁽⁶⁾	
13	17	26	10	PA3	I/O		PA3	USART2_RX ⁽⁶⁾ /ADC12_IN3/TIM2_CH4 ⁽⁶⁾	

引脚编号				引脚名称	类型 (\odot)	I/O 电平 ⁽²⁾	主功能 ⁽³⁾ (复位后)	可选的复用功能	
LQFP48	LQFP64	LQFP100	QFN36						
-	18	27	-	V _{SS_4}	S		V _{SS_4}		
-	19	28	-	V _{DD_4}	S		V _{DD_4}		
14	20	29	11	PA4	I/O		PA4	SPI1_NSS ⁽⁶⁾ / USART2_CK ⁽⁶⁾ / ADC12_IN4	
15	21	30	12	PA5	I/O		PA5	SPI1_SCK ⁽⁶⁾ / ADC12_IN5	
16	22	31	13	PA6	I/O		PA6	SPI1_MISO ⁽⁶⁾ / ADC12_IN6/ TIM3_CH1 ⁽⁶⁾	TIM1_BKIN
17	23	32	14	PA7	I/O		PA7	SPI1_MOSI ⁽⁶⁾ / ADC12_IN7/ TIM3_CH2 ⁽⁶⁾	TIM1_CHIN
-	24	33	-	PC4	I/O		PC4	ADC12_IN14	
-	25	34	-	PC5	I/O		PC5	ADC12_IN15	
18	26	35	15	PB0	I/O		PB0	ADC12_IN8/ TIM3_CH3 ⁽⁶⁾	TIM1_CH2N
19	27	36	16	PB1	I/O		PB1	ADC12_IN9/ TIM3_CH4 ⁽⁶⁾	TIM1_CH3N
20	28	37	17	PB2	I/O	FT	PB2/ BOOT1		
-	-	38	-	PE7	I/O	FT	PE7		TIM1_ETR
-	-	39	-	PE8	I/O	FT	PE8		TIM1_CH1N
-	-	40	-	PE9	I/O	FT	PE9		TIM1_CH1
-	-	41	-	PE10	I/O	FT	PE10		TIM1_CH2N
-	-	42	-	PE11	I/O	FT	PE11		TIM1_CH2
-	-	43	-	PE12	I/O	FT	PE12		TIM1_CH3N
-	-	44	-	PE13	I/O	FT	PE13		TIM1_CH3
-	-	45	-	PE14	I/O	FT	PE14		TIM1_CH4
-	-	46	-	PE15	I/O	FT	PE15		TIM1_BKIN
21	29	47	-	PB10	I/O	FT	PB10	I2C2_SCL/ USART3_TX ⁽⁶⁾	TIM2_CH3
22	30	48	-	PB11	I/O	FT	PB11	I2C2_SDA/ USART3_RX ⁽⁶⁾	TIM2_CH4
23	31	49	18	V _{SS_1}	S		V _{SS_1}		
24	32	50	19	V _{DD_1}	S		V _{DD_1}		
25	33	51	-	PB12	I/O	FT	PB12	SPI2_NSS/ I2C2_SMBAL/	

引脚编号				引脚名称	类型 (^①)	I/O 电平 ^②	主功能 ^③ (复位后)	可选的复用功能	
LQFP48	LQFP64	LQFP100	QFN36						
								USART3_CK ⁽⁶⁾ / TIM1_BKIN ⁽⁶⁾	
26	34	52	-	PB13	I/O	FT	PB13	SPI2_SCK/ USART3_CTS ⁽⁶⁾ / TIM1_CH1N ⁽⁶⁾	
27	35	53	-	PB14	I/O	FT	PB14	SPI2_MISO/ USART3_CTS ⁽⁶⁾ / TIM1_CH2N ⁽⁶⁾	
28	36	54	-	PB15	I/O	FT	PB15	SPI2_MOSI/ TIM1_CH3N ⁽⁶⁾	
-	-	55	-	PD8	I/O	FT	PD8		USART3_TX
-	-	56	-	PD9	I/O	FT	PD9		USART3_RX
-	-	57	-	PD10	I/O	FT	PD10		USART3_CK
-	-	58	-	PD11	I/O	FT	PD11		USART3_CTS
-	-	59	-	PD12	I/O	FT	PD12		TIM4_CH1/ USART3_RTS
-	-	60	-	PD13	I/O	FT	PD13		TIM4_CH2
-	-	61	-	PD14	I/O	FT	PD14		TIM4_CH3
-	-	62	-	PD15	I/O	FT	PD15		TIM4_CH4
-	37	63	-	PC6	I/O	FT	PC6		TIM3_CH1
-	38	64	-	PC7	I/O	FT	PC7		TIM3_CH2
-	39	65	-	PC8	I/O	FT	PC8		TIM3_CH3
-	40	66	-	PC9	I/O	FT	PC9		TIM3_CH4
29	41	67	20	PA8	I/O	FT	PA8	USART1_CK/ TIM1_CH1 ⁽⁶⁾ /MCO	
30	42	68	21	PA9	I/O	FT	PA9	USART1_TX ⁽⁶⁾ / TIM1_CH2 ⁽⁶⁾	
31	43	69	22	PA10	I/O	FT	PA10	USART1_RX ⁽⁶⁾ / TIM1_CH3 ⁽⁶⁾	
32	44	70	23	PA11	I/O	FT	PA11	USART1_CTS/ USBDM/CANRX ⁽⁶⁾ / TIM1_CH4 ⁽⁶⁾	
33	45	71	24	PA12	I/O	FT	PA12	USART1_RTS/ USBDP/CANTX ⁽⁶⁾ / TIM1_ETR ⁽⁶⁾	
34	46	72	25	PA13	I/O	FT	JTMS/SWD IO		PA13
-	-	73	-	未连接					

引脚编号				引脚名称	类型()	I/O 电平 ^②	主功能 ^③ (复位后)	可选的复用功能	
LQFP48	LQFP64	LQFP100	QFN36						
35	47	74	26	V _{SS_2}	S		V _{SS_2}		
36	48	75	27	V _{DD_2}	S		V _{DD_2}		
37	49	76	28	PA14	I/O	FT	JTCK/ SWCLK		PA14
38	50	77	29	PA15	I/O	FT	JTDI		TIM2_CH1_ETR PA15/SPI1_NSS
-	51	78	-	PC10	I/O	FT	PC10		USART3_TX
-	52	79	-	PC11	I/O	FT	PC11		USART3_RX
-	53	80	-	PC12	I/O	FT	PC12		USART3_CK
		81	2	PD0	I/O	FT	OSC_IN ^⑧		CANRX
		82	3	PD1	I/O	FT	OSC_OUT ^⑧)		CANTX
-	54	83	-	PD2	I/O	FT	PD2	TIM3_ETR	
-	-	84	-	PD3	I/O	FT	PD3		USART2_CTS
-	-	85	-	PD4	I/O	FT	PD4		USART2_RTS
-	-	86	-	PD5	I/O	FT	PD5		USART2_TX
-	-	87	-	PD6	I/O	FT	PD6		USART2_RX
-	-	88	-	PD7	I/O	FT	PD7		USART2_CK
39	55	89	30	PB3	I/O	FT	JTDO		PB3/TRACESWO/ TIM2_CH2/ SPI1_SCK
40	56	90	31	PB4	I/O	FT	JNTRST		PB4/TIM3_CH1/ SPI1_MISO
41	57	91	32	PB5	I/O		PB5	I2C1_SMBAI	TIM3_CH2/ SPI1_MOSI
42	58	92	33	PB6	I/O	FT	PB6	I2C1_SCL ^⑥ / TIM4_CH1 ^⑥	USART1_TX
43	59	93	34	PB7	I/O	FT	PB7	I2C1_SDA ^⑥ / TIM4_CH2 ^⑥	USART1_RX
44	60	94	35	BOOT0	I		BOOT0		
45	61	95	-	PB8	I/O	FT	PB8	TIM4_CH3 ^⑥	I2C1_SCL/ CANRX
46	62	96	-	P89	I/O	FT	P89	TIM4_CH4 ^⑥	I2C1_SDA/ CANTX
-	-	97	-	PE0	I/O	FT	PE0	TIM4_ETR	
-	-	98	-	PE1	I/O	FT	PE1		
47	63	99	36	V _{SS_3}	S		V _{SS_3}		
48	64	100	1	V _{DD_3}	S		V _{DD_3}		

1. I = 输入, O = 输出, S = 电源
2. FT: 5V 电压容忍
3. PC13, PC14 和 PC15 引脚通过电源开关进行供电, 而这个电源开关只能够吸收有限的电流(3mA)。因此这三个引脚作为输出引脚时有以下限制: 在同一时间只有一个引脚能作为输出, 作为输出脚时只能工作在 2MHz 模式下, 最大驱动负载为 30pF, 并且不能作为电流源(如驱动 LED)。
4. 这些引脚在备份区域第一次上电时处于主功能状态下, 之后即使复位, 这些引脚的状态由备份区域寄存器控制 (这些寄存器不会被主复位系统所复位)。关于如何控制这些 IO 口的具体信息, 请参考 CS32F103x8 和 CS32F103xB 参考手册的电池备份区域和 BKP 寄存器的相关章节。
5. 此类复用功能能够由软件配置到其他引脚上(如果相应的封装型号有此引脚), 详细信息请参考 CS32F103x8 和 CS32F103xB 参考手册的复用功能 I/O 章节和调试设置章节。
6. QFN36 封装的引脚 2 和引脚 3、LQFP48 和 LQFP64 封装的引脚 5 和引脚 6, 在芯片复位后默认配置为 OSC_IN 和 OSC_OUT 功能脚。软件可以重新设置这两个引脚为 PD0 和 PD1 功能。但对于 LQFP100 封装, 由于 PD0 和 PD1 为固有的功能引脚, 因此没有必要再由软件进行重映像设置。更多详细信息请参考 CS32F103x8 和 CS32F103xB 参考手册的复用功能 I/O 章节和调试设置章节。在输出模式下, PD0 和 PD1 只能配置为 50MHz 输出模式。
7. 表中的引脚名称标注中出现的 ADC12_INx(x 表示 0~15 之间的整数), 表示这个引脚可以是 ADC1_INx 或 ADC2_INx。例如: ADC12_IN9 表示这个引脚可以配置为 ADC1_IN9, 也可以配置为 ADC2_IN9。
8. 表中的引脚 PA0 对应的复用功能中的 TIM2_CH1_ETR, 表示可以配置该功能为 TIM2_TI1 或 TIM2_ETR。同理, PA15 对应的重映射复用功能的名称 TIM2_CH1_ETR, 具有相同的意义。

4. 存储器映像

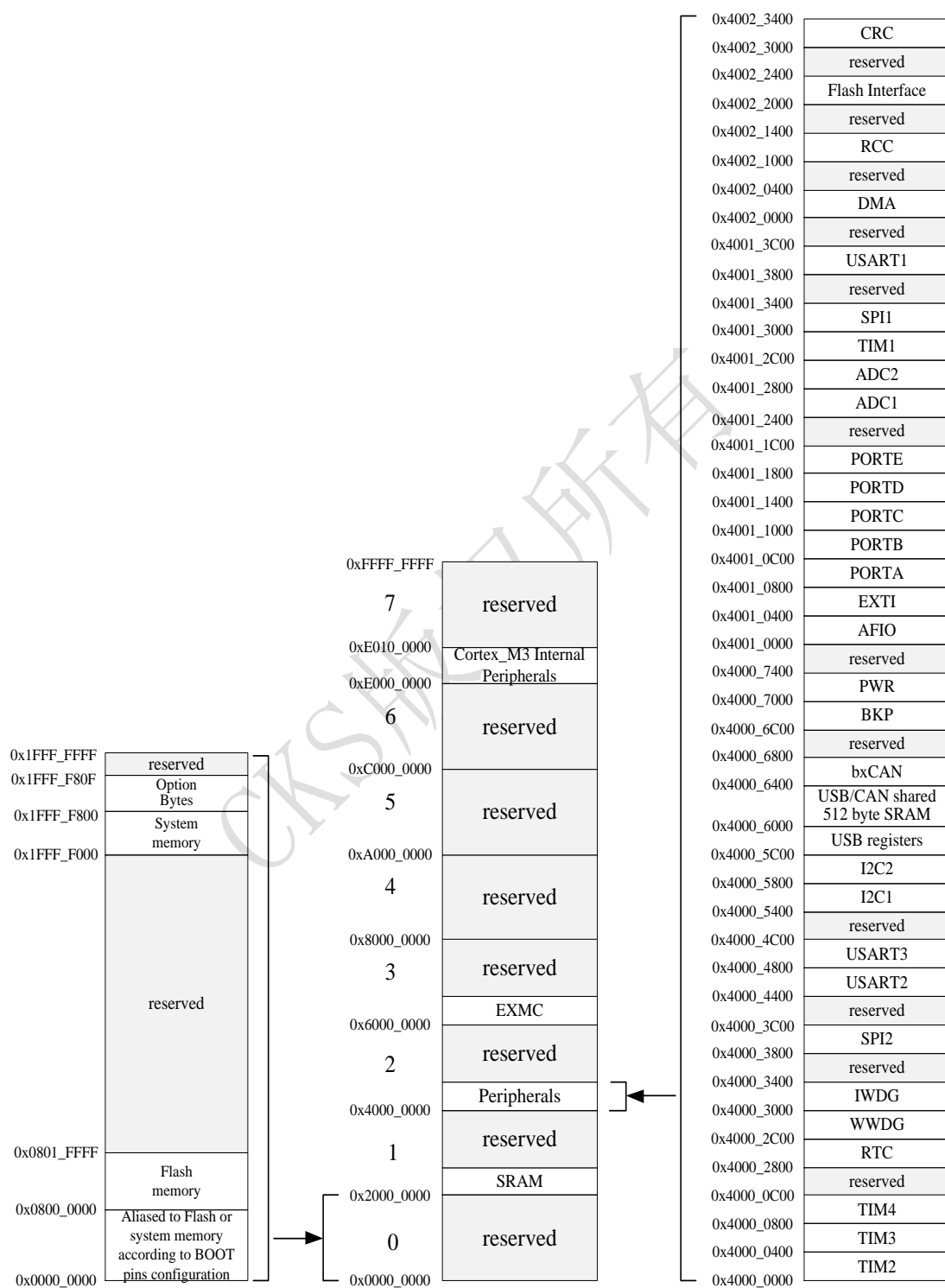


图 7 存储器图

5. 电气特性

5.1 测试条件

除非特别说明，所有电压的都以 V_{SS} 为基准。

5.1.1 最小和最大数值

除非特别说明，在生产线上通过对 100% 的产品在环境温度 $T_A=25\text{ }^{\circ}\text{C}$ 和 $T_A=T_{Amax}$ 下执行的测试(T_{Amax} 与选定的温度范围匹配)，所有最小和最大值将在最坏的环境温度、供电电压和时钟频率条件下得到保证。

在每个表格下方的注解中说明为通过综合评估、设计模拟和/或工艺特性得到的数据，不会在生产线上进行测试；在综合评估的基础上，最小和最大数值是通过样本测试后，取其平均值再加减三倍的标准分布(平均 $\pm 3\Sigma$)得到。

5.1.2 典型数值

除非特别说明，典型数据是基于 $T_A=25\text{ }^{\circ}\text{C}$ 和 $V_{DD}=3.3\text{V}$ ($2\text{V} \leq V_{DD} \leq 3.3\text{V}$ 电压范围)。这些数据仅用于设计指导而未经测试。

典型的 ADC 精度数值是通过对一个标准的批次采样，在所有温度范围下测试得到，95% 产品的误差小于等于给出的数值(平均 $\pm 2\Sigma$)。

5.1.3 典型曲线

除非特别说明，典型曲线仅用于设计指导而未经测试。

5.1.4 负载电容

测量引脚参数时的负载条件示于图 8 中。

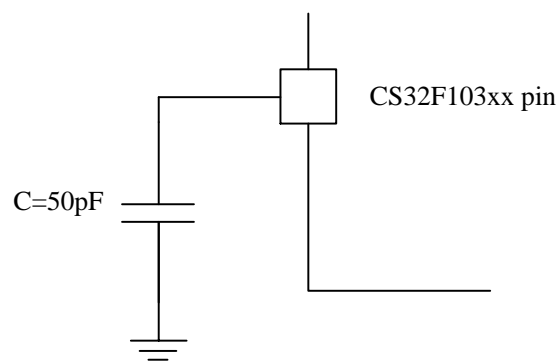


图 8 引脚的负载条件

5.1.5 引脚输入电压

引脚上输入电压的测量方式示于图 9 中。

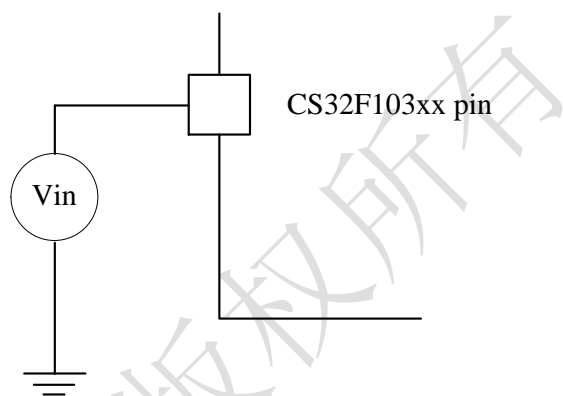


图 9 引脚输入电压

5.1.6 供电方案

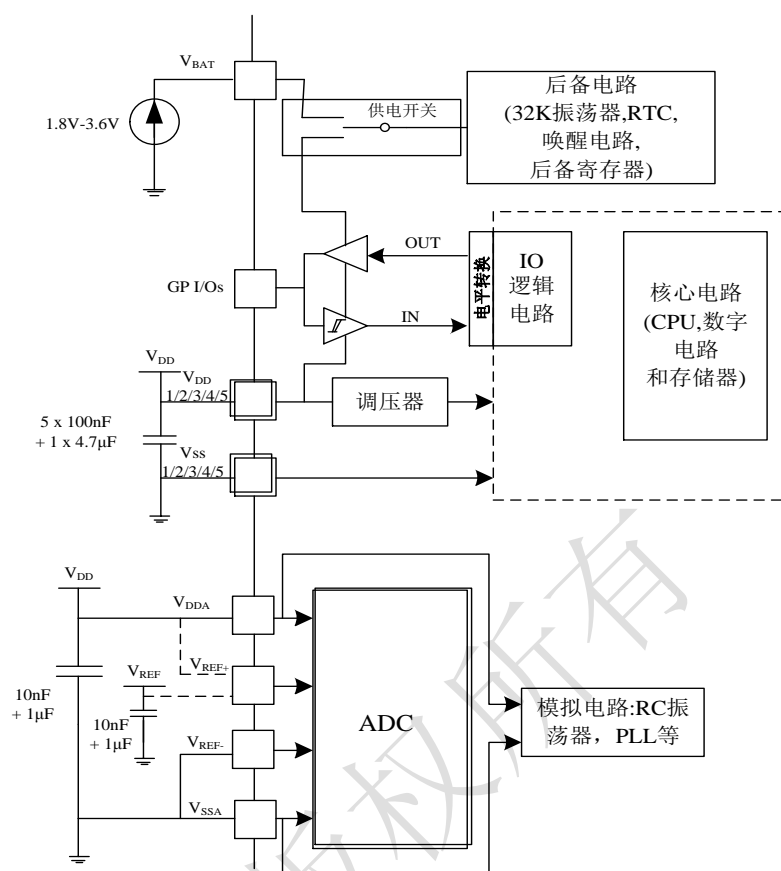


图 10 供电方案

注：上图中的 $4.7\mu F$ 电容必须连接到 V_{DD3} 。

5.1.7 电流消耗测量

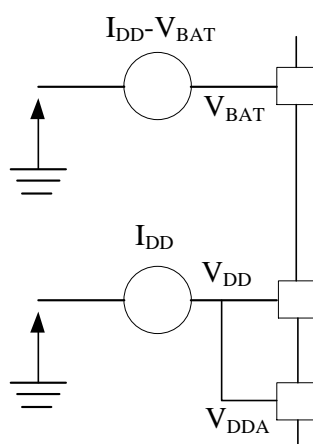


图 11 电流消耗测量方案

5.2 绝对最大额定值

加在器件上的载荷如果超过绝对最大额定值列表(表 3, 表 4, 表 5)中给出的值, 可能会导致器件永久性地损坏。这里只是给出能承受的最大载荷, 并不意味着在此条件下器件的功能性操作无误。器件长期工作在最大值条件下会影响器件的可靠性。

表 3 电压特性

符号	描述	最小值	最大值	单位
$V_{DD} - V_{SS}$	外部主供电电压(包含 V_{DDA} 和 V_{DD})(¹)	-0.3	4.0	V
V_{IN}	在 5V 容忍的引脚上的输入电压(²)	$V_{SS} - 0.3$	$V_{DD} + 4.0$	
	在其它引脚上的输入电压(²)	$V_{SS} - 0.3$	4.0	
$ \Delta V_{DDx} $	不同供电引脚之间的电压差		50	mV
$ V_{SSx} - V_{SS} $	不同接地引脚之间的电压差		50	
$V_{ESD(HBM)}$	ESD 静电放电电压(人体模型)	参见第 5.3.11 节		

1. 所有的电源(V_{DD} , V_{DDA})和地(V_{SS} , V_{SSA})引脚必须始终连接到外部允许范围内的供电系统上。
2. $I_{INJ(PIN)}$ 绝对不可以超过它的极限(见表 4), 即保证 V_{IN} 不超过其最大值。如果不能保证 V_{IN} 不超过其最大值, 也要保证在外部限制 $I_{INJ(PIN)}$ 不超过其最大值。当 $V_{IN} > V_{INmax}$ 时, 有一个正向注入电流; 当 $V_{IN} < V_{SS}$ 时, 有一个反向注入电流。

表 4 电流特性

符号	描述	最大值	单位
I_{VDD}	经过 V_{DD}/V_{DDA} 电源线的总电流(供应电流) ⁽¹⁾	150	mA
I_{VSS}	经过 V_{SS} 地线的总电流(流出电流) ⁽¹⁾	150	
I_{IO}	任意 I/O 和控制引脚上的输出灌电流	25	
	任意 I/O 和控制引脚上的输出电流	-25	
$I_{INJ(PIN)}^{(2)(3)}$	5V 容忍引脚的注入电流	-5/+0	
	其他引脚的注入电流 ⁽⁴⁾	± 5	
$\sum I_{INJ(PIN)}^{(2)}$	所有 I/O 和控制引脚上的总注入电流 ⁽⁴⁾	± 25	

1. 所有的电源(V_{DD} , V_{DDA})和地(V_{SS} , V_{SSA})引脚必须始终连接到外部允许范围内的供电系统上。
2. $I_{INJ(PIN)}$ 绝对不可以超过它的极限, 即保证 V_{IN} 不超过其最大值。如果不能保证 V_{IN} 不超过其最大值, 也要保证在外部限制 $I_{INJ(PIN)}$ 不超过其最大值。当 $V_{IN} > V_{DD}$ 时, 有一个正向注入电流; 当 $V_{IN} < V_{SS}$ 时, 有一个反向注入电流。
3. 反向注入电流会干扰器件的模拟性能。参看第 5.3.17 节。
4. 当几个 I/O 口同时有注入电流时, $\sum I_{INJ(PIN)}$ 的最大值为正向注入电流与反向注入电流的即时绝对值之和。该结果基于在器件 4 个 I/O 端口上 $\sum I_{INJ(PIN)}$ 最大值的特性。

表 5 温度特性

符号	描述	数值	单位
T_{STG}	储存温度范围	-65~+150	℃
T_J	最大结温度	150	℃

5.3 工作条件

5.3.1 通用工作条件

表 6 通用工作条件

符号	参数	条件	最小值	最大值	单位
f_{HCLK}	内部 AHB 时钟频率		0	72	MHz
f_{PCLK1}	内部 APB1 时钟频率		0	36	
f_{PCLK2}	内部 APB2 时钟频率		0	72	
V_{DD}	标准工作电压		2	3.6	V
$V_{DDA}^{(1)}$	模拟部分工作电压(未使用 ADC)	必须与 $V_{DD}^{(2)}$ 相同	2	3.6	
	模拟部分工作电压(使用 ADC)		2.4	3.6	
V_{BAT}	备份部分工作电压		1.8	3.6	
V_{IN}	I/O 输入电压	标准 I/O	-0.3	$V_{DD}+0.3$	
		FT I/O $2V < V_{DD} < 3.6V$	-0.3	5.5	
		$V_{DD}=2V$	-0.3	5.2	
		BOOT0	0	5.5	
P_D	功率耗散 温度标号 6: $T=85^{\circ}\text{C}$ 温度标号 7: $T=105^{\circ}\text{C}$	LQFP100		434	mW
		LQFP64		444	
		LQFP48		363	
		QFN36		1000	
T_A	环境温度(温度标号 6)	最大功率耗散	-40	85	$^{\circ}\text{C}$
		低功率耗散 ⁽⁴⁾	-40	105	
	环境温度(温度标号 7)	最大功率耗散	-40	105	
		低功率耗散 ⁽⁴⁾	-40	125	
T_J	结温度范围	温度标号 6	-40	105	
		温度标号 7	-40	125	

1. 当使用 ADC 时，参见表 43。
2. 建议使用相同的电源为 V_{DD} 和 V_{DDA} 供电，在上电和正常操作期间， V_{DD} 和 V_{DDA} 之间最多允许存在 300mV 的差别。
3. 如果 T_A 较低，只要 T_J 不超过 T_{Jmax} (参见第 1 节)，则允许更高的 P_D 数值。
4. 在较低的功率耗散的状态下，只要 T_J 不超过 T_{Jmax} (参见第 1 节)， T_A 可以扩展到这个范围。

5.3.2 上电和掉电时的工作条件

下表中给出的参数是在一般的工作条件下测试得出。

表 7 上电和掉电时的工作条件

符号	参数	条件	最小值	最大值	单位
t _{VDD}	V _{DD} 上升速率		0	∞	μs/V
	V _{DD} 下降速率		20	∞	

5.3.3 内嵌复位和电源控制模块特性

下表中给出的参数是依据表 6 列出的环境温度下和 V_{DD} 供电电压下测试得出。

表 8 内嵌复位和电源控制模块特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{PVD}	可编程的电压检测器的电平选择	PLS[2:0]=000 (上升沿)	2.10	2.18	2.26	V
		PLS[2:0]=000 (下降沿)	2.00	2.07	2.16	V
		PLS[2:0]=001 (上升沿)	2.19	2.28	2.37	V
		PLS[2:0]=001 (下降沿)	2.09	2.17	2.27	V
		PLS[2:0]=010 (上升沿)	2.28	2.38	2.48	V
		PLS[2:0]=010 (下降沿)	2.18	2.27	2.38	V
		PLS[2:0]=011 (上升沿)	2.38	2.47	2.58	V
		PLS[2:0]=011 (下降沿)	2.28	2.37	2.48	V
		PLS[2:0]=100 (上升沿)	2.47	2.57	2.69	V
		PLS[2:0]=100 (下降沿)	2.37	2.46	2.59	V
		PLS[2:0]=101 (上升沿)	2.57	2.67	2.79	V
		PLS[2:0]=101 (下降沿)	2.47	2.56	2.69	V
		PLS[2:0]=110 (上升沿)	2.66	2.77	2.90	V
		PLS[2:0]=110 (下降沿)	2.56	2.66	2.80	V
		PLS[2:0]=111 (上升沿)	2.76	2.86	3.00	V
		PLS[2:0]=111 (下降沿)	2.66	2.76	2.90	V
V _{PVDhyst} ⁽²⁾	PVD 迟滞			100		mV
V _{POR/PDR}	上电/掉电复位阈值	下降沿	1.8 ⁽¹⁾	1.87	1.96	V
		上升沿	1.84	1.92	2.0	V
V _{PVDhyst} ⁽²⁾	PDR 迟滞			40		mV
T _{RSTTEMPO} ⁽²⁾	复位持续时间		1	2.5	4.5	ms

1. 产品的特性由设计保证至最小的数值 V_{POR/PDR}。

2. 由设计保证，不在生产中测试。

5.3.4 内置的参照电压

下表中给出的参数是依据表 6 列出的环境温度下和 V_{DD} 供电电压下测试得出。

表 9 内置的参照电压

符号	参数	条件	最小值	典型值	最大值	单位
V_{REFINT}	内置参照电压	$-40\text{ }^{\circ}\text{C} < T_A < +105\text{ }^{\circ}\text{C}$	1.16	1.20	1.26	V
		$-40\text{ }^{\circ}\text{C} < T_A < +85\text{ }^{\circ}\text{C}$	1.16	1.20	1.24	V
$T_{S_vrefint}^{(1)}$	当读出内部参照电压时，ADC 的采样时间			5.1	17.1 ⁽²⁾	μs

1. 产品的特性由设计保证至最小的数值 $V_{POR/PDR}$ 。
2. 由设计保证，不在生产中测试。

5.3.5 供电电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O 引脚的负载、产品的软件配置、工作频率、I/O 脚的翻转速率、程序在存储器中的位置以及执行的代码等。

电流消耗的测量方法说明，详见图 11。

本节中给出的所有运行模式下的电流消耗测量值，都是在执行一套精简的代码，能够得到 Dhrystone2.1 代码等效的结果。

最大电流消耗

微控制器处于下列条件：

- 所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上—— V_{DD} 或 V_{SS} (无负载)。
- 所有的外设都处于关闭状态，除非特别说明。
- 闪存存储器的访问时间调整到 f_{HCLK} 的频率(0~24MHz 时为 0 个等待周期，24~48MHz 时为 1 个等待周期，超过 48MHz 时为 2 个等待周期)。
- 指令预取功能开启(提示：这个参数必须在设置时钟和总线分频之前设置)。
- 当开启外设时： $f_{PCLK1} = f_{HCLK}/2$ ， $f_{PCLK2} = f_{HCLK}$ 。

表 10、表 11 和表 12 中给出的参数，是依据表 5 列出的环境温度下和 V_{DD} 供电电压下测试得出。

表 10 运行模式下的最大电流消耗，数据处理代码从内部闪存中运行

符号	参数	条件	f_{HCLK}	最大值 ⁽¹⁾		单位
				$T_A = 85\text{ }^{\circ}\text{C}$	$T_A = 105\text{ }^{\circ}\text{C}$	
I_{DD}	运行模式下的 供应电流	外部时钟 ⁽²⁾ , 使 能所有外设	72MHz	50	50.3	mA
			48MHz	36.1	36.2	
			36MHz	28.6	28.7	
			24MHz	19.9	20.1	
			16MHz	14.7	14.9	
			8MHz	8.6	8.9	
		外部时钟 ⁽²⁾ , 关 闭所有外设	72MHz	32.8	32.9	
			48MHz	24.4	24.5	
			36MHz	19.8	19.9	
			24MHz	13.9	14.2	
			16MHz	10.7	11	
			8MHz	6.8	7.1	

1. 由综合评估得出，不在生产中测试。
2. 外部时钟为 8MHz，当 $f_{HCLK} > 8\text{MHz}$ 时启用 PLL。

表 11 运行模式下的最大电流消耗，数据处理代码从内部 RAM 中运行

符号	参数	条件	f_{HCLK}	最大值 ⁽¹⁾		单位
				$T_A = 85\text{ }^{\circ}\text{C}$	$T_A = 105\text{ }^{\circ}\text{C}$	
I_{DD}	运行模式下的 供应电流	外部时钟 ⁽²⁾ , 使 能所有外设	72MHz	48	50	mA
			48MHz	31.5	32	
			36MHz	24	25.5	
			24MHz	17.5	18	
			16MHz	12.5	13	
			8MHz	7.5	8	
		外部时钟 ⁽²⁾ , 关 闭所有外设	72MHz	29	29.5	
			48MHz	20.5	21	
			36MHz	16	16.5	
			24MHz	11.5	12	
			16MHz	8.5	9	
			8MHz	5.5	6	

1. 由综合评估得出，在生产中以 V_{DDmax} 和 $f_{HCLKmax}$ 为条件测试。
2. 外部时钟为 8MHz，当 $f_{HCLK} > 8\text{MHz}$ 时启用 PLL。

表 12 睡眠模式下的最大电流消耗，代码运行在Flash或RAM中

符号	参数	条件	f_{HCLK}	最大值 ⁽¹⁾		单位
				$T_A = 85\text{ }^{\circ}\text{C}$	$T_A = 105\text{ }^{\circ}\text{C}$	
I_{DD}	睡眠模式下的 供应电流	外部时钟 ⁽²⁾ ， 使能所有外设	72MHz	30	32	mA
			48MHz	20	20.5	
			36MHz	15.5	16	
			24MHz	11.5	12	
			16MHz	8.5	9	
			8MHz	5.5	6	
		外部时钟 ⁽²⁾ ， 关闭所有外设	72MHz	7.5	8	
			48MHz	6	6.5	
			36MHz	5	5.5	
			24MHz	4.5	5	
			16MHz	4	4.5	
			8MHz	3	4	

1. 由综合评估得出，在生产中以 V_{DDmax} 和以 $f_{HCLKmax}$ 使能外设为条件测试。

2. 外部时钟为 8MHz，当 $f_{HCLK} > 8\text{MHz}$ 时启用 PLL。

表 13 停机和待机模式下的典型和最大电流消耗

符号	参数	条件	典型值		最大值		单位
			V_{DD}/V_{BAT} $= 2.4\text{V}$	V_{DD}/V_{BAT} $= 3.3\text{V}$	$T_A = 85\text{ }^{\circ}\text{C}$	$T_A = 105\text{ }^{\circ}\text{C}$	
I_{DD}	停机模式下的 供应电流	调压器处于运行模式，低速和高速 内部 RC 振荡器和高速振荡器处于 关闭状态(没有独立看门狗)	22.7	23.4	200	370	μA
		调压器处于低功耗模式，低速和高 速内部 RC 振荡器和高速振荡器处 于关闭状态(没有独立看门狗)	9.1	10.3	180	340	
	待机模式下的 供应电流	低速内部 RC 振荡器和独立看门狗 处于开启状态	2.4	2.06	-	-	
		低速内部 RC 振荡器处于开启状 态,独立看门狗处于关闭状态	2.3	2.81	-	-	
		低速内部 RC 振荡器和独立看门狗 处于关闭状态,低速振荡器和 RTC 处于关闭状态	1.5	3.17	4	5	
	I_{DD_VB} $_{AT}$	备份区域的 供应电流	1.1	1.4	1.9 ⁽²⁾	2.2	

1. 典型值是在 $T_A = 25\text{ }^{\circ}\text{C}$ 下测试得到。

2. 由综合评估得出，不在生产中测试。

典型的电流消耗

MCU 处于下述条件下：

- 所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上—— V_{DD} 或 V_{SS} (无负载)。
- 所有的外设都处于关闭状态，除非特别说明。
- 闪存存储器的访问时间调整到 f_{HCLK} 的频率(0~24MHz 时为 0 个等待周期，24~48MHz 时为 1 个等待周期，超过 48MHz 时为 2 个等待周期)。
- 环境温度和 V_{DD} 供电电压条件列于表 6。
- 指令预取功能开启(提示：这个参数必须在设置时钟和总线分频之前设置)。当开启外设时： $f_{PCLK1}=f_{HCLK}/4$ ， $f_{PCLK2}=f_{HCLK}/2$ ， $f_{ADCCLK}=f_{PCLK2}/4$ 。

表 14 运行模式下的典型电流消耗，数据处理代码从内部 Flash 中运行

符号	参数	条件	f_{HCLK}	典型值 ⁽¹⁾		单位
				使能所有外设 ⁽²⁾	关闭所有外设	
I_{DD}	运行模式下的供应电流	外部时钟 ⁽³⁾	72MHz	32.46	21.7	mA
			48MHz	21.96	14.73	
			24MHz	12.13	8.57	
			8MHz	5.5	4.31	

1. 典型值是在 $T_A=25\text{ }^{\circ}\text{C}$ 、 $V_{DD}=3.3\text{V}$ 时测试得到。
2. 每个模拟部分的 ADC 要增加额外的 0.8mA 电流消耗。在应用环境中，这部分电流只有在开启 ADC(设置 ADC_CR2 寄存器的 ADON 位)时才会增加。
3. 外部时钟为 8MHz，当 $f_{HCLK}>8\text{MHz}$ 时启用 PLL。

表 15 运行模式下的典型电流消耗，数据处理代码从内部 RAM 中运行

符号	参数	条件	f_{HCLK}	典型值 ⁽¹⁾		单位
				使能所有外设 ⁽²⁾	关闭所有外设	
I_{DD}	运行模式下的供应电流	外部时钟 ⁽³⁾	72MHz	24.84	14.21	mA
			48MHz	17.17	10.05	
			24MHz	9.38	5.86	
			8MHz	4.07	2.92	

1. 典型值是在 $T_A=25\text{ }^{\circ}\text{C}$ 、 $V_{DD}=3.3\text{V}$ 时测试得到。
2. 每个模拟部分的 ADC 要增加额外的 0.8mA 电流消耗。在应用环境中，这部分电流只有在开启 ADC(设置 ADC_CR2 寄存器的 ADON 位)时才会增加。
3. 外部时钟为 8MHz，当 $f_{HCLK}>8\text{MHz}$ 时启用 PLL。

表 16 睡眠模式下的典型电流消耗，数据处理代码从内部 Flash 或 RAM 中运行

符号	参数	条件	f_{HCLK}	典型值 ⁽¹⁾		单位
				使能所有外设 ⁽²⁾	关闭所有外设	
I_{DD}	睡眠模式下的供应电流	外部时钟 ⁽³⁾	72MHz	17.57	17.61	mA

1. 典型值是在 $T_A=25\text{ }^{\circ}\text{C}$ 、 $V_{DD}=3.3\text{V}$ 时测试得到。

2. 每个模拟部分的 ADC 要增加额外的 0.8mA 电流消耗。在应用环境中，这部分电流只有在开启 ADC(设置 ADC_CR2 寄存器的 ADON 位)时才会增加。
3. 外部时钟为 8MHz，当 $f_{HCLK} > 8\text{MHz}$ 时启用 PLL。

内置外设电流消耗

内置外设的电流消耗列于表 17，MCU 的工作条件如下：

- 所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上—— V_{DD} 或 V_{SS} (无负载)。
- 所有的外设都处于关闭状态，除非特别说明。
- 给出的数值是通过测量电流消耗计算得出
 - 关闭所有外设的时钟
 - 只开启一个外设的时钟
- 环境温度和 V_{DD} 供电电压条件列于表 4。

表 17 内置外设的电流消耗⁽¹⁾

内置外设		25 ℃ 时的典型功耗	单位	内置外设		25 ℃ 时的典型功耗	单位
APB1	TIM2	1.2	mA	APB2	GPIOA	0.47	mA
	TIM3	1.2			GPIOB	0.47	
	TIM4	0.9			GPIOC	0.47	
	SPI2	0.2			GPIOD	0.47	
	USART2	0.35			GPIOE	0.47	
	USART3	0.35			ADC1 ⁽²⁾	1.81	
	I ² C1	0.39			ADC2	1.78	
	I ² C2	0.39			TIM1	1.6	
	USB	0.65			SPI1	0.43	
	CAN	0.72			USART1	0.85	

1. $f_{HCLK}=72\text{MHz}$ ， $f_{APB1} = f_{HCLK}/2$ ， $f_{APB2} = f_{HCLK}$ ，每个外设的预分频系数为默认值。
2. ADC 的特殊条件： $f_{HCLK}=56\text{MHz}$ ， $f_{APB1} = f_{HCLK}/2$ ， $f_{APB2} = f_{HCLK}$ ， $f_{ADCCLK} = f_{APB2}/4$ ，ADC_CR2 寄存器的 ADON=1。

5.3.6 外部时钟源特性

来自外部振荡源产生的高速外部用户时钟

下表中给出的特性参数是使用一个高速的外部时钟源测得，环境温度和供电电压符合表 6 的条件。

表 18 高速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSE_ext}	用户外部时钟频率 ⁽¹⁾		1	8	25	MHz
V_{HSEH}	OSC_IN 输入引脚高电平电压		2.2		3.3	V
V_{HSEL}	OSC_IN 输入引脚低电平电压		0		2.2	
$t_{w(HSE)}$ $t_{w(HSE)}$	OSC_IN 高或低的时间 ⁽¹⁾		5			ns

$t_{r(HSE)}$ $t_{f(HSE)}$	OSC_IN 上升或下降的时间 ⁽¹⁾				20	
$C_{in(HSE)}$	OSC_IN 输入容抗 ⁽¹⁾			5		pF
$DuCy_{(HSE)}$	占空比		45	50	55	%
I_L	OSC_IN 输入漏电流	$V_{SS} \leq V_{IN} \leq V_{DD}$		0.3	± 1	μA

1. 由设计保证，不在生产中测试。

来自外部振荡源产生的低速外部用户时钟

下表中给出的特性参数是使用一个低速的外部时钟源测得，环境温度和供电电压符合表 6 的条件。

表 19 低速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{LSE_ext}	用户外部时钟频率 ⁽¹⁾		0	32.768	4000	KHz
V_{LSEH}	OSC32_IN 输入引脚高电平电压		1.8		3.3	V
V_{LSEL}	OSC32_IN 输入引脚低电平电压		0		1.7	
$t_{w(LSE)}$ $t_{w(LSE)}$	OSC32_IN 高或低的时间 ⁽¹⁾		450			ns
$t_{r(LSE)}$ $t_{f(LSE)}$	OSC32_IN 上升或下降的时间 ⁽¹⁾				50	
$C_{in(LSE)}$	OSC32_IN 输入容抗 ⁽¹⁾			5		pF
$DuCy_{(LSE)}$	占空比		30	50	70	%
I_L	OSC32_IN 输入漏电流	$V_{SS} \leq V_{IN} \leq V_{DD}$		-0.4	± 1	μA

1. 由设计保证，不在生产中测试。

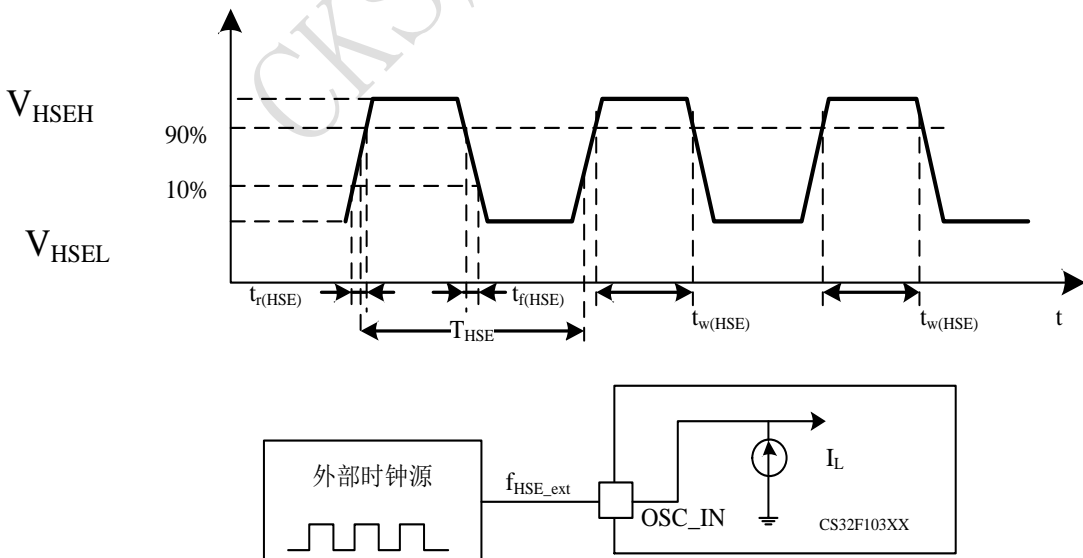


图 12 外部高速时钟源的交流时序图

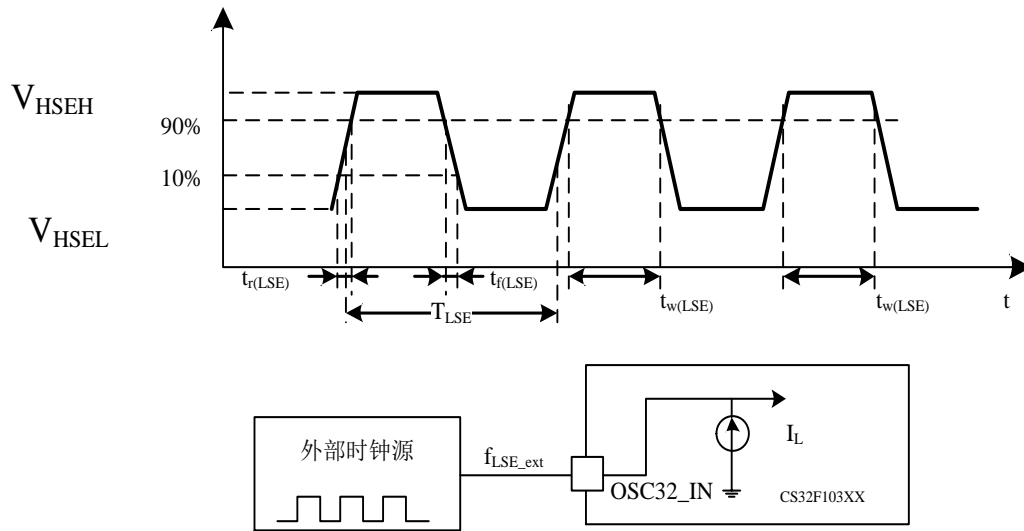


图 13 外部低速时钟源的交流时序图

使用一个晶体/陶瓷谐振器产生的高速外部时钟

高速外部时钟(HSE)可以使用一个 4~16MHz 的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用下表中列出的典型外部元器件，通过综合特性评估得到的结果。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小输出失真和启动时的稳定时间。

表 20 HSE 4~16MHz 振荡器特性⁽¹⁾⁽²⁾

符号	参数	条件	最小值	典型值	最大值	单位
f_{OSC_IN}	振荡器频率		4	8	16	MHz
R_F	反馈电阻			200		k Ω
C_{L1} $C_{L2}^{(3)}$	建议的负载电容与对应的晶体串行阻抗(R_s) ⁽⁴⁾	$R_s = 30\Omega$		30		pF
i_2	HSE 驱动电流	$V_{DD}=3.3V$, $V_{IN}=V_{SS}$ 30pF 负载			1	mA
g_m	振荡器的跨导	启动	25			mA/V
$t_{SU(HSE)}^{(5)}$	启动时间	V_{DD} 稳定		2		ms

1. 谐振器的特性参数由晶体/陶瓷谐振器制造商给出。
2. 由综合评估得出，不在生产中测试。
3. 对于 C_{L1} 和 C_{L2} ，建议使用高质量的、为高频应用而设计的(典型值为)5pF~25pF 之间的瓷介电容器，并挑选符合要求的晶体或谐振器。通常 C_{L1} 和 C_{L2} 具有相同参数。晶体制造商通常以 C_{L1} 和 C_{L2} 的串行组合给出负载电容的参数。在选择 C_{L1} 和 C_{L2} 时，PCB 和 MCU 引脚的容抗应该考虑在内(可以粗略地把引脚与 PCB 板的电容按 10pF 估计)。
4. 相对较低的 R_F 电阻值，能够可以为避免在潮湿环境下使用时所产生的问题提供保护，这种环境下产生的泄漏和偏置条件都发生了变化。但是，当 MCU 应用在恶劣的潮湿条件时，设计时需要把这个参数考虑进去。
5. $t_{SU(HSE)}$ 是启动时间，是从软件使能 HSE 开始直至得到稳定的 8MHz 振荡这段时间。这个数值是在一个标准的晶体谐振器上测量得到，它可能因晶体制造商的不同而变化较大。

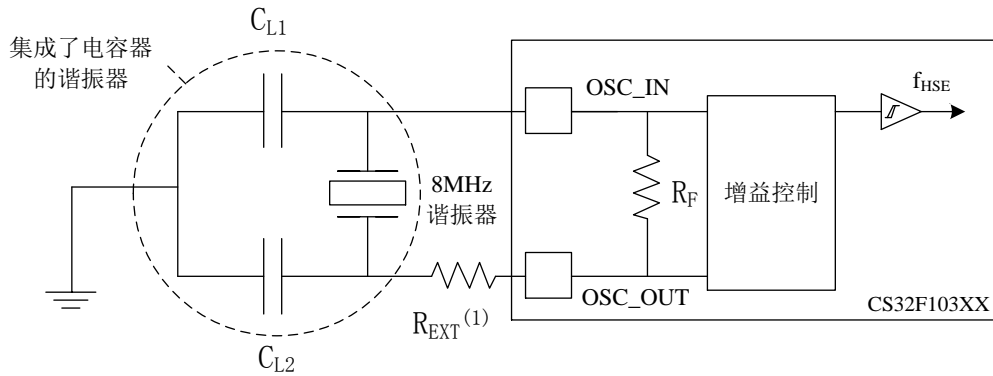


图 14 使用 8MHz 晶体的典型应用

1. R_{EXT} 数值由晶体的特性决定。典型值是 5 至 6 倍的 R_S 。

使用一个晶体/陶瓷谐振器产生的低速外部时钟

低速外部时钟(LSE)可以使用一个 32.768kHz 的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用表 21 中列出的典型外部元器件，通过综合特性评估得到的结果。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小输出失真和启动时的稳定时间。

注意：对于 C_{L1} 和 C_{L2} ，建议使用高质量的 5pF~15pF 之间的瓷介电容器，并挑选符合要求的晶体或谐振器。

通常 C_{L1} 和 C_{L2} 具有相同参数。晶体制造商通常以 C_{L1} 和 C_{L2} 的串行组合给出负载电容的参数。

负载电容 C_L 由下式计算： $C_L = C_{L1} \times C_{L2} / (C_{L1} + C_{L2}) + C_{stray}$ ，其中 C_{stray} 是引脚的电容和 PCB 板或 PCB 相关的电容，它的典型值是介于 2pF 至 7pF 之间。

警告：为了避免超出 C_{L1} 和 C_{L2} 的最大值(15pF)，强烈建议使用负载电容 $C_L \leq 7pF$ 的谐振器，不能使用负载电容为 12.5pF 的谐振器。

例如：如果选择了一个负载电容 $C_L=6pF$ 的谐振器并且 $C_{stray}=2pF$ ，则 $C_{L1}=C_{L2}=8pF$ 。

表 21 LSE 振荡器特性($f_{LSE}=32.768kHz$)⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
R_F	反馈电阻			5		MΩ
C_{L1} $C_{L2}^{(2)}$	建议的负载电容与对应的晶体串行阻抗(R_S) ⁽³⁾	$R_S = 30k\Omega$			15	pF
I_2	LSE 驱动电流	$V_{DD}=3.3V, V_{IN}=V_{SS}$			1.4	μA
g_m	振荡器的跨导		5			μA/V
$t_{SU(LSE)}^{(4)}$	启动时间	V_{DD} 稳定		3		s

1. 由综合评估得出，不在生产中测试。
2. 参见本表格上方的注意和警告段落。
3. 选择具有较小 R_S 值的高质量振荡器(如 MSIV-TIN32.768kHz)，可以优化电流消耗。
4. $t_{SU(HSE)}$ 是启动时间，是从软件使能 HSE 开始测量，直至得到稳定的 8MHz 振荡这段时间。这个数值是在一个标准的晶体谐振器上测量得到，它可能因晶体制造商的不同而变化较大。

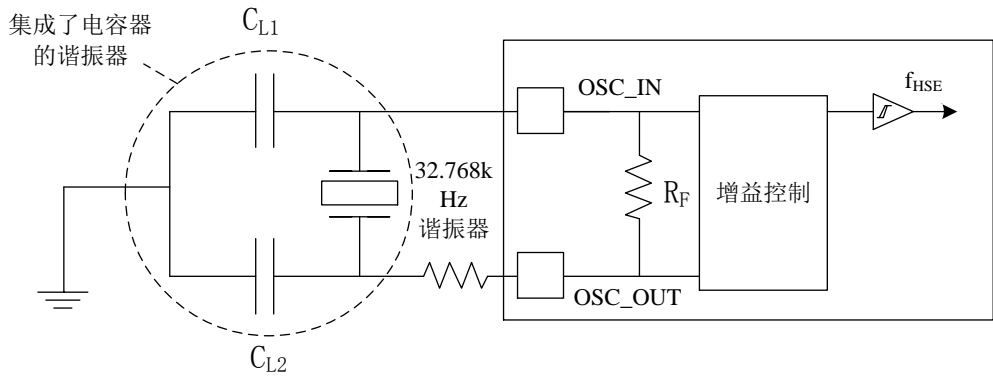


图 15 使用 32.768kHz 晶体的典型应用

5.3.7 内部时钟源特性

下表中给出的特性参数是使用环境温度和供电电压符合表 6 的条件测量得到。

高速内部(HSI)RC 振荡器

表 22 HSI 振荡器特性⁽¹⁾⁽²⁾

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSI}	频率			8		MHz
ACC_{HSI}	HSI 振荡器的精度	$T_A = -40 \sim 105\text{ }^{\circ}\text{C}$	-2		2.5	%
		$T_A = -10 \sim 85\text{ }^{\circ}\text{C}$	-1.5		2.2	%
		$T_A = 0 \sim 70\text{ }^{\circ}\text{C}$	-1.3		2	%
		$T_A = 25\text{ }^{\circ}\text{C}$	-1.1		1.8	%
$t_{\text{SU(HSI)}}$	HSI 振荡器启动时间		1		2	μs
$I_{\text{DD(HSI)}}$	HSI 振荡器功耗			80	100	μA

1. $V_{\text{DD}} = 3.3\text{V}$, $T_A = -40 \sim 105\text{ }^{\circ}\text{C}$, 除非特别说明。

2. 由设计保证, 不在生产中测试。

低速内部(LSI)RC 振荡器

表 23 LSI 振荡器特性⁽¹⁾

符号	参数	最小值	典型值	最大值	单位
$f_{\text{LSI}}^{(2)}$	频率	30	40	60	kHz
$t_{\text{SU(LSI)}}^{(3)}$	LSI 振荡器启动时间			85	μs
$I_{\text{DD(LSI)}}^{(3)}$	LSI 振荡器功耗		0.65	1.2	μA

1. $V_{\text{DD}} = 3.3\text{V}$, $T_A = -40 \sim 105\text{ }^{\circ}\text{C}$, 除非特别说明。

2. 由综合评估得出, 不在生产中测试。

3. 由设计保证, 不在生产中测试。

从低功耗模式唤醒的时间

表 24 列出的唤醒时间是在一个 8MHz 的 HSI RC 振荡器的唤醒阶段测量得到。唤醒时使用的时钟源依当前的操作模式而定：

- 停机或待机模式：时钟源是 RC 振荡器
- 睡眠模式：时钟源是进入睡眠模式时所使用的时钟

所有的时间是使用环境温度和供电电压符合表 6 的条件测量得到。

表 24 低功耗模式的唤醒时间

符号	参数	条件	典型值	单位
$t_{WUSLEEP}^{(1)}$	从睡眠模式唤醒	使用 HSI RC 时钟唤醒	1.7	μs
$t_{WUSTOP}^{(1)}$	从停机模式唤醒(调压器处于运行模式)	HSI RC 时钟唤醒= $2\mu s$	2.6	
	从停机模式唤醒(调压器为低功耗模式)	HSI RC 时钟唤醒= $2\mu s$ 调压器从低功耗模式唤醒时间= $5\mu s$	5.1	
$t_{WUSTDBY}^{(3)}$	从待机模式唤醒	HSI RC 时钟唤醒= $2\mu s$ 调压器从关闭模式唤醒时间= $38\mu s$	52	

1. 唤醒时间的测量是从唤醒事件开始至用户程序读取第一条指令。

5.3.8 PLL 特性

表 25 列出的参数是使用环境温度和供电电压符合表 6 的条件测量得到。

表 25 PLL 特性

符号	参数	数值			单位
		最小值	典型值	最大值	
f_{PLL_IN}	PLL 输入时钟 ⁽²⁾	1	8.0	25	MHz
	PLL 输入时钟占空比	40	50	60	%
f_{PLL_OUT}	PLL 倍频输出时钟	16		72	MHz
t_{LOCK}	PLL 锁相时间		43	200	μs

1. 由综合评估得出，不在生产中测试。

2. 需要注意使用正确的倍频系数，从而根据 PLL 输入时钟频率使得 f_{PLL_OUT} 处于允许范围内。

5.3.9 存储器特性

闪存存储器

除非特别说明，所有特性参数是在 $T_A = -40 \sim 105\text{ }^{\circ}\text{C}$ 得到。

表 26 闪存存储器特性

符号	参数	条件	最小值	典型值	最大值	单位
t_{prog}	16 位的编程时间	$T_A = -40 \sim 105\text{ }^{\circ}\text{C}$	-	-	20	μs
t_{ERASE}	页(1K 字节)擦除时间	$T_A = -40 \sim 105\text{ }^{\circ}\text{C}$	-		2	ms
t_{ME}	整片擦除时间	$T_A = -40 \sim 105\text{ }^{\circ}\text{C}$	-		10	
I_{DD}	供电电流	读模式, $f_{HCLK}=72\text{MHz}$, 2 个等待周期, $V_{DD}=3.3\text{V}$			21.6	mA
		写/擦除模式, $f_{HCLK}=72\text{MHz}$, $V_{DD}=3.3\text{V}$			3	
		待机模式, $V_{DD}=3.3 \sim 3.6\text{V}$			1	μA

1. 由设计保证, 不在生产中测试。

表 27 闪存存储器寿命和数据保存期限

符号	参数	条件	最小值	典型值	最大值	单位
N_{END}	寿命	$T_A = -40 \sim 85\text{ }^{\circ}\text{C}$ (尾缀为 6) $T_A = -40 \sim 105\text{ }^{\circ}\text{C}$ (尾缀为 7)	100			千次
t_{RET}	数据保存期限	$T_A = -40 \sim 85\text{ }^{\circ}\text{C}$ 时	10			年

1. 由综合评估得出, 不在生产中测试。

5.3.10 EMC 特性

敏感性测试是在产品的综合评估时抽样进行测试的。

功能性 EMS(电磁敏感性)

当运行一个简单的应用程序时(通过 I/O 端口闪烁 2 个 LED), 测试样品被施加 2 种电磁干扰直到产生错误, LED 闪烁指示了错误的产生。

- **静电放电(ESD)**(正放电和负放电)施加到芯片所有的引脚直到产生功能性错误。这个测试符合 IEC 1000-4-2 标准。
- **FTB**: 在 V_{DD} 和 V_{SS} 上通过一个 100pF 的电容器施加一个瞬变电压的脉冲群(正向和反向)直到产生功能性错误。这个测试符合 IEC 1000-4-4 标准。

芯片复位可以使系统恢复正常操作。

测试结果列于下表中。

表 28 EMS 特性

符号	参数	条件	级别/类型
V_{FESD}	施加到任一 I/O 脚, 从而导致功能错误的电压极限。	$V_{DD} = 3.3\text{V}$, $T_A = +25\text{ }^{\circ}\text{C}$, $f_{HCLK} = 72\text{MHz}$ 。符合 IEC 1000-4-2	2B
V_{EFTB}	在 V_{DD} 和 V_{SS} 上通过 100pF 的电容器施加的、导致功能错误的瞬变脉冲群电压极限	$V_{DD} = 3.3\text{V}$, $T_A = +25\text{ }^{\circ}\text{C}$, $f_{HCLK} = 72\text{MHz}$ 。符合 IEC 1000-4-4	4A

设计牢靠的软件以避免噪声的问题

在器件级进行 EMC 的评估和优化，是在典型的应用环境中进行的。应该注意的是，好的 EMC 性能与用户应用和具体的软件密切相关。

因此，建议用户对软件实行 EMC 优化，并进行与 EMC 有关的认证测试。

软件建议

软件的流程中必须包含程序跑飞的控制，如：

- 被破坏的程序计数器
- 意外的复位
- 关键数据被破坏(控制寄存器等.....)

认证前的试验

很多常见的失效(意外的复位和程序计数器被破坏)，可以通过人工地在 NRST 上引入一个低电平或在晶振引脚上引入一个持续 1 秒的低电平而重现。

在进行 ESD 测试时，可以把超出应用要求的电压直接施加在芯片上，当检测到意外动作的地方，软件部分需要加强以防止发生不可恢复的错误。

电磁干扰(EMI)

在运行一个简单的应用程序时(通过 I/O 端口闪烁 2 个 LED)，监测芯片发射的电磁场。这个发射测试符合 SAE J1752/3 标准，这个标准规定了测试板和引脚的负载。

表 29 EMI 特性

符号	参数	条件	监测的频段	最大值(f_{HSE}/f_{HCLK})		单位
				8/48MHz	8/72MHz	
S _{EMI}	峰值	V _{DD} = 3.3 V, T _A = 25 °C, LQFP100 封装, 符合 IEC 61967-2	0.1~30MHz	12	12	dB μ V
			30~130MHz	22	19	
			130MHz~1GHz	23	29	
			SAM EMI 级别	4	4	-

5.3.11 绝对最大值(电气敏感性)

基于三个不同的测试(ESD, LU)，使用特定的测量方法，对芯片进行强度测试以决定它的电气敏感性方面的性能。

静电放电(ESD)

静电放电(一个正的脉冲然后间隔一秒钟后一个负的脉冲)施加到所有样品的所有引脚上，样品的大小与芯片上供电引脚数目相关(3 片×(n+1)供电引脚)。这个测试符合 JESD22-A114/ C101 标准。

表 30 ESD 绝对最大值

符号	参数	条件	类型	最大值 ⁽¹⁾	单位
$V_{ESD(HBM)}$	静电放电电压(人体模型)	$T = +25\text{ }^{\circ}\text{C}$, 符合 JESD22-A114	2	2000	V
$V_{ESD(CDM)}$	静电放电电压(充电设备模型)	$T = +25\text{ }^{\circ}\text{C}$, 符合 JESD22-C101	II	500	

1. 由综合评估得出, 不在生产中测试。

静态栓锁

为了评估栓锁性能, 需要在 6 个样品上进行 2 个互补的静态栓锁测试:

- 为每个电源引脚, 提供超过极限的供电电压。
- 在每个输入、输出和可配置的 I/O 引脚上注入电流。

这个测试符合 EIA/JESD 78A 集成电路栓锁标准。

表 31 电气敏感性

符号	参数	条件	类型
LU	静态栓锁类	$T = +105\text{ }^{\circ}\text{C}$, 符合 JESD78A	II 类 A

5.3.12 I/O 端口特性

通用输入/输出特性

除非特别说明, 下表列出的参数是按照表 6 的条件测量得到。所有的 I/O 端口都是兼容 CMOS 和 TTL。

表 32 I/O 静态特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{IL}	低电平输入电压	标准 I/O 脚, 输入低电平电压	-	-	$0.28 \times (V_{DD}-2V) + 0.8V$	V
		FT I/O ⁽¹⁾ 脚, 输入低电平电压			$0.32 \times (V_{DD}-2V) + 0.75V$	
		所有 I/O 口, 除了 BTOOT0			$0.35 V_{DD}$	
V_{IH}	高电平输入电压	标准 I/O 脚, 输入高电平电压	$0.41 \times (V_{DD}-2V) + 1.3V$			
		FT I/O 脚 ⁽¹⁾ , 输入高电平电压	$0.42 \times (V_{DD}-2V) + 1V$			
		所有 I/O 口, 除了 BTOOT0	$0.65 V_{DD}^{(2)}$			
V_{hys}	标准 I/O 脚施密特触发器电压迟滞 ⁽²⁾		200			mV
	5V 容忍 I/O 脚施密		$5\% V_{DD}^{(3)}$			

	特触发器电压迟滞 (2)					
I_{lkg}	输入漏电流 ⁽⁴⁾	$V_{SS} \leq V_{IN} \leq V_{DD}$ 标准 I/O 端口			± 1	μA
		$V_{IN} = 5V$, 5V 容忍端口			3	
R_{PU}	弱上拉等效电阻 ⁽⁵⁾	$V_{IN} = V_{SS}$	30	40	50	$k\Omega$
R_{PD}	弱下拉等效电阻 ⁽⁵⁾	$V_{IN} = V_{DD}$	30	40	50	
C_{IO}	I/O 引脚的电容			5		pF

1. FT = 5V 容忍。
2. 施密特触发器开关电平的迟滞电压。由综合评估得出，不在生产中测试。
3. 电压至少为 100mV。
4. 如果在相邻引脚有反向电流倒灌，则漏电流可能高于最大值。
5. 上拉和下拉电阻是设计为一个真正的电阻串联一个可开关的 PMOS/NMOS 实现。这个 PMON/NMOS 开关的电阻很小(约占 10%)。

所有 I/O 端口都是 CMOS 和 TTL 兼容(不需软件配置), 它们的特性考虑了多数严格的 CMOS 工艺或 TTL 参数:

- 对于 V_{IH} :
 - 如果 V_{DD} 介于[2.00V~3.08V]; 使用 CMOS 特性但包含 TTL。
 - 如果 V_{DD} 介于[3.08V~3.60V]; 使用 TTL 特性但包含 CMOS。
- 对于 V_{IL} :
 - 如果 V_{DD} 介于[2.00V~2.28V]; 使用 TTL 特性但包含 CMOS。
 - 如果 V_{DD} 介于[2.28V~3.60V]; 使用 CMOS 特性但包含 TTL。

输出驱动电流

GPIO(通用输入/输出端口)可以吸收或输出多达 $\pm 8mA$ 电流, 并且吸收+20mA 电流(不严格的 V)。

在用户应用中, I/O 脚的数目必须保证驱动电流不能超过 5.2 节给出的绝对最大额定值:

- 所有 I/O 端口从 V 上获取的电流总和, 加上 MCU 在 V 上获取的最大运行电流, 不能超过绝对最大额定值 IV_{DD} (参见表 4)。
- 所有 I/O 端口吸收并从 V 上流出的电流总和, 加上 MCU 在 V 上流出的最大运行电流, 不能超过绝对最大额定值 IV_{SS} (参见表 4)。

输出电压

除非特别说明, 表 33 列出的参数是使用环境温度和 V_{DD} 供电电压符合表 6 的条件测量得到。所有的 I/O 端口都是兼容 CMOS 和 TTL 的。

表 33 输出电压特性

符号	参数	条件	最小值	最大值	单位
$V_{OL}^{(1)}$	输出低电平, 当 8 个引脚同时吸收电流	CMOS 端口, $I_{IO} = +8mA$ $2.7V < V_{DD} < 3.6V$		0.4	V
$V_{OH}^{(2)}$	输出高电平, 当 8 个引脚同时输出电流		$V_{DD}-0.4$		
$V_{OL}^{(1)}$	输出低电平, 当 8 个引脚同时吸收电流	TLL 端口, $I_{IO} = +8mA$ $2.7V < V_{DD} < 3.6V$		0.4	
$V_{OH}^{(2)(3)}$	输出高电平, 当 8 个引脚同时输出电流		2.4		
$V_{OL}^{(1)(3)}$	输出低电平, 当 8 个引脚同时吸收电流	$I_{IO} = +20mA$ $2.7V < V_{DD} < 3.6V$		1.3	
$V_{OH}^{(2)(3)}$	输出高电平, 当 8 个引脚同时输出电流		2.4		
$V_{OL}^{(1)(3)}$	输出低电平, 当 8 个引脚同时吸收电流	$I_{IO} = +6mA$ $2V < V_{DD} < 2.7V$		0.4	
$V_{OH}^{(2)(3)}$	输出高电平, 当 8 个引脚同时输出电流		$V_{DD}-0.4$		

1. 芯片吸收的电流 I_{IO} 必须始终遵循表 4 中给出的绝对最大额定值, 同时 I_{IO} 的总和(所有 I/O 脚和控制脚)不能超过 I_{VSS} 。
2. 芯片输出的电流 I_{IO} 必须始终遵循表 4 中给出的绝对最大额定值, 同时 I_{IO} 的总和(所有 I/O 脚和控制脚)不能超过 I_{VDD} 。
3. 由综合评估得出, 不在生产中测试。

输入输出交流特性

输入输出交流特性的定义和数值分别在图 16 和表 34 给出。

除非特别说明, 列出的参数是使用环境温度和供电电压符合表 6 的条件测量得到。

表 34 输入输出交流特性⁽¹⁾

MODEx[1:0]	符号	参数	条件	最小值	最大值	单位
10 (2MHz)	$f_{max(IO)out}$	最大频率 ⁽²⁾	$C_L = 50\text{ pF}, V_{DD} = 2\sim 3.6V$		2	MHz
	$t_{f(IO)out}$	输出高至低电平的下降时间	$C_L = 50\text{ pF}, V_{DD} = 2\sim 3.6V$		125 ⁽³⁾	ns
	$t_{r(IO)out}$	输出低至高电平的上升时间			125 ⁽³⁾	
01 (10MHz)	$f_{max(IO)out}$	最大频率 ⁽²⁾	$C_L = 50\text{ pF}, V_{DD} = 2\sim 3.6V$		10	MHz
	$t_{f(IO)out}$	输出高至低电平的下降时间	$C_L = 50\text{ pF}, V_{DD} = 2\sim 3.6V$		25 ⁽³⁾	ns
	$t_{r(IO)out}$	输出低至高电平的上升时间			25 ⁽³⁾	
11 (50MHz)	$f_{max(IO)out}$	最大频率 ⁽²⁾	$C_L = 30\text{ pF}, V_{DD} = 2.7\sim 3.6V$		50	MHz
			$C_L = 50\text{ pF}, V_{DD} = 2.7\sim 3.6V$		30	
			$C_L = 50\text{ pF}, V_{DD} = 2\sim 2.7V$		20	
	$t_{f(IO)out}$	输出高至低电平的下降时间	$C_L = 30\text{ pF}, V_{DD} = 2.7\sim 3.6V$		5 ⁽³⁾	ns
			$C_L = 50\text{ pF}, V_{DD} = 2.7\sim 3.6V$		8 ⁽³⁾	
			$C_L = 50\text{ pF}, V_{DD} = 2\sim 2.7V$		12 ⁽³⁾	
	$t_{r(IO)out}$	输出低至高电平的上升时间	$C_L = 30\text{ pF}, V_{DD} = 2.7\sim 3.6V$		5 ⁽³⁾	
			$C_L = 50\text{ pF}, V_{DD} = 2.7\sim 3.6V$		8 ⁽³⁾	
			$C_L = 50\text{ pF}, V_{DD} = 2\sim 2.7V$		12 ⁽³⁾	
-	t_{EXTIpw}	EXTI 控制器检测到外部信号的脉冲宽度		10		ns

1. I/O 端口的速度可以通过 MODEx[1:0]配置。参见 CS32F103x8 和 CS32F103xB 参考手册中有关 GPIO 端口配置寄存器的说明。

2. 最大频率在图 16 中定义。
3. 由设计保证，不在生产中测试。

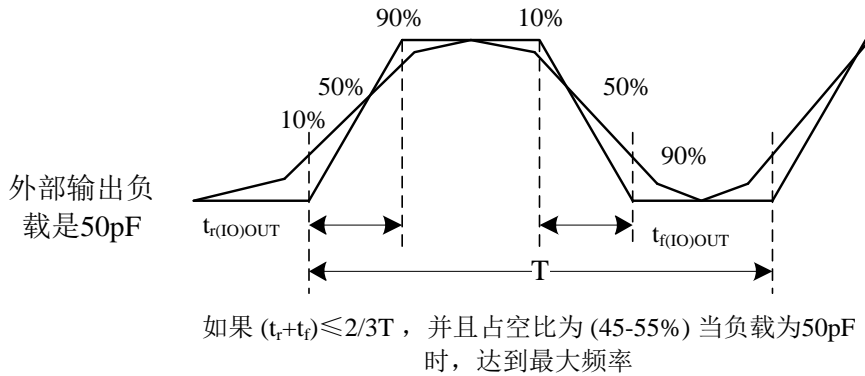


图 16 输入输出交流特性定义

5.3.13 NRST 引脚特性

NRST 引脚输入驱动使用 CMOS 工艺，它连接了一个不能断开的上拉电阻， R_{PU} (参见表 32)。除非特别说明，表 35 列出的参数是使用环境温度和 V_{DD} 供电电压符合表 6 的条件测量得到。

表 35 NRST 引脚特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL(NRST)}^{(1)}$	NRST 输入低电平电压		-0.5		0.8	V
$V_{IH(NRST)}^{(1)}$	NRST 输入高电平电压		2		$V_{DD}+0.5$	
$V_{hys(NRST)}^{(1)}$	NRST 施密特触发器电压迟滞			200		mV
R_{PU}	弱上拉等效电阻 ⁽²⁾	$V_{IN}=V_{SS}$	30	40	50	k Ω
$V_{F(NRST)}^{(1)}$	NRST 输入滤波脉冲				100	ns
$V_{NF(NRST)}^{(1)}$	NRST 输入非滤波脉冲		300			ns

1. 由设计保证，不在生产中测试。
2. 上拉电阻是设计为一个真正的电阻串联一个可开关的 PMOS 实现。这个 PMON/NMOS 开关的电阻很小(约占 10%)。

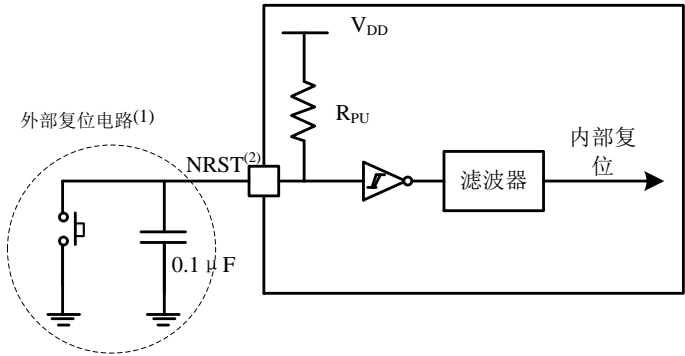


图 17 建议的 NRST 引脚保护

1. 复位网络是为了防止寄生复位。
2. 用户必须保证 NRST 引脚的电位能够低于表 35 中列出的最大 $V_{IL(NRST)}$ 以下，否则 MCU 不能得到复位。

5.3.14 TIM 定时器特性

表 36 列出的参数由设计保证。

有关输入输出复用功能引脚(输出比较、输入捕获、外部时钟、PWM 输出)的特性详情, 参第 5.3.12 节。

表 36 TIMx⁽¹⁾ 特性

符号	参数	条件	最小值	最大值	单位
$t_{res(TIM)}$	定时器分辨时间		1		$t_{TIMxCLK}$
		$f_{TIMxCLK} = 72MHz$	13.9		ns
f_{EXT}	CH1 至 CH4 的定时器 外部时钟频率		0	$f_{TIMxCLK}/2$	MHz
		$f_{TIMxCLK} = 72MHz$	0	36	MHz
Res_{TIM}	定时器分辨率			16	bit
$t_{COUNTER}$	当选择了内部时钟时, 16 位计数器时钟周期		1	65536	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 72MHz$	0.0139	910	μs
t_{MAX_COUNT}	最大可能的计数			65536x65536	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 72MHz$		59.6	s

1. TIMx 是一个通用的名称, 代表 TIM1~TIM4。

5.3.15 通信接口

I²C 接口特性

除非特别说明, 表 50 表 37 列出的参数是使用环境温度, f_{PCLK1} 频率和 V 供电电压符合表 6 的条件测量得到。

CS32F103xB 和 CS32F103xB 标准型产品的 I²C 接口符合标准 I²C 通信协议, 但有如下限制: SDA 和 SCL 不是“真”开漏的引脚, 当配置为开漏输出时, 在引出脚和 V_{DD} 之间的 PMOS 管被关闭, 但仍然存在。

I²C 接口特性列于表 37, 有关输入输出复用功能引脚(SDA 和 SCL)的特性详情, 参见第 5.3.12 节。

表 37 I²C 接口特性

符号	参数	标准 I ² C ⁽¹⁾		快速 I ² C ⁽¹⁾⁽²⁾		单位
		最大值	最小值	最大值	最小值	
$t_{w(SCLL)}$	SCL 时钟低时间	4.7		1.3		μs
$t_{w(SCLH)}$	SCL 时钟高时间	4.0		0.6		
$t_{su(SDA)}$	SDA 建立时间	250		100		ns
$t_h(SDA)$	SDA 数据保持时间	0 ⁽³⁾		0 ⁽⁴⁾	900 ⁽³⁾	
$t_r(SDA)$ $t_r(SCL)$	SDA 和 SCL 上升时间		1000	20+0.1C _b	300	
$t_f(SDA)$ $t_f(SCL)$	SDA 和 SCL 下降时间		300		300	
$t_h(STA)$	开始条件保持时间	4.0		0.6		μs

$t_{su(STA)}$	重复的开始条件建立时间	4.7		0.6		
$t_{su(STO)}$	停止条件建立时间	4.0		0.6		μs
$t_{w(STO:STA)}$)	停止条件至开始条件的时 间(总线空闲)	4.7		1.3		μs
C_b	每条总线的容性负载		400		400	pF

1. 由设计保证，不在生产中测试。
2. 为达到标准模式 I²C 的最大频率， f_{PCLK1} 必须大于 2MHz。为达到快速模式 I²C 的最大频率， f_{PCLK1} 必须大于 4MHz。
3. 如果不要拉长 SCL 信号的低电平时间，则只需满足开始条件的最大保持时间。
4. 为了跨越 SCL 下降沿未定义的区域，在 MCU 内部必须保证 SDA 信号上至少 300ns 的保持时间。

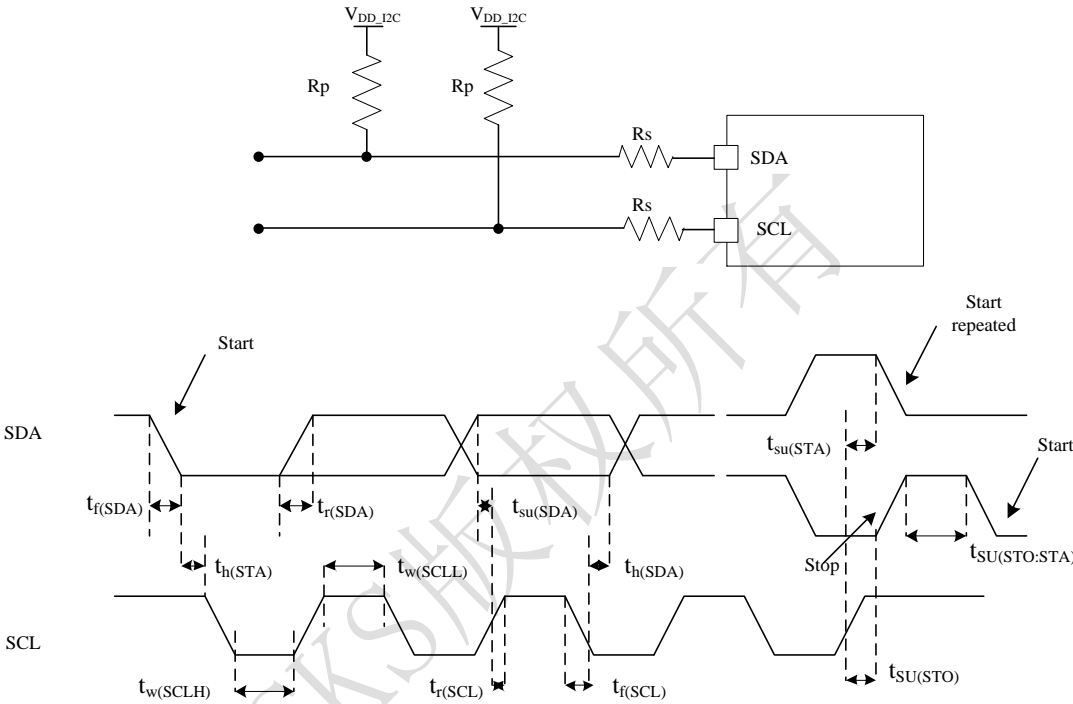


图 18 I²C 总线交流波形和测量电路⁽¹⁾

1. 测量点设置于 CMOS 电平：0.3V_{DD} 和 0.7V_{DD}。

表 38 SCL 频率($f_{PCLK1} = 36\text{MHz}$, $V_{DD} = 3.3\text{V}$)⁽¹⁾⁽²⁾

$f_{SCL}(\text{kHz})$	I ² C_CCR 数值
	$R_p=4.7\text{ k}\Omega$
400	0x801E
300	0x8028
200	0x803C
100	0x00B4
50	0x0168
20	0x0384

1. R_p = 外部上拉电阻， f_{SCL} =I²C 速度。
2. 对于 200kHz 左右的速度，速度的误差是 $\pm 5\%$ 。对于其它速度范围，速度的误差是 $\pm 2\%$ 。这些变化取决于设计中外部元器件的精度。

SPI 接口特性

除非特别说明，表 39 列出的参数是使用环境温度， f_{PCLKx} 频率和 V_{DD} 供电电压符合表 6 的条件测量得到。

有关输入输出复用功能引脚(NSS、SCK、MOSI、MISO)的特性详情，参见第 5.3.12 节。

表 39 SPI 特性⁽¹⁾

符号	参数	条件	最小值	最大值	单位
f_{SCK} $1/t_c(SCK)$	SPI 时钟频率	主模式	-	18	MHz
		从模式	-	18	
$t_r(SCK)$ $t_f(SCK)$	SPI 时钟上升和下降时间	负载电容: $C = 30pF$	-	8	ns
Duty(SCK)	从机输入时钟占空比	从模式	30	70	%
$t_{su}(NSS)^{(2)}$	NSS 建立时间	从模式	$4t_{PCLK}$	-	ns
$t_h(NSS)^{(2)}$	NSS 保持时间	从模式	$2t_{PCLK}$	-	
$t_w(SCKH)^{(2)}$ $t_w(SCKL)^{(2)}$	SCK 高和低的时间	主模式, $f_{PCLK} = 36MHz$, 预分频系数=4	50	60	
$t_{su}(MI)^{(2)}$ $t_{su}(SI)^{(2)}$	数据输入建立时间, 主模式	主模式	5		
		从模式	5		
$t_h(MI)^{(2)}$ $t_h(SI)^{(2)}$	数据输入保持时间, 主模式	主模式	5		
		从模式	4		
$t_a(SO)^{(2)(3)}$	数据输出访问时间	从模式, $f_{PCLK} = 20MHz$	0	$3t_{PCLK}$	
$t_{dis}(SO)^{(2)(4)}$	数据输出禁止时间	从模式	2	10	
$t_v(SO)^{(2)(1)}$	数据输出有效时间	从模式(使能边沿之后)		25	
$t_v(MO)^{(2)(1)}$	数据输出有效时间	主模式(使能边沿之后)		5	
$t_h(SO)^{(2)}$ $t_h(MO)^{(2)}$	数据输出保持时间	从模式(使能边沿之后)	15		
		主模式(使能边沿之后)	2		

1. 重映射的 SPI1 特性需要进一步确定。
2. 由综合评估得出，不在生产中测试。
3. 最小值表示驱动输出的最小时间，最大值表示正确获得数据的最大时间。
4. 最小值表示关闭输出的最小时间，最大值表示把数据线置于高阻态的最大时间。

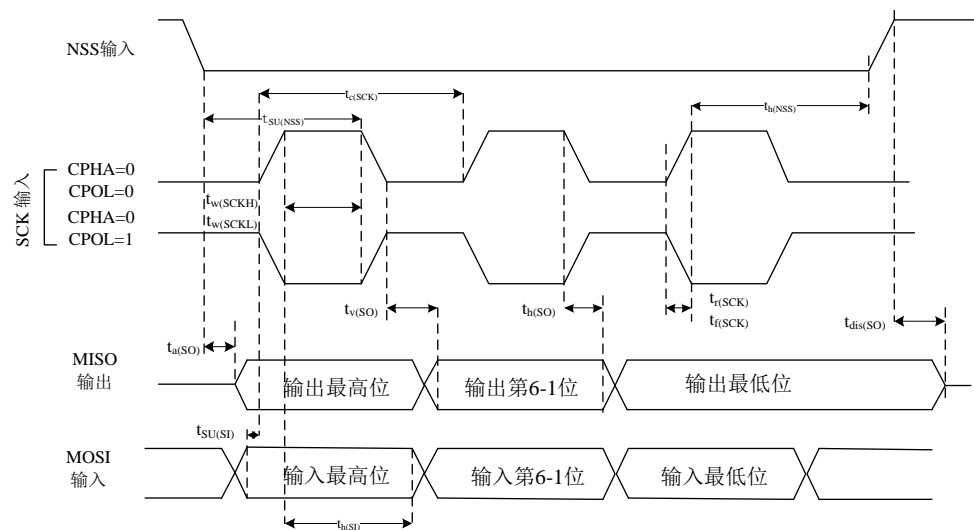


图 19 SPI 时序图-从模式和 CPHA=0

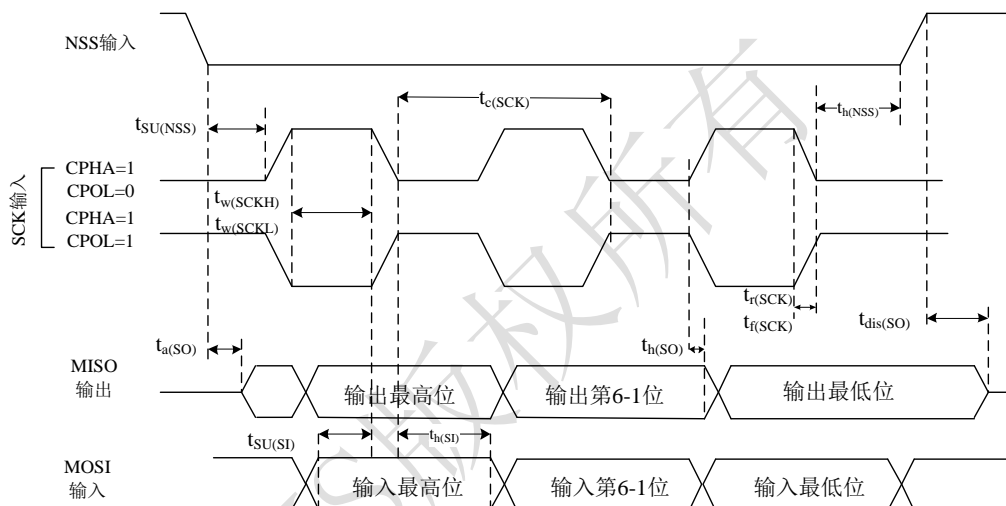


图 20 SPI 时序图- 从模式和 CPHA=1⁽¹⁾

1. 测量点设置于 CMOS 电平: 0.3V_{DD} 和 0.7V_{DD}。

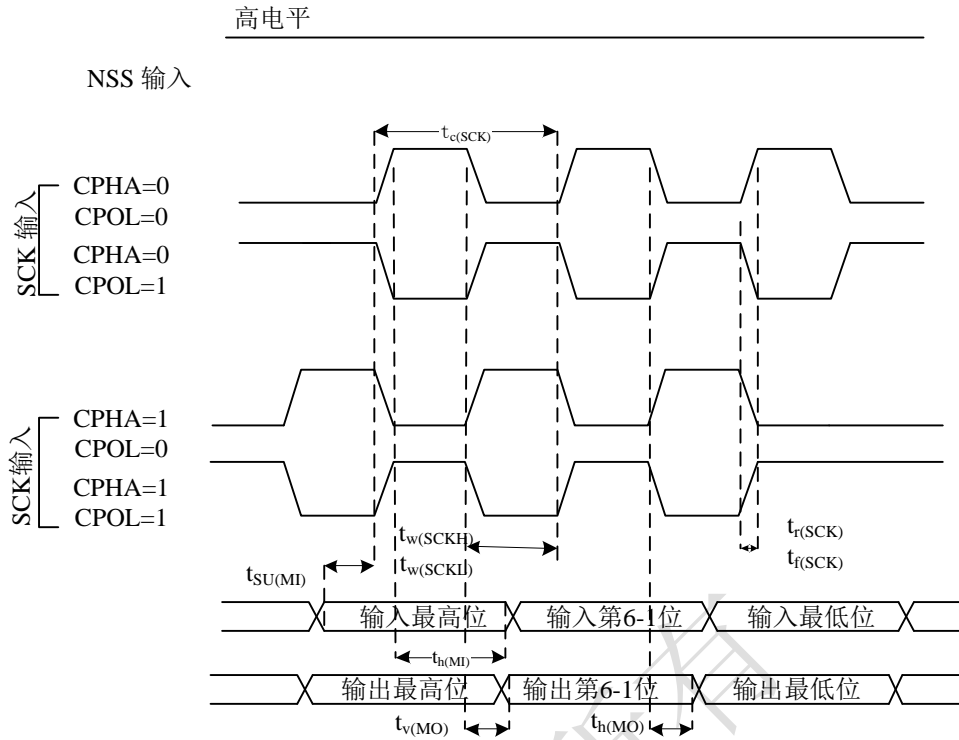


图 21 SPI 时序图-主模式⁽¹⁾

1. 测量点设置于 CMOS 电平：0.3V_{DD} 和 0.7V_{DD}。

USB 特性

USB(全速)接口已通过 USB-IF 认证。

表 40 USB 启动时间

符号	参数	最大值	单位
$t_{STARTUP}^{(1)}$	USB 收发器启动时间	1	μs

1. 由设计保证，不在生产中测试。

表 41 USB 直流特性

符号	参数	条件	最小值 ⁽¹⁾	最大值 ⁽¹⁾	单位
输入电平					
V _{DD}	USB 操作电压 ⁽²⁾		3.0 ⁽³⁾	3.6	V
V _{DI} ⁽⁴⁾	差分输入灵敏度	I(USBDP,USBDM)	0.2		V
V _{CM} ⁽⁴⁾	差分共模范围	包含 V _{DI} 范围	0.8	2.5	
V _{SE} ⁽⁴⁾	单端接收器阈值		1.3	2.0	
输出电平					
V _{OL}	静态输出低电平	1.5kΩ 的 R _L 接至 3.6V ⁽⁵⁾		0.3	V
V _{OH}	静态输出高电平	15kΩ 的 R _L 接至 V _{SS} ⁽⁵⁾	2.8	3.6	

1. 所有的电压测量都是以设备端地线为准。

2. 为了与 USB 2.0 全速电气规范兼容，USBDP(D+)引脚必须通过一个 1.5k Ω 电阻接至 3.0~3.6V 电压。

3. CS32F0103xx 正确的 USB 功能可以在 2.7V 得到保证，而不是在 2.7~3.0V 电压范围下降级的电气特性。

4. 由综合评估保证，不在生产中测试。
5. R_L 是连接到 USB 驱动器上的负载。

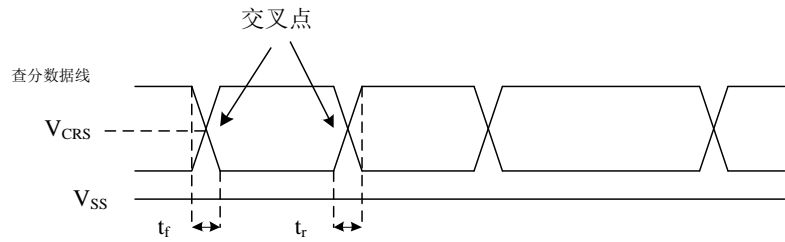


图 22 USB 时序：数据信号上升和下降时间定义

表 42 USB 全速电气特性⁽¹⁾

符号	参数	条件	最小值	最大值	单位
t_r	上升时间 ⁽²⁾	$CL \leq 50pF$	4	20	ns
t_f	下降时间 ⁽²⁾	$CL \leq 50pF$	4	20	ns
t_{rfm}	上升下降时间匹配	t_r / t_f	90	110	%
V_{CRS}	输出信号交叉电压		1.3	2.0	V

1. 由设计保证，不在生产中测试。
2. 测量数据信号从 10% 至 90%。

5.3.16 CAN(控制器局域网络)接口

有关输入输出复用功能引脚(CAN_TX 和 CAN_RX)的特性详情，参见第 5.3.12 节。

5.3.17 12 位 ADC 特性

除非特别说明，表 43 的参数是使用符合表 6 的条件的环境温度、 f_{PCLK2} 频率和 V_{DDA} 供电电压测量得到。

注意：建议在每次上电时执行一次校准。

表 43 ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	供电电压	-	2.4	-	3.6	V
V_{REF+}	正参考电压	-	2.4	-	V_{DDA}	V
I_{VREF}	在 V 输入脚上的电压	-	-	160 ⁽¹⁾	220 ⁽¹⁾	μA
f_{ADC}	ADC 时钟频率	-	0.6	-	14	MHz
$f_S^{(2)}$	采样速率	-	0.05	-	1	MHz
$f_{TRIG}^{(2)}$	外部触发频率	$f_{ADC}=14MHz$	-	-	823	kHz
		-	-	-	17	$1/f_{ADC}$
$V_{AIN}^{(3)}$	转换电压范围	-	$0(V_{SSA} \text{ 或 } V_{REF-})$	-	V_{REF+}	V

			连接到地)			
$R_{AIN}^{(2)}$	外部输入阻抗		-	-	50	k Ω
$R_{ADC}^{(2)}$	采样开关电阻		-	-	1	k Ω
$C_{ADC}^{(2)}$	内部采样和保持电容				8	pF
$t_{CAL}^{(2)}$	校准时间	$f_{ADC}=14MHz$	5.9			μs
			83			$1/f_{ADC}$
$t_{lat}^{(2)}$	注入触发转换时延	$f_{ADC}=14MHz$			0.214	μs
					3 ⁽⁴⁾	$1/f_{ADC}$
$t_{latr}^{(2)}$	常规触发转换时延	$f_{ADC}=14MHz$			0.143	μs
					2 ⁽⁴⁾	$1/f_{ADC}$
$t_S^{(2)}$	采样时间	$f_{ADC}=14MHz$	0.107		17.1	μs
			1.5		239.5	$1/f_{ADC}$
$t_{STAB}^{(2)}$	上电时间		0	0	1	μs
$t_{CONV}^{(2)}$	总的转换时间 (包括采样时间)	$f_{ADC}=14MHz$	1		18	μs
			14~252(采样 t_S +逐步逼近 12.5)			$1/f_{ADC}$

1. 由综合评估保证，不在生产中测试。
2. 由设计保证，不在生产中测试。
3. 在 QFN36、LQFP48 和 LQFP64 封装产品中， V_{REF+} 在内部连接到 V_{DDA} ， V_{REF-} 在内部连接到 V_{SSA} 。详见表 2。
4. 对于外部触发，必须在表 43 列出的时延中加上一个延迟 $1/f_{PCLK2}$ 。

公式 1：最大 R_{AIN} 公式

$$R_{AIN} < \frac{T_S}{f_{ADC} \times C_{ADC} \times \ln(2^{N+2})} - R_{ADC}$$

上述公式(公式 1)用于决定最大的外部阻抗,使得误差可以小于 1/4 LSB。其中 N=12(表示 12 位分辨率)。

表 44 $f_{ADC}=14MHz$ ⁽¹⁾时的最大 R_{AIN}

T_S (周期)	$t_S(\mu s)$	最大 $R_{AIN}(k\Omega)$
1.5	0.11	0.4
7.5	0.54	5.9
13.5	0.96	11.4
28.5	2.04	25.2
41.5	2.96	37.2
55.5	3.96	50
71.5	5.11	-
239.5	17.1	-

1. 由设计保证，不在生产中测试。

表 45 ADC 精度- 局限的测试条件⁽¹⁾⁽²⁾

符号	参数	测试条件	典型值	最大值 ⁽³⁾	单位
ET	综合误差	$f_{PCLK2} = 56 \text{ MHz}$ $f_{ADC} = 14 \text{ MHz}$, $R_{AIN} < 10 \text{ k}\Omega$, $V_{DDA} = 3 \sim 3.6 \text{ V}$, $T_A = 25 \text{ }^\circ\text{C}$ 测量是在 ADC 校准之后进行的	± 1.3	± 2	LSB
EO	偏移误差		± 1	± 1.5	
EG	增益误差		± 0.5	± 1.5	
ED	微分线性误差		± 0.7	± 1	
EL	积分线性误差		± 0.8	± 1.5	

1. ADC 的直流精度数值是在经过内部校准后测量的。

2. ADC 精度与反向注入电流的关系：需要避免在任何标准的模拟输入引脚上注入反向电流，因为这样会显著地降低，另一个模拟输入引脚上正在进行的转换精度。建议在可能产生反向注入电流的标准模拟引脚上，(引脚与地之间)增加一个肖特基二极管。

如果正向的注入电流，只要处于第 5.3.12 节中给出的 $I_{INJ(PIN)}$ 和 $\Sigma I_{INJ(PIN)}$ 范围之内，就不会影响 ADC 精度。

3. 由综合评估保证，不在生产中测试。

表 46 ADC 精度⁽¹⁾⁽²⁾⁽³⁾

符号	参数	测试条件	典型值	最大值 ⁽³⁾	单位
ET	综合误差	$f_{PCLK2} = 56 \text{ MHz}$ $f_{ADC} = 14 \text{ MHz}$, $R_{AIN} < 10 \text{ k}\Omega$, $V_{DDA} = 2.4 \sim 3.6 \text{ V}$ 测量是在 ADC 校准之后进行的	± 2	± 5	LSB
EO	偏移误差		± 1.5	± 2.5	
EG	增益误差		± 1.5	± 3	
ED	微分线性误差		± 1	± 2	
EL	积分线性误差		± 1.5	± 3	

1. ADC 的直流精度数值是在经过内部校准后测量的。

2. 最佳的性能可以在受限的 V_{DD} 、频率、 V_{REF} 和温度范围下实现。

3. ADC 精度与反向注入电流的关系：需要避免在任何标准的模拟输入引脚上注入反向电流，因为这样会显著地降低，另一个模拟输入引脚上正在进行的转换精度。建议在可能产生反向注入电流的标准模拟引脚上，(引脚与地之间)增加一个肖特基二极管。

如果正向的注入电流，只要处于第 5.3.12 节中给出的 $I_{INJ(PIN)}$ 和 $\Sigma I_{INJ(PIN)}$ 范围之内，就不会影响 ADC 精度。

4. 由综合评估保证，不在生产中测试。

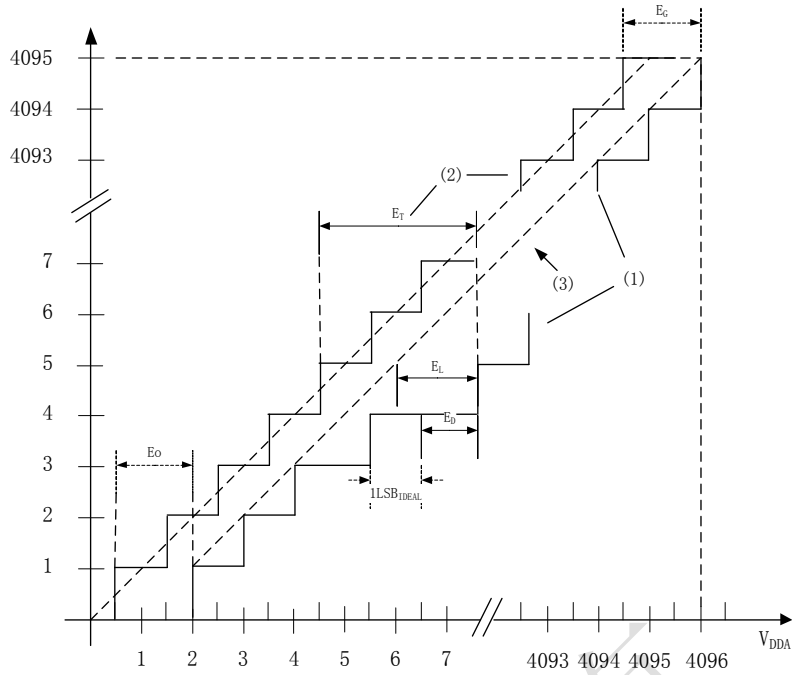


图 23 ADC 精度特性

- (1) 为实际 ADC 转换曲线的例子
- (2) 理想转换曲线
- (3) 实际转换点连线

E_T 综合误差：实际转换曲线与理想转换曲线间的最大偏离。

E_o 偏移误差：实际转换曲线上的第一次跃迁与理想转换曲线上的第一次跃迁之差。

E_G 增益误差：实际转换曲线上的最后一次跃迁与理想转换曲线上的最后一次跃迁之差。

E_D 微分线性误差：实际转换曲线上步距与理想步距(1LSB)之差。其中 $1LSB_{IDEAL} = V_{REF+}/4096$ (或 $V_{DDA}/4096$ ，由封装决定)。

E_L 积分线性误差：实际转换曲线与终点连线间的最大偏离。

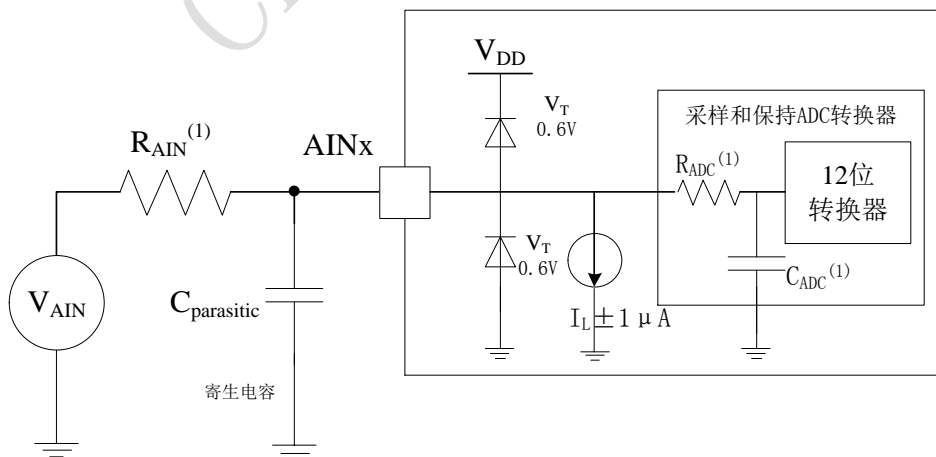


图 24 使用 ADC 典型的连接图

- 1. 有关 R_{AIN} 、 R_{ADC} 和 C_{ADC} 的数值，参见表 46。
- 2. $C_{parasitic}$ 表示 PCB(与焊接和 PCB 布局质量相关)与焊盘上的寄生电容(大约 7pF)。较大的 $C_{parasitic}$ 数值将降低转换的精度，解决的办法是减小 f_{ADC} 。

PCB 设计建议

依据 V_{REF+} 是否与 V_{DDA} 相连，电源的去耦必须按照图 25 或图 26 连接。图中的 10nF 电容必须是瓷介电容，它们应该尽可能地靠近 MCU 芯片。

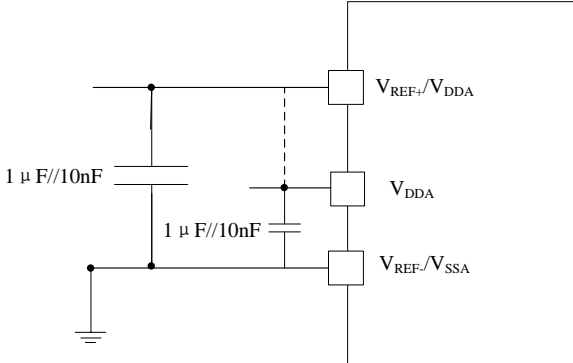


图 25 供电电源和参考电源去藕线路(V_{REF+} 未与 V_{DDA} 相连)

1. V_{REF+} 和 V_{REF-} 输入只出现在 100 脚以上的产品。

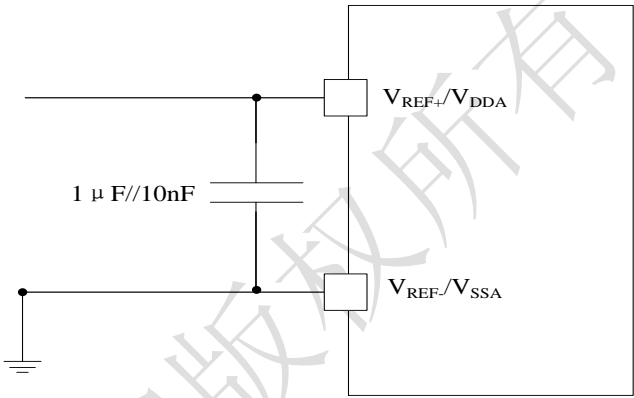


图 26 供电电源和参考电源去藕线路(V_{REF+} 与 V_{DDA} 相连)

1. V_{REF+} 和 V_{REF-} 输入只出现在 100 脚以上的产品。

5.3.18 温度传感器特性

表 47 温度传感器特性

符号	参数	最小值	典型值	最大值	单位
$T_L^{(1)}$	V_{SENSE} 相对于温度的线性度		± 1	± 2	$^{\circ}\text{C}$
$\text{Avg_Slope}^{(1)}$	平均斜率	4.0	4.3	4.6	$\text{mV}/^{\circ}\text{C}$
$V_{25}^{(1)}$	在 25°C 时的电压	1.61	1.62	1.63	V
$t_{\text{START}}^{(2)}$	建立时间	4		10	μs
$T_{S_temp}^{(2)(3)}$	当读取温度时，ADC 采样时间			17.1	μs

1. 由综合评估保证，不在生产中测试。
2. 由设计保证，不在生产中测试。
3. 最短的采样时间可以由应用程序通过多次循环决定。

6. 封装特性

6.1 封装机械数据

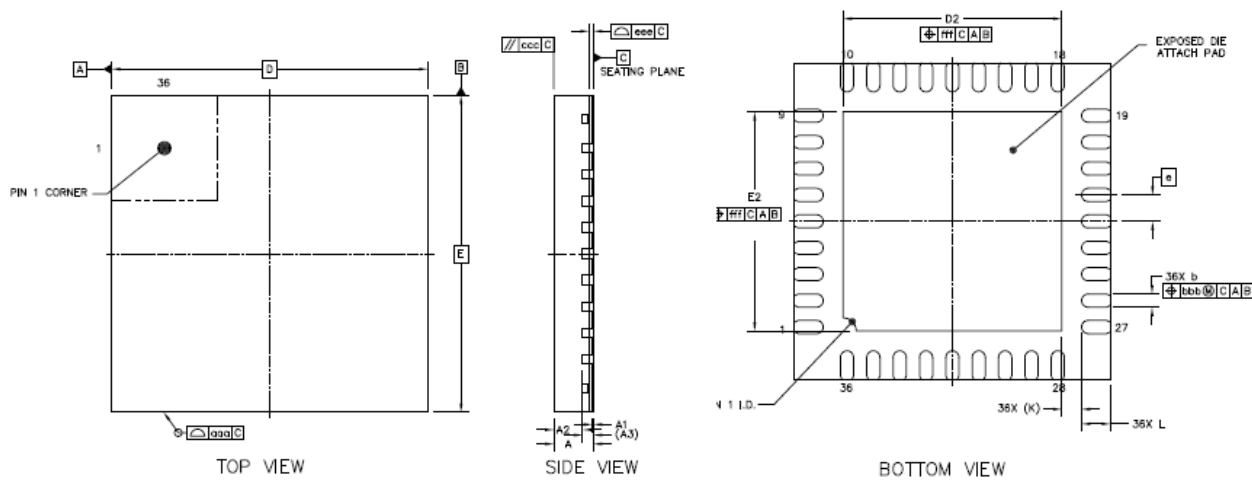


图 27 QFN36 封装图

表 48 QFN36 封装机械数据

标号	毫米		
	最小值	典型值	最大值
A	0.70	0.75	0.80
A1	0	0.02	0.05
A3	0.203 REF		
b	0.20	0.25	0.30
D	6 BSC		
E	6 BSC		
e	0.5 BSC		
D2	4.05	4.15	4.25
E2	4.05	4.15	4.25
K	0.375 REF		
L	0.45	0.55	0.65
aaa	0.1		
ccc	0.1		
eee	0.08		
bbb	0.1		
fff	0.1		

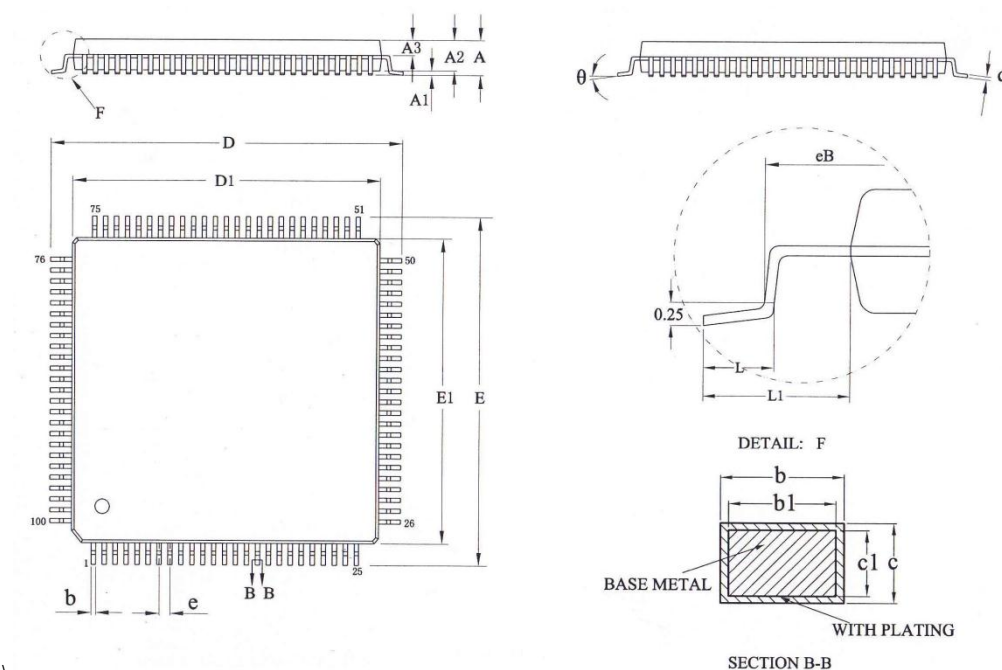


图 28 LQFP100，100 脚低剖面方形扁平封装图

表 49 LQFP100，100 脚低剖面方形扁平封装数据

标号	毫米		
	最小值	典型值	最大值
A			1.60
A1	0.05	-	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	-	0.26
b1	0.17	0.20	0.23
c	0.13	-	0.14
D	15.80	16.00	16.20
D1	13.90	14.00	14.10
E	15.80	16.00	16.20
E1	13.90	14.00	14.20
eB	15.05	-	15.35
e	0.50 BSC		
L	0.45	-	0.75
L1	1.00 REF		
θ	0	-	7°

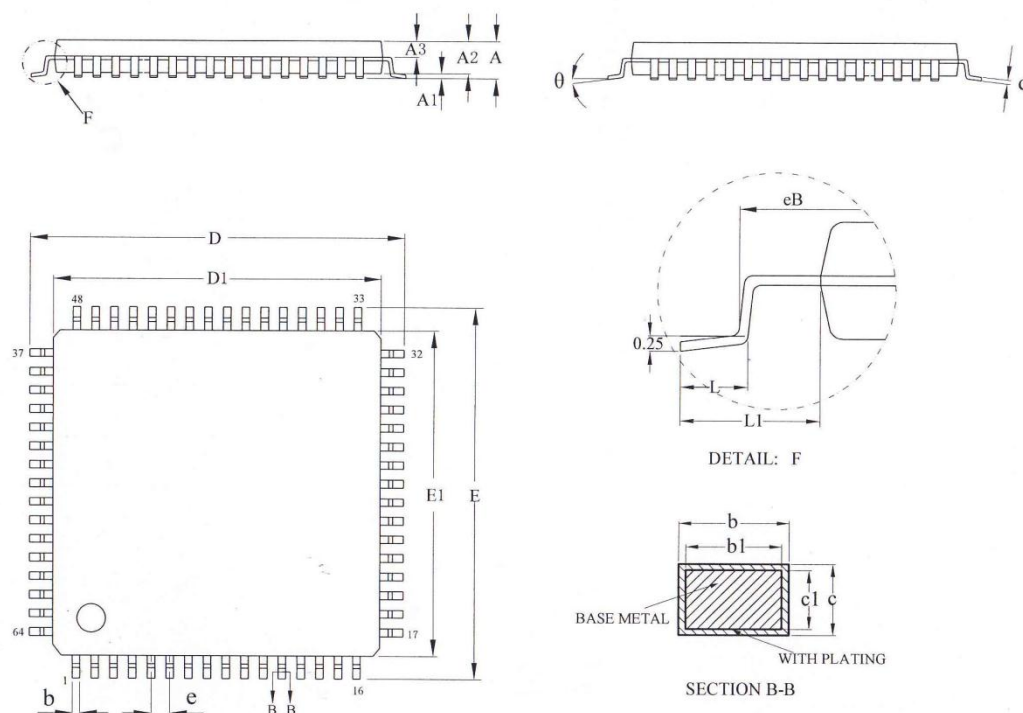


图 29 LQFP64，64 脚低剖面方形扁平封装图

表 50 LQFP64，64 脚低剖面方形扁平封装数据

标号	毫米		
	最小值	典型值	最大值
A	-	-	1.60
A1	0.05	-	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	-	0.26
b1	0.17	0.20	0.23
c	0.13	-	0.17
D	11.80	12.00	12.20
D1	9.90	10.00	10.10
E	11.80	12.00	12.20
eB	11.25	-	11.45
E1	9.90	10.00	10.10
e	0.50 BSC		
θ	0°	-	7°
L	0.45	-	0.75
L1	1.00 REF		

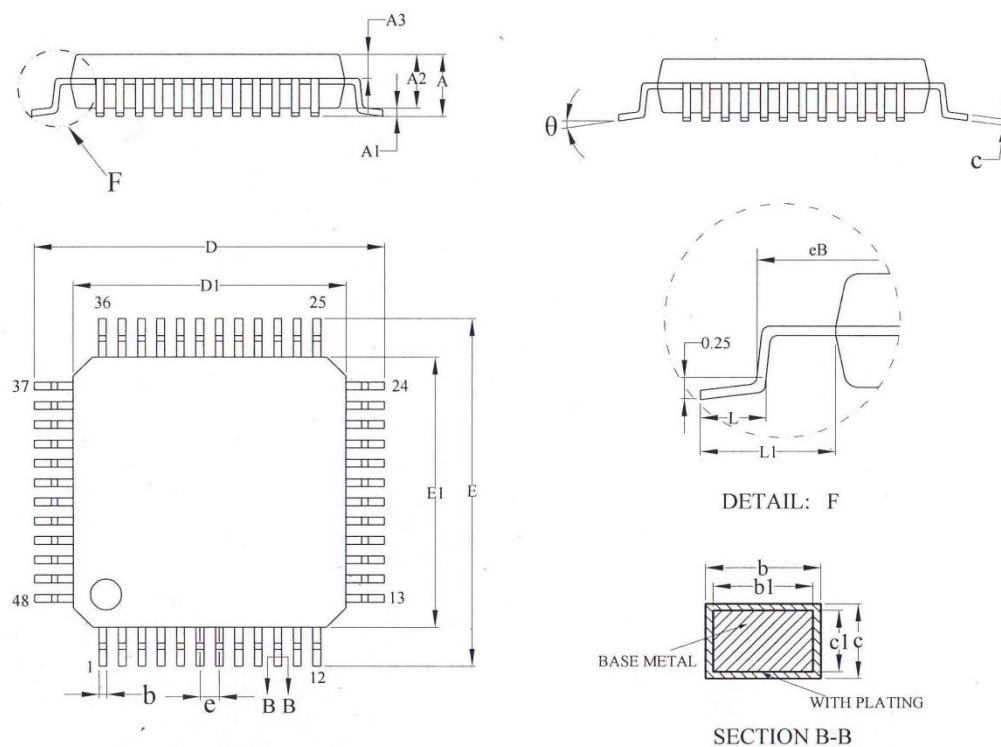


图 30 LQFP48, 48 脚低剖面方形扁平封装图

表 51 LQFP48, 48 脚低剖面方形扁平封装数据

标号	毫米		
	最小值	典型值	最大值
A	-	-	1.60
A1	0.05	-	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	-	0.26
b1	0.17	0.20	0.23
c	0.13	-	0.17
c1	0.12	0.13	0.14
D	8.80	9.00	9.20
D1	6.90	7.00	7.10
E	8.80	9.00	9.20
E1	6.90	7.00	7.20
eB	8.10	-	8.25
e	0.50 BSC		
L	0.40	-	0.65
L1	1.00 REF		
k	0	-	7°

6.2 热特性

芯片的最大结温(T_{Jmax})一定不能超过表 6 给出的数值范围。

芯片的最大结温(T_{Jmax})用摄氏温度表示, 可用下面的公式计算:

$$T_{Jmax} = T_{Amax} + (P_{Dmax} \times \Theta_{JA})$$

其中:

- T_{Amax} 是最大的环境温度, 用 $^{\circ}\text{C}$ 表示,
- Θ_{JA} 是封装中结到环境的热阻抗, 用 $^{\circ}\text{C}/\text{W}$ 标示,
- P_{Dmax} 是 P_{INTmax} 和 P_{IOmax} 的和($P_{Dmax} = P_{INTmax} + P_{IOmax}$),
- P_{INTmax} 是 I_{DD} 和 V_{DD} 的乘积, 用瓦特(Watt)表示, 是芯片的最大内部功耗。

P_{IOmax} 是所有输出引脚的最大功率消耗:

$$P_{IOmax} = \Sigma(V_{OL} \times I_{OL}) + \Sigma((V_{DD} - V_{OH}) \times I_{OH}),$$

考虑在应用中 I/O 上低电平和高电平的实际的 V_{OL}/I_{OL} 和 V_{OH}/I_{OH} 。

表 52 封装的热特性

符号	参数	数值	单位
Θ_{JA}	结到环境的热阻抗——LQFP100 – 14×14mm/0.5mm 间距	46	$^{\circ}\text{C} / \text{W}$
	结到环境的热阻抗——LQFP64 – 10×10mm/0.5mm 间距	45	
	结到环境的热阻抗——LQFP48 – 7×7mm/0.5mm 间距	55	
	结到环境的热阻抗——QFN36-6×6mm/0.5mm 间距	18	

6.2.1 参考文档

JESD51-2 集成电路热测量环境条件-自然对流(空气静止)。参见 www.jedec.org。

7. 版本历史

日期	版本	修改部分
2018.01.18	Initial draft	
2018.04.20	1.0	修改图 3 中引脚 80 和引脚 81 的引脚定义； 表 14 中添加时钟为 48MHz 条件下的典型值； 添加表 15 运行模式下的典型电流消耗，数据处理代码从内部 RAM 中运行； 修改表 16 中时钟为 72MHz 条件下的典型值； 修改表 18 中 f_{LSE_ext} 的最大值； 修改表 26 中 I_{DD} 单位 μA 为 mA； 修改表 47 中 V_{25} 的最小值，典型值和最大值。