

II. Systembusse

- Verbindung: Prozessor(en) \leftrightarrow Speicher, EA
 - **Speicher** \rightarrow Speicherverwaltung (Virtualisierung)
 - Memory Management Unit (MMU):
Umrechnung virtuelle Programm-, Daten-Adressen in physische
 - Pufferung \rightarrow Cache (Cachekohärenz)
 - **EA-System**: Grafik (wenn vorhanden), Festspeicher (HD), Netzwerk, Video, sonstiges
- **Hauptplatine**: Prozessor, Speicher, MMU, EA-Interfaces, Signalisierung (Interrupt, DMA)
- **starke Geschwindigkeitsunterschiede**: Prozessor, Speicher, EA
- elektrischer Anschluss: Prozessor – Schaltkreise
- **Firmware** (SW!): Schnittstelle zur Hauptplatine, Boot-Lader

II.1. Bus Hierarchie

Hierarchisch weiter vom Prozessor entfernt

- hierarchisch verbunden
- Geschwindigkeit
- **Prozessor Bus:** höchste Anforderung
- **Cache Bus** (backside): extra Verbindung zum System-Cache
Pentium II, Pro, danach Cache mit Speicher-Bus verbunden
- **Memory Bus:** Speicher \leftrightarrow Chipset, Prozessor
 - manchmal mit Prozessor Bus identisch
- **Lokaler EA-Bus:** Hochgeschwindigkeit Video, NW, HD
Bsp: VESA Local Bus, Accelerated Graphics Port AGP, Peripheral Component Interconnect Bus PCI
- **Standard EA-Bus:** ISA
Bsp: Tastatur, Maus, Drucker, Kompatibilität, BIOS

II.2. Software

- Hauptplatine: **BIOS** basic input output system
 - altgriechisch: βίος – Leben
 - Open Firmware: SPARC, PowerPC
 - Extensible Firmware Interface: Intel, MS
 - Simple Firmware Interface (SFI): Smartphone, MID
 - nichtflüchtiger Speicher: Programm zum Laden Bootcode
 - Master Boot Record
 - Kommunikationsprotokolle
 - weitere Aufgaben
 - Power On Self-Test
 - Konfiguration, Initialisierung der HW (Extended System Configuration Data)
- **Gerätetreiber**: für Geräte der Hauptplatine, Erweiterungskarten
- **Betriebssystem**: HAL, Verwaltung und Betrieb der Ressourcen

II.3. Kommunikationspfade

- höchste Kommunikationsleistung: Prozessor – Speicher
 - Programme: Algorithmus zur Gewinnung von Information
 - Daten: Träger der Informationen
- Informationen und Daten müssen in das System gelangen
 - EA: sehr langsam
 - Programmabarbeitung viel schneller (Faktor 10 ... 100)
- Flaschenhals EA
 - Datenquellen langsam (Temperatursensor)
 - Bus-System langsam (10 GBE, Grafik)
 - Berührungspunkt: Speicher

- 6. PC Bus
- 7. PCI
- 8. Backside
- 9. Frontside
- 10. QuickPath
- 11. PCIe

6. PC BUS: Industry Standard Architecture

- Anfang der 80er Jahre: XT-, ISA- (AT-)Bus
- Verlängerung des Prozessorbus:

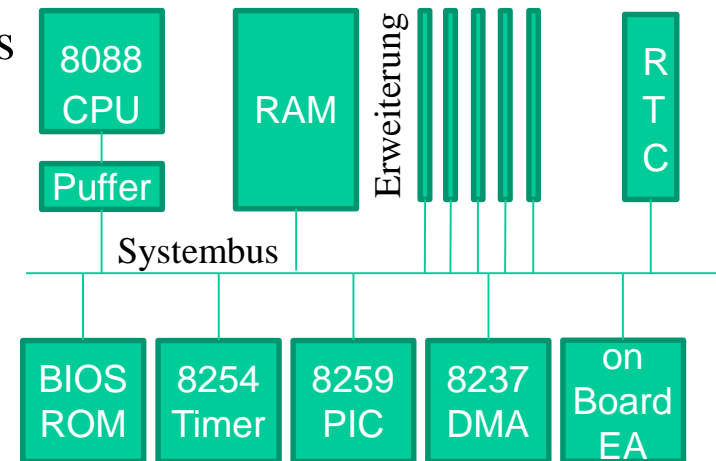
Systembus, kein höheres Protokoll

- Datenleitungen: 8 (8088) bis 64 (Pentium)
- Adressleitungen: 20 (8086) bis 32 (386)
- Steuerleitungen:

Takt 4,7 MHz (8088) bis 16 MHz,

Read, Write, I/O, MemR/W, Refresh, IRQ, DRQ, Reset

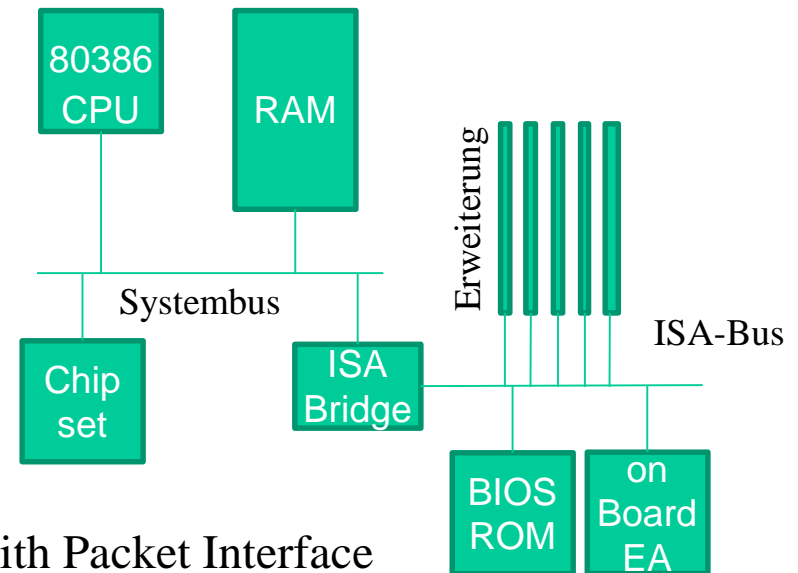
- nur eins der über Adapter angeschlossenen Geräte kann zugreifen
 - Speicher, Graphikkarte, Festplatte, Peripherie



- 6. PC Bus
- 7. PCI
- 8. Backside
- 9. Frontside
- 10. QuickPath
- 11. PCIe

6. PC BUS: Industry Standard Architecture

- Ende 80er – Anfang 90er Jahre: schnellere 386er CPU
- Trennung EA-Bus von Systembus
- Systembus
 - Verlängerung des Prozessorbus
 - 32 Bit, 25 MHz
- Beschränkung für
 - Graphik
 - Integrated Device Electronics (IDE)
 - standardisiert: ATAPI
 - Advanced Technology Attachment with Packet Interface
- Konkurrenz: RAM – ISA-Bridge, nicht mehr mit EA-Geräten



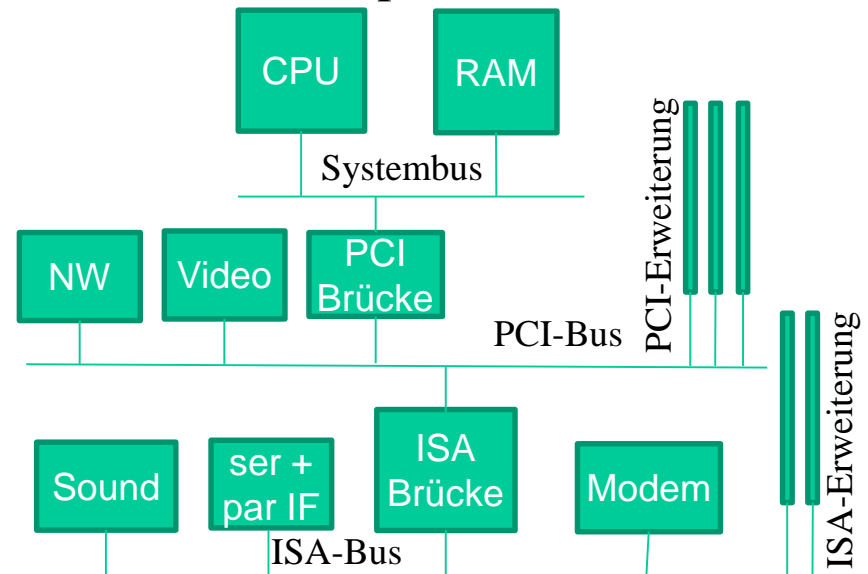
7. PCI Bus

- Peripheral Component Interconnect: Einführung 1993
 - PCI bis ins Kleinste plattform-unabhängig standardisiert
 - Brücke direkt am Systembus angeschlossen
 - Entkoppelung der Geschwindigkeit: Prozessor, Peripherie
 - 32 Bit, 33 MHz → 132 MB/s
 - Parallelisierung
 - PCI-Brücke: DMA
 - Konkurrenz: RAM – PCI-Brücke
 - Speichereinbindung PCI-Geräte

Nachteil: PCI Geschwindigkeit
 - Abstraktion
 - 256 Byte Konfig-Speicher
-
- ```

graph TD
 CPU[CPU] --- Systembus[Systembus]
 RAM[RAM] --- Systembus
 Systembus --- PCI[PCI Brücke]
 PCI --- NW[NW]
 PCI --- Video[Video]
 PCI --- Sound[Sound]
 PCI --- ser[ser + par IF]
 PCI --- ISA[ISA Brücke]
 ISA --- ISABus[ISA-Bus]

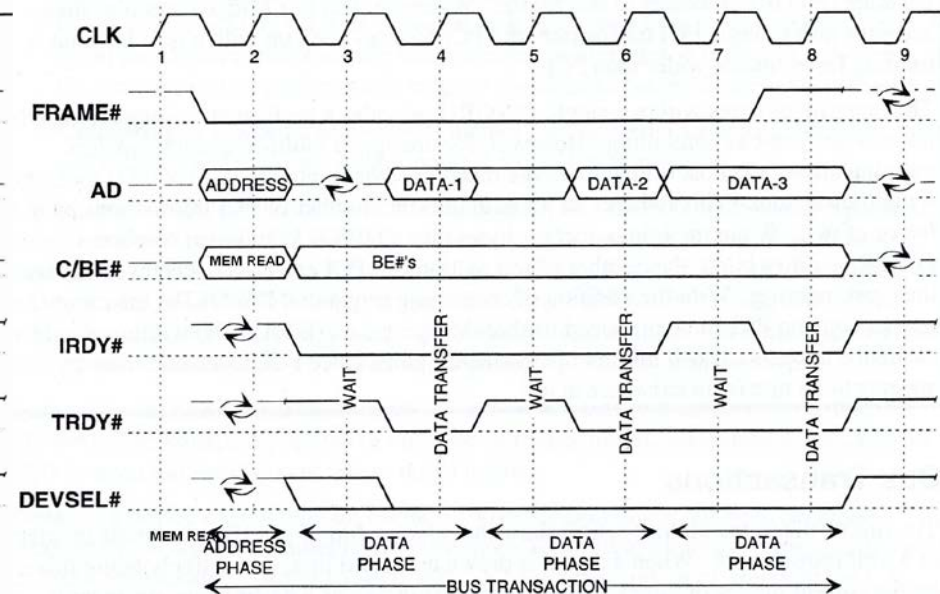
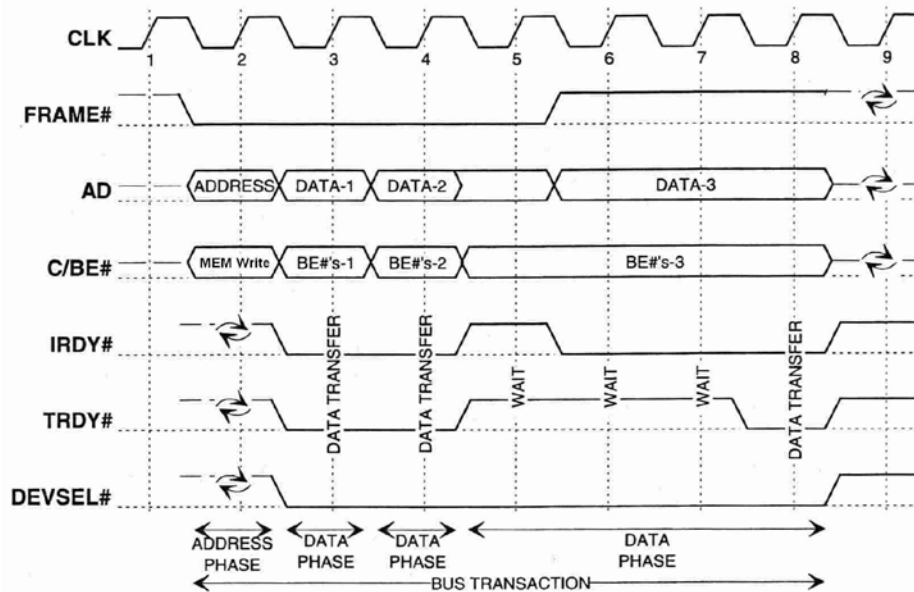
```



6. PC Bus
7. **PCI**
8. Backside
9. Frontside
10. QuickPath
11. PCIe

## 7. PCI Bus – im Detail

- 12 PCI Kommandos:
  - I/O-, Mem- und Config.-R/W, Interrupt Acknowledge, Special Cycle





- 6. PC Bus
- 7. **PCI**
- 8. Backside
- 9. Frontside
- 10. QuickPath
- 11. PCIe

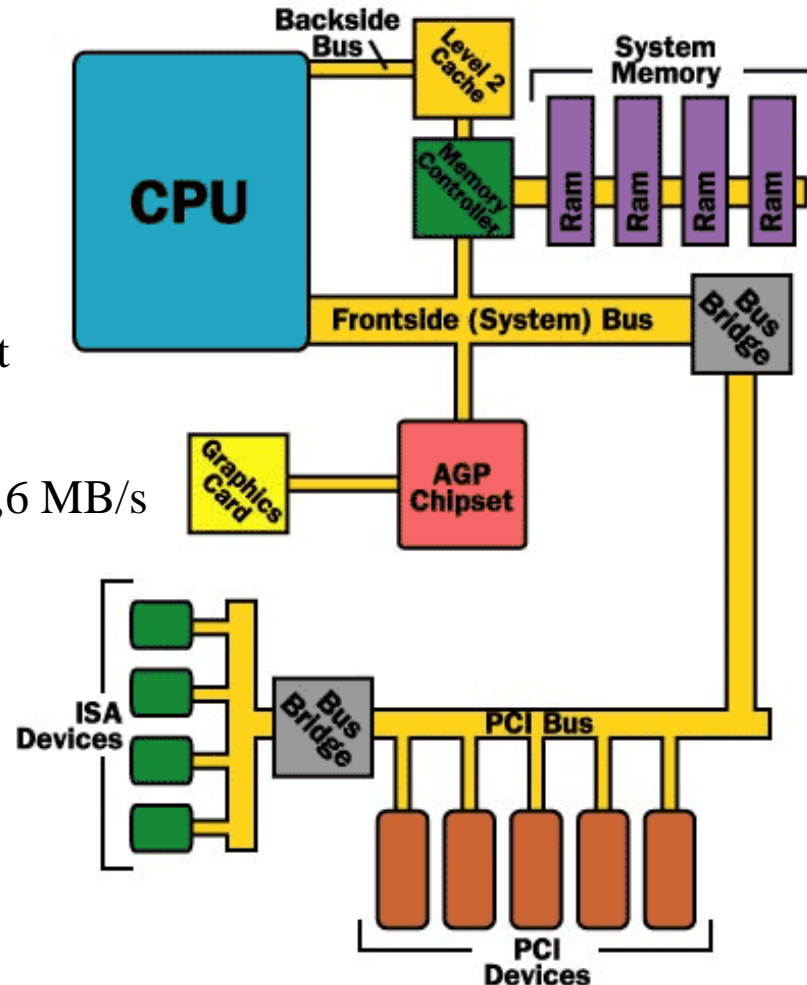
## 7. PCI Bus – im Detail

- 12 PCI Kommandos:
  - I/O-, Mem- und Config.-R/W, Interrupt Acknowledge, Special Cycle
- Konfigurationsspeicher: 64 Byte vordefiniert
  - Infos zur Identifikation: Hersteller, Geräteklasse ...
  - Basis-Adress-Register: 6\* 4B
    - 32 o. 64 bit für ein oder mehrere Speicher- und EA-Bereiche
    - z.B.: 2x 64 bit Speicheradressen, 2x 32 bit EA-Adressen
  - Status, Steuerung: Status-, Kommando-, Interrupt, Latenz ... Register

- 6. PC Bus
- 7. PCI
- 8. Backside
- 9. Frontside
- 10. QuickPath
- 11. PCIe

## 8. Backside Bus – L2-Cache

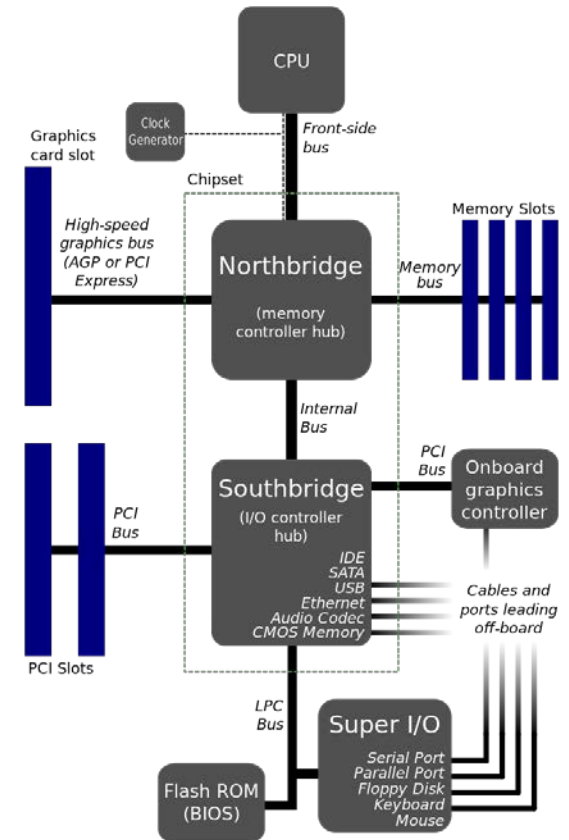
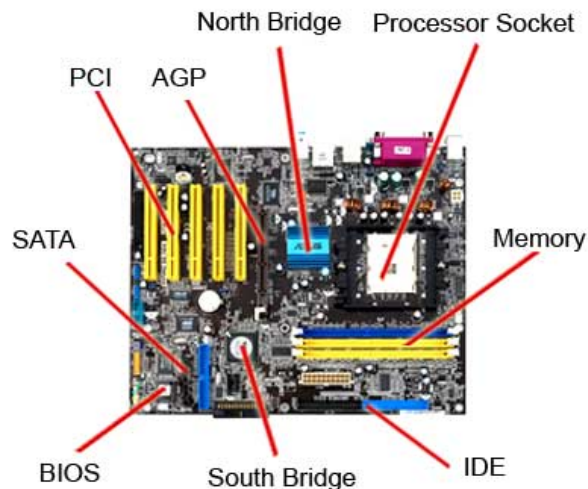
- Separater Bus für Cache
  - Cache → Backside
    - Pentium Pro integriert
    - extern 1/2 Prozessortakt
- FSB
  - Bsp:  $66 \text{ MHz} * 8B \rightarrow 508,6 \text{ MB/s}$
- Graphik (Pentium oft PCI)
- Peripherie an PCI-Brücke



6. PC Bus
7. PCI
8. Backside
9. Frontside
10. QuickPath
11. PCIe

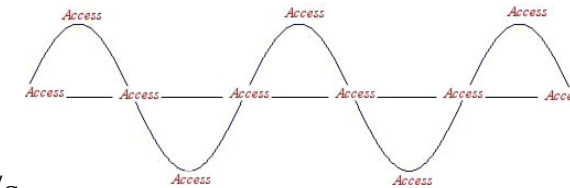
## 9. Frontside Bus – Chipset

- Frontside- oder Prozessor-Bus
- Atom, Celeron, Pentium, Core 2, Xeon
- Nordbrücke:
  - Speichercontroller, RAM, Cache
  - Graphik, PCI-Brücke
- Südbrücke: PCI, Peripherie



## 10. Frontside Bus – Bandbreite

- hohe Flexibilität und geringe Kosten
- Bandbreite:  $\text{Taktrate} * \text{Datenbreite} * \text{Transfers per Zyklus}$ 
  - Pentium 4:  $100 \text{ MHz} * 8 \text{ Byte} * 4 = 3.200 \text{ MB/s}$
  - Core2Extreme (2008):  $400 \text{ MHz} * 8 \text{ Byte} * 4 = 12,8 \text{ GB/s}$
- Gunning transceiver logic (GTL 1993): 0,4 – 1,2 V, 100MHz
  - später auch AGTL+: bis zu 1,6 GHz
- Quad data rate (QDR): Daten an 4 Stellen gültig
  - 4 Transfers je Takt \* Bustakt 400 MHz = 1.600 MT/s
- Kritik: Flaschenhals, alte Technologie, begrenzt Systemleistung, Problem mit mehreren Prozessoren



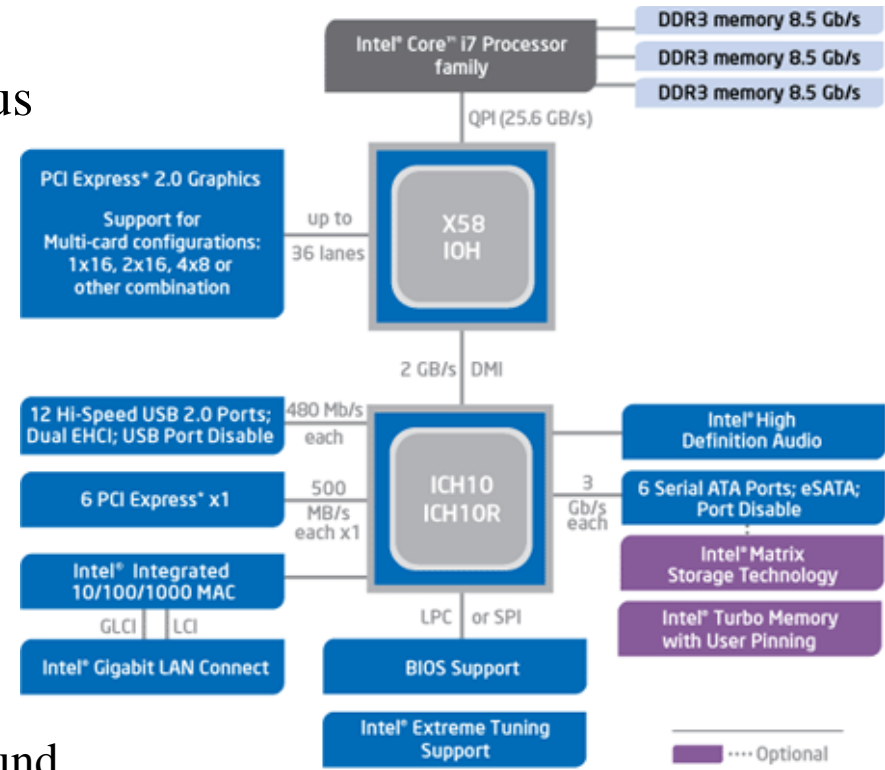
6. PC Bus
7. PCI
8. Backside
9. Frontside
10. QuickPath
11. PCIe

## 10. QuickPath Interconnect (QPI)

- Intel Nachfolger des Front Side Bus  
Nehalem-Architektur 2008

- auf CPU integrierte  
Speichercontroller
- Punkt-zu-Punkt Verbindung
- AMD: Hypertransport K8  
Architektur ab 2008
- IBM: Power ab 5. Generation  
(Power5 2004)

- kein Bus: Routing-Mechanismus
  - Verbindungssystem Prozessoren und  
andere Komponenten
  - Cachekohärenz



- 6. PC Bus
- 7. PCI
- 8. Backside
- 9. Frontside
- 10. QuickPath
- 11. PCIe

## 10. QuickPath Interconnect (CSI)

- besteht aus Lanes: 21 serielle, unidirektionale Datenverbindung
- 16+4 symmetrische Leiter, differenzielle Signale im DDR-Verfahren
  - 4 Bit Header-Info, 16 Bit Daten
  - auch halbe und viertel Breite möglich → z.B. Selbstteilung
- Common System Interface (CSI): 2 unidirektionale QPI-Links
- 2,4 bzw. 3,2 GHz Takt → 4,8 bzw. 6,4 GT/s x16/20 x2 → 25,6 GB/s
- Paketorientierung
  - phit (physical unit): Daten je Transfer (je Taktflanke)
  - flit (flow control unit): 80 Bit – 4 phit (4\*2 B Nutzdaten+4\*4b Header)
  - packet: Kommunikationseinheit der Protokollebene
- Crossbar-Router im Prozessor: erhöht Latenz aber Richtungen parallel

- 6. PC Bus
- 7. PCI
- 8. Backside
- 9. Frontside
- 10. QuickPath
- 11. PCIe

## 10. QuickPath Interconnect (Schichten)

- 5 Abstraktionsebenen
  1. Physikalische Ebene: mechanisch und elektrisch, analog und digital
  2. Verbindungs-Ebene: zuverlässige Übertragung und Flusssteuerung für eine Verbindung
  3. Wege-Ebene: Wegewahl durch Netzwerk
  4. Transport-Ebene: End-zu-End-Übertragung nur in großen Systemen
  5. Protokoll-Ebene: Regeln für den Austausch von Paketen
    - modifiziertes MESI Kohärenz-Protokoll
- Overhead für 64 Byte Cache-Line  $4/36 = 11\%$ 
  - 1 Header flit = 4 phits
  - 64 Byte Nutzdaten = 32 phits = 8 flits
  - insgesamt: 36 phits = 9 flits → 4,5 Takte
  - Latenz:  $6,4 \text{ GT/s} : 32 * 0,15625 \text{ ns} = 5,62 \text{ ns}$

6. PC Bus
7. PCI
8. Backside
9. Frontside
10. QuickPath
11. PCIe

## 10. QuickPath Interconnect (IO-Hub)

- Bsp: X58 IO-Hub
  - kein Speichercontroller (MCH)
  - kein I/O-Controller Hub (ICH)
- 40 PCIe Lanes: x16 Link 8GB/s
  - 2x 16 Lanes + 4 Lanes
  - alle Kombinationen: x1, x2, x4, x8
- Anschluss Südbrücke ICH10 möglich
  - x4 Direct Media Interface (DMI)
  - PCIe ähnlich
  - 1 GB/s in jede Richtung
- Xenon 5500
  - 1 o. 2. IOH 5520
  - skaliert weiter

