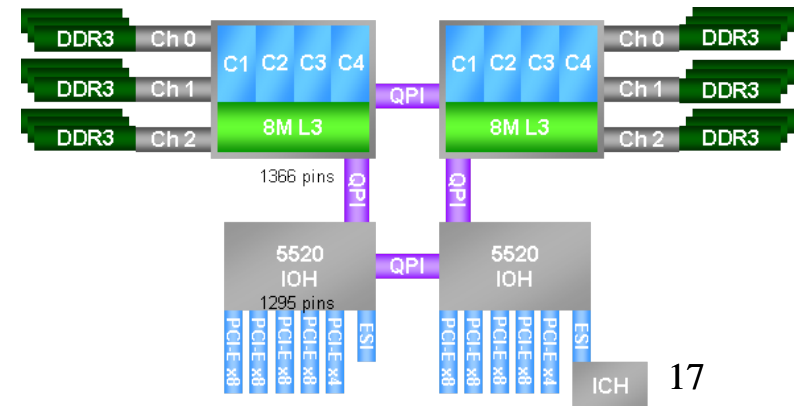
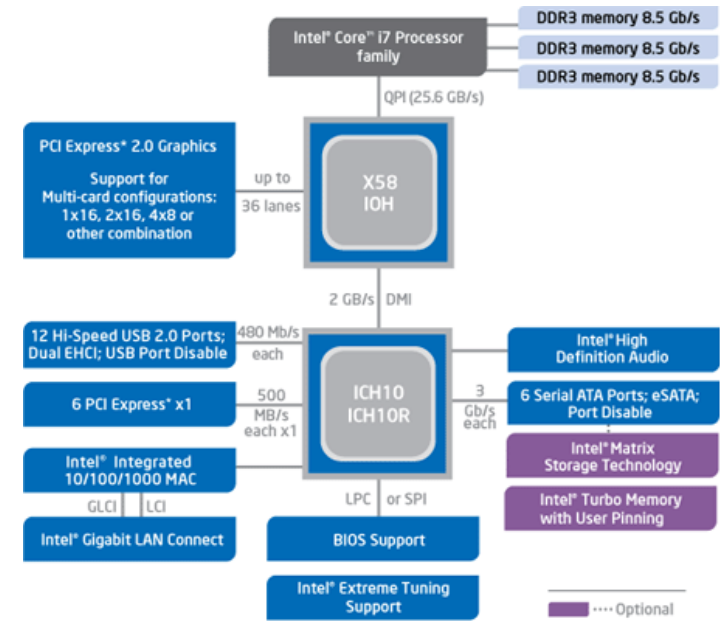


6. PC Bus
7. PCI
8. Backside
9. Frontside
10. QuickPath
11. PCIe

10. QuickPath Interconnect (IO-Hub)

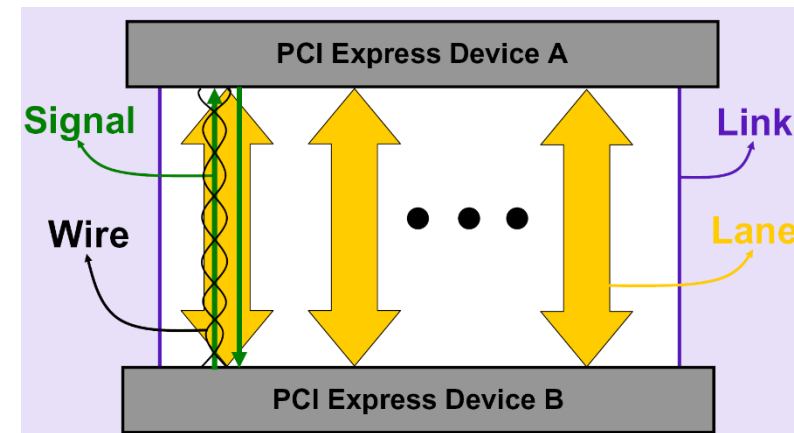
- Bsp: X58 **IO-Hub**
 - kein Speichercontroller (MCH)
 - kein I/O-Controller Hub (ICH)
- 40 PCIe Lanes: x16 Link 8GB/s
 - 2x 16 Lanes + 4 Lanes
 - alle Kombinationen: x1, x2, x4, x8
- Anschluss **Südbrücke** ICH10 möglich
 - x4 Direct Media Interface (DMI)
 - PCIe ähnlich
 - 1 GB/s in jede Richtung
- **Xenon 5500**
 - 1 o. 2. IOH 5520
 - **skaliert** weiter



- 6. PC Bus
- 7. PCI
- 8. Backside
- 9. Frontside
- 10. QuickPath
- 11. PCIe

11. PCI Express (PCIe)

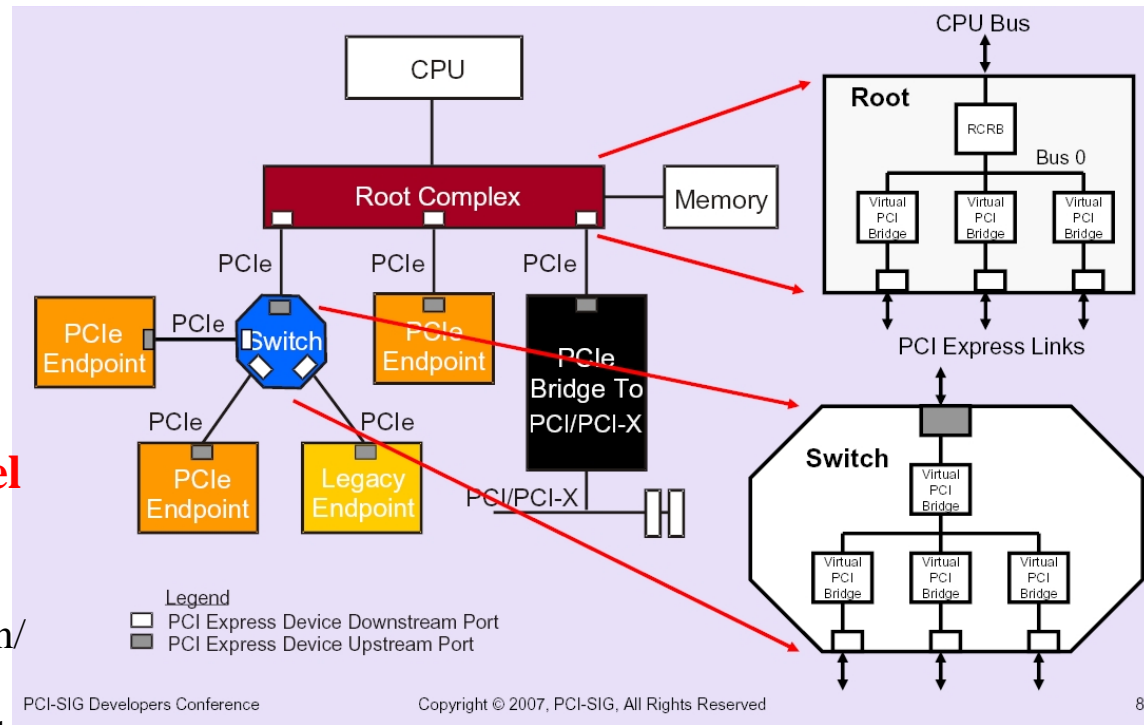
- Verbindung **Peripherie mit Chipsatz**, PCI Befehle (keine Cachekohärenz)
- Einführung 2.0 2003, ..., 4.0 ~2015
- **seriell, Punkt-zu-Punkt, kein gemeinsamer Bus**
- 2 simultane simplex Verbindungen
- differentiell 8b/10b kodiert
- **skalierbar**: 1x, 2x, 4x, ... 32x
Bandbreite 2.0: 1/2, 1, 2, ... 8 GB/s
- **paketbasierte Protokolle**
- **Schichtenmodell**
 - physische Schicht
 - Verbindungsschicht
 - Transaktionsschicht



6. PC Bus
7. PCI
8. Backside
9. Frontside
10. QuickPath
11. **PCIe**

11.1. PCI Express Architektur

- **Root Complex**
 - CPU
 - Speicher
 - Graphik
 - Südbrücke
- **Switch**
- **Peripherie**
- **PCI Software kompatibel**
 - selbe Speicher, EA und Konfigurationsadressen
 - Speicher/EA/Konf Lesen/Schreiben
 - zusätzlicher Konf-Speicher
→ Treiber aktualisieren
 - zusätzliche Funktionen



11.1. PCI Express Pakete

- Verhalten wie klassischer PCI-Bus, aber kein Bus
- völlig neue Mechanismen – Netzwerk: Pakete, Flusskontrolle, Fehlererkennung, Neuübertragung, geographische Adressierung
- Implementierung komplett in HW
- **Paketaufbau**
 - Info im Kern des **TLP**: von SW oder Gerätekern
 - Root-Complex erzeugt TLP: Kopf, Daten, CRC
 - Kopf: Art der Transaktion, Adresse, Länge, Requester ID
 - Verbindungsschicht (**DLL**): Sequenz Nummer, CRC für einzelne Verbindung
 - physische Schicht (**PL**): Start-, End-Markierung



- 6. PC Bus
- 7. PCI
- 8. Backside
- 9. Frontside
- 10. QuickPath
- 11. **PCIe**

11.2. PCI Express – Bsp: Speicher schreiben

- **CPU**: einfache Schreiboperation auf CPU internen Bus
- **MMU** übersetzt in physische Adressen
- **Speichercontroller** (auf CPU-Chip oder per FSB im Chipset) \leftrightarrow direkt verbunden mit PCIe-Bus (Root Complex)
- **Root Complex** generiert und verschickt Speicher-Schreib-Paket
 - Paket Header: 3 32-bit-Worte (64 bit Adressierung 4 Worte)
 - 1 bzw. 2 Worte enthalten die Adresse
 - Paket Daten: 1 Wort
- **Peripherie** direkt verbunden oder über Netzwerk
 - Paket wird von Verbindungsschicht an Ziel gebracht
- im Ziel wird Paket dekodiert und ausgeführt, keine Rückmeldung

11.3.1 PCI Express – Transaktionschicht

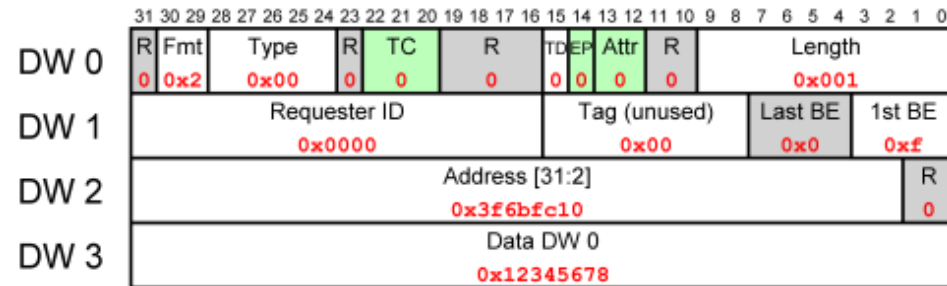
- Umwandlung Schreiboperation in Folge von 4 DWord = 1 TLP

- max. Paketgröße bis typisch 512

- **Transaction layer packet**

- Fmt + Type: Mem Write Request
- Länge: 1x 32 bit Daten
- BE: Byte enable, pro Byte 1 bit
- Requester ID 0: nächste PCIe-Port zur CPU
keine Bedeutung bei MemWriteReq

- **non-Posted Operationen:** Request + Completion
- **I/O Requests**
- **Identification, Routing**
- **Bus Mastring:** DMA
- **Interrupts:** klassischer INTx, Message-Signaled Interrupts (MSI)



- 6. PC Bus
- 7. PCI
- 8. Backside
- 9. Frontside
- 10. QuickPath
- 11. PCIe

11.3.2. PCI Express – Verbindungsschicht

- stellt korrekte Zustellung an Ziel sicher
- eigener Paketkopf
 - CRC stellt Daten Integrität sicher
 - Sequenznummer für Bestätigungs-, Neuübertragungsmechanismus
 - Flusskontrolle stellt Bereitschaft des Empfängers sicher

➤ **zuverlässige und korrekte Zustellung**

- 6. PC Bus
- 7. PCI
- 8. Backside
- 9. Frontside
- 10. QuickPath
- 11. PCIe

11.3.3. PCI Express – physische Schicht

- **Low Voltage Differential Signaling (LVDS)**

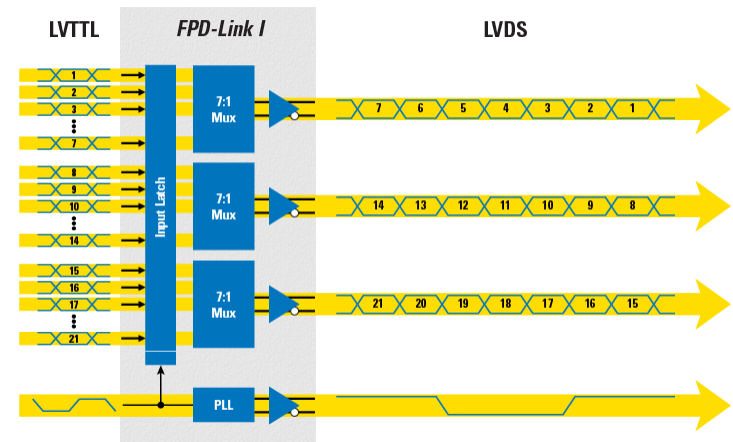
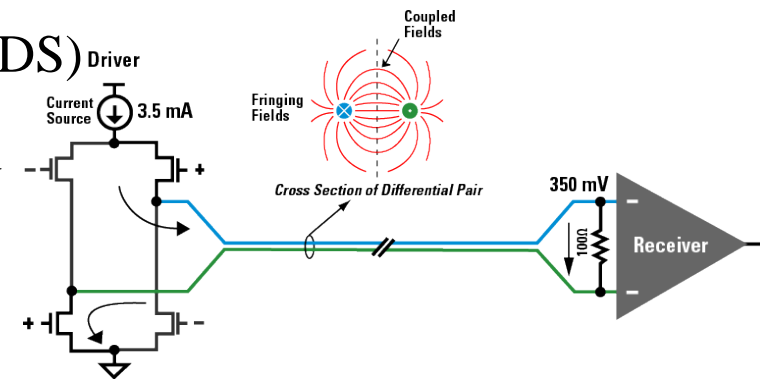
- Spannungsversorgung: 0 – 3,6 V
- 3,5 mA, 100 Ohm, bei 2,5 V nur 8,75 mW
- **detektiert wird Stromrichtung**
- DVI, HyperTransport, FireWire

- Pinbelegung

- 22 Kontakte Stromversorgung und JTAG
- 14 –142 Kontakte Datenübertragung
 - pro Lane: 4 Masse, 2 Leitungspaare
 - Taktreferenz Differenzenpaar

- Taktrückgewinnung

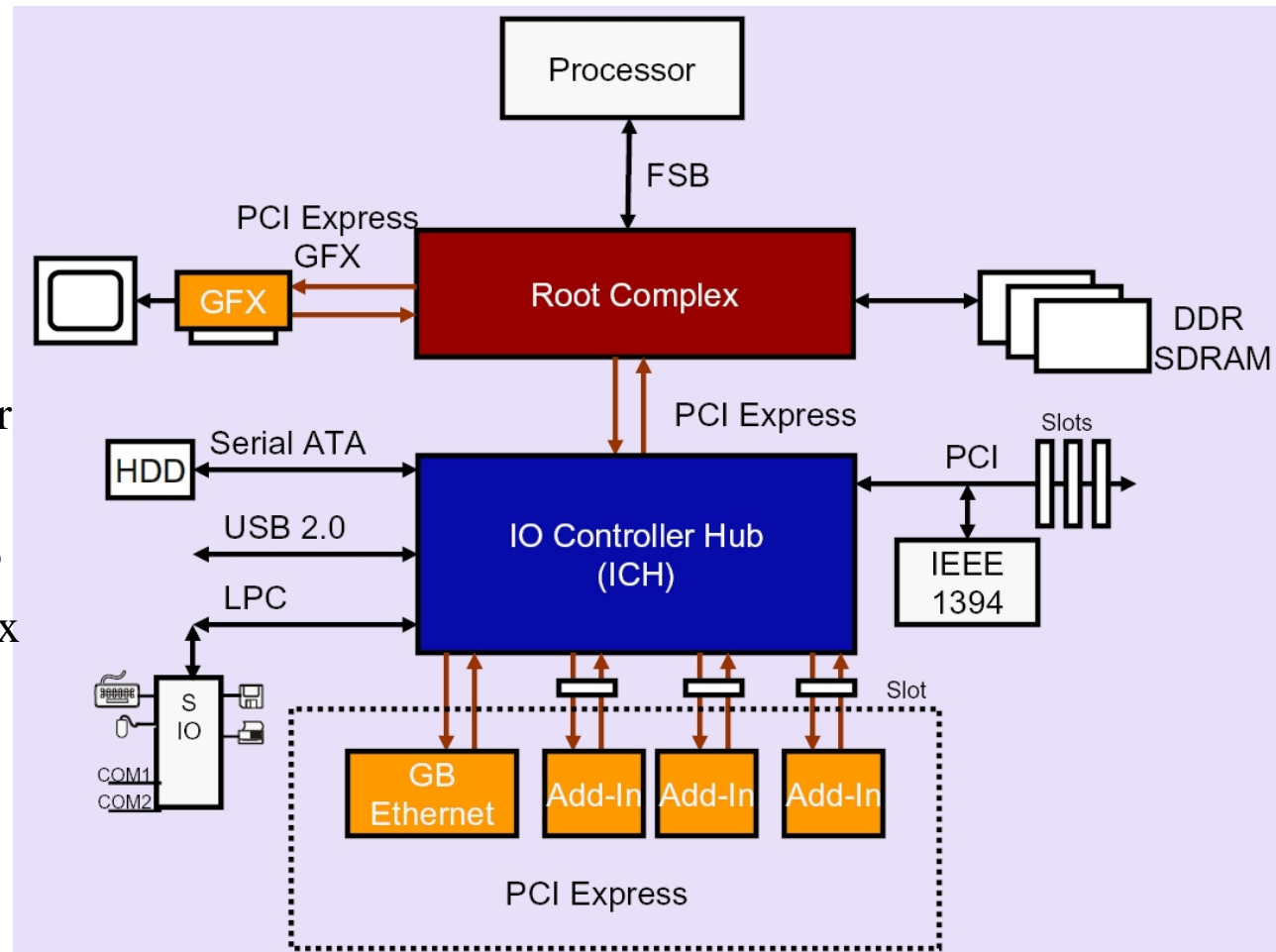
- Leitungslänge bis 20“ ~ 50 cm



11.4.1 PCI Express Architektur PC

Personal Computer

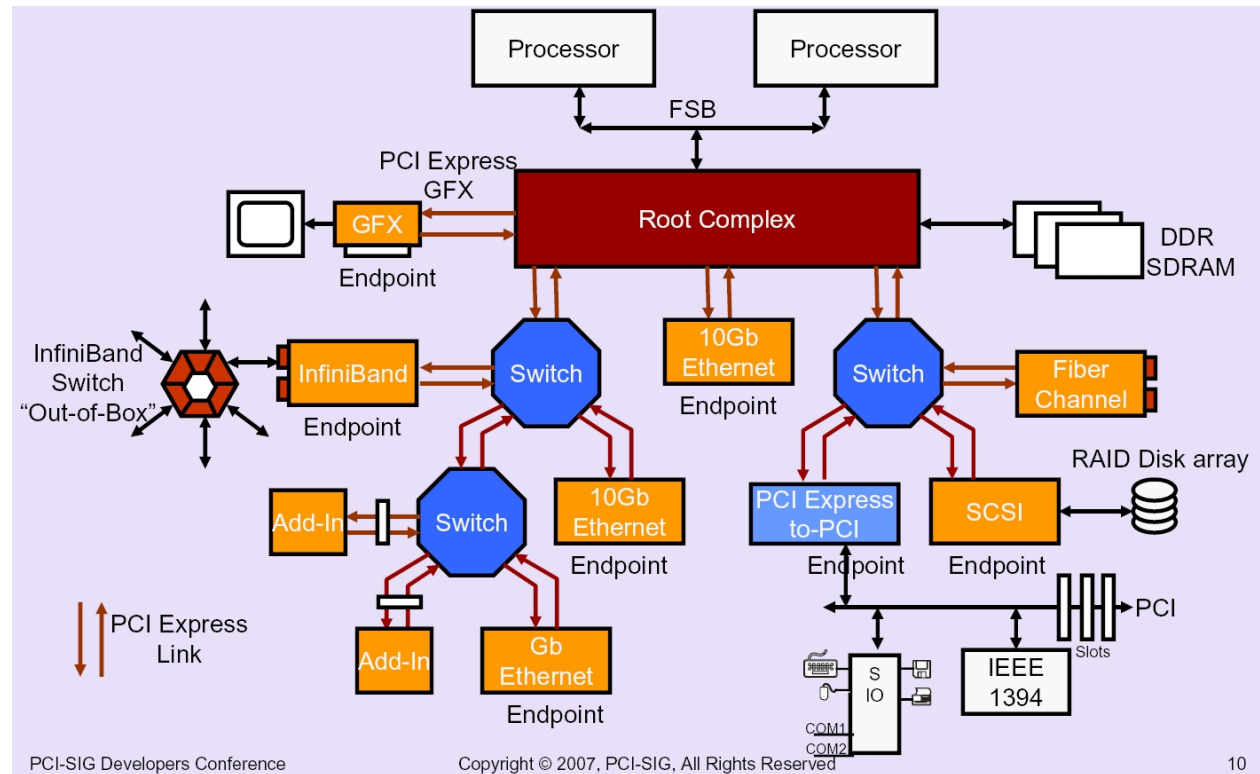
- Root Complex
 - Prozessorchip
 - FSB intern
 - Mem Controller
 - ausgelagert IOH
- IO Controller Hub
 - PCIe Root Complex
 - PCIe Steckplätze
 - GB Ethernet
 - SATA
 - Graphik



- 6. PC Bus
- 7. PCI
- 8. Backside
- 9. Frontside
- 10. QuickPath
- 11. PCIe

11.4.2 PCI Express Architektur Server

- CPUs + FSB
 - QPI-Netzwerk
- Root Complex
 - extern
 - EA-Wurzel
- Switch-Netzwerk
 - InfiniBand
 - FC
 - SCSI, RAID
 - PCI



6. PC Bus
7. PCI
8. Backside
9. Frontside
10. QuickPath
11. PCIe

11.5. PCI Express Architektur

Fujitsu SPARC Enterprise M4000

- Prozessor-Module
 - CPU SPARC64 VI
 - 2x Speicher
 - Memory Access Controller
 - Jupiter Interconnect
 - **Crossbar Unit** XBU (ab 4 Module)
 - System Controller
 - EA-Einheit
 - PCIe
 - FC, Infiniband, GE
 - PCI-X
- Architektur → Netzwerk

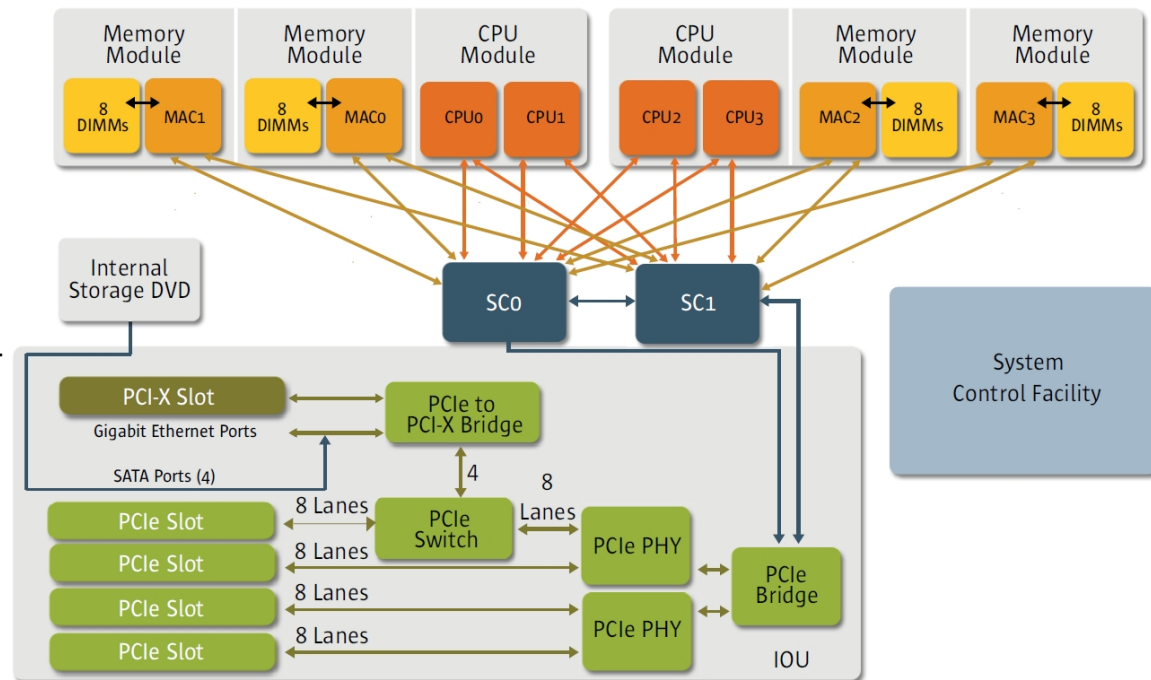


Figure 3-1. Fujitsu SPARC Enterprise M4000 system interconnect diagram.

6. PC Bus
7. PCI
8. Backside
9. Frontside
10. QuickPath
11. PCIe

11.6. Mainframe IBM S/390 G5 System

- 1998: 500 MHz
- Multichip Modul (2*12+4+1)
- Busse: 128 Bit, 250 MHz
- 2 Knoten
 - je 6 Central Prozessor
 - L2 CNTLR
 - L2 Cache
 - I/O: 6 self-timed IF, 333 MHz, 16 GB/s
 - kryptograph. Coprozessor
- 4 Speicherkarten je 4 Bänke
 - 24 GB, 16 GB/s

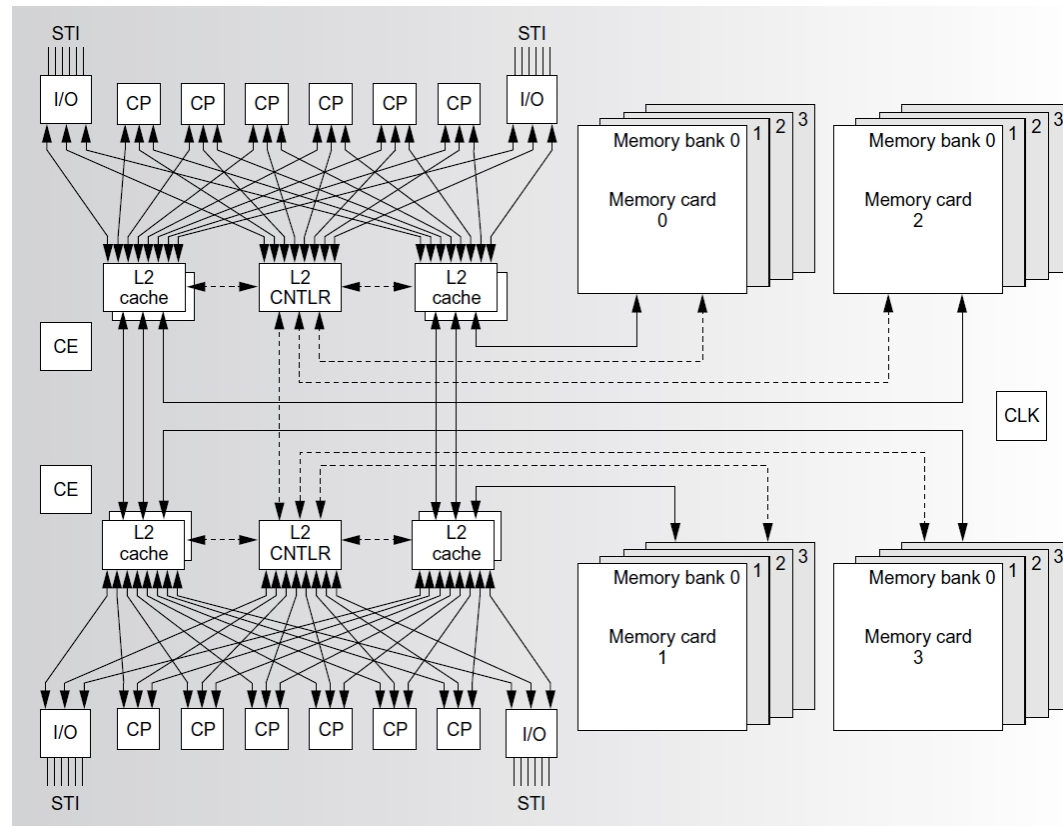


Figure 4. Diagram of the S/390 G5 system structure. Solid lines represent 128-bit data buses, and dashed lines represent address and control buses.

- 6. PC Bus
- 7. PCI
- 8. Backside
- 9. Frontside
- 10. QuickPath
- 11. PCIe

11.7. Zusammenfassung Systembusse

- **Verlängerung** Prozessorbus
 - paralleler Bus mit Adress-, Daten- und Steuerleitungen
 - große Diskrepanz Prozessor – Peripherie
- **Trennung** System- und EA-Bus
 - Chipset: FSB, Speicher-, EA-Kontroller
 - Flaschenhals Speicherkontroller (North-Bridge)
- **Ablösung** durch paketorientiertes p2p-Verbindungssystem
 - QPI, Hypertransport, PCIe
- Systemarchitektur: **Netzwerk**
 - Prozessor-, Speicher-Netzwerk
 - Peripherie-Netzwerk
 - Skalierbarkeit