## Architektury systemów komputerowych

## Lista zadań nr 9

## Na zajęcia 7 i 8 maja 2018

**Zadanie 1.** Rozważmy dysk o następujących parametrach: jeden talerz; jedna głowica; 32768 ścieżek na powierzchnię; 512 sektorów na ścieżkę; 7200 obrotów na minutę; czas wyszukiwania: 1ms na przeskoczenie o 2048 ścieżek.

- Jaki jest średni czas wyszukiwania?
- Jaki jest średni czas opóźnienia obrotowego?
- Jaki jest czas transferu sektora?
- Jaki jest całkowity średni czas obsługi żądania?

**Zadanie 2.** Rozważmy dysk o następujących parametrach: 360 obrotów na minutę, 512 bajtów na sektor, 96 sektorów na ścieżkę, 110 ścieżek na powierzchnię. Procesor czyta z dysku całe sektory. Dysk sygnalizuje dostępność danych zgłaszając przerwanie na każdy przeczytany bajt. Jaki procent czasu procesora będzie zużywała obsługa wejścia-wyjścia, jeśli wykonanie procedury przerwania zajmuje 2.5μs? Należy zignorować czas wyszukiwania ścieżki i sektora.

Do systemu dodajemy kontroler DMA. Przerwanie będzie generowane tylko raz po wczytaniu sektora do pamięci. Jak zmieniła się zajętość procesora?

**Zadanie 3.** Moduł DMA kontrolera dysku do transferu danych używa techniki podkradania cykli. 32-bitowa szyna ma przepustowość 10 milionów transferów na sekundę. Procesor RISC bez pamięci podręcznej wykonuje 32-bitowe instrukcje, z których 40% to dostępy do pamięci. O ile procent zmieni się liczba wykonywanych instrukcji w wyniku aktywności modułu DMA, jeśli transferujemy z dysku dane z prędkością 2MB/s.

**Zadanie 4.** W przeważającej większości systemów implementujących moduły DMA, procesor ma niższy priorytet dostępu do pamięci głównej niż moduły DMA. Dlaczego?

Wskazówka: Co się może stać, jeśli urządzenia nie mają gwarancji wykonywania transferów w regularnych odstępach czasu?

**Zadanie 5.** Nowoczesny procesor x86–64 (np. i7–6700<sup>1</sup>) ma następujące czasy dostępu do poszczególnych poziomów pamięci: L1 cache: 4 cykle; L2 cache: 12 cykli; L3 cache: 40 cykli; pamięć DRAM: 200 cykli. Jaki jest średni czas dostępu do pamięci, jeśli 90% dostępów trafia w cache L1, 95% w cache L2, 98% w cache L3? Jaki jest pesymistyczny czas dostępu do pamięci?

**Zadanie 6.** Blok pamięci podręcznej procesorów x86-64 ma 64 bajty. Dla uproszczenia przyjmijmy, że w jednym cyklu zegarowym między pamięcią a procesorem można przesłać 64 bity danych. Ile nanosekund, w pesymistycznym przypadku, zajmie sprowadzenie bloku pamięci podręcznej z pamięci DRAM dla poniżej scharakteryzowanych modułów:

- $\bullet$  DDR3-1600,  $t_{CLK} = 800\,\mathrm{MHz},\, t_{CAS} = 9,\, t_{RCD} = 9,\, t_{RP} = 9$
- ullet DDR3-2133,  $t_{CLK}=1066.67\,\mathrm{MHz},\,t_{CAS}=12,\,t_{RCD}=12,\,t_{RP}=12$

Powtórz obliczenia zakładając, że pamięć działa w trybie sekwencyjnym (ang. *burst mode*), tj. podaje na kolejnych zboczach zegara osiem 64-bitowych słów bez czekania na polecenie zmiany kolumny.

Wskazówka: Protokół komunikacji z modułami DRAM przybliżono w §2.2 dokumentu "What Every Programmer Should Know About Memory" (Ulrich Drepper) dostępnego na stronie przedmiotu.

<sup>1</sup>https://www.7-cpu.com/cpu/Skylake.html

Zadanie 7. Program czyta sekwencyjnie jednowymiarową tablicę rozmiaru 1GiB położoną pod adresem podzielnym przez  $2^{10}$ . System dysponuje modułem pamięci DDR3-1600 o parametrach:  $t_{CAS}=8$ ,  $t_{RCD}=8$ ,  $t_{RP}=8$ , maksymalny rozmiar transferu sekwencyjnego to 8 słów, długość wiersza (ang. DRAM page size) wynosi 1KiB. Ile czasu zajmie sprowadzenie danych do procesora? Należy pominąć rozważanie opóźnień wynikających z działania pamięci podręcznej i kontrolera pamięci.

Powtórz obliczenia dla systemu dysponującego pamięcią w konfiguracji dwukanałowej (ang. dual-channel).

**Zadanie 8 (bonus).** Z poziomu programu rozruchowego GRUB uruchom program memtest86<sup>2</sup> i podaj parametry systemu pamięci w swoim komputerze. Jaka jest przepustowość poszczególnych poziomów pamięci podręcznej i pamięci DRAM? Oszacuj, w taktach procesora, średni czas dostępu do pamięci podręcznej L1, L2, L3 i pamięci DRAM.

<sup>&</sup>lt;sup>2</sup>https://www.memtest86.com/download.htm