

# Architektury systemów komputerowych

## Lista zadań nr 11

Na zajęcia 21 i 22 maja 2018

**UWAGA!** W trakcie prezentacji rozwiązań należy być przygotowanym do wyjaśnienia pojęć, które zostały oznaczone **wytłuszczoną** czcionką.

**Zadanie 1.** Wzorując się na slajdach do wykładu „Virtual Memory: Systems” (strony 10–21) powtórz proces **translacji adresów** i adresowania pamięci podręcznej dla adresów: 0x027c, 0x03a9 i 0x0040 zakładając poniższy stan **TLB**, pamięci podręcznej i **tablicy stron**.

Set	Tag	PPN	Valid	Tag	PPN	Valid	Tag	PPN	Valid	Tag	PPN	Valid
0	03	–	0	09	0D	1	00	–	0	07	02	1
1	03	2D	1	02	–	0	04	–	0	0A	–	0
2	02	–	0	08	–	0	06	–	0	03	–	0
3	07	–	0	03	0D	1	0A	34	1	02	–	0

Idx	Tag	Valid	Blk 0	Blk 1	Blk 2	Blk 3
0	19	1	99	11	23	11
1	15	0	–	–	–	–
2	1B	1	00	02	04	08
3	36	0	–	–	–	–
4	32	1	43	6D	8F	09
5	0D	1	36	72	F0	1D
6	31	0	–	–	–	–
7	16	1	11	C2	DF	03
8	24	1	3A	00	51	89
9	2D	0	–	–	–	–
A	2D	1	93	15	DA	3B
B	0B	0	–	–	–	–
C	12	0	–	–	–	–
D	16	1	04	96	34	15
E	13	1	83	77	1B	D3
F	14	0	–	–	–	–

VPN	PPN	Valid
00	28	1
01	–	0
02	33	1
03	02	1
04	–	0
05	16	1
06	–	0
07	–	0

VPN	PPN	Valid
08	13	1
09	17	1
0A	09	1
0B	–	0
0C	–	0
0D	2D	1
0E	11	1
0F	0D	1

**Zadanie 2.** W tym zadaniu będziemy analizowali w jaki sposób system operacyjny musi aktualizować **tablicę stron** wraz z kolejnymi dostęпами do pamięci głównej. Załóż, że strony są wielkości 4KiB, TLB jest **w pełni asocjacyjne** z zastępowaniem LRU. Jeśli potrzebujesz **wtoczyć** (ang. *swap-in*) stronę z dysku użyj następnego numeru **ramki** (ang. *page frame*) większego od największego istniejącego w tablicy stron.

Dla poniższych danych podaj ostateczny stan TLB i tablicy stron po wykonaniu wszystkich dostępow do pamięci. Dla każdej operacji dostępu do pamięci wskaż czy było to trafienie w TLB, trafienie w tablicę stron, czy też **błąd strony**.

VPN	Valid?	PPN
0	1	5
1	0	dysk
2	0	dysk
3	1	6
4	1	9
5	1	11
6	0	dysk
7	1	4
8	0	dysk
9	0	dysk
10	1	3
11	1	12
12	0	brak

Początkowy stan tablicy stron

Valid?	Tag	LRU	PPN
1	11	0	12
1	7	1	4
1	3	2	6
0	4	3	9

Początkowy stan TLB

Adres
4669
2227
13916
34587
48870
12608
49225

Ciąg dostępu do pamięci

**Zadanie 3.** Niech system posługuje się 32-bitowymi adresami wirtualnymi, rozmiar strony ma 4KiB, a rozmiar wpisu tablicy stron zajmuje 4 bajty. Dla procesu, który łącznie używa 1GiB swojej przestrzeni adresowej podaj rozmiar tablicy stron: (a) jednopoziomowej, (b) dwupoziomowej, gdzie katalog tablicy stron ma 1024 wpisy. Dla drugiego przypadku – jaki jest maksymalny i minimalny rozmiar tablicy stron?

**Zadanie 4.** Wiemy, że pamięć podręczna TLB jest niezbędna do przeprowadzania szybkiej translacji adresów. Czemu, w najogólniejszym przypadku, należy wyczyścić zawartość TLB przy **przełączaniu przestrzeni adresowych**? Jak można uniknąć tej kosztownej operacji?

**Wskazówka:** Rozważ wprowadzenie identyfikatorów przestrzeni adresowych (ASID), tak jak w architekturze MIPS.

**Zadanie 5.** Jaka jest maksymalna wielkość **zbioru roboczego** procesu, dla którego nie będzie on generował nowych chybień w TLB? Rozważ wariant pesymistyczny i optymistyczny dla czterodrożnego TLB o 64 wpisach. Jak zmieni się oszacowanie, jeśli zezwolimy na używanie dużych stron (ang. *huge pages*) o wielkości 4MiB?

**Zadanie 6.** Opisz dokładnie pola **deskryptorów stron** (ang. *page table entry*) i **deskryptorów katalogów stron** (ang. *page directory entry*) dla architektury x86-64. Które z **bitów pomocniczych**:

- dotyczą sposobu używania pamięci podręcznej,
- wspomagają algorytmy zarządzania pamięcią wirtualną,
- określają uprawnienia dostępu (włączając w to tryb pracy procesora).

**Wskazówka:** Przeczytaj §7.9.1 z podręcznika. Szczegóły można znaleźć w §4.5 wolumenu 3 dokumentacji procesorów Intel.

**Zadanie 7.** Na wykładzie przyjęliśmy, że translacja adresów jest wykonywana przed dostępem do pamięci podręcznej. Taki schemat określa się mianem pamięci podręcznej **indeksowanej i znakowanej adresami fizycznymi** (ang. *physically-indexed, physically-tagged*). Wyjaśnij jak zrównoleglić dostęp do TLB i pamięci podręcznej, stosując schemat pamięci indeksowanej wirtualnie i znakowanej fizycznie.

**Wskazówka:** Posłuż się slajdem 34 do wykładu „Virtual Memory: Systems”, ale wytłumacz to szczegółowo!

**Zadanie 8.** Celem zwiększenia wydajności dostępu do pamięci architekt procesora decyduje się na użycie schematu pamięci indeksowanej i znakowanej adresami wirtualnymi (ang. *virtually-indexed, virtually-tagged*). Wyjaśnij jak w takim przypadku może zmanifestować się problem **homonimów i synonimów**<sup>1</sup>?

**Wskazówka:** Można posłużyć się rysunkiem 4.2 z książki „Memory Systems: Cache, DRAM, Disk”.

**Zadanie 9 (bonus).** Na podstawie §31.1.4 książki „Memory Systems: Cache, DRAM, Disk” wyjaśnij jak przebiega mechanizm translacji adresów bazujący na odwróconej tablicy stron stosowany w architekturze PowerPC. Wymień wady i zalety tego rozwiązania w porównaniu do wielopoziomowej tablicy stron.

<sup>1</sup>[https://en.wikipedia.org/wiki/CPU\\_cache#/Homonym\\_and\\_synonym\\_problems](https://en.wikipedia.org/wiki/CPU_cache#/Homonym_and_synonym_problems)