

32 位微控制器

硬件设计指南

应用笔记

Rev1.00 2025 年 06 月

适用对象

产品系列	产品型号
HC32F/L/A/M	所有型号

声 明

- ★ 小华半导体有限公司（以下简称：“XHSC”）保留随时更改、更正、增强、修改小华半导体产品和/或本文档的权利，恕不另行通知。用户可在下单前获取最新相关信息。XHSC 产品依据购销基本合同中载明的销售条款和条件进行销售。
- ★ 客户应针对您的应用选择合适的 XHSC 产品，并设计、验证和测试您的应用，以确保您的应用满足相应标准以及任何安全、安保或其它要求。客户应对此独自承担全部责任。
- ★ XHSC 在此确认未以明示或暗示方式授予任何知识产权许可。
- ★ XHSC 产品的转售，若其条款与此处规定不同，XHSC 对此类产品的任何保修承诺无效。
- ★ 任何带有“®”或“™”标识的图形或字样是 XHSC 的商标。所有其他在 XHSC 产品上显示的产品或服务名称均为其各自所有者的财产。
- ★ 本通知中的信息取代并替换先前版本中的信息。

©2025 小华半导体有限公司 保留所有权利

目 录

适用对象	2
声 明	3
目 录	4
1 概述	6
2 简介	7
2.1 小华 MCU 产品系列	7
3 小华 MCU 设计基础	8
3.1 特殊引脚	8
3.2 数据手册相关指标	8
3.2.1 电源方案	9
3.2.2 通用工作条件	10
3.3 最小系统电路	11
3.3.1 电源	12
3.3.2 振荡电路	13
3.3.3 模式选择引脚	15
3.3.4 调试接口	15
4 EMC 相关设计	16
4.1 ESD 性能	16
4.2 EFT 性能	17
4.3 Latch-up 性能	17
5 改善系统的方法	18
5.1 去耦与旁路	18
5.2 电源与地	18
5.3 VCAP 电路	20
5.4 振荡器电路	21
5.5 IO 处理	22
5.5.1 ESD	22
5.5.2 Latch up	23
5.5.3 5V 耐压 IO 处理	24
6 案例	25
6.1 ESD 整改案例	25
6.2 EFT 整改案例	28
6.3 板级性能改善案例	29
7 总结	31

版本修订记录 32

1 概述

随着技术飞速发展，各种消费、商业、工业产品对集成电路芯片的可靠性、抗干扰能力要求日益提高。

芯片的可靠性、抗干扰性能一方面由芯片设计决定，另一方面也与芯片应用电路、使用环境等息息相关。

本文档主要通过描述小华半导体 MCU（后称小华 MCU）的特性、工作电路以及一些案例，向用户提供硬件设计方面建议和注意事项，借此帮助客户减少设计风险，缩短产品量产时间。

2 简介

2.1 小华 MCU 产品系列

小华半导体公司的 MCU 产品涵盖 ARM cortex-M0+、ARM cortex-M4 内核，广泛应用仪表、消费类电子、家电、工业、汽车等行业。

Cortex-M0+产品系列	ARM cortex-M4 产品系列
HC32L110 系列	HC32F420 系列
HC32F003/5 系列	HC32F448 系列
HC32L130 系列	HC32F460 系列
HC32F030 系列	HC32F472 系列
HC32L170/176 系列	HC32F334 系列
HC32F170/176 系列	HC32F451/452 系列
HC32L190/196 系列	HC32F4A0 系列
HC32F190/196 系列	HC32M441 系列
HC32L180/186 系列	HC32A448 系列
HC32F072 系列
HC32F115/HC32F155 系列	
HC32F052 系列	
HC32A136 系列	
HC32M140 系列	
.....	

* 以上为部分系列，访问小华半导体官网 www.xhsc.com.cn 获取更多产品信息。

小华半导体所有产品均具备行业领先的可靠性性能指标以及较强的抗干扰性能，在各行业应用中已经得到了充分应证。

3 小华 MCU 设计基础

3.1 特殊引脚

小华 MCU 有多个系列，不同封装，但是基本包含也了以下特殊引脚。这些特殊引脚的外围器件请查阅相关型号数据手册。

引脚名称	功能	电路连接
VCC	数字电源引脚	接电源正
VSS	数字电源引脚	接电源负
AVCC	模拟电源引脚	接模拟电源正（无专门模拟电源，则接数字电源）
AVSS	模拟电源引脚	接模拟电源负（无专门模拟电源，则接数字电源）
VREFH	模拟参考电源引脚	接模拟参考电源正或模拟电源正
VREFL	模拟参考电源引脚	接模拟参考电源负或模拟电源负
NRST	外部复位引脚	接复位电路
MD/BOOT0	模式选择引脚	上拉或下拉（根据具体型号确定）
XTLI/XTAL32_IN/XT1	32.768kHz 振荡器输入	接振荡器一端
XTLO/XTAL32_OUT/XT2	32.768kHz 振荡器输出	接振荡器一端
XTHI/XTAL_IN/X1	主振荡器输入	接振荡器一端
XTHO/XTAL_OUT/X2	主振荡器输出	接振荡器一端
VCAP/REGC	内部 LDO 输出引脚	接电容到地（根据具体型号确定容值）

3.2 数据手册相关指标

进行硬件原理图设计前，请仔细阅读数据手册电气特性相关章节，以确定该型号对工作条件的要求。以 HC32F460 系类数据手册为例。

3.2.1 电源方案

此章节给出了 HC32F460 不同封装的电源方案图，如下图。在设计中应尽可能与电源方案中建议一致。

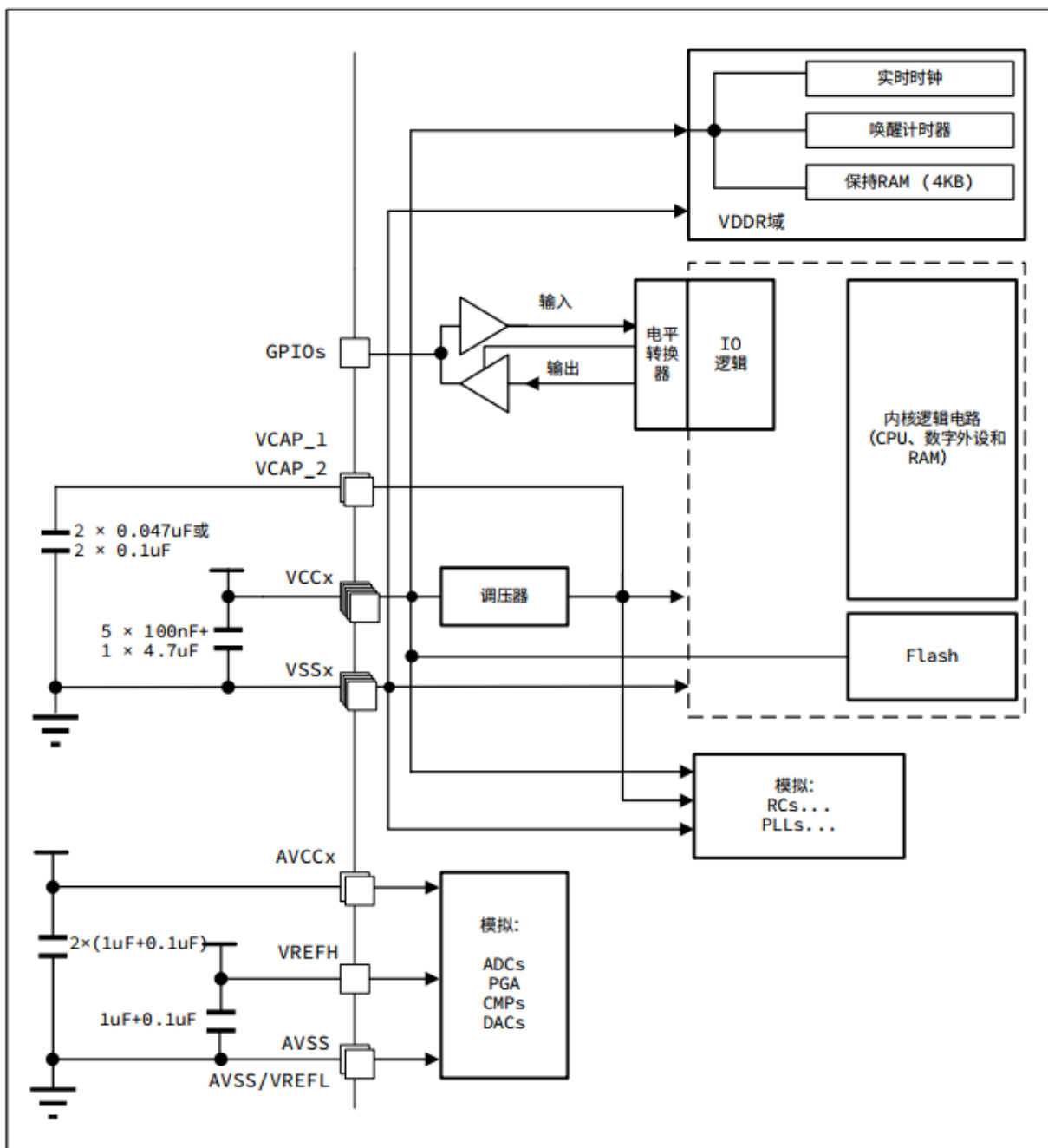


图 3-1 HC32F460 电源方案

3.2.2 通用工作条件

通用工作条件是芯片的额定工作条件，在此工作条件下，芯片能够正常运行，且达到设计的性能指标。

符号	参数	条件	Min.	Typ.	Max.	单位
f_{HCLK}	内部 AHB 时钟频率	超高速模式 ^[1] PWRC2.DVS=00 PWRC2.DDAS=1111	0	-	200	MHz
		高速模式 ^[1] PWRC2.DVS=11 PWRC2.DDAS=1111	0	-	168	
		超低速模式 PWRC2.DVS=10 PWRC2.DDAS=1000	0	-	8	
V_{CC}	标准工作电压	-	1.8	-	3.6	V
$V_{AVCC}^{(2)}$	模拟工作电压	-	1.8	-	3.6	
V_{IN}	5V耐压引脚上的输入电压 ⁽³⁾	$2\text{ V} \leq V_{CC} \leq 3.6\text{ V}$	-0.3	-	5.5	
		$V_{CC} \leq 2\text{ V}$	-0.3	-	5.2	
	PA11/USBFS_DM PA12/USBFS_DP 引脚的输入电压		-0.3	-	$V_{CC}+0.3$	
T_J	结温范围		-40	-	125	°C

图 3-2 HC32F460 通用工作条件

3.3 最小系统电路

小华 MCU 的最小系统包含电源、复位、振荡电路(可选)、模式引脚、调试接口等。实际参数请参考具体型号规格书确定。

支持 SWD 协议芯片型号：

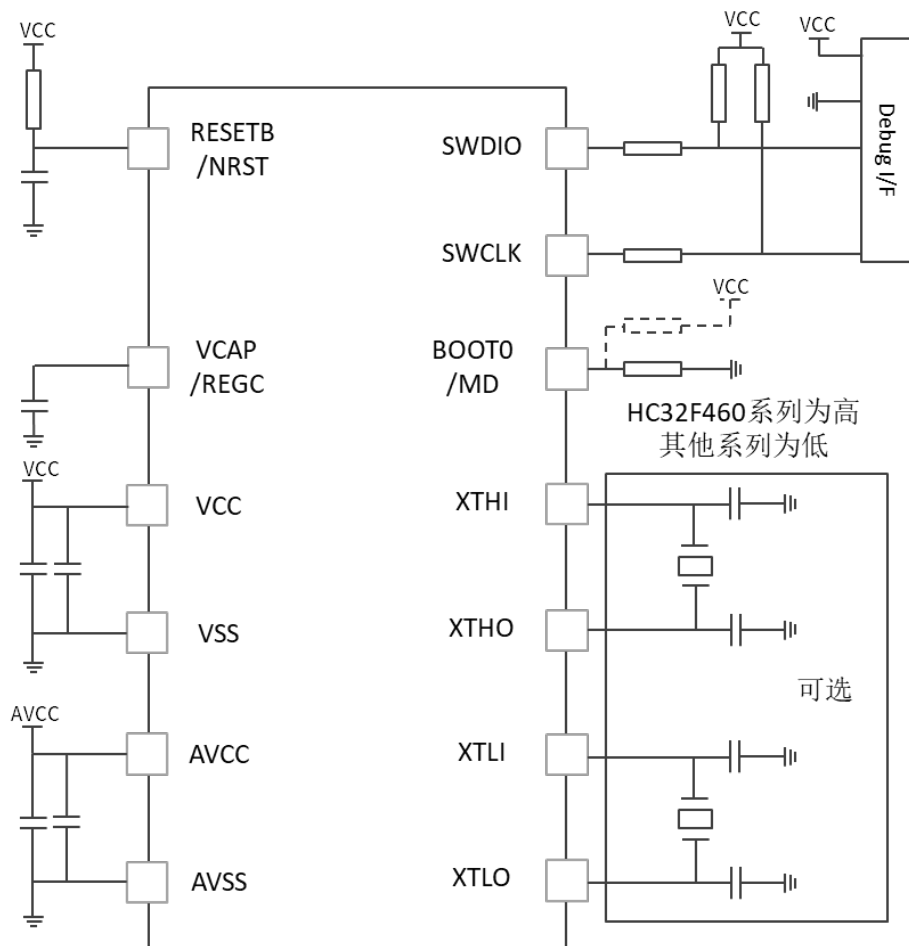


图 3-3 最小系统电路要素 1

支持 SWD 以及单线调试协议的型号（HC32F115、HC32F155 等）：

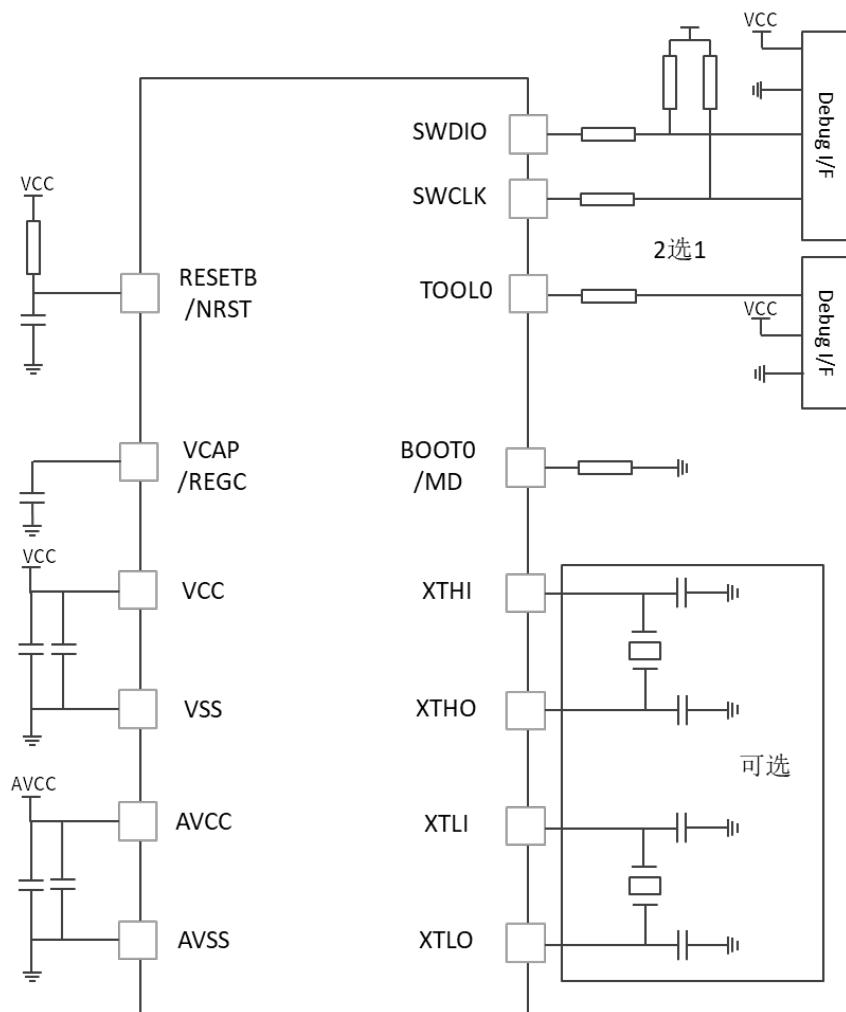


图 3-4 最小系统电路要素 2

3.3.1 电源

■ 电源要求

为保证 MCU 工作在最佳状态，应满足其对电源的要求，电压幅值符合额定要求，纹波峰峰值不超过 50mV，上升下降时间满足 MCU 上下电要求，负载变化时无明显过冲或跌落。

■ 数字电源引脚

MCU 的每一组电源引脚需要一颗去耦电容（推荐 0.1μF 陶瓷电容），且尽量靠近 MCU 电源引脚，电源先经过电容再连接到引脚。同时在电源总输入处靠近 MCU 放置一颗几十 μF 电解电容以及 μF 级陶瓷电容（具体容值参考规格书中电源方案图）。

■ 模拟电源引脚

对于有单独的模拟引脚以及模拟参考引脚的 MCU 型号，可单独连接模拟电源和不同的模拟参考电源。也可将模拟电源，模拟参考电源与数字电源直接连接，同时在模拟电源引脚近端放置一颗较大的去耦电容和较小的旁路电容（具体容值参考规格书中电源方案图），在 layout 时做相应的分割处理。

■ VCAP/REGC 引脚

MCU 内部 LDO 输出端需要提供一个输出电容，这个电容连接 VCAP 引脚。不同型号对电容容值要求不同，请根据数据手册中电源方案框图进行配置。电容请选用低 ESR($<0.5\Omega$)的陶瓷电容。

3.3.2 振荡电路

通常情况下，小华 MCU 有两组外部振荡电路，分别为 XTAH 和 XTAL32。XTAH 连接高频振荡器，为 MCU 提供全速运行下时钟。XTAL32 连接 32.768kHz 振荡器，为 MCU 提供低功耗下 RTC 模块提供时钟。

针对晶体匹配的参数，小华 MCU 的数据手册上给出了该型号所能支持的晶体的 ESR 和负载电容以及不同频率下所需的驱动能力配置。

HC32F030 系列：

符号	参数	条件	最小值	典型值	最大值	单位
F_{CLK}	振荡频率	-	8	-	32	MHz
ESR_{CLK}	支持的晶振 ESR 范围	32MHz	-	-	60	Ω
		24MHz	-	-	80	
		16MHz	-	-	100	
		8MHz	-	-	120	
$C_{LX}^{(3)}$	负载电容	按晶体制造商要求进行配置。	4	12	20	pF
Duty	占空比	-	40	50	60	%
$I_{dd}^{(4)}$	电流	XTH_CR[3:0]=0b1111	-	1000	-	μA
		XTH_CR[3:0]=0b1110	-	600	-	
		XTH_CR[3:0]=0b1010	-	370	-	
		XTH_CR[3:0]=0b0110	-	300	-	
		XTH_CR[3:0]=0b0010	-	160	-	
g_m	跨导	XTH_CR[3:0]=0b1111	-	11.75	-	mA/V
		XTH_CR[3:0]=0b1110 (32MHz, 24MHz 推荐值)	-	6.34	-	
		XTH_CR[3:0]=0b1101	-	4.38	-	
		XTH_CR[3:0]=0b1100	-	3.38	-	
		XTH_CR[3:0]=0b1011	-	7.41	-	
		XTH_CR[3:0]=0b1010 (16MHz 推荐值)	-	4.01	-	
		XTH_CR[3:0]=0b1001	-	2.77	-	
		XTH_CR[3:0]=0b1000	-	2.14	-	
		XTH_CR[3:0]=0b0111	-	5.59	-	
		XTH_CR[3:0]=0b0110 (12MHz 推荐值)	-	3.01	-	
		XTH_CR[3:0]=0b0101	-	2.08	-	
		XTH_CR[3:0]=0b0100	-	1.60	-	
		XTH_CR[3:0]=0b0011	-	2.50	-	
		XTH_CR[3:0]=0b0010 (8MHz 推荐值)	-	1.30	-	

符号	参数	条件	最小值	典型值	最大值	单位
T _{start} ⁽⁵⁾	启动时间	XTH_CR[3:0]=0b0001	-	0.93	-	
		XTH_CR[3:0]=0b0000	-	0.72	-	
		32MHz, CL=16pF @ XTH_CR[3:0]=0b1110	-	500	-	μs
		8MHz, CL=16pF @ XTH_CR[3:0]=0b0010	-	2	-	ms

图 3-5 HC32F030 振荡器电路电气参数

选择合适的振荡器以及匹配的负载电容是保证起振稳定性，精度的关键因素。选择晶体时一定要考虑晶体与 MCU 振荡器驱动参数的匹配，不能只考虑晶体参数，尽量联系晶体厂家进行匹配测试。

3.3.3 模式选择引脚

模式选择引脚为用户提供芯片模式选择功能，该引脚在部分型号上显示为 boot0 引脚，部分型号显示为 MD 引脚。

芯片上电或复位后，会读取模式选择引脚电平，以决定芯片进入正常工作模式还是 boot 模式。Boot 模式下，可以通过 ISP 软件+UART（PA13、PA14 与 SWD 接口复用）烧写代码，ISP 软件可以在小华官网下载。

小华 MCU 的大多数型号模式选择引脚拉低为正常工作状态，拉高为 boot 状态。个别型号是拉高为正常工作状态，拉低为 boot 状态，如 HC32F460 系列。设计前请通过规格书确认。

3.3.4 调试接口

小华 MCU 支持 JTAG 和 SWD 调试接口，其中 SWD 接口应用非常广泛。SWDIO 和 SWCLK 为 SWD 接口数据和时钟信号，在实际设计中建议上拉 10k~47k 电阻以提升信号稳定性和调试速率，串联 100Ω 电阻可以增强端口对 ESD 的防护。

另外，部分小华 MCU 可支持 SWD 或单线调试，如 HC32F115、HC32F155 系列，具体连接可参考最小系统框图。使用单线调试时，只能使用小华半导体 XHLINK 进行调试。

4 EMC 相关设计

4.1 ESD 性能

ESD 性能是半导体器件的重要可靠性指标，对于半导体器件，通常模拟两种模型：人体放电（HBM）和充电设备模型（CDM），小华 MCU 通过设计保证了器件优秀的 ESD 性能，同时也基于考核标准，确认芯片的 ESD 性能。

符号	参数	条件	最大值	单位
$V_{ESD(HBM)}$	静电放电电压（人体模型）	$T_A = +25\text{ }^{\circ}\text{C}$ ，符合 JESD22-A114 标准	4000	V
$V_{ESD(CDM)}$	静电放电电压（充电设备模型）	$T_A = +25\text{ }^{\circ}\text{C}$ ，符合 JESD22-C101 标准	1000	

HBM 放电模型为：

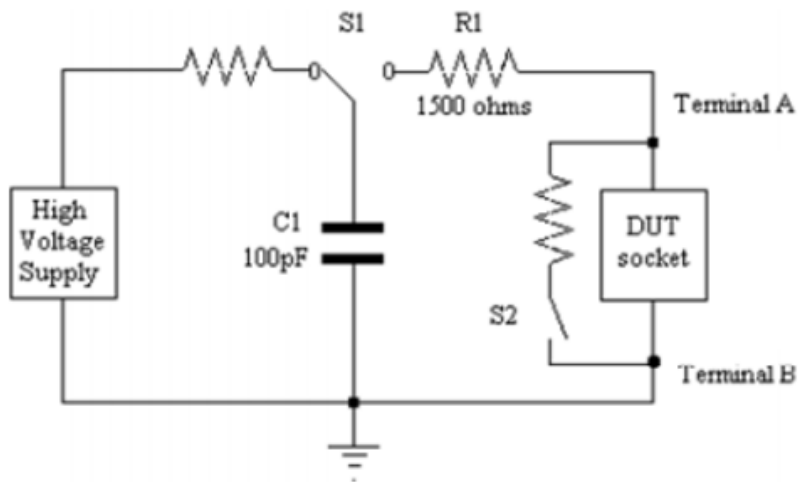


图 4-1 HBM 放电模型

HBM 是模拟带有静电的人体在操作过程中与其它装置或元器件接触或接近，并将贮存于人体的静电通过装置或元器件等对地放电致使其失效而建立的 ESD 模型。小华 MCU 在此模型下的 ESD 抵抗能力达到 4000V（型号不同，可能有所差异）。

CDM 放电模型为：

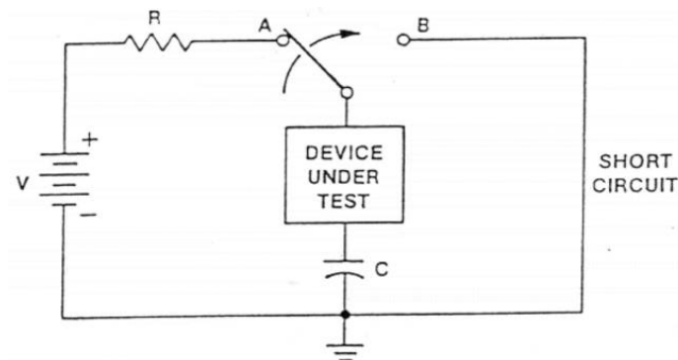


图 4-2 CDM 放电模型

CDM 是模拟半导体器件在生产装配、传递、试验、测试和运输及存贮过程中，由于外壳与其它材料相互摩擦或是其它因素产生电荷的积累，当带有静电的器件任一引脚与地接触时，器件内部的电荷会通过该引脚流出从而造成放电现象。小华 MCU 在此模型下的 ESD 抵抗能力达到 1000V（型号不同，可能有所差异）。

小华 MCU 提供了业界领先的 ESD 抵抗性能，同时从生产、测试等环节保证了这项性能的一致性。同时也需要客户在电路板加工、产品组装等过程中，提供良好的 ESD 防护手段（如设备良好接地、人员佩戴静电环、过程配备等离子风机等），才能保证不会对 MCU 造成潜在的损伤。

需要说明的是，IEC61000-4-2 是针对整机系统的静电测试标准，包括接触放电和空气放电。测试时，是通过放电枪对产品外壳，缝隙进行放电。**不适用于对 MCU 引脚进行直接放电测试。**

4.2 EFT 性能

快速群脉冲(EFT)性能是电子产品的一项重要指标，对应标准为 IEC61000-4-4，这项标准也是针对整机测试。整机的性能与电路板 EFT 性能息息相关，MCU 作为电路板的核心部件，其 EFT 性能至关重要。

小华半导体建立了公司内部的芯片级 EFT 测试方法。并且通过大量测试结果，建立了芯片级 EFT 性能与板级 EFT 性能的对应关系，确保小华半导体 MCU 在客户端能够比较容易通过行业所要求的整机测试标准。

4.3 Latch-up 性能

闩锁（Latch-up）是半导体器件受外部激励触发 PN 结寄生三极管导通，在电源对地之间产生大电流导通现象。并且一旦触发闩锁，电源与地之间的电流会持续增大，除非去除电源供电。

闩锁测试基于标准 JESD78 进行测试。半导体器件抗闩锁能力随温度升高而下降。因此小华在常温和高温下进行闩锁测试，即常温 25°、85°或 105°。保证产品在高温下有较强的抗闩锁能力。

以 HC32F460 系列产品为例：

符号	参数	条件	最大值	单位
LU	静态Latch-up	T _A = +105 °C, 符合 JESD78 标准	200	mA

5 改善系统的方法

在以 MCU 作为控制核心的电子产品中，MCU 的可靠性至关重要，同时 MCU 也是相对敏感的部件。需要系统设计者为 MCU 提供合适的工作环境，包括电气环境、温度环境、湿度环境等。这里为客户提供一些建议共参考。

5.1 去耦与旁路

MCU 的每一组电源引脚原则上都需要配备一颗去耦电容，并且位置靠近电源引脚。去耦电容一般选择 $0.1\mu\text{F}$ 陶瓷电容。MCU 的电源总输入口需要增加不小于 $10\mu\text{F}$ 的陶瓷电容，且靠近芯片（距离 $\leq 10\text{mm}$ ）。尽可能增加一个 $47\sim 100\mu\text{F}$ 的电解电容。

对于模拟电源，低成本降低电源噪声的方法就是在模拟电源引脚附近匹配较大的去耦电容和较小的旁路电容（容值参考规格书电源方案），选择低 ESR (0.5Ω) 的陶瓷电容。

Layout 建议：

1. 电源/地主线不要通过短线连接到电容两端（1），而应该通过电容端点后再进 MCU（3）
2. 电源应先经过电容端点再进入电源引脚（3）

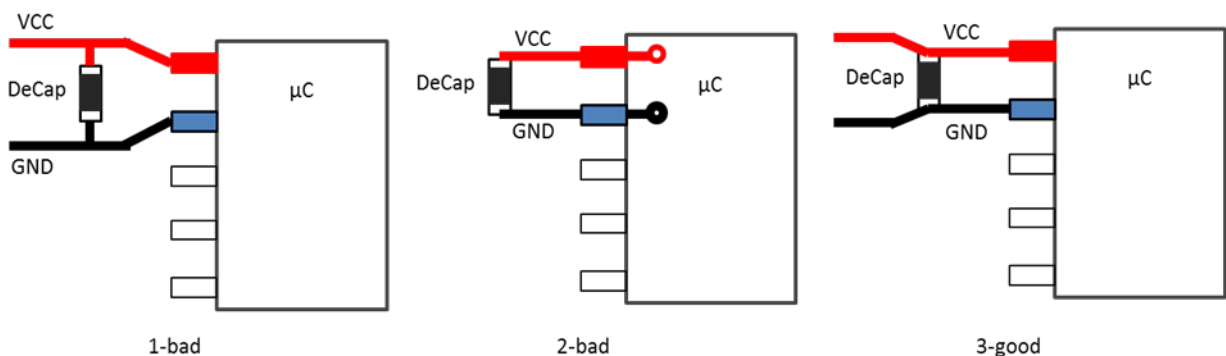


图 5-1 去耦电容 layout

5.2 电源与地

理想情况下，每个模块都应该有自己的电源和回流地平面，但是在实际工程中比较难实现。如果在系统中有不同的模块，比如数字、模拟、RF 等，为每一个模块分割出单独的供电电源和地，则是必要的。对不同模块的电源和地进行分割，主要目的是为了模块与模块之间噪声的互相影响。

对于不同模块的电源和地的拓扑，推荐使用星型连接。即电源从模块直接连接到电源转换器输出点。对于地也同样适用。

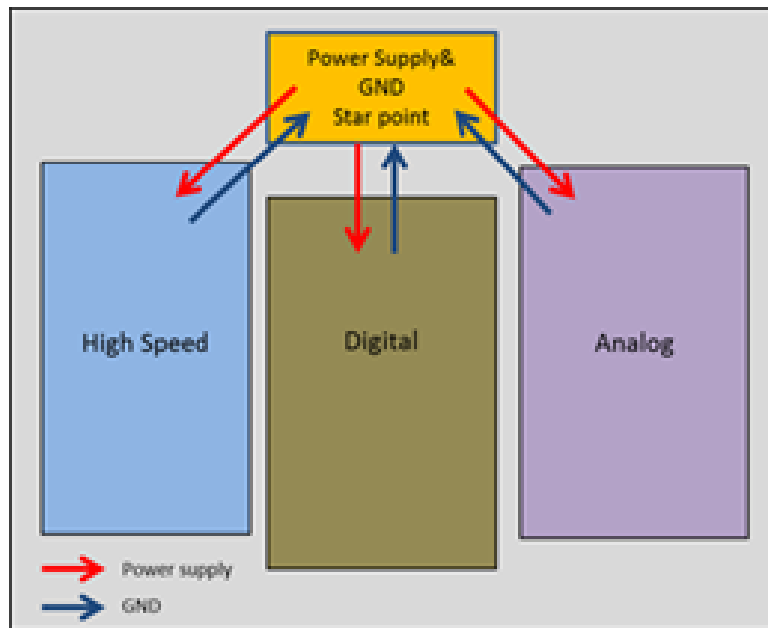


图 5-2 电源分割示意图

Layout 建议：

1. 保持地完整性

尽量保证 MCU 底部或底层有比较完整的地平面，减少信号线对地平面的切割。同一方向走线尽量在同一层，除非希望使用走线来分割地平面。

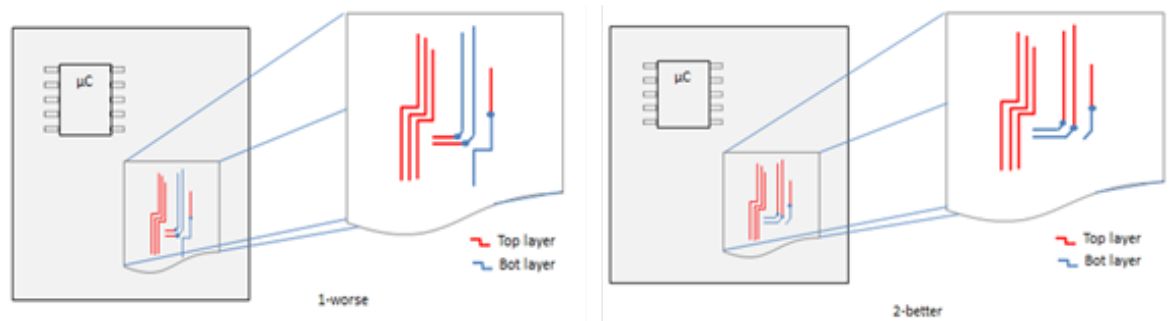


图 5-3 地完整性示意图

2. 采用星形连接，减小电源与地回路的面积

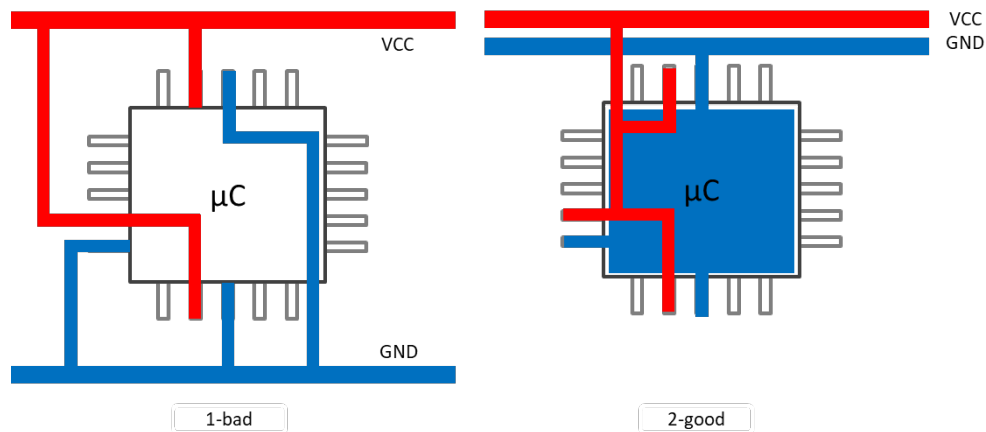


图 5-4 电源连接图

3. MCU 地与电源地保持低阻抗连接，与信号地保持就近连接，并且减小回流面接

电源的输出与地线最好平行与 MCU 的电源和地连接，减少因为回路电感造成的纹波增强。

MCU 地与信号地之间连接不一定需要大面积铺地，可以提供独立的“窄”地线为信号提供电流回流通路即可，就近回流。

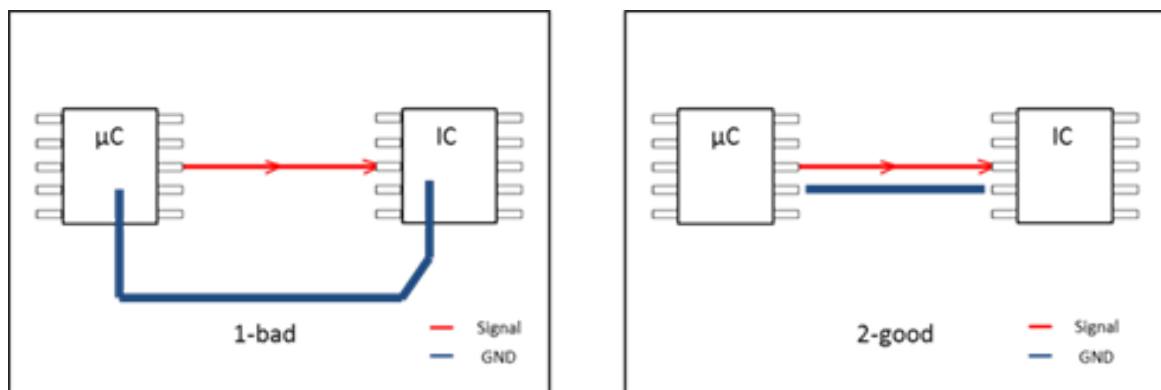


图 5-5 电流回路图

功率地与控制信号地需要就近“窄”线连接，以保持电平一致。避免控制信号地通过电源地然后再与功率地连接。

5.3 VCAP 电路

VCAP/REGC 引脚是芯片内部 LDO 的输出引脚，需要外接电容到地，以起到稳定环路的作用。电容容值根据芯片型号确定，建议使用低 ESR ($ESR < 0.5R$) 陶瓷电容。

Layout 建议：

1. 电容靠近 VCAP/REGC (距离 $\leq 5\text{mm}$)
2. 电容地与芯片地就近连接 (距离 $\leq 5\text{mm}$)

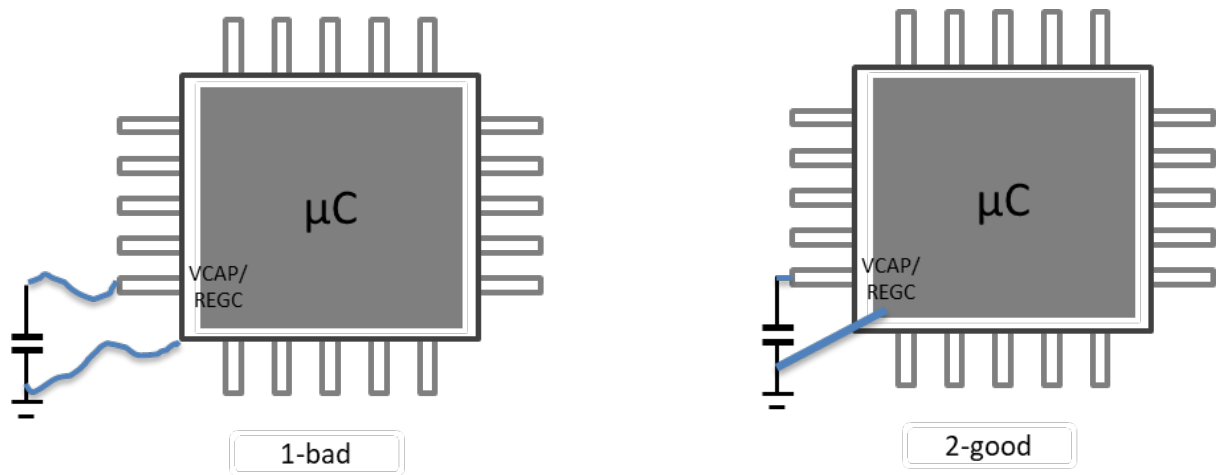


图 5-6 VCAP 电容 layout

5.4 振荡器电路

振荡器是 MCU 系统重要且敏感的部件，合适的匹配和合理的 layout 可显著提高系统的稳定性和可靠性。振荡器电路容易受到辐射干扰，同时振荡器也是辐射源，而通常在大多数产品中，MCU 部分并不进行屏蔽。所以，在 layout 时要注意提升振荡器电路对外界辐射的容忍能力，同时也要减少振荡器对外的辐射。

Layout 建议：

1. 负载电容接地与 MCU 地就近连接
2. 走线避免通过 MCU 底部
3. 振荡器放置位置离振荡器引脚尽量近
4. 晶振地与其他地先进行分割，再单点接到芯片地

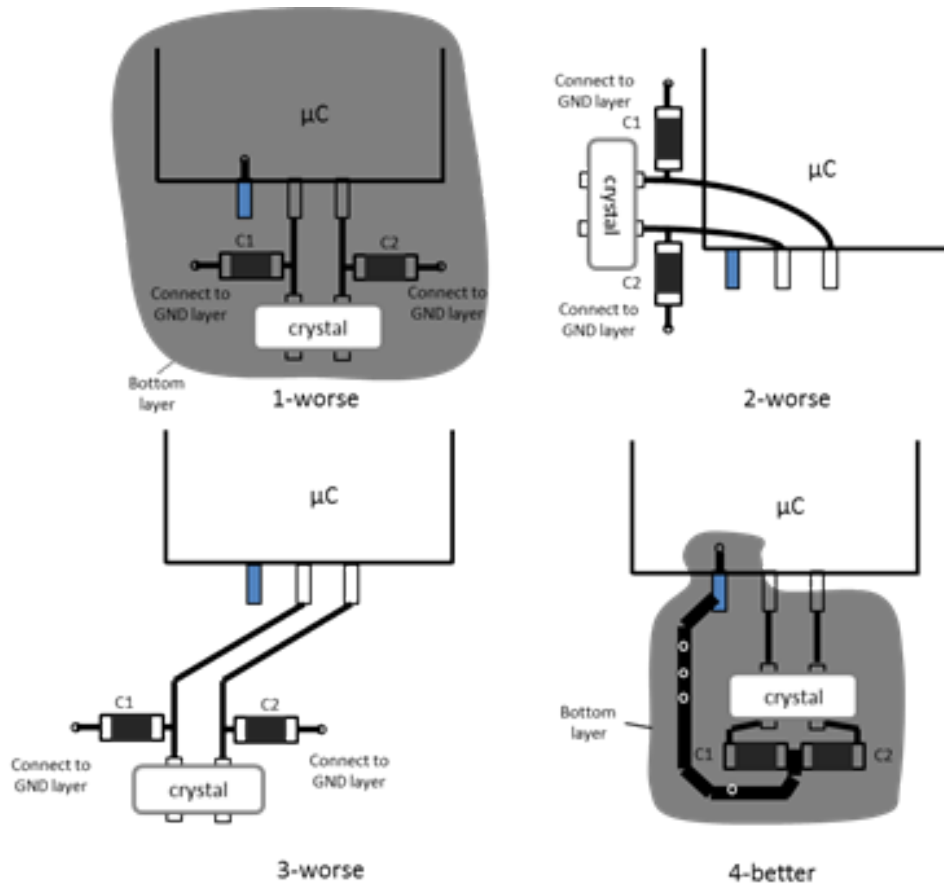


图 5-7 振荡器 layout

5.5 IO 处理

5.5.1 ESD

每一个 I/O 都有相对应的规格，包括最大的耐受电压、最大的输入输出电流以及 ESD 级别等。在实际使用时不要超过 IO 限定规格。

一些简单措施可以很大程度上减少静电对 MCU IO 的损坏。

1. MCU 电源对地增加 TVS 二极管，且 TVS 靠近电源端或接口
2. 信号线串联电阻或者对地增加 TVS，且 TVS 靠近接口
3. 敏感走线远离 PCB 板边缘和接口
4. 对敏感部件使用地屏蔽，进行保护
5. 保持外壳良好接地

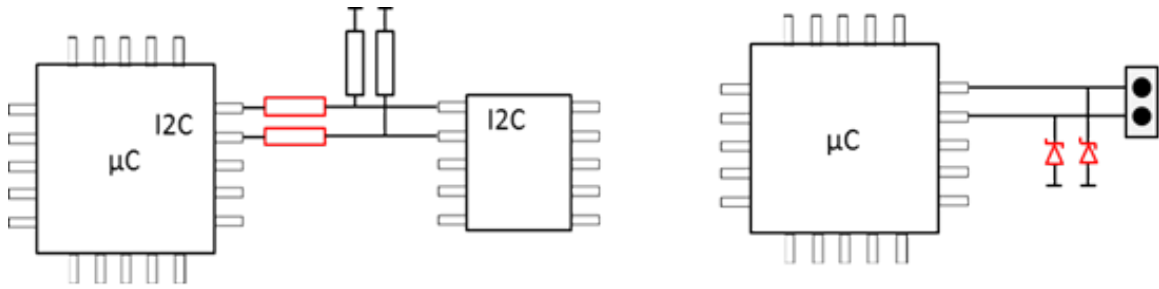


图 5-8 IO ESD 防护

5.5.2 Latch up

闩锁现象多发生于 IO 上的过冲信号导致的拉灌电流，如下图，由于开关与 I/O 之间的线路比较长，存在寄生电感，所以在开关动作的时候，A 点的信号则有可能出现过冲。

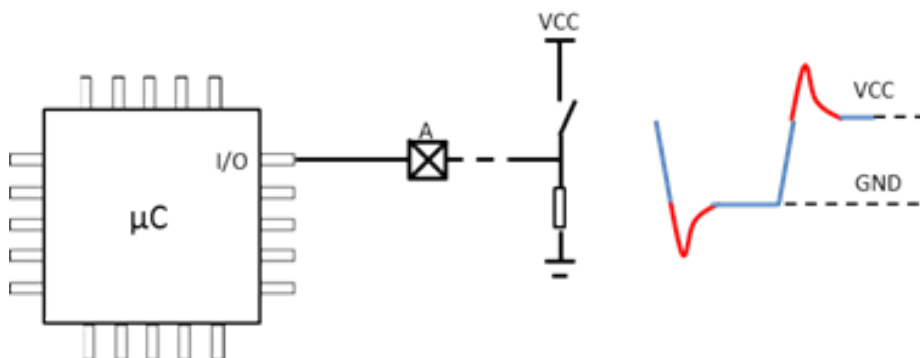


图 5-9 IO latch-up

消除 I/O 输入信号的过冲，可从以下几方面入手：

1. 在输入引脚上串联合适电阻，消弱过冲幅度，抑制过冲电压导致的拉灌电流，电阻尽量靠近 MCU IO.

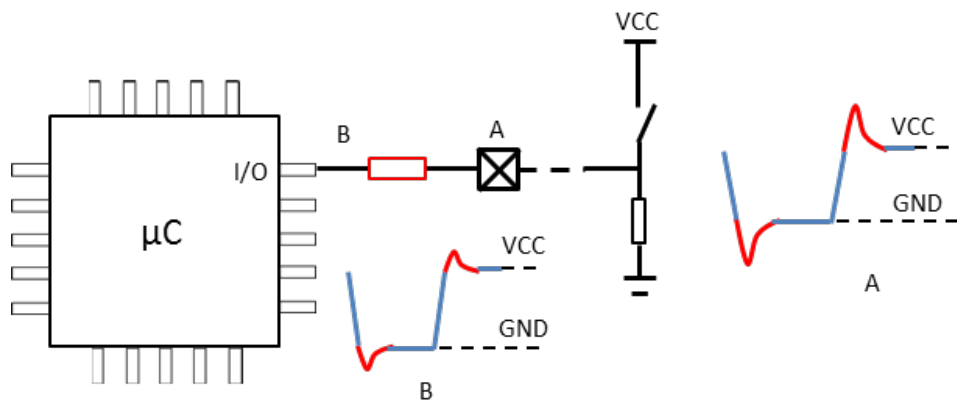


图 5-10 IO latch-up 防护 1

2. 保持 MCU 地与负载地的良好连接
3. 避免在输入引脚上直接放置大电容，如果放置了电容，则电容接地应与 MCU 地靠近连接

6 案例

6.1 ESD 整改案例

■ 案例一

案例一空调线控器，使用小华 HC32L136。客户反馈在进行整机静电测试时，无法通过接触放电 6kV。客户的 PCB 为如下。

顶层：

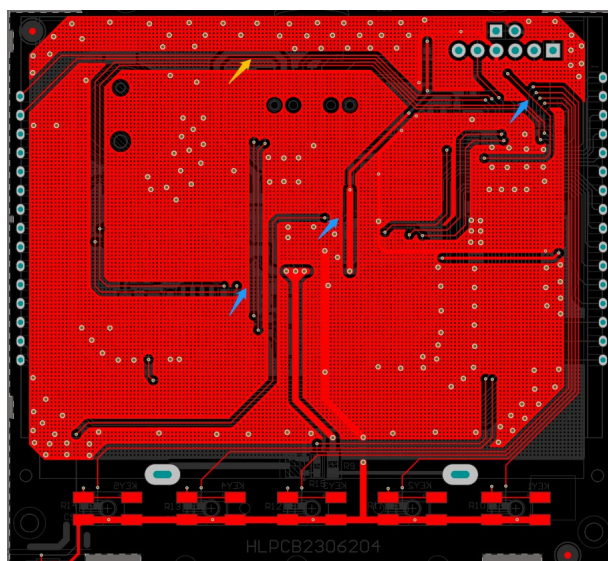


图 6-1 ESD 案例一顶层

1. 黄色箭头所指示的 4 条走线与 MCU 引脚直接连接，而这 4 条线刚好位于背面接插件正下方，静电测试时容易耦合静电干扰
2. 顶层看似有大面积铺地，但整个地被部分走线分割开了，如蓝色箭头所示

底层：

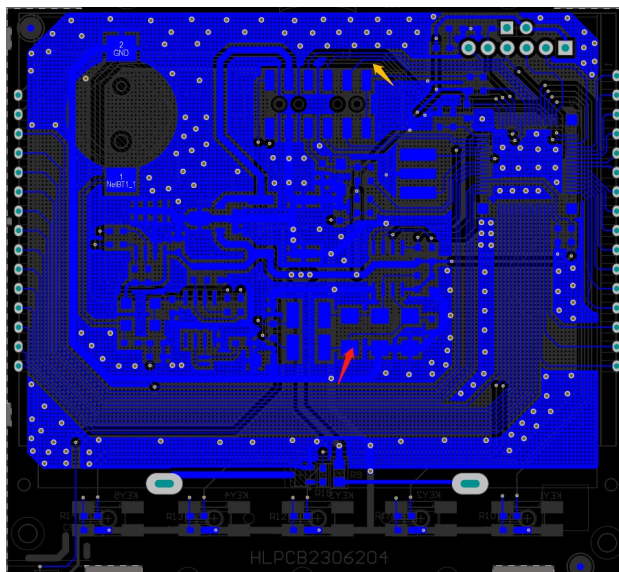


图 6-2 ESD 案例一底层

1. 黄色箭头所指示的 3 条线路也是直接连接到 MCU 引脚，当进行 ESD 测试时，也容易受到影响
2. 红色箭头所指示为 RS485 的 TVS 管放置位置，放置在 PCB 中间位置，不利于静电泄放。

对原理图和 PCB 进行微调后，客户整机测试可以通过 7kV 测试。

顶层：

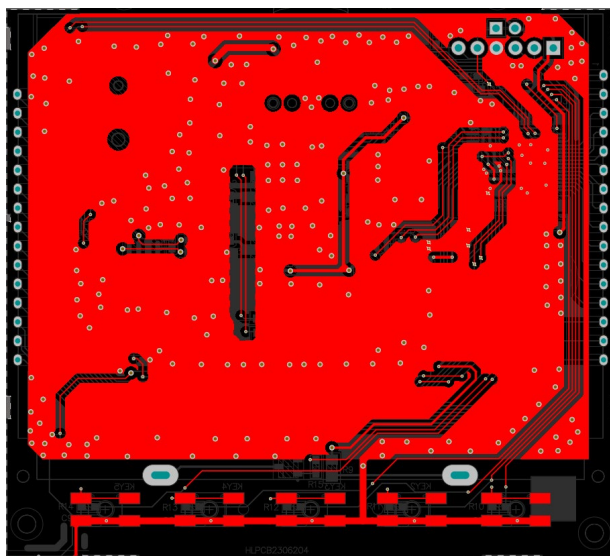


图 6-3 ESD 案例一优化后顶层

1. 将直接与 MCU 引脚相连的走线远离接口，并且采用地隔离
2. 调整顶层走线，尽量保证地平面完整，MCU 与电源地能够良好连接

底层：

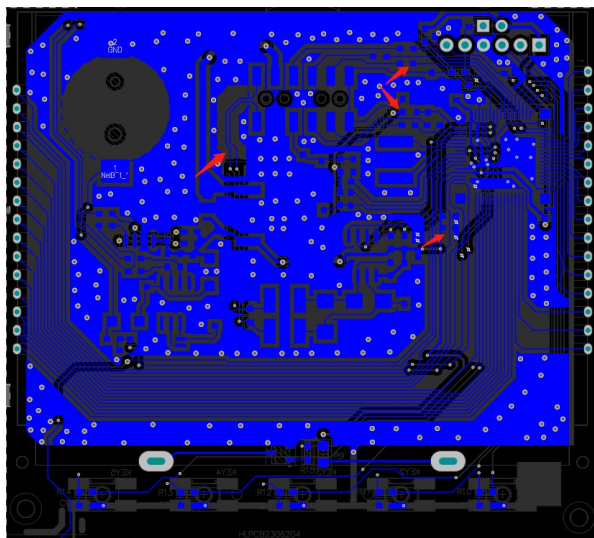


图 6-4 ESD 案例一优化后底层

1. 与接口连接的 IO 口增加串联电阻
2. 将去耦电容靠近 MCU 电源引脚
3. 增加 RS485 信号线与地之间的距离
4. 将铺地改为实地

此案例的整改方法遵循了 ESD 改善建议的 2、3、5。通过尽可能小的改动，达到了整机 ESD 性能提升。

■ 案例二

案例二音响控制板，使用小华 HC32F460。控制板由两块电路板组成，通过 FFC 连接。客户反馈在生产过程中，偶尔会出现 MCU 的电源与地短路，或无法充电的现象。

首先将客户的坏片返回做 FA 发现，有引脚的 ESD 二极管烧毁，说明引脚可能受到了 ESD 放电损坏。

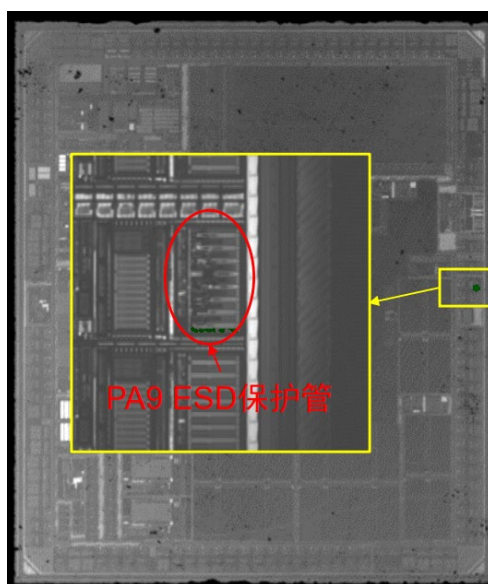


图 6-5 ESD 案例二

查看客户原理图发现 PA9 引脚与接口直接连接，无任何防护，而这个端口正是控制充电 IC 的引脚。并且通过静电测试发现，对接口空气放电达到 18kV 时可能会导致该引脚损坏。建议客户在引脚与接口之间增加串联电阻，解决此问题。

此案例的整改方法遵循了 ESD 改善建议的 2，几乎无成本。同时也提醒客户对于接口电路一定要考虑 ESD 的防护措施，提升系统抵抗 ESD 的能力。生产过程也要注意 ESD 防护。

6.2 EFT 整改案例

■ 案例一

案例一冰箱变频控制板，使用小华 HC32F030。客户反馈电路板带负载运行时测试 EFT，只能通过 3kV，测试 4kV 时，芯片会复位。客户 PCB 如下：

顶层：

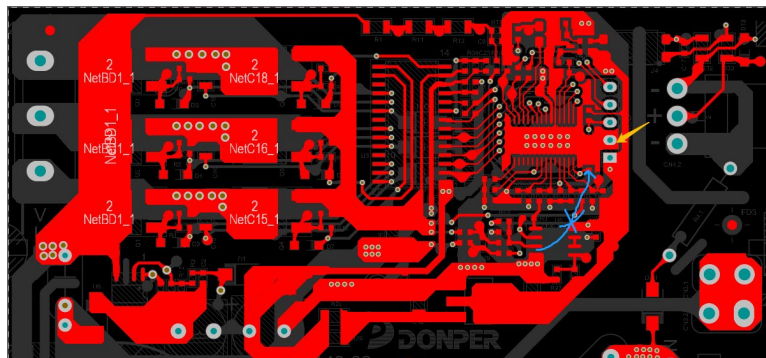


图 6-6 EFT 案例一顶层

底层：

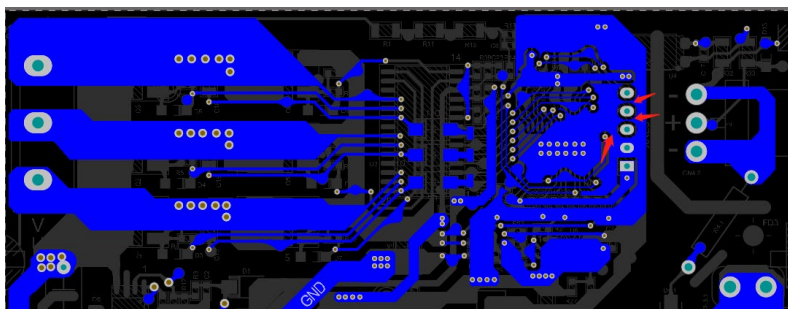


图 6-7 EFT 案例一底层

1. 顶层 MCU 的地与电源地没有直接连接，而是通过一个接口引脚连接到底层
2. 底层 MCU 地与电源地连接线较细

对 PCB layout 进行细微调整后，可以顺利通过 4kV 测试。

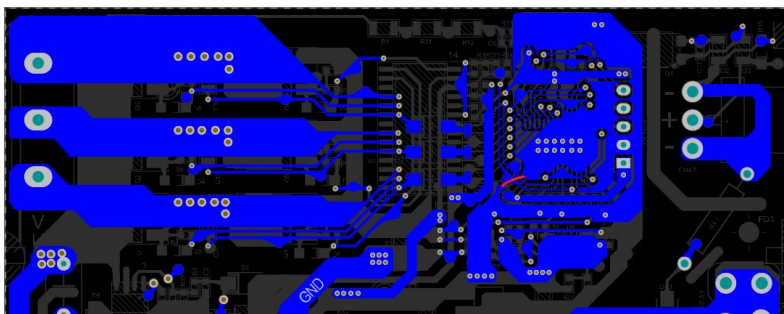


图 6-8 EFT 案例一优化后底层

1. 将图中红线标识处两点地线连接起来

此案例遵循电源与地 layout 建议第 3 条，保持 MCU 地与电源地良好连接。

6.3 板级性能改善案例

■ 案例一

案例一散热风扇驱动板，使用 HC32F005，在 PCB 的 A 点为 5V 电源输出端，B 点为一个放大器。问题是风扇运行时，放大器电源纹波超过 700mV，不满足要求。

底层：

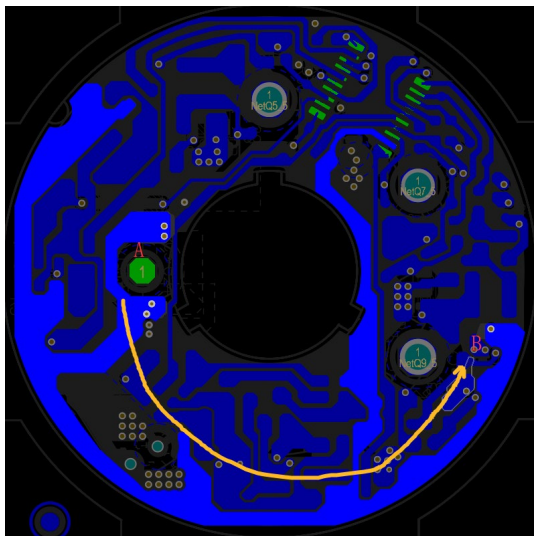


图 6-9 板级优化案例一底层

中间地层：

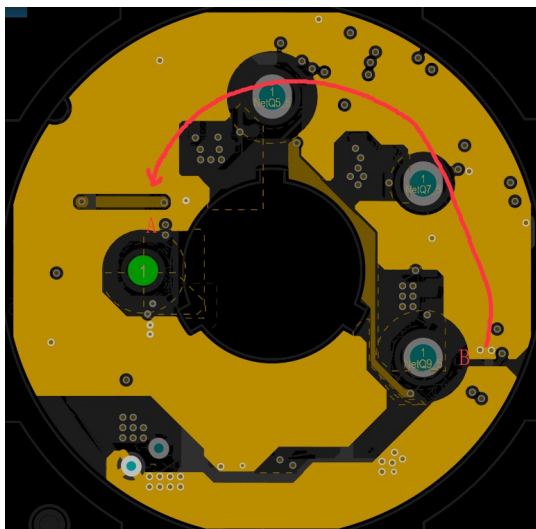


图 6-10 板级优化案例一中间层

1. 底层，5V 电源从 A 点绕 PCB 下半周到 B 点给放大器供电(黄色回路)
2. 中间地层，放大器的地从 B 点绕 PCB 上半周回到 A 点(红色回路)
3. 将电源路径和地路径合并看，则可以看出电源和地形成了一个圈，电流回流路径最大。所以造成电源纹波超标

对 PCB 进行调整后，纹波降到 150mV，符合要求。

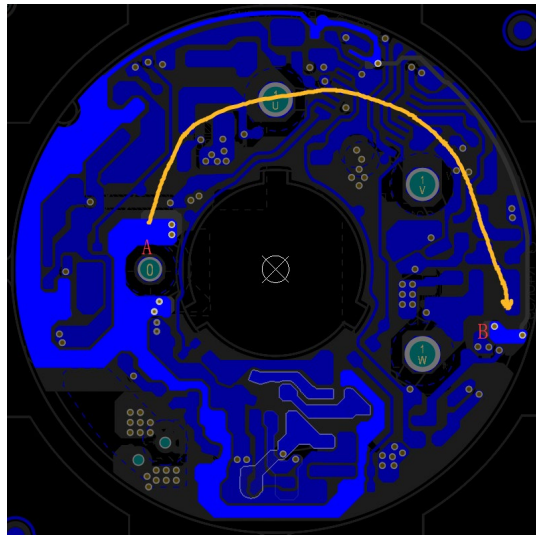


图 6-11 板级优化案例一优化后底层

1. 将 5V 电源绕 PCB 上半周给放大器供电，大幅度减小电流回路面积

7 总结

电子产品系统可靠性，稳定性性能应从设计开始即考虑，选择具有领先可靠性能力的零部件，同时评估零部件的工作环境，按照零部件规格要求进行设计。设计过程中采取适当的保护方式、器件，以及恰当的 layout 方法，能够大幅度提升系统的 ESD、EFT、Latch-up 防护性能，优化系统电气性能。小华半导体向客户提供高可靠性产品，并且帮助客户优化设计，缩短产品上市时间。

版本修订记录

版本号	修订日期	修订内容
Rev1.00	2025/06/30	初版发布。