

“计算机组织结构”作业 04 参考答案

1. 假定有两个用来存储 10TB 数据的 RAID 系统，每个磁盘的大小均为 2TB。系统 A 使用 RAID 1 技术，系统 B 使用 RAID 5 技术。请问：[刘璟，121250083]

a) 系统 A 需要比系统 B 多用多少存储容量（单位：TB）？

A 系统需 20TB 存储容量；B 系统采用 6 个磁盘，需 12TB 存储容量，多用 8TB

b) 假定一个应用需要向磁盘写入一块数据，若磁盘读或写一块数据的时间为 30ms，则最坏情况下，在系统 A 上写入一块数据需要多少时间（单位：毫秒）？

30ms

c) 如果问题 b) 是在系统 B 上写入一块数据，需要多少时间（单位：毫秒）？

120ms（最坏情况：两读两写）

d) 哪个系统更加可靠？

A 更加可靠。

RAID1 通过镜像对整个数据进行了备份，只要其中一份数据所在磁盘出现了问题，通过另一份数据就可以很方便的进行恢复；而 B 系统中，如果两块磁盘同一对应位置同时存在故障，相应的数据就无法进行恢复了。

2. 假设一个分页虚拟存储系统的虚拟地址为 40 位，物理地址为 36 位，页大小为 16KB，按字节编址。若页表中的有效位、存储保护位、修改位、使用位共占 4 位，磁盘地址不在页表中。则该存储系统中每个程序的页表大小为多少（单位：MB）？（说明：1.假设每个程序都能使用全部的虚拟内存；2.页表项的长度必须为字节的整数倍）

按字节编址，故：

虚拟主存页面个数： $2^{(40-14)}=2^{26}$

物理主存页面数： $2^{(36-14)}=2^{22}$

页表项的最小长度： $22+4=26$

根据说明 2，取 32 位（4B）

页表大小： $2^{26} \times 4B = 256MB$

3. 假设一个计算机系统有一个 TLB 和一个 L1 data cache。该系统按字节编址，虚拟地址 16 位，物理地址 12 位；页大小为 128B，TLB 为 4 路组相连，共有 16 个页表项；L1 data cache 采用直接映射方式，块大小为 4B，共 16 行。在系统运行的某一时刻，TLB、页表和 L1 data cache 中的部分内容如下图所示（16 进制表示）：

组号	标 记	页 框	有 效 位	标 记	页 框	有 效 位	标 记	页 框	有 效 位	标 记	页 框	有 效 位
0	05	—	0	09	1D	1	00	08	1	07	10	1
1	13	1C	1	02	17	1	04	—	0	0A	—	0
2	02	09	1	08	—	0	06	—	0	03	11	1
3	07	—	0	63	12	1	0A	30	1	72	—	0

TLB 的内容 [缪晓伟, 121250101; 陆一飞, 121250094; 贾俊腾, 111130046;
李任我行, 131250212; 刘庭烽, 191250093]

虚页号	页框号	有效位
000	08	1
001	03	1
002	14	1
003	02	1
004	—	0
005	16	1
006	—	0
007	07	1
008	13	1
009	17	1
00A	09	1
00B	—	0
00C	19	1
00D	—	0
00E	11	1
00F	0D	1

页表的前 16 行内容

行索引	标记	有效位	字节 3	字节 2	字节 1	字节 0
0	19	1	12	56	C9	AC
1	—	0	—	—	—	—
2	1B	1	03	45	12	CD
3	—	0	—	—	—	—
4	32	1	23	34	C2	2A
5	0D	1	46	67	23	3D
6	—	0	—	—	—	—
7	10	1	12	54	65	DC
8	24	1	23	62	12	3A
9	—	0	—	—	—	—
A	2D	1	43	62	23	C3
B	—	0	—	—	—	—
C	12	1	76	83	21	35
D	16	1	A3	F4	23	11
E	33	1	2D	4A	45	55
F	—	0	—	—	—	—

L1 data cache 的内容

请问：

- a) 虚拟地址中哪几位表示虚拟页号？

页大小 128B，所以低 7 位为页内偏移量，从而高 9 位为虚拟页号

- b) 虚拟页号的哪几位表示 TLB 标记？

虚拟页号中高 7 位为 TLB 标记

- c) 物理地址中哪几位表示物理页号？

物理地址高 5 位表示物理页号，低 7 位表示页内偏移量

- d) 在访问 cache 时，物理地址哪几位表示行号？

低 2 位表示块内地址，中间 4 位表示行号，高 6 位是标记字段

- e) CPU 从地址 067AH 中取出的值为多少？

4AH

虚拟地址 067AH=0000 0110 0111 1010B，高 9 位虚页号为 0000 0110 0B (00CH)；

对应 TLB 组号 0，查找 03H 标记，没有对应项，故 TLB 缺失；

查找页表，发现 00CH 项有效位为 1，取出对应页框号 19H=11001B；

将页框号与页内偏移组成物理地址：11001 111 1010B，计算中间 4 位得到 cache 行号 E，高 6 位得标记 33H，比对吻合，且有效位为 1，块内地址为 10B=2，所以取出数据 4AH

4. 假设一个同步总线的时钟频率为 50MHz，总线宽度为 32 位，每个时钟周期传送一个数据，该总线的带宽为多少（单位：Mbps）？

带宽为：32bit * 50MHz = 1600 Mbps

5. 一个 32 位的微处理器，它有 16 位的外部数据总线，由 40MHz 输入时钟驱动。

- a) 假设一个总线事务需要的最短时间等于 4 个输入时钟周期，这个处理器可能维持的最大数据传输率是多少（单位：Mbps）？

- b) 如果将它的外部数据总线扩展为 32 位，那么该总线的最大数据传输率提高到多少（单位：Mbps）？

a) 一个总线事务过程除了数据传送阶段外，还包括其他阶段，如传送地址和总线命令、准备数据等，所以，完成一个总线事务所用的所有时钟周期并不都用来传输数据。由于一个总线事务需要的最短时间为 4 个时钟周期，这表明在传输最少数据的情况下（占用 1 个时钟周期），依然需要 3 个时钟周期来传送其它信息。

假设一个总线事务占用 n 个时钟周期，那么最大数据传输率为：

$$16\text{bit} * (n-3)/n * 40\text{MHz} = 640(n-3)/n \text{ Mbps}$$

例如，当 n 为 16 时，最大数据传输率为 520Mbps

b) 若采用 32 位总线宽度，则总线带宽可以提高到 1280(n-3)/n Mbps。这种措施的效果和加倍外部处理器总线时钟频率的效果相同。

补充：由于处理器是 32 位的，地址可能为 32 位。当采用 16 位数据总线时，需要 2 个时钟周期传递地址；而改成 32 位总线，只需要 1 个周期传递地址。原来所需要的 3 个额外时钟周期可能减少到 2 个，因此带宽可以提高到 1280(n-2)/n Mbps，优于加倍时钟频率。

6. VAX SBI 总线采用分布式的自举裁决方案, 总线上每个设备有唯一的优先级, 而且有一根独立的总线请求线 REQ, SBI 有 16 根这样的请求线 (REQ0, ..., REQ15), 其中 REQ0 优先级最高, 请问最多可有多少个设备连到这样的总线上?

由于优先级最低的设备所对应的请求线可以用于设置“总线忙”信号, 则共可以连接16个设备。

7. 假设某存储器总线采用同步定时方式, 时钟频率为 50MHz, 每个总线事务传输 8 个字, 每字 4 字节。对读操作, 访问顺序是 1 个时钟周期接受地址, 3 个时钟周期等待存储器读数, 8 个时钟周期用于传输 8 个字。对于写操作, 访问顺序是一个时钟周期接受地址, 2 个时钟周期延迟等待, 8 个时钟周期用于传输 8 个字, 3 个时钟周期恢复和写入纠错码。对于以下访问模式, 求出该存储器读写时在存储总线上的数据传输率 (单位: Mbps)。

- c) 全部访问为连续的读操作。
- d) 全部访问为连续的写操作。
- e) 65% 的访问为读操作, 35% 的访问为写操作 (对数据传输率加权平均)。

a) 8 个字用 $1+3+8=12$ 个周期, 故数据传输率为 $8 \times 4B / (12 \times 1/50M) = 1066.7 \text{ Mbps}$

b) 8 个字用 $1+2+8+3=14$ 个周期, 故数据传输率为 $8 \times 4B / (14 \times 1/50M) = 914.3 \text{ Mbps}$

c) $1066.7 \text{ Mbps} \times 65\% + 914.3 \text{ Mbps} \times 35\% = 1013.4 \text{ Mbps}$

补充: 对所需要的时钟周期加权平均

$8 \times 4B / ((12 \times 65\% + 14 \times 35\%) \times 1/50M) = 1007.9 \text{ Mbps}$

8. 假定在一个字长为 32 位的计算机系统中, 存储器分别连接以下两种同步总线。

总线 1 是 64 位数据和地址复用的同步总线, 能在 1 个时钟周期内传输一个 64 位的数据或地址。支持最多连续 8 个字的存储器读操作和存储器写操作总线事务。任何一个读写操作总是先用 1 个时钟周期传送地址, 然后有 2 个时钟周期的延迟等待, 从第 4 个时钟周期开始, 存储器准备好数据, 总线以每个时钟周期 2 个字的速度传送, 最多传送 8 个字。

总线 2 是分离的 32 位地址和 32 位数据的总线。支持最多连续 8 个字的存储器读操作和写操作总线事务, 读操作的过程为: 1 个时钟周期传送地址, 2 个时钟周期延迟等待, 从第 4 个时钟周期开始, 存储器准备好数据, 总线以每个时钟周期一个字的速度传输最多 8 个字; 对于写操作, 在第 1 个时钟周期内第 1 个数据字和地址一起传输, 经过 2 个时钟周期的等待延迟后, 以每个时钟周期 1 个字的速度传输, 最多传输 7 个余下的数据字。

假设这两种总线的时钟频率都是 100MHz, 请问:

- f) 总线 1 的带宽为多少 (单位: Mbps)?
- g) 总线 2 的带宽为多少 (单位: Mbps)?
- h) 连续进行单个字的存储器读操作总线事务, 总线 1 的数据传输率为多少 (单位: Mbps)?
- i) 连续进行单个字的存储器读操作总线事务, 总线 2 的数据传输率为多少 (单位: Mbps)?
- j) 连续进行单个字的存储器写操作总线事务, 总线 1 的数据传输率为多少 (单位: Mbps)?

- k) 连续进行单个字的存储器写操作总线事务，总线 2 的数据传输率为多少（单位：Mbps）？
- l) 每次传输 8 个字的数据块，其中 60% 的访问是读操作总线事务，40% 的访问是写操作总线事务，总线 1 的数据传输率是多少（单位：Mbps，对数据传输率加权平均）？
- m) 每次传输 8 个字的数据块，其中 60% 的访问是读操作总线事务，40% 的访问是写操作总线事务，总线 2 的数据传输率是多少（单位：Mbps，对数据传输率加权平均）？
- a) 总线 1 在传送数据时以每个时钟周期 2 个字的速度进行，所以它的最大数据传输率为 $2 \times 32 \text{bit} \times 100 \text{M} = 6400 \text{Mbps}$ 。
- b) 总线 2 在传送数据时以每个时钟周期 1 个字的速度进行，所以它的最大数据传输率为 $32 \text{bit} \times 100 \text{M} = 3200 \text{Mbps}$ 。
- c) 总线 1 虽然每个时钟周期可传 2 个字，但在单字传输总线事务中每次只需要传送一个字，每个总线事务占 $1+2+1=4$ 个时钟周期，因此连续进行单个字的存储器读总线事务时，总线 1 的数据传输率为 $4 \text{B} \times 100 \text{M} / 4 = 800 \text{Mbps}$ 。
- d) 总线 2 每个时钟周期读一个字，一个单字存储器读总线事务占 $1+2+1=4$ 个时钟周期，因此连续进行单个字的存储器读总线事务时，总线 2 的数据传输率也为 800Mbps 。
- e) 总线 1 的单字存储器写总线事务和单字存储器读总线事务的情况一样，因此，连续进行单个字的存储器写总线事务时，数据传输率也是 800Mbps 。
- f) 总线 2 的单字存储器写总线事务占 $1+2=3$ 个时钟周期，因此连续进行单个字的存储器写总线事务时，其数据传输率为 $4 \text{B} \times 100 \text{M} / 3 = 1066.7 \text{Mbps}$ 。
- g) 通过总线 1 进行存储器读或写 8 个字所用时间都为 $1+2+8/2=7$ 个时钟周期，所以在连续进行 8 个字的传送总线事务时，总线 1 的数据传输率为 $8 \times 4 \text{B} \times 100 \text{M} / 7 = 3657.1 \text{Mbps}$ 。
- h) 总线 2 的存储器读事务和存储器写事务所用时间不等。突发读 8 个字所用的时间为 $1+2+8=11$ 个时钟周期，突发写 8 个字所用的时间为 $1+2+7=10$ 个时钟周期，因此，当 60% 是读操作总线事务，40% 是写操作总线事务时，总线 2 的数据传输率为：

根据传输速率加权： $8 \times 4 \text{B} \times 100 \text{MHz} / 11 \times 60\% + 8 \times 4 \text{B} \times 100 \text{MHz} / 10 \times 40\% = 2420.4 \text{Mbps}$

补充：根据时钟周期加权： $8 \times 4 \text{B} / ((11 \times 60\% + 10 \times 40\%) \times 1 / 100 \text{MHz}) = 2415.1 \text{Mbps}$

[高衡，181250034]

9. 假定连接主存和 CPU 之间的同步总线具有以下特性：支持 4 字块和 16 字块（字长 32 位）两种长度的块传输，总线时钟频率为 200MHz ，总线宽度为 64 位，每个 64 位数据的传送需要 1 个时钟周期，向主存发送一个地址需要 1 个时钟周期，每个总线事务之间有 2 个空闲时钟周期。若访问主存时最初 4 个字的存取时间为 148ns ，随后每读 4 个字的时间为 26ns ，则：
- n) 在 4 字块传输方式下，该总线上传输 512 个字时的数据传输率为多少（单位：Mbps）？

- o) 在 16 字块传输方式下, 该总线上传输 512 个字时的数据传输率为多少 (单位: Mbps) ?

总线时钟频率为 200MHz, 因而总线时钟周期为 $1/200\text{M}=5\text{ns}$ 。

a) 对于 4 字传送方式, 每个总线事务由一个地址传送和一个 4 字的数据块传送组成。首先, CPU 发送地址到主存, 需要 1 个时钟周期; 主存读开始的 4 个字, 需要 $148\text{ns}/5\text{ns}=30$ 个时钟周期; 然后在总线上传输 4 个字, 需要 $4 \times 32/64=2$ 个时钟周期; 最后, 有 2 个空闲时钟周期。所以, 一次总线事务总共需要 $1+30+2+2=35$ 个时钟周期, 512 个字需 $512/4=128$ 个事务, 因而整个传送需 $35 \times 128=4480$ 个时钟周期, 得到总延时为 $4480 \times 5\text{ns}=22400\text{ns}$ 。总线的数据传输率为 $(512 \times 4\text{B})/22400\text{ns}=731.4\text{Mbps}$ 。

b) 对于 16 字块传送方式, 从第二个 4 字开始, 每读一个 4 字的时间为 26ns, 相当于 $26\text{ns}/5\text{ns}=6$ 个时钟周期。一次总线事务总共需要 $1+30+3 \times \max(6,2)+2+2=53$ 个时钟周期, 512 字需 $512/16=32$ 个事务, 因而整个传送需 $53 \times 32=1696$ 个时钟周期, 总线的数据传输率为 $(512 \times 4\text{B})/(1696 \times 5\text{ns})=1932.1\text{Mbps}$ 。

(注意: 这里 148ns 和 26ns 不是总线时钟周期的整数倍, 主存会先准备好数据, 等到下一个总线时钟周期开始时传输数据。)

[罗瑶,131250177]

===== 分割线: 以下内容不在小程序上提交 =====

10. 虚拟内存的大小是否等于主存的容量加上磁盘的容量? 为什么?

不对。

一个系统虚拟内存的上限由两方面决定:

1) 系统寻址空间的大小, 如系统寻址宽度为 32 位, 则能支持的虚拟内存大小最多为 (2^{32}) , 即 4G 大小。

2) 虚拟内存借助磁盘空间来实现, 所以虚拟内存一定小于磁盘空间大小。

在不超过上述两条限制的情况下, 具体的虚拟内存大小会根据具体设置而定, 但磁盘的容量通常会远大于虚拟内存的容量。

11. 在使用了快表 (TLB) 和 cache 的情况下, CPU 读写一个数据, 需要访问多少次主存? (需要假设各种情况的概率)

假设 TLB 命中率为 $P(T)$, 虚页载入的概率为 $P(V)$, cache 命中率为 $P(C)$, 则各种情况下的概率表示为:

	TLB	Page	Cache	内存访问	磁盘访问	概率
1	Hit	Valid	Hit	0	0	$P(TVC)$
2	Hit	Valid	Miss	1	0	$P(TV\bar{C})$
3	Miss	Valid	Hit	1	0	$P(\bar{T}VC)$
4	Miss	Valid	Miss	2	0	$P(\bar{T}\bar{V}\bar{C})$
5	Hit	Invalid	Hit	--	--	0
6	Hit	Invalid	Miss	--	--	0
7	Miss	Invalid	Hit	--	--	0
8	Miss	Invalid	Miss	2	1	$P(\bar{T}\bar{V}\bar{C})$

由于 TLB 命中和 Cache 命中时, 虚页必定是载入的, 所以 $P(VC)=P(C)$, $P(TV)=P(T)$ 。

因此内存访问的次数为：

$$\begin{aligned} N &= P(TV\bar{C}) + P(\bar{T}VC) + 2 * P(\bar{T}V\bar{C}) + 2 * P(\bar{T}\bar{V}\bar{C}) \\ &= P(V|\bar{T}\bar{C}) * P(\bar{T}\bar{C}) + P(V|\bar{T}C) * P(\bar{T}C) + 2 * P(V|\bar{T}\bar{C}) * P(\bar{T}\bar{C}) + 2 * P(\bar{T}\bar{C}|\bar{V}) * P(\bar{V}) \\ &= 1 * P(\bar{T}\bar{C}) + 1 * P(\bar{T}C) + 2 * P(V|\bar{T}\bar{C}) * P(\bar{T}\bar{C}) + 2 * 1 * P(\bar{V}) \\ &= P(\bar{T}\bar{C}) + P(\bar{T}C) + 2 * P(V|\bar{T}\bar{C}) * P(\bar{T}\bar{C}) + 2 * P(\bar{V}) \end{aligned}$$

由于

$$\begin{aligned} P(V) &= P(V|TC) * P(TC) + P(V|\bar{T}C) * P(\bar{T}C) + P(V|\bar{T}\bar{C}) * P(\bar{T}\bar{C}) + P(V|\bar{T}\bar{C}) * P(\bar{T}\bar{C}) \\ &= 1 * P(TC) + 1 * P(\bar{T}C) + 1 * P(\bar{T}\bar{C}) + P(V|\bar{T}\bar{C}) * P(\bar{T}\bar{C}) \\ &= P(TC) + P(\bar{T}C) + P(\bar{T}\bar{C}) + P(V|\bar{T}\bar{C}) * P(\bar{T}\bar{C}) \end{aligned}$$

所以

$$\begin{aligned} N &= P(\bar{T}\bar{C}) + P(\bar{T}C) + 2 * (P(V) - P(TC) - P(\bar{T}C) - P(\bar{T}\bar{C})) + 2P(\bar{V}) \\ &= 2 - P(\bar{T}\bar{C}) - P(\bar{T}C) - 2 * P(TC) \end{aligned}$$

注 1：也可以这样理解，最坏情况下需要访问 2 次主存，1 次是页表查找，1 次是存取数据。如果仅 TLB 命中，则可以不用进行页表查找（此时概率为 $P(\bar{T}\bar{C})$ ）；如果仅 cache 命中，则可以不用从主存中存取数据（此时概率为 $P(\bar{T}\bar{C})$ ）；如果都命中，则可以节省 2 次主存访问（此时概率为 $P(TC)$ ）。

注 2：可以发现，访问内存的次数与虚页是否载入无关，可以理解为即便缺页中断处理、数据进入内存后，会被作为 TLB 和 Cache 没有命中的一种情况。

补充 1：如果假设 TLB 命中和 Cache 命中独立，即 $P(TC) = P(T) * P(C)$ ， $P(\bar{T}C) = P(\bar{T}) * P(C)$ ， $P(\bar{T}\bar{C}) = P(\bar{T}) * P(\bar{C})$ ，则 $N = 2 - P(C) - P(T)$ 。但这个假设不太成立，因为 TLB 和 Cache 中分别是常用的页和数据块，命中应该是有关联的。

补充 2：磁盘访问次数为 $P(\bar{V}) = 1 - P(V)$ 。

[李蒋泽辰, 191250071]