1. 数字系统与信息
   1. 信息表示

模拟信号：连续的物理量

数字信号：离散的物理量

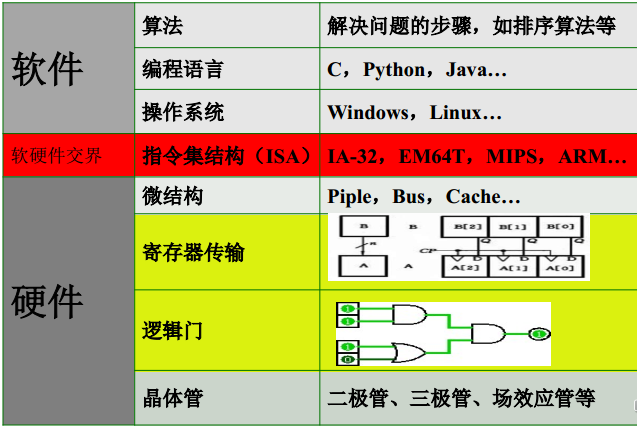
正逻辑：用高电平表示逻辑1，低电平表示逻辑0

负逻辑：用高电平表示逻辑0，低电平表示逻辑1

* 1. 计算机系统设计的抽象层次

现代计算系统典型的抽象层次

“自顶向下”的设计方法



* 1. 数制与算数运算

基底(r):一个数制所包含的数字符号的个数

权(ri):数字符号的位置所决定的值

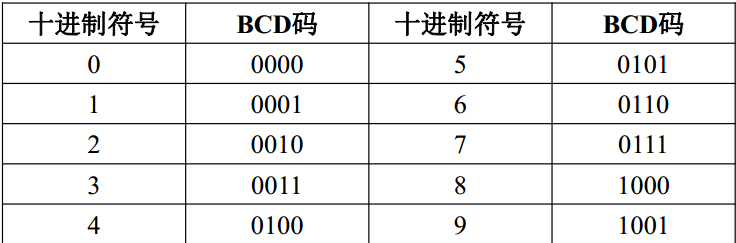
常用数制:二进制(B)、八进制(O\Q)、十进制(D)、十六进制(H)

非十进制数转换为十进制：换权展开法

十进制数转换为非十进制：整数除二取余法，小数乘二取整法

* 1. 编码

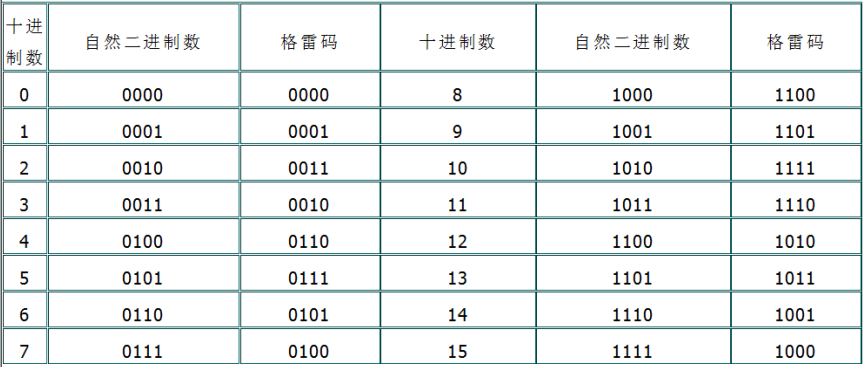
二-十进制编码（BCD码）：4位二进制表示十进制



ASCII编码：7位二进制编码

奇偶校验码：用于检测错误，用于表示编码中1的个数的奇偶性，分为奇校验和偶校验。

格雷码：在一组编码中，若任意两个相邻的编码只有一位二进制数不同，则称为格雷码。



其编码逻辑为：前一半数值左最高位为0，往右各位由原二进制编码的每一位与它左边相邻位的偶校验构成。

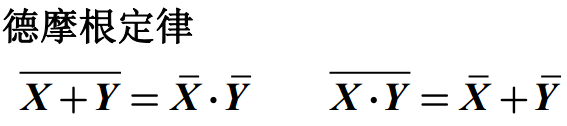
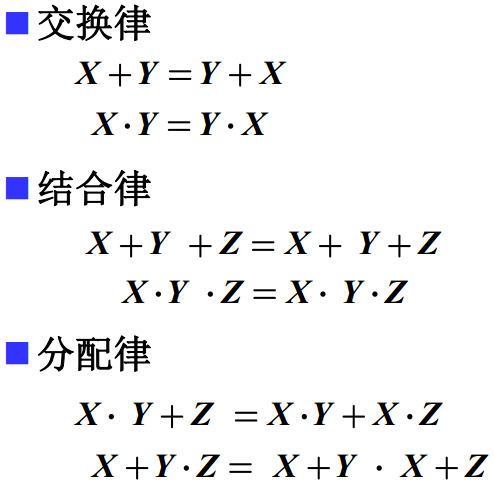
1. 布尔代数
   1. 布尔代数基础

逻辑运算：与运算（二进制加法）、或运算（二进制乘法）、非运算

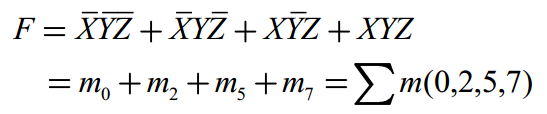
真值表：描述参与逻辑运算所有可能逻辑值的输入与输出结果

逻辑门：与门、或门、非门、与非门、或非门、异或门、异或非门

* 1. 布尔代数公理



* 1. 标准形式：由真值表中所有使函数取值为1的最小项的逻辑和表示的布尔函数

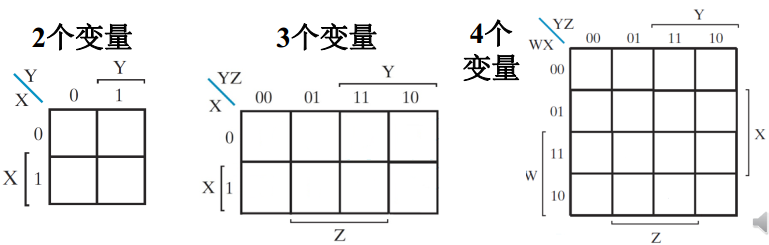
如

* 1. 布尔代数化简

文字成本：布尔表达式中的文字个数

门输入成本：对应所用逻辑门输入端的个数

卡诺图:

形式如图

蕴含项：如果函数对某个乘积项的每一个最小项取值为1，则该乘积项是函数的蕴含项。

主蕴含项：蕴含项中移去任一变量所得的乘积项不再是蕴含项。

质主蕴含项：如果一个1方格仅存在于唯一的主蕴含项矩形内，则该主蕴含项为。

卡诺图化简方法：

确定主蕴含项→对全部质主蕴含项求和→加上其他主蕴含项覆盖不被包含的最小项

1. 组合逻辑电路分析与设计
   1. 设计过程
      1. 规范化：指定组合电路行为
      2. 形式化
      3. 用真值表表示
      4. 优化

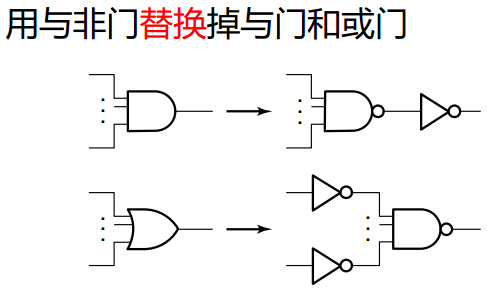
两级优化：将真值表转换成卡诺图，并进行卡诺图优化；

多级优化：提取公因子，共享电路；

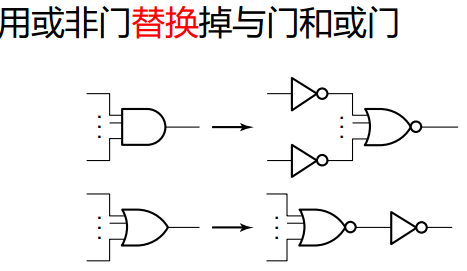
电路门输入成本计算

* + 1. 工艺映射

映射到与非门：



映射到或非门：



映射四步骤：

①映射到与非门/或非门

②将反向器推过电路中的扇出点

③抵消反相器

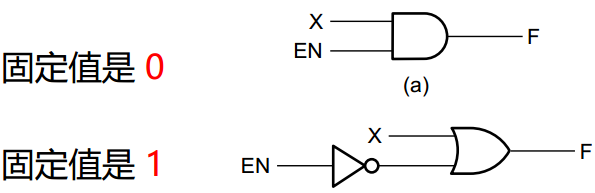
④重复②③

* + 1. 验证
  1. 组合逻辑功能模块
     1. 组合功能模块：在电路设计中经常使用的公共模块
     2. 基本逻辑函数

单变量函数

多位函数

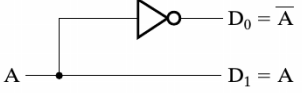
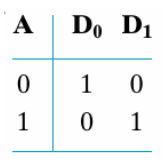
使能函数：是否允许信号从输入传到输出，EN为使能信号，输出为固定值

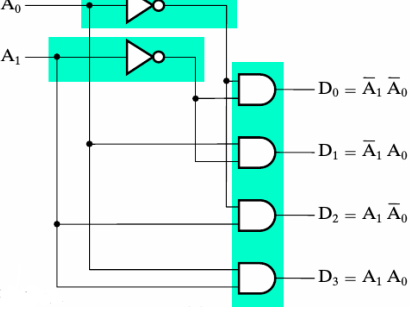
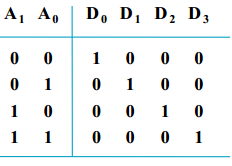


* + 1. 译码和译码器

译码：输入n位，输出m位（）

译码器：

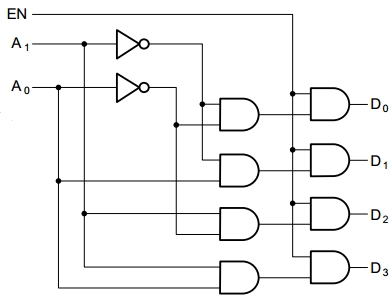
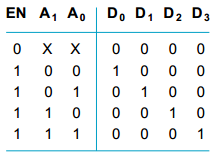
1-2译码器

2-4译码器

由两个1-2译码器和4个与门构成

n-译码器：需要个与门，每个与门被两个译码器驱动，两个译码器可按照同样过程展开，直至1-2译码器。

带有使能的译码器：电路增加使能信号EN，也被称为多路分配器

1-4多路分配器

* + 1. 基于译码器的组合电路

实现1个函数，其中有n个变量

* + 1. 编码和编码器

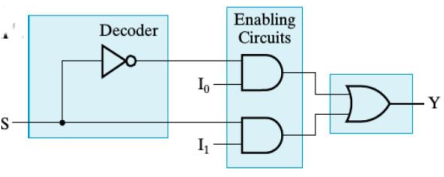
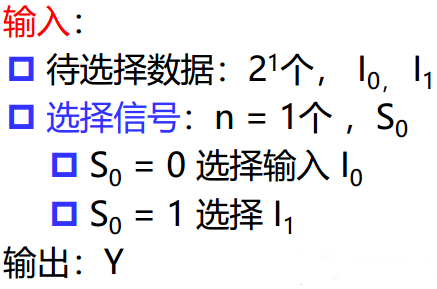
编码：输入m位，输出n位（）

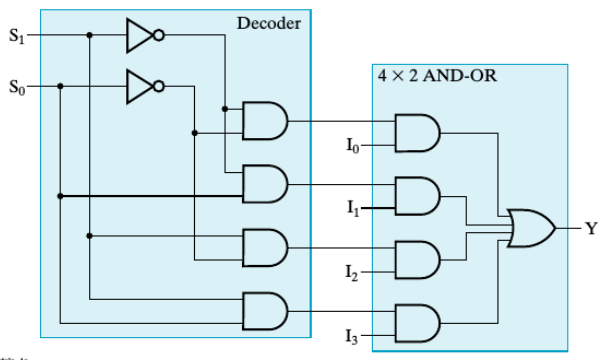
* + 1. 多路复用器

输入：一组待选择的数据；一组用来进行选择的选择信号

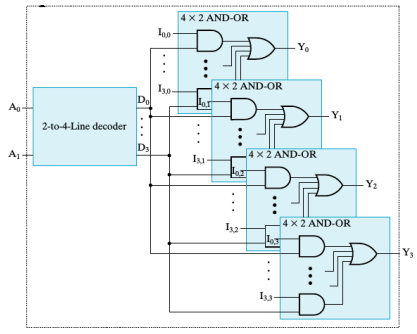
一个输出

2-1多路复用器：1-2译码器、两个使能、2-输入或门



4-1多路复用器

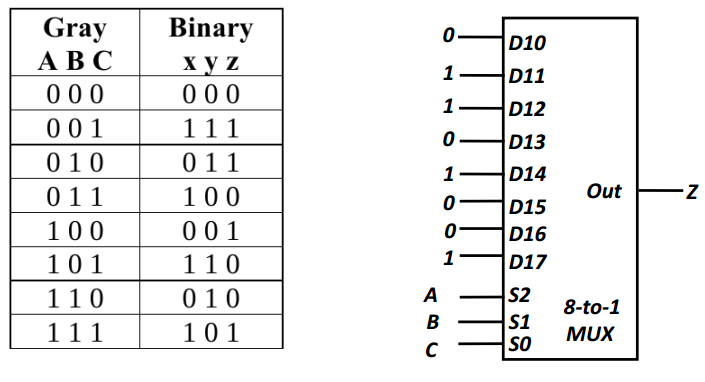
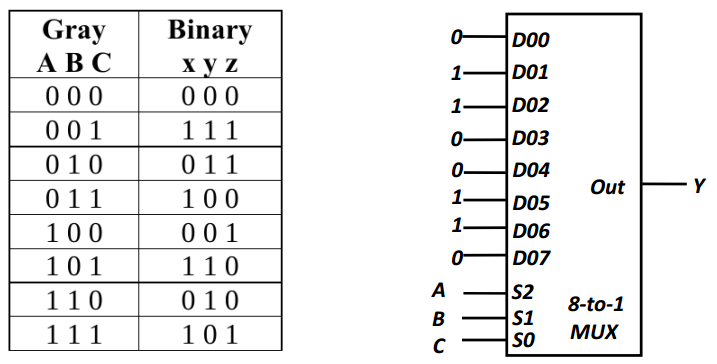
四位多路复用器：平行地使用四个与或门



* + 1. 基于复用器的组合电路

实现m个函数，包含n个变量

方法1：得到真值表，将函数输入Sn-1，…S0作为选择信号，真值表中的值作为多路复用器的待选择数据，将多路复用器的输出标识成函数输出，例如下：

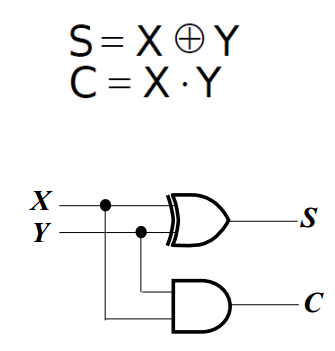
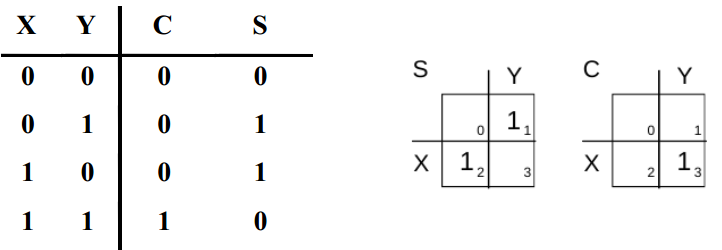


3.3 算法功能模块

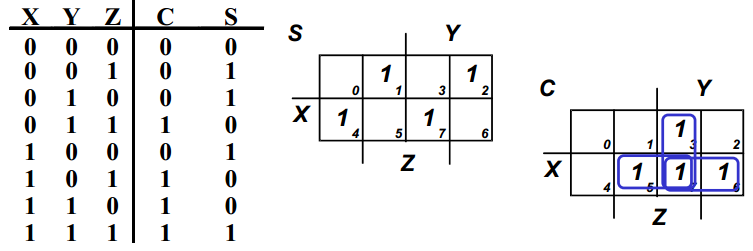
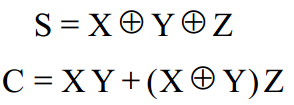
3.3.1 迭代组合电路：设计子函数功能模块，重复使用得到总体功能

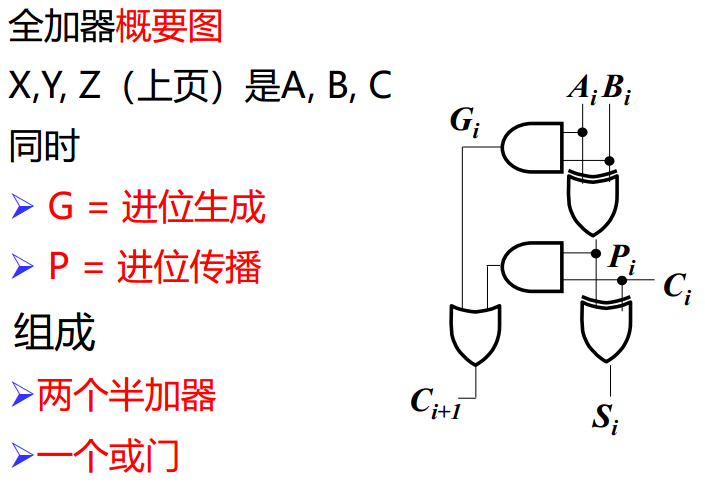
3.3.2 二进制加法器

半加器：输入X、Y，输出和位S、进位C

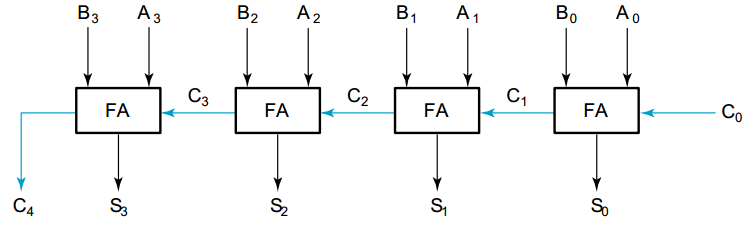


全加器：输入X、Y、进位Z，输出和位S、进位C

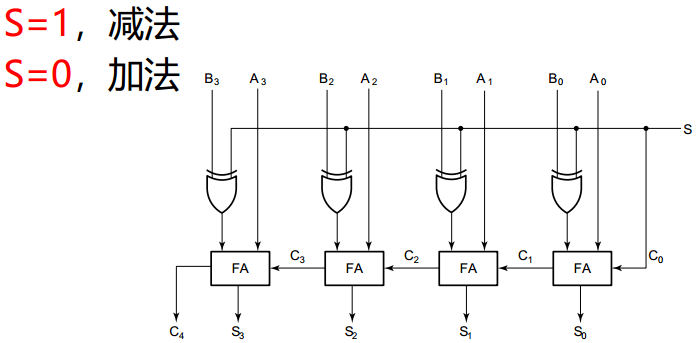


行波进位加法器：有迭代阵列构成，单元为1位全加法器，例如下



3.3.3 二进制减法器

减法可以按照补码的加法执行（取反加1），4位行波进位加减法器如下

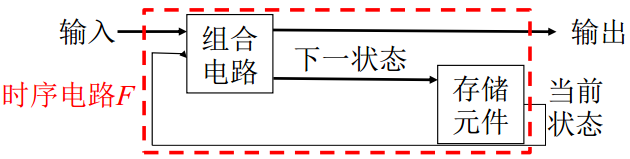


1. 时序逻辑电路分析与设计
   1. 时序逻辑电路简介

输入：从外部输入信号+当前状态

输出：往外部输出信号+下一状态

存储单元：输入为下一状态、输出为新的当前状态

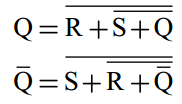
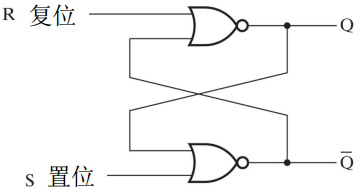


同步时序电路：由一个时钟统一控制存储元件，状态变化只会在时钟上升/下降边沿发生

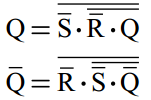
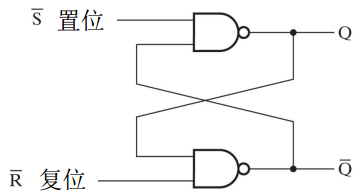
异步时序电路：状态可以在任意时间发生变化

* 1. 基本存储单元

S-R锁存器（基本或非门锁存器）

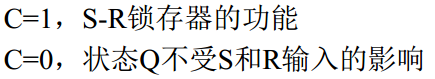
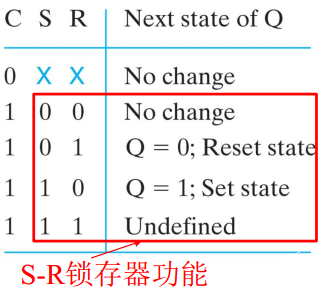
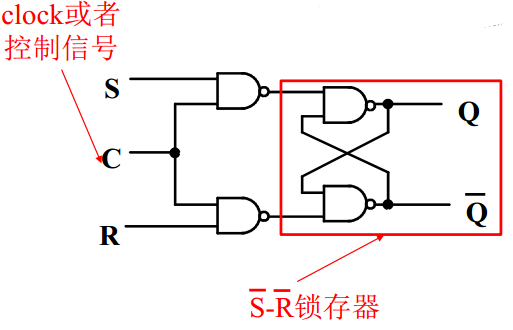


~S-~R锁存器（基本与非门锁存器）



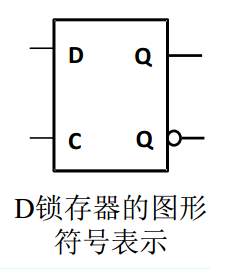
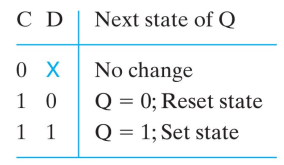
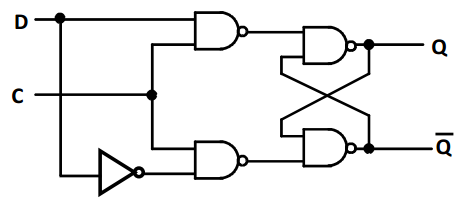
时钟S-R锁存器（带控制的S-R锁存器）

在~S-~R锁存器的基础上添加额外控制信号C以此开启或关闭锁存器的功能。

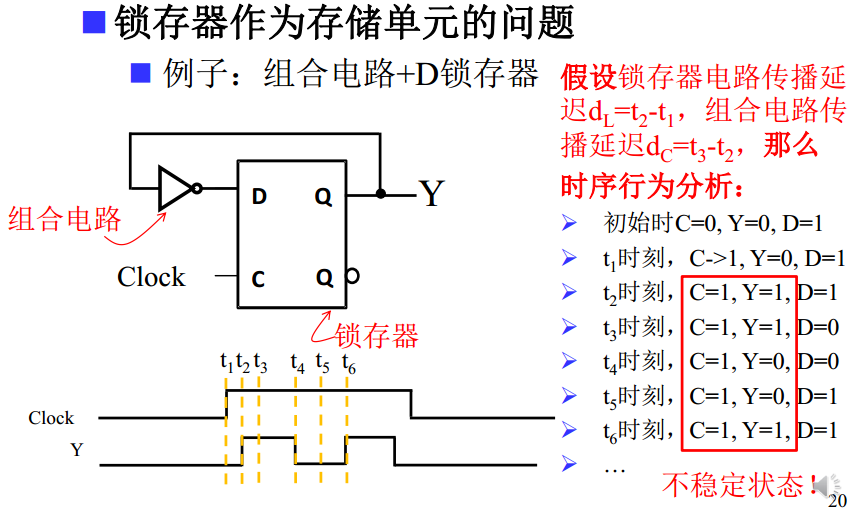


D锁存器

在时钟S-R锁存器的基础上，添加一个反相器



锁存器作为存储单元存在问题，锁存器的输出使得其输入存在不断变化的可能，使得存储元件进入不稳定状态，例如下：

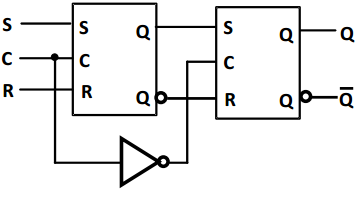


主从S-R触发器

由两个时钟S-R锁存器串联而成，其中第二个锁存器时钟信号由反相器取反

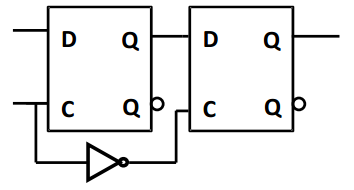
左：主锁存器，C=1时能根据输入改变状态

右：从锁存器，C=0时能根据输入改变状态



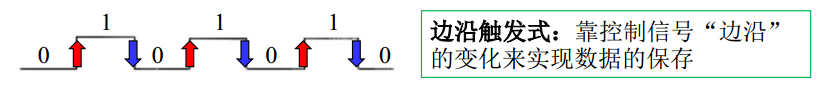
主从D触发器

由两个D锁存器串联而成，其中第二个锁存器的时钟信号由反相器取反



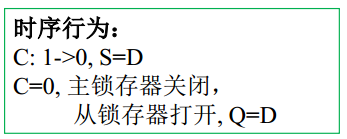
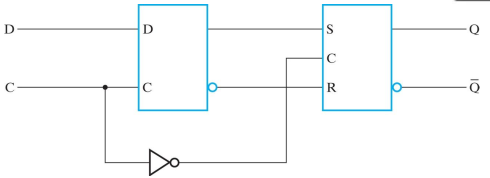
缺点:1箝位问题

边沿触发的D触发器



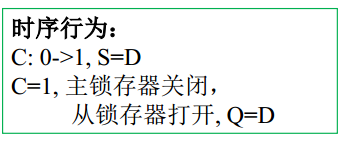
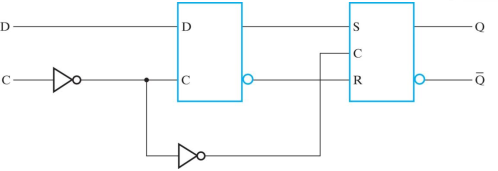
负边沿触发器：1跳变到0触发

将主从S-R触发器的第一个时钟S-R锁存器换成时钟D锁存器

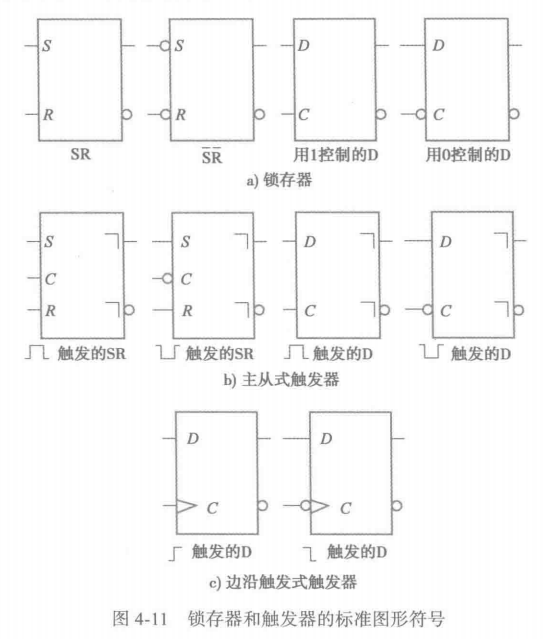


正边沿触发器：0跳变到1触发

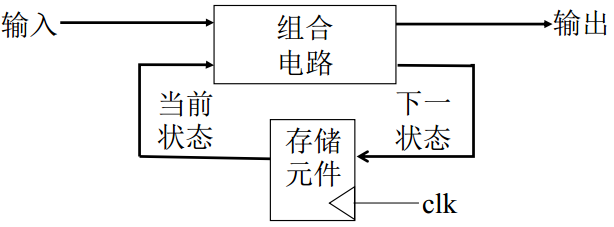
给负边沿触发器的D触发器的时钟信号增加一个反相器



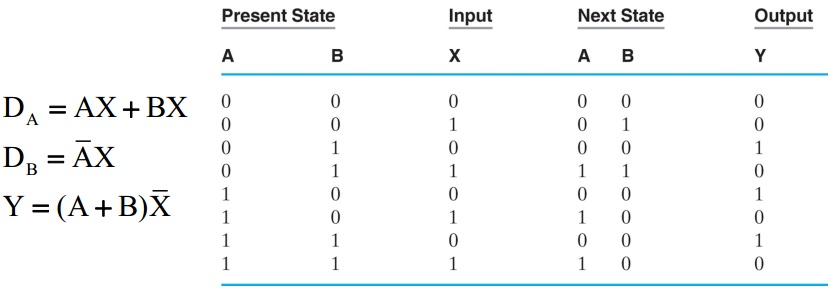
存储单元的图形符号



* 1. 时序电路分析



一维/二维状态表，例如下：

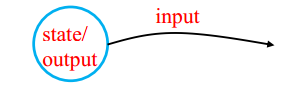


状态图

状态用圆圈表示，状态转移用箭头表示

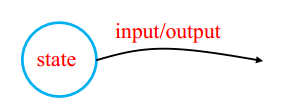
Moore型电路状态图

输出仅仅是状态的函数，output=F(state)，在表示状态的圆圈内标识输出



Mealy型电路状态图

输出是输入和状态的函数，output=F(input,state)，在表示状态转移的有向线段上标识输出



等价状态

若两个状态对每个输入产生相同的输出，且下一状态一致，那么两个状态等价

等价的两个状态可以合并为新状态

* 1. 时序电路设计

规范化：规格说明

形式化：得到状态表或状态图

状态分配：给存储单元的状态分配二进制码（计数赋值、格雷码赋值、独热赋值）

优化

工艺映射

验证

* 1. 状态机图
     1. 有限状态机概念、状态机图

有限状态机包含三个集合I、O、S，两个函数f、g

I：输入的组合集合

O：输出的组合集合

S：状态集合

f：状态转移函数f(I,S)

g：输出函数

状态机图和传统状态图类似，增加了在状态上定义Mealy输出的标识

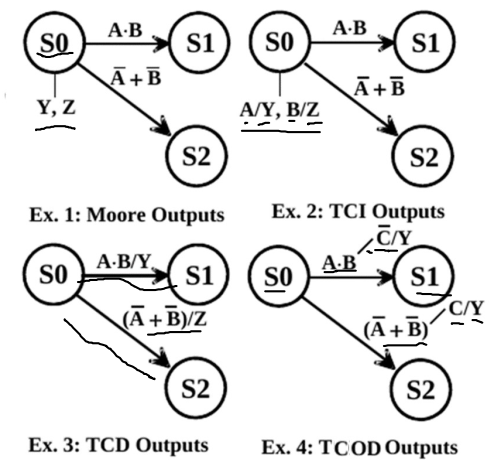
* + 1. 状态机图的四种输出动作、TC约束、OC约束

Moore输出动作：无条件的，一条线和相应状态连接

非转移条件依赖（TCI）：输出和状态连接，若输出条件为1，则输出行为发生

转移条件依赖（TCD）：输出和相应的状态转移连接，若输出条件为1，则行为发生

转移和输出条件依赖（TCOD）：输出和相应的状态转移条件相连，若转移条件和输出条件都为1，则输出行为发生



TC约束：

约束1：对状态Si，从S出发的所有可能TC对（Tij，Tik），Tij·Tik=0

约束2：对状态Si，所有可能的TC，∑Tij=1

OC约束：

约束1：对于状态Sj，在其上或者其状态转移上有输出变量相同但取值不同的输出动作，相应的输出条件对是互斥的

约束2：对于每个输出变量，在状态Si或在Si状态转移上的输出条件必须覆盖所有可能的输出变量组合

* + 1. 状态机图设计流程应用

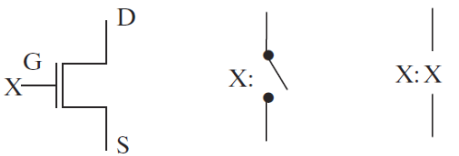
定义电路的输入输出变量及其值的含义

画出状态机图，写出状态机表

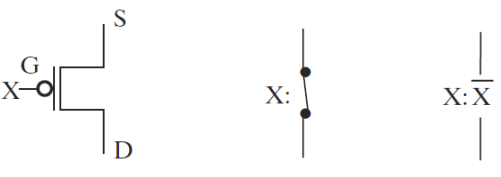
从状态机表中推导出电路的下一状态和输出的优化方程

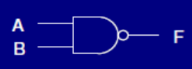
1. 数字硬件实现
   1. 集成电路
   2. CMOS电路工艺

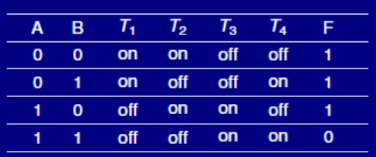
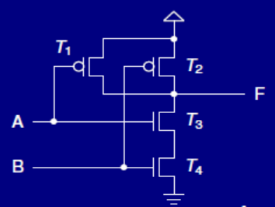
n沟道MOS晶体管：栅极（G）、源级（S）、漏集（D），触点习惯上为常开，传输1的能力强



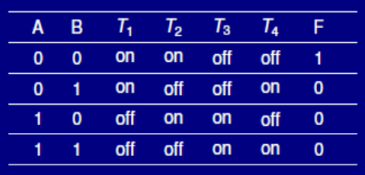
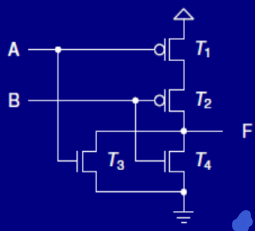
P沟道MOS晶体管：源级和漏集位置互换，行为和p沟道相反，触点习惯为常闭，传输0的能力强



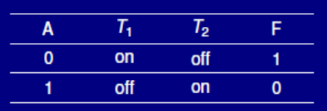
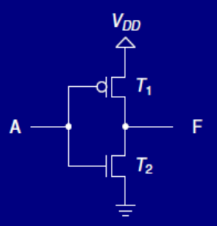
与非门



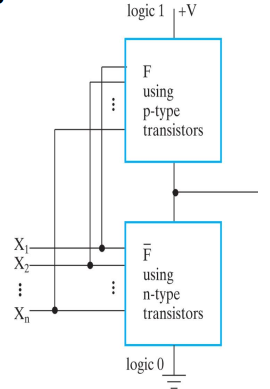
或非门



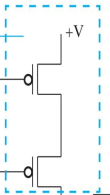
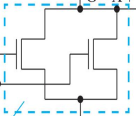
非门

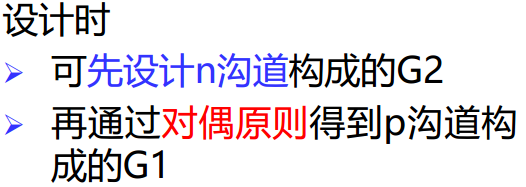


一般结构



完全互补的CMOS门结构

G1G2

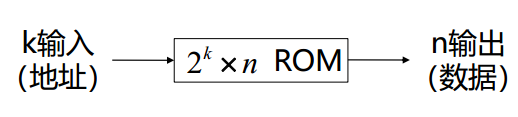


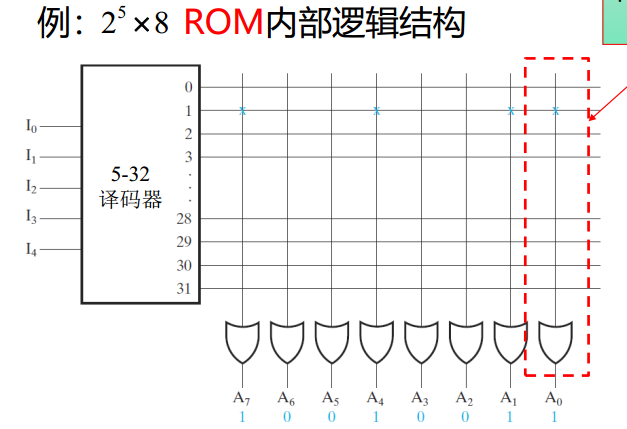
* 1. 可编程实现技术

ROM或阵列可编程、PAL与阵列可编程、PLA与或阵列都可编程

只读存储器（ROM）

可编辑或阵列，由译码器提供最小项



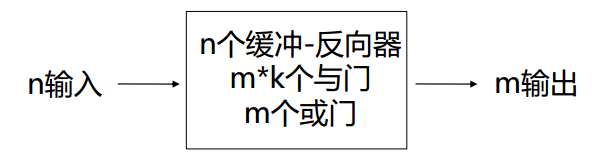


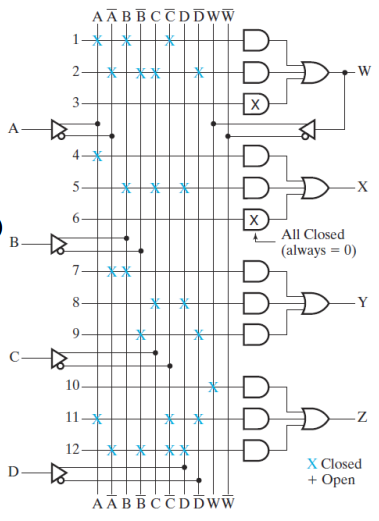
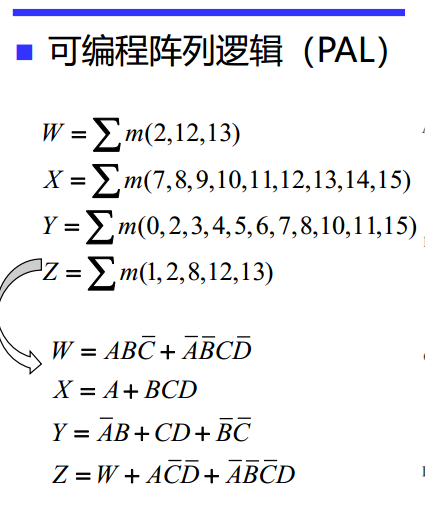
输入提供地址

输出提供地址选定的存储字

可编程阵列逻辑（PAL）

可编程与阵列

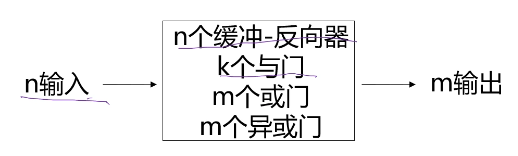


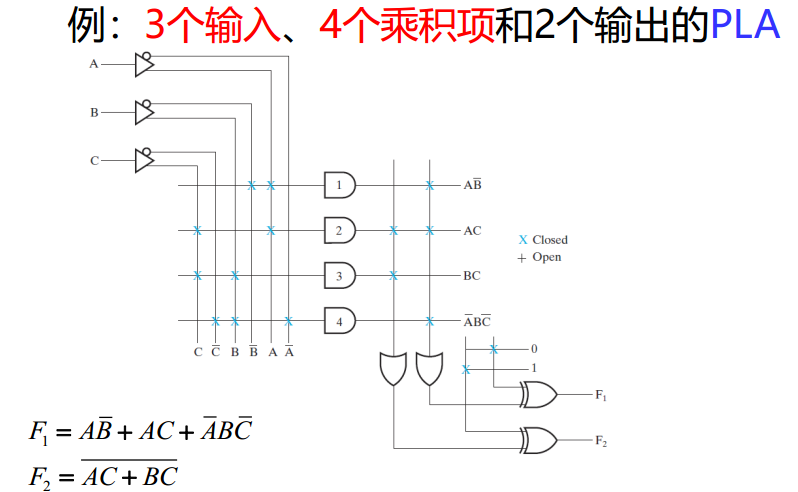


PLA

可编程与阵列

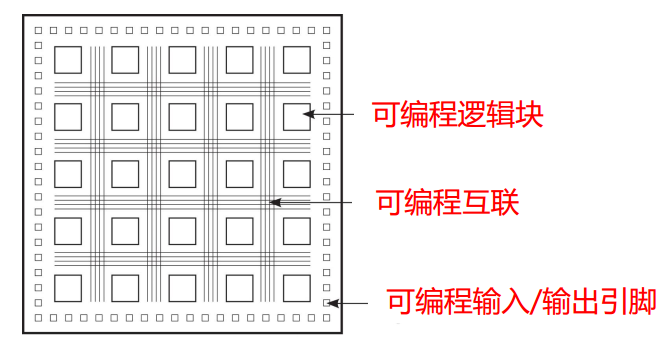
可编程或阵列

例如下



现场可编程门阵列（FPGA）

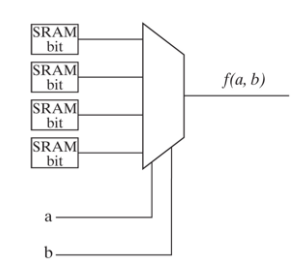
包含可编程逻辑块、可编程互联、可编程输入/输出引脚

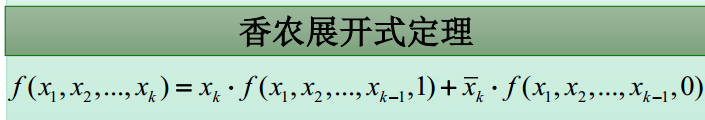


可编程逻辑块组成：查找表、D触发器、加法逻辑、多路复用器、SRAM配置位

查找表

实现组合逻辑函数

需存储真值表至SRAM配置位



构建三输入查找表