**实验二 组合电路设计实验报告**

**姓名**：刘博文  **学号**：1120201883

**班级**：07112004 **手机**：18510892300

注：黑色字体内容不能改动，蓝色字体内容（为示例或说明）需删除和修改。

1. **实验题目**

设计一个组合电路，输入一个3位的数字，输出一个6位的二进制数字，且输出数字的值等于输入数字值的平方。

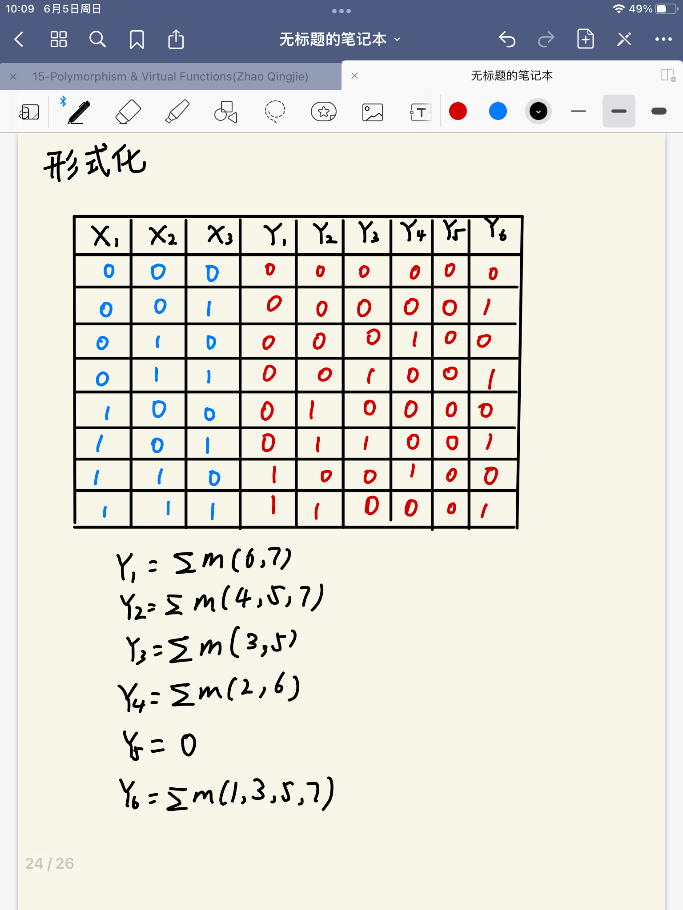
1. **实验约束**

* 电路设计时只能使用或非门和非门进行实现。
* 采用Verilog实现时使用结构化描述方式。

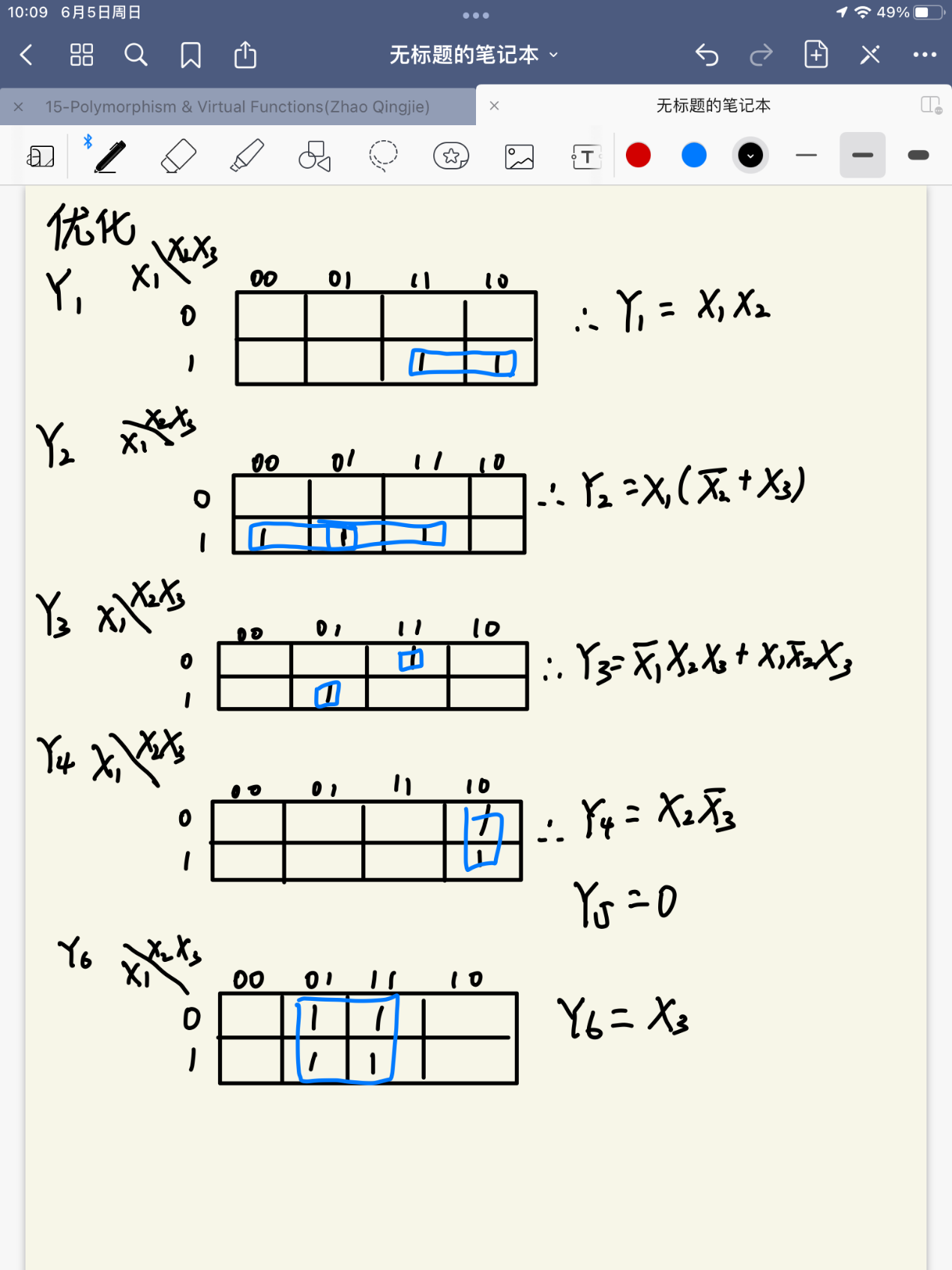
1. **电路设计**
   1. **规范化**

输入为3位数字，也就是范围是0-7；输出是6位数字，但只有8种可能，即为0,1,4,9,16,25,36,49.

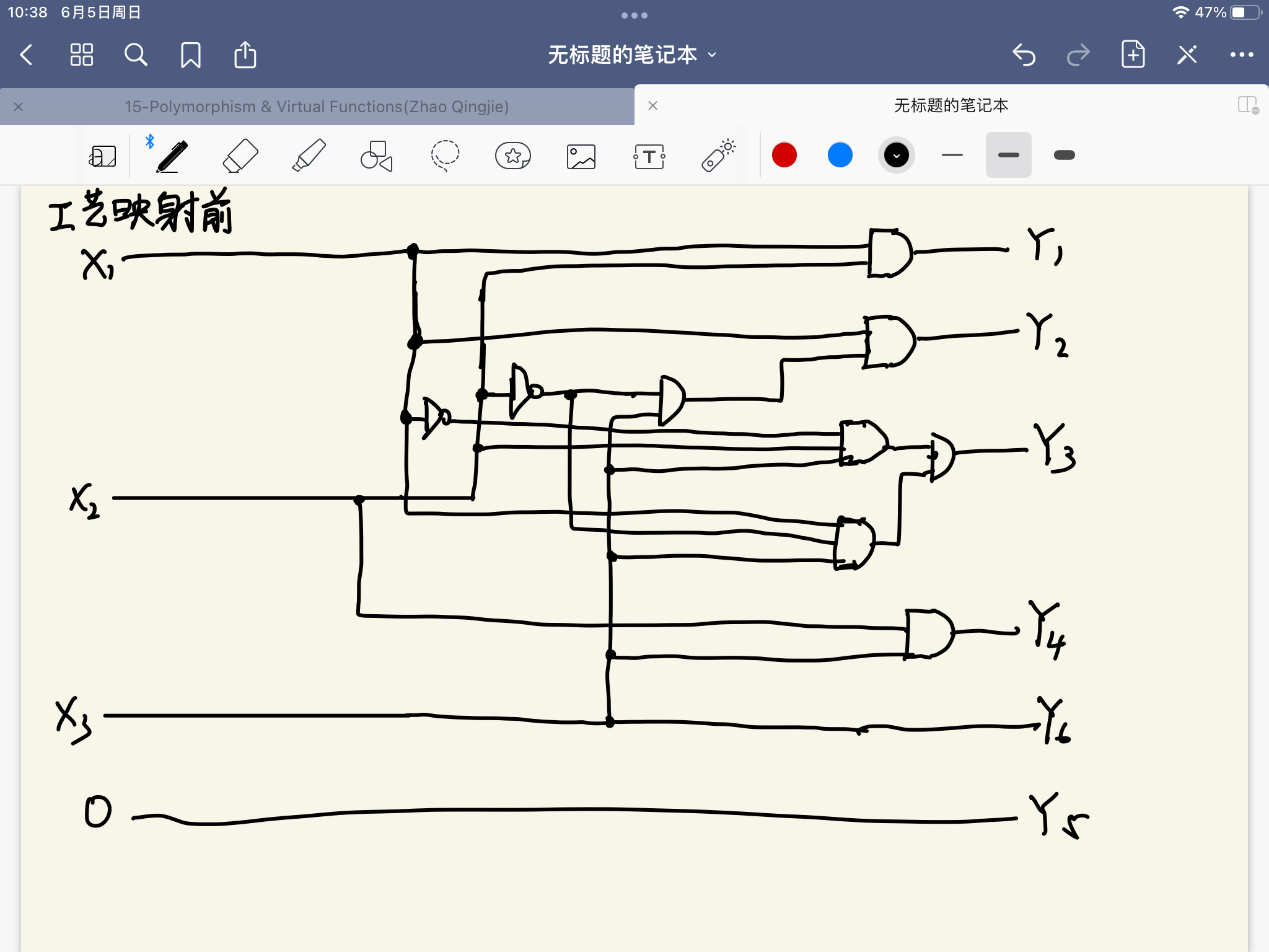
* 1. **形式化**

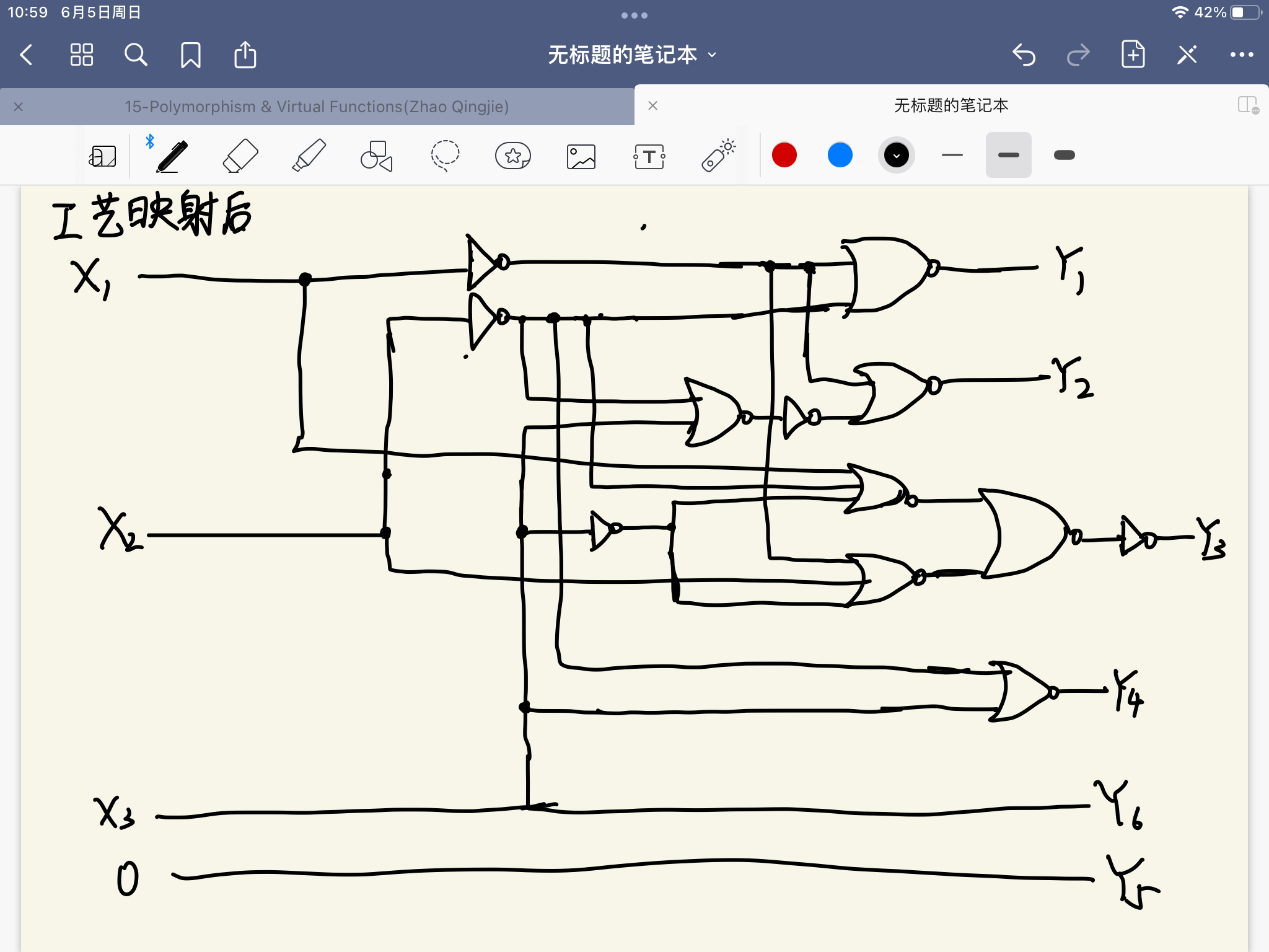


* 1. **优化**



* 1. **工艺映射**





1. **电路实现**

module square (

    input  [2:0] num,

    output [5:0] square\_num

);

    //Y6计算

    assign square\_num[0] = num[0];

    //Y5计算

    assign square\_num[1] = 0;

    //Y4计算

    assign square\_num[2] =~(

        (

            ~num[1]

        )

        |

        (

            num[0]

        )

    );

    //Y3计算

    assign square\_num[3] =(

        (

            ~(num[2]|~num[1]|~num[0])

        )

        |

        (

            ~(~num[2]|num[1]|~num[0])

        )

    );

    //Y2计算

    assign square\_num[4] =~(

        (

            ~num[2]

        )

        |

        (

            ~(~num[1]|num[0])

        )

    );

    //Y1计算

    assign square\_num[5] =~(

        (

            ~num[2]

        )

        |

        (

            ~num[1]

        )

    );

endmodule

1. **电路验证**
   1. **TestBench**

`timescale 1ps/1ps

module tb();

reg [2:0] in;

wire [5:0] out;

square square\_test(

    .num(in),

    .square\_num(out)

);

initial begin

    //测试0,1,2,3,4,5,6,7

    in <= 3'd0;

    #20 in<= 3'd1 ;

    #10 in<= 3'd2 ;

    #10 in<= 3'd3 ;

    #10 in<= 3'd4 ;

    #10 in<= 3'd5 ;

    #10 in<= 3'd6 ;

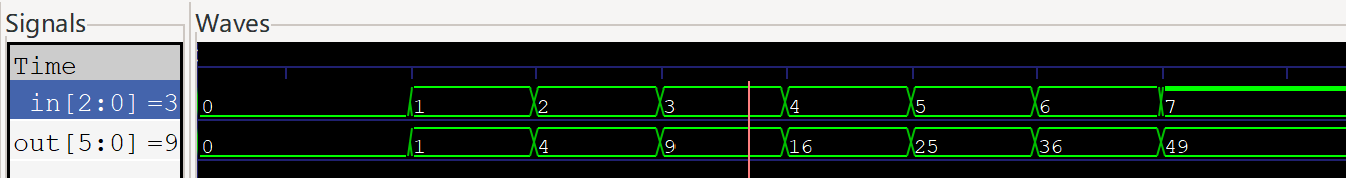
    #10 in<= 3'd7 ;

    #20

end

endmodule

* 1. **仿真结果**



波形图中每一个输入，它的输出都是自己的平方，验证正确。

1. **实验心得**

遇到的问题：在完成工艺映射编写verilog代码时，错认为代码中的num[2]对应X3，num[0]对应X1；实际上，应该是num[0]对应X3，num[2]对应X1。因为这里搞错了，我修改了好长时间。

心得体会：写代码不能大意啊，要小心谨慎。