



NHẬP MÔN MẠCH SỐ

CHƯƠNG 5: MẠCH TỔ HỢP – CÁC MẠCH KHÁC



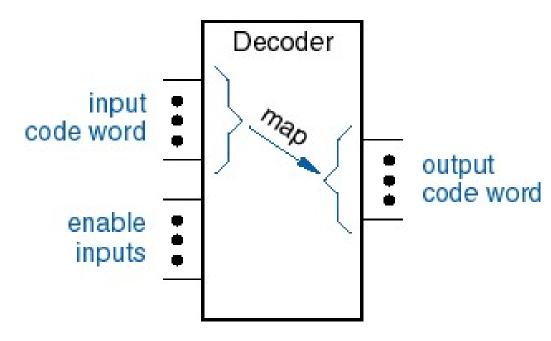
Nội dung

- Mạch giải mã (Decoder)/ Mạch mã hoá (Encoder)
- Mạch dồn kênh (Multiplexer)/ Mạch chia kênh (Demultiplexer)
- Thiết kế mạch logic sử dụng Mux
- Mạch tạo Parity/ Mạch kiểm tra Parity
- Mạch so sánh (Comparator)



Mạch giải mã (Decoder)

- Nhiều ngõ vào/ nhiều ngõ ra
- Ngõ vào (n) thông thường <u>ít hơn</u> ngõ ra (m)
- Chuyển mã ngô vào thành mã ngô ra
- Ánh xạ 1-1:
 - ☐ Mỗi mã ngõ vào chỉ tạo ra một mã ngõ ra
- Các mã ngô vào:
 - ■Mã nhị phân
 - ☐ Your Code!
- Các mã ngô ra:
 - □ 1-trong-m
 - ☐ Gray Code
 - □ BCD Code





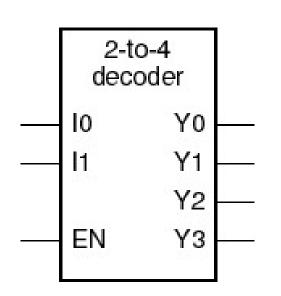
Mạch giải mã nhị phân (Binary Decoders)

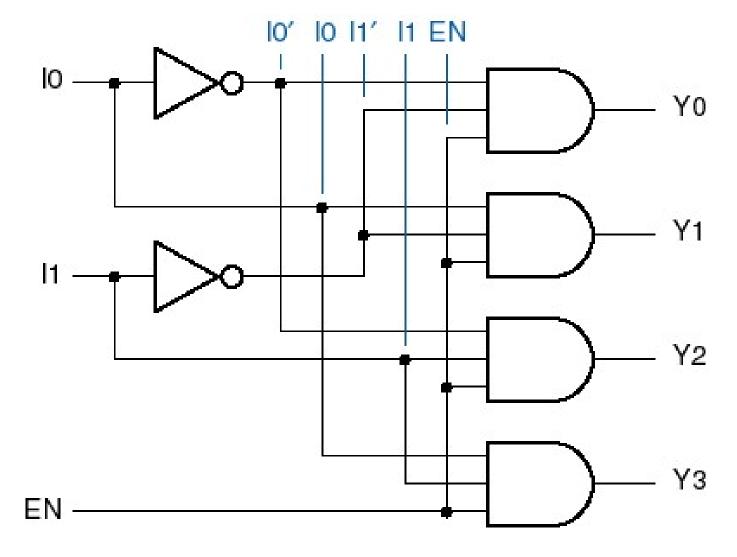
- Mạch giải mã **n-ra-2**ⁿ: n ngõ vào và 2ⁿ ngõ ra
 - ☐ Mã đầu vào: n bit nhị phân
 - ☐ Mã đầu ra: 1-trong-2ⁿ
- Ví dụ: n=2, mạch giải mã 2-ra-4

Inputs				Out	puts	
ΕN	11	IO	YЗ	Y2	Y1	Yo
O	x	x	0	0	0	О
1	O	О	O	O	О	1
1	O	1	O	O	1	O
1	1	O	0	1	O	O
1	1	1	1	0	O	0



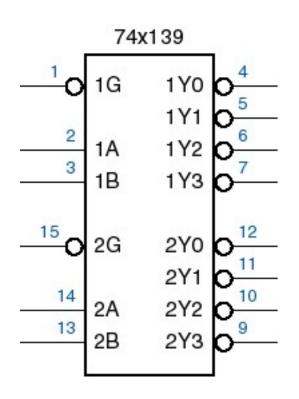
Chip 74x139: Giải mã nhị phân 2-to-4

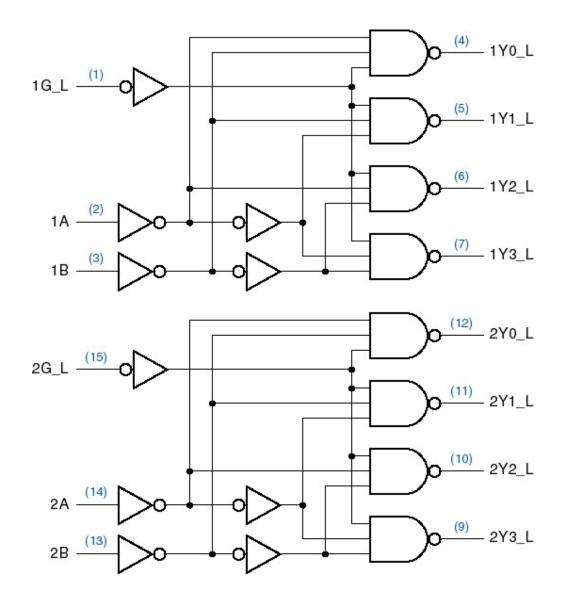






Chip 74x139: Giải mã nhị phân 2-to-4







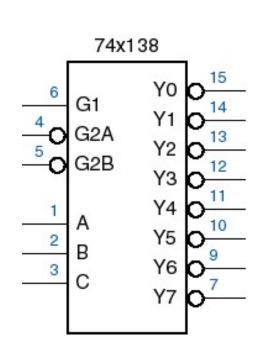
Chip 74x138: Giải mã nhị phân 3-to-8

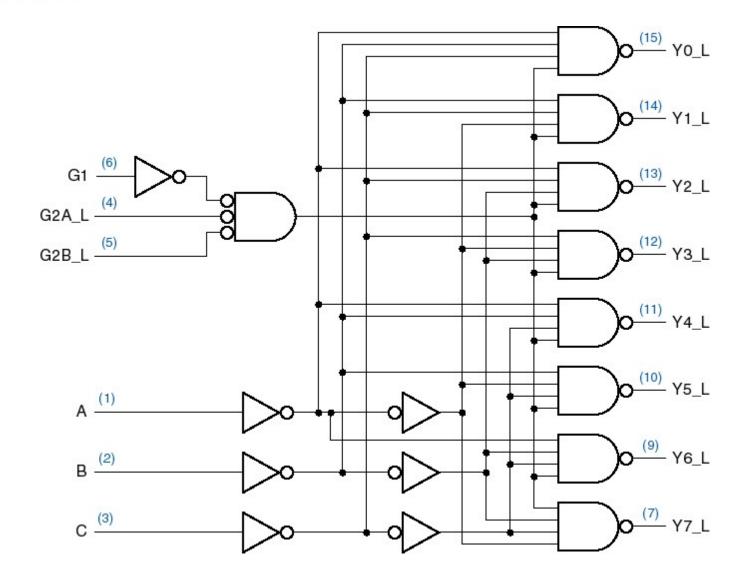
Inputs						Outputs							
G1	G2A_L	G2B_L	С	В	Α	Y7_L	Y6_L	Y5_L	Y4_L	Y3_L	Y2_L	Y1_L	Y0_L
0	х	х	X	X	x	1	1	1	1	1	1	1	1
X	1	X	X	X	X	1	1	1	1	1	1	1	1
X	x	1	X	X	X	1	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1	1	0
1	0	0	0	0	1	1	1	1	1	1	1	0	1
1	0	0	0	1	0	1	1	1	1	1	0	1	1
1	0	0	0	1	1	1	1	1	1	0	1	1	1
1	0	0	1	0	0	1	1	1	0	1	1	1	1
1	0	0	1	0	1	1	1	0	1	1	1	1	1
1	0	0	1	1	0	1	0	1	1	1	1	1	1
1	0	0	1	1	1	0	1	1	1	1	1	1	1

Bảng sự thật



Chip 74x138: Giải mã nhị phân 3-to-8

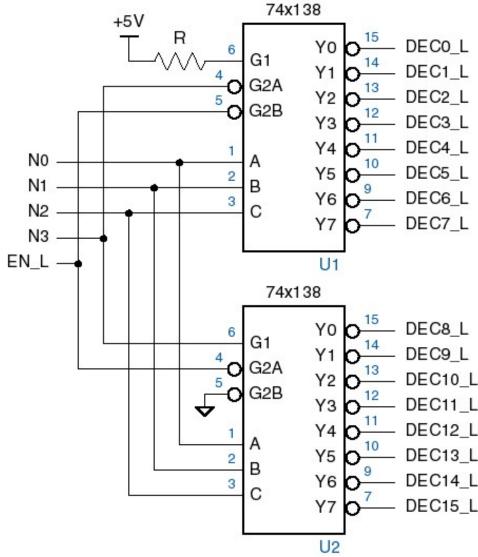






Ghép mạch giải mã

■ Mạch giải mã 4-to-16

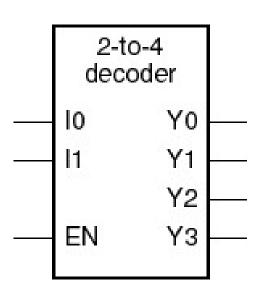




Kiểm tra 20 phút

1. Sử dụng 2 cổng Decoder 2-to-4 và một số cổng logic cơ bản để thực hiện mạch Decoder 3-to-8.

I1		10		Se 1	Out		I1		10		Se 1	Out	
0	0	0	0	0	0	0	1	0	0	0	0		
0	0	0	0	1	0	0	1	0	0	0	1		
0	0	0	1	0	0	1	1	0	0	1	0		
0	0	0	1	1	0	0	1	0	0	1	1		
0	0	1	0	0	1	0	1	0	1	0	0		
0	0	1	0	1	0	0	1	0	1	0	1		
0	0	1	1	0	1	1	1	0	1	1	0		
0	0	1	1	1	0	0	1	0	1	1	1		
0	1	0	0	0	0	0	1	1	0	0	0		
0	1	0	0	1	0	1	1	1	0	0	1		
0	1	0	1	0	0	1	1	1	0	1	0		
0	1	0	1	1	0	1	1	1	0	1	1		
0	1	1	0	0	1	0	1	1	1	0	0		
0	1	1	0	1	0	1	1	1	1	0	1		
0	1	1	1	0	1	1	1	1	1	1	0		
0	1	1	1	1	0	1	1	1	1	1	1		

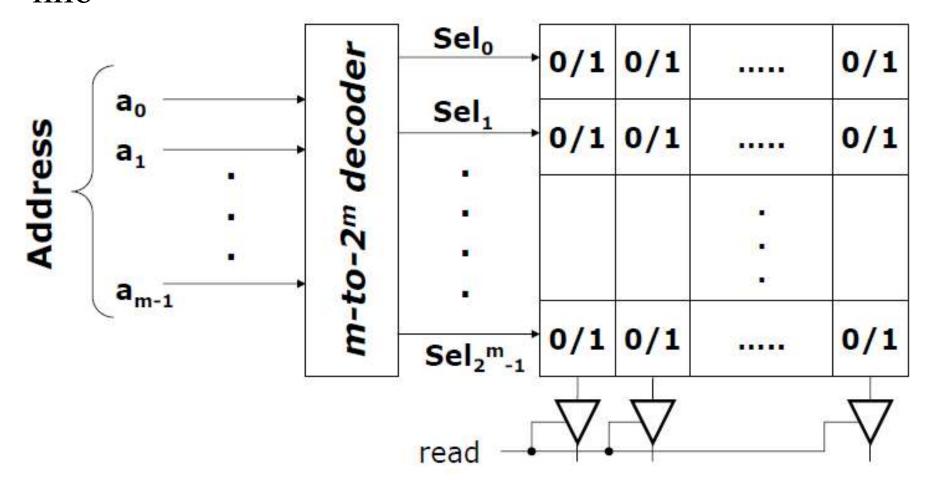


2. Hoàn thiện bảng bên trái



Úng dụng của mạch giải mã

Một ứng dụng phổ biến là giải mã địa chỉ cho các chip nhớ





LED 7 đoạn (7-segment display)

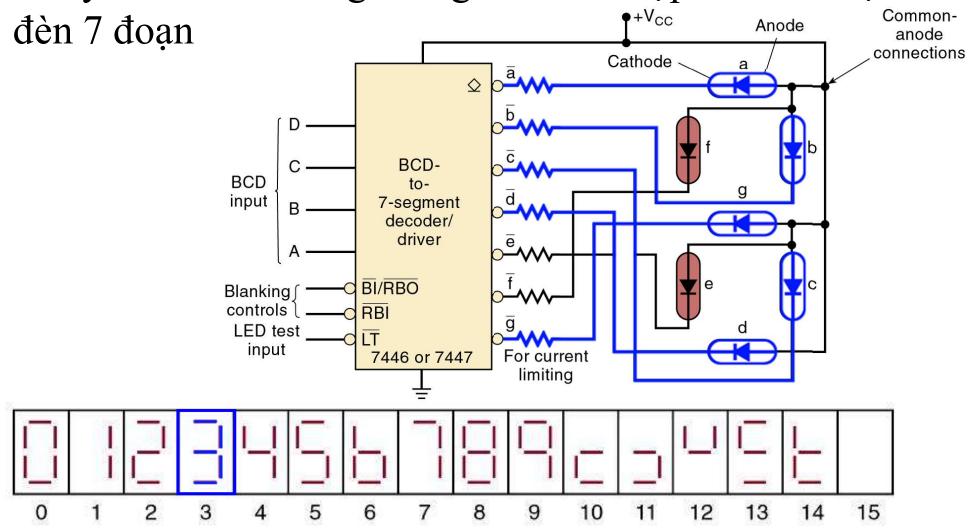
- LED 7 đoạn là cách phổ biến để hiển thị số thập phân hoặc số thập lục phân
 - ☐ Sử dụng LED cho mỗi đoạn
 - Bằng cách điều khiển dòng điện qua mỗi LED, một số đoạn sẽ sáng và một số tắt, từ đó tạo nên số mong muốn





Giải mã BCD ra LED 7 đoạn

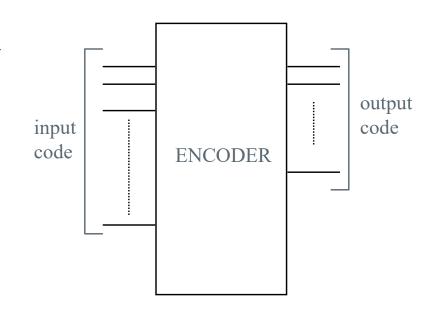
Chuyển số BCD sang thông tin thích hợp để hiển thị trên





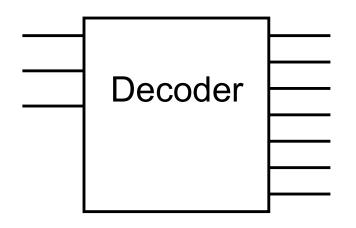
Mạch mã hoá (Encoder)

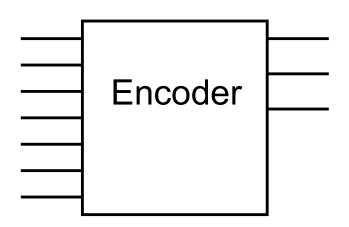
- Nhiều ngõ vào/ nhiều ngõ ra
- Chức năng ngược lại với mạch giải mã
- Outputs (m) it hon inputs (n)
- Chuyển mã ngô vào thành mã ngô ra





Mạch giải mã Vs Mạch mã hóa





Mạch giải mã nhị phân

Mạch mã hóa nhị phân

- n-ra-2ⁿ
- Input code: Mã nhị phân
- Output code:1-trong-2ⁿ

- 2ⁿ-ra-n
- Input code: 1-trong-2ⁿ
- Output code: Mã nhị phân



Mạch mã hoá nhị phân (Binary Encoder)

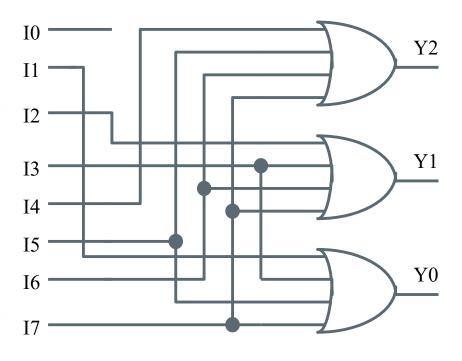
- 2ⁿ-ra-n encoder: 2ⁿ ngõ vào và n ngõ ra
 - ☐ Input code: 1-trong-2ⁿ
 - Output code: Mã nhị phân
- Úng dụng:
 - ☐ Mạch mã hóa tín hiệu
 - ☐ Mạch mã hóa ưu tiên



Mạch mã hoá tín hiệu nhị phân (Binary Encoder)

■ Mạch mã hóa 8-to-3

	Inputs							0	Outputs			
I 0	I1	I 2	I3	I 4	I 5	16	I 7	Y2	Y1	Y0		
1 0 0 0 0 0 0	0 1 0 0 0 0 0	0 0 1 0 0 0	0 0 0 1 0 0 0	0 0 0 0 1 0 0	0 0 0 0 0 1 0	0 0 0 0 0 0 1	0 0 0 0 0 0 0	0 0 0 0 1 1 1	0 0 1 1 0 0 1 1	0 1 0 1 0 1 0		



Bảng sự thật

Mạch logic



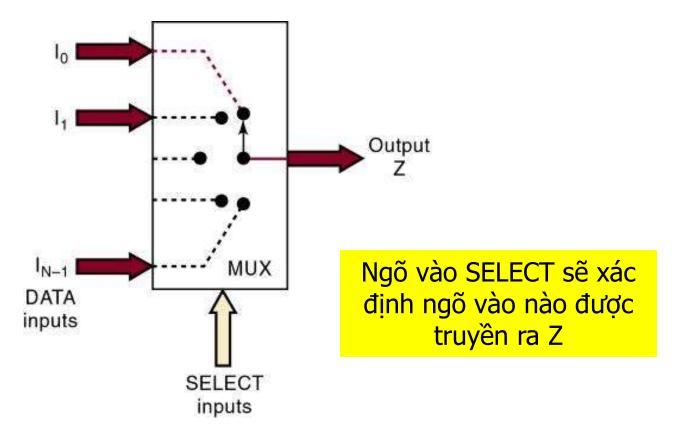
Nội dung

- Mạch giải mã (Decoder)/ Mạch mã hoá (Encoder)
- Mạch dồn kênh (Multiplexer)/ Mạch chia kênh (Demultiplexer)
- Thiết kế mạch logic sử dụng Mux
- Mạch tạo Parity/ Mạch kiểm tra Parity
- Mạch so sánh (Comparator)



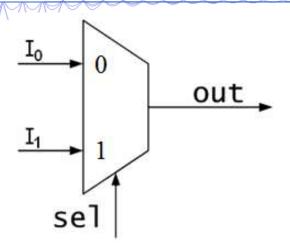
Multiplexer (MUX)

■ Một MUX truyền một trong những ngõ vào của nó ra ngõ ra dựa trên tín hiệu Select





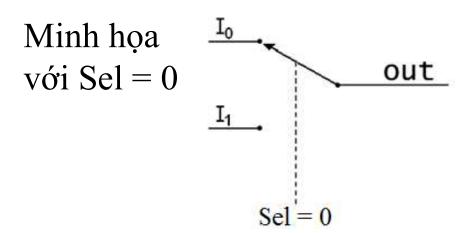
2-to-1 Multiplexer

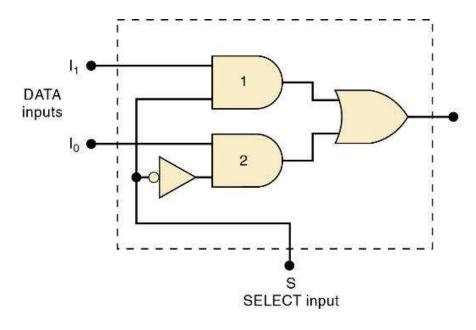


Ký hiệu

Sel	Out
0	I_0
1	I_1

Out = Sel *
$$I_0$$
 + Sel * I_1
Biểu thức đại số



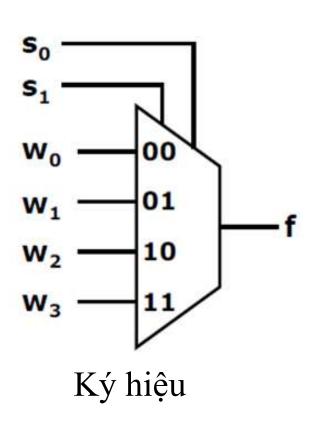


Mach logic



MUX 4-to-1

4-to-1 Mux xuất ra một trong bốn ngõ vào dựa trên giá trị của 2 tín hiệu select



Bảng sự thật

$$f=s_1's_0'w_0+s_1's_0w_1+s_1s_0'w_2+s_1s_0w_3$$

Biểu thức đại số

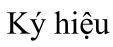


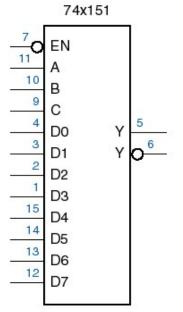
Thiết kế mạch MUX 4-to-1 từ MUX 2-to-1





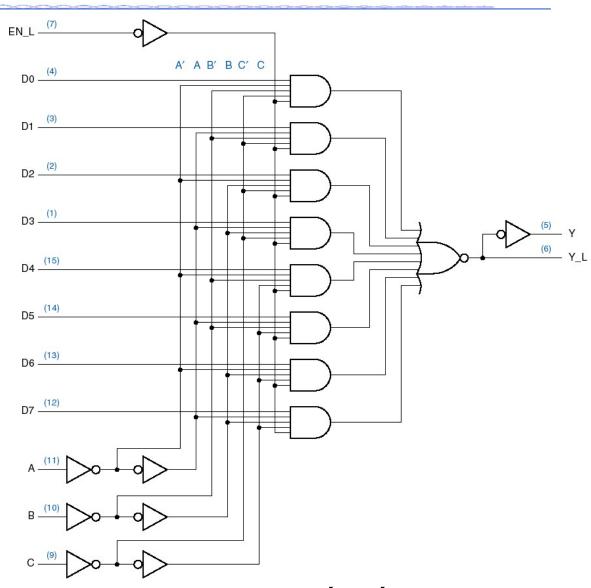
MUX 8-to-1: Chip 74x151





Bảng sự thật

	Inp	Out	tputs		
EN_L	S2	S1	SO	Y	Y_L
1	х	х	x	0	1
O	0	0	0	Do	Do'
0	0	0	1	D1	D1'
0	0	1	0	D2	D2'
0	0	1	1	DЗ	D3'
0	1	0	0	D4	D4'
0	1	0	1	D5	D5'
0	1	1	0	D6	D6'
0	1	1	1	D7	D7'

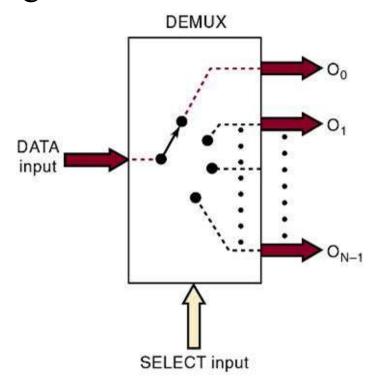


Mạch thiết kế luận lý



Demultiplexer

- Demultiplexer (DEMUX) lấy ngô vào duy nhất và phân phối nó ra một ngô ra.
 - ■Mã ngô vào SELECT sẽ xác định ngô ra nào sẽ được kết nối với ngô vào



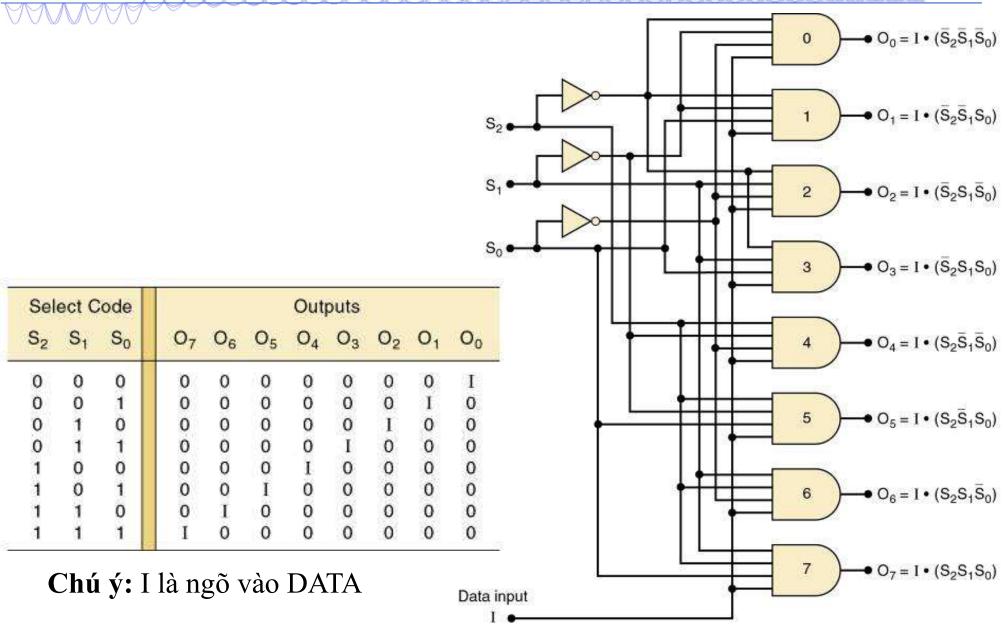
DATA được truyền ra *một*và chỉ một ngõ ra được xác

định bởi mã của ngõ vào

SELECT



DEMUX 1-to-8





Tóm tắt nội dung chương học

- Qua Phần 2 Chương 5, sinh viên cần nắm những nội dung chính sau:
 - □ Chức năng, ứng dụng và thiết kế của mạch mã hóa và giải mã trong các hệ thống máy tính
 - □ Chức năng, ứng dụng và thiết kế của mạch chọn kênh và phân kênh trong các hệ thống máy tính





Any question?

