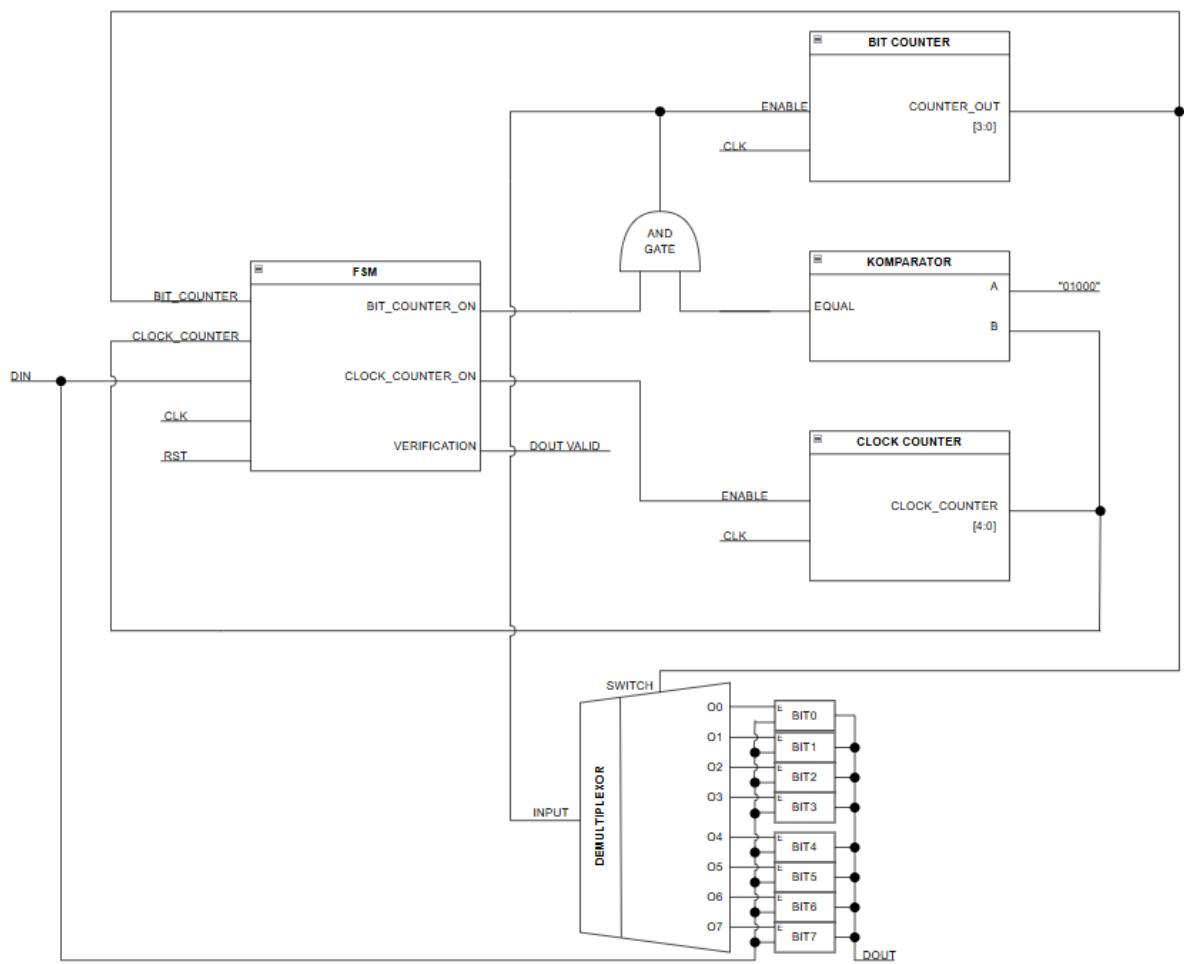


Výstupná správa – INC Projekt

Meno: Andrej Bližnák

Login: xblizna00

I. Architektúra navrhnutého RTL obvodu:

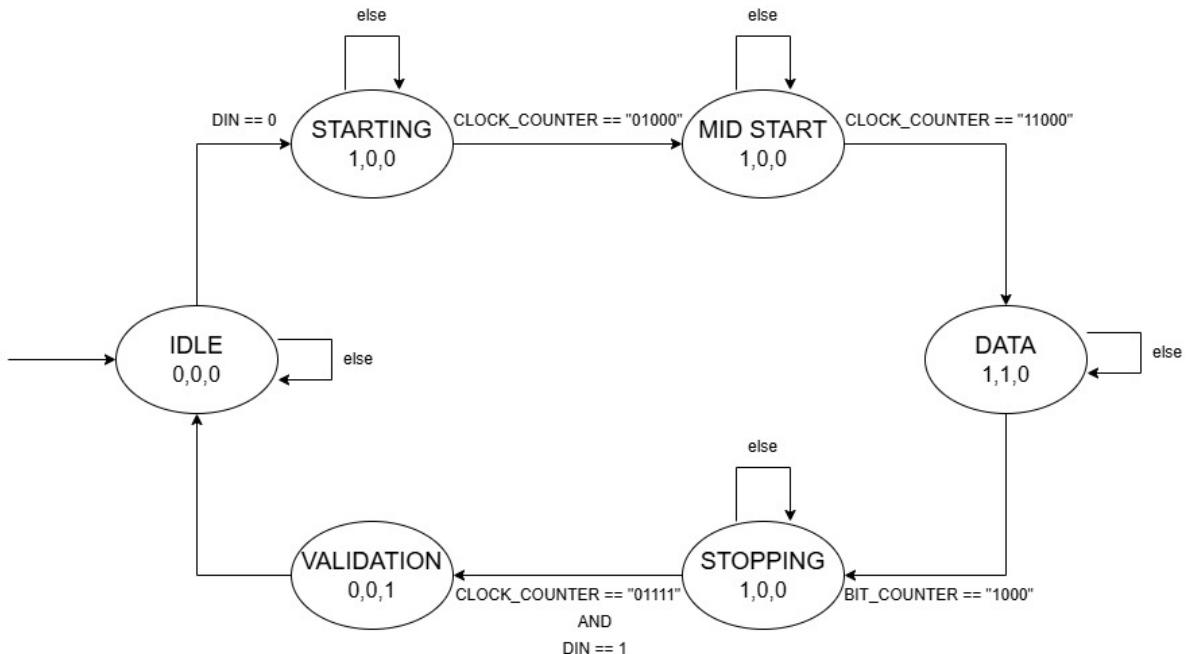


Popis funkce:

- **FSM (Finite State Machine)** - riadi chovanie celého obvodu, pozostáva zo 6 stavov, medzi ktorými prepína na základe prijatého vstupu.
- **BIT_COUNTER** - počítadlo pre dátové bity.
- **CLOCK_COUNTER** - počítadlo pre hodinový signál (počet taktov).
- **DEMULTIPLEXOR** - prerozdeluje „input“ na jednotlivé dátové bity, následne posiela výstup do DOUT.

Obvod sa skladá z vyššie uvedených komponentov, je riadený pomocou FSM. Cieľom je sériovo prijímať dátu zo vstupu DIN a následne ich uložiť do 8-bitového registra DOUT. Signál clk_cnt_on aktivuje počítadlo taktov clock_cnt, ktoré sa používa na vzorkovanie MID bitov, bit_on povoľuje samotný zápis jednotlivých bitov do registra DOUT. Každý dátový bit je vzorkovaný približne v polovici svojho trvania, konkrétnie pri hodnote počítadla 15.

II. Návrh FSM automatu:



Stavy automatu:

- **IDLE** - počiatok stavu očakávajúci príchod logickej 0 prostredníctvom „DIN“.
- **STARTING** – štartovací stav, v ktorom sa obvod nastaví na takzvaný „MID BIT“, teda prejde 8 hodinových cyklov.
- **MID START** – v tomto stave opäť čakáme na ďalších 16 taktov, teda dokým sa nedostaneme do stredu prvého dátového bitu.
- **DATA** – čítame jednotlivé dátové byty dokým nedosiahneme stanovenú hodnotu pre pocet dátových bitov.
- **STOPPING** – čakáme opäť 15 taktov hodinového signálu a taktiež na príchod logickej 1 signálu „DIN“.
- **VALIDATION** – overenie a verifikácia dát.

Moorove výstupy:

BIT_COUNTER_ON – aktivátor pre čítanie dátovych bitov, aktívny v stave DATA.

CLOCK_COUNTER_ON – aktivátor pre počítanie hodinového signálu, aktívny v stave STARTING, MID START, DATA a STOPPING.

VERIFICATION – overovač prijatých dát, aktívny v stave VALIDATION

Stručný popis:

V počiatočnom stave „IDLE“ je obvod neaktívny, čaká na príchod logickej 0 prostredníctvom DIN. Pri príchode log. 1 ostáva v stave „IDLE“, naopak pri log. 0 prechádza do stavu „STARTING“. Nachádzame sa v „start bite“, kde čakáme 8 taktov pre dosiahnutie stredu teda takzvaného „mid bitu“. Následne prechádzame do stavu „MID START“ kde opäť obvod zotrva 16 taktov, teda ocitne sa na prvom dátovom bite. V stave „DATA“ postupne načíta 8 dátovych bitov. Keď dosiahne posledný bit, presunie sa do stavu „STOP“. V tomto stave čaká na hodnotu log. 1 a zároveň čaká 15 taktov. Ak sa tak udeje, prechádzame do stavu „VALIDATION“, odkiaľ sa dostávame opäť do pôvodného stavu „IDLE“.

III. Snímky obrazovky zo simulácie:

