

16.00元

《计算机组成原理》

本试卷共 7 页； 考试时间 110 分钟；

专业 班级 学号 姓名

题号	一	二	三	四	五	总分
得分						

自觉遵守考场规则，诚信考试，绝不作弊

得分

一、基础概念（单项选择）（20 分）

说明：每个空格 2 分并且只有一个正确答案，请将答案的代号填在题目中的括号处。

1. 在定点运算器中，如果采用双符号位，下面两个数都溢出的是（ ）

- A. 01, xxxxx 00, xxxxx B. 11, xxxxx 00, xxxxx
C. 10, xxxxx 11, xxxxx D. 01, xxxxx 10, xxxxx

2. 堆栈寻址方式中，SP 中存放的是栈顶地址，SP 的修改与主存编址方法有关。如果主存按字节编址，那么当存储字长为 16 位的数据进栈操作时，SP 的修改结果为（ ）。

- A. (SP)+1→SP B. (SP)+2→SP C. (SP)-1→SP D. (SP)-2→SP

3. 定点运算器用来进行（ ）。

- A. 十进制数加法运算 B. 定点数运算
C. 浮点数运算 D. 即进行定点数运算也进行浮点数运算

4. 某 SRAM 芯片，其存储容量为 64K×16 位，该芯片的地址线和数据线数目为（ ）。

- A. 64, 16 B. 16, 64 C. 64, 8 D. 16, 16

5. 在原码一位乘的计算过程中，如果数值部分的长度为 n，那么最多需要进行加法和移位操作的次数是（ ）。

- A. n+1 次加法，n+1 次移位 B. n+1 次加法，n 次移位
C. n 次加法，n+1 次移位 D. n 次加法，n 次移位

6. 指令寄存器的作用是（ ）。

- A. 保存当前指令的地址 B. 保存当前正在执行的指令
C. 保存下一条指令 D. 保存上一条指令

7. 变址寻址方式中, 操作数的有效地址等于 ()。
- A. 基值寄存器内容加上形式地址 B. 堆栈指示器内容加上形式地址
C. 变址寄存器内容加上形式地址 D. 程序计数器内容加上形式地址
8. 由于 CPU 内部的操作速度较快, 而 CPU 访问一次主存所花的时间较长, 因此机器周期通常用 () 来规定。
- A. 主存中读取一个指令字的最短时间 B. 主存中读取一个数据字的最长时间
C. 主存中写入一个数据字的平均时间 D. 主存中取一个数据字的平均时间
9. 当采用 () 对设备进行编址情况下, 不需要专门的 I/O 指令组。
- A. 统一编址法 B. 独立编址法 C. 两者都是 D. 两者都不是
10. 下列数中最小的数是 ()。
- A. $(101001)_2$ B. $(52)_8$ C. $(2B)_{16}$ D. $(44)_{10}$

得分

二、填空题 (15 分)

说明: 每个空格 1 分, 请将答案填在题目中的下划线处。

- 设计控制单元时, 主要采用_____设计和_____设计两种方法。
- 按照系统总线传输信息的不同, 可以分为_____总线、_____总线、_____总线。
- 设浮点数阶码的数值位取 m 位, 尾数的数值位取 n 位, 当浮点数基数为 2 时, 最大正数是_____、非 0 最小正数是_____、最大负数是_____、最小负数是_____。
- 已知 $X=+0.1101011$, $[X]_{补}=_____$, $[X]_{原}=_____$; $[X]_{反}=_____$, $[X]_{移}=_____$ 。
- Cache 是一种_____存储器, 是为了解决 CPU 和_____之间速度上不匹配而采用的一项重要硬件技术。

得分

三、简答题 (15 分)

说明: 在题目下方空白处进行简要回答。

- 简要说明 CPU 与 I/O 之间传递信息可以采用哪几种联络方式? 它们分别用于什么场合? (4 分)

2. 什么是指令周期、机器周期和时钟周期？三者有何关系？ (5 分)

3. 除了采用高速芯片以外，从计算机的各个子系统的角度分析，写出 6 种提高整机速度的措施。(6 分)

得分

四、计算题 (30 分)

说明：在题目下方空白处回答，要求写出计算过程。

1. 欲组成一个 $32K \times 8$ 的存储器，当分别选用 $1K \times 4$, $16K \times 1$, $2K \times 8$ 的三种不同规格的存储芯片时，各需多少片？(6 分)

2. 按机器补码浮点运算步骤计算 $X+Y$, 其中 $X=2^{-011} \times 0.1011000$, $Y=2^{-010} \times (-0.011100)$, 阶符取 2 位, 数符取 2 位, 阶码的数值部分取 3 位, 尾数的数值部分取 6 位。(8 分)

自觉遵守考试规则, 诚信考试, 绝不作弊
装订线内不要答题

3. $x = -0.10100, y = 0.11101$, 用补码加减交替法计算 $x \div y$ 。(10 分)

自觉遵守
考试规则,
诚信考试,
绝不作弊

装
订
线
内
不
要
答
题

4. 设相对寻址的转移指令占 3 个字节, 第一个字节为操作码, 第二、三字节为相对位移量(补码表示), 而且数据在存储器中采用以低字节地址为字地址的存放方式。每当 CPU 从存储器取出一个字节时, 即自动完成 $(PC)+1=PC$ 。若 PC 当前值为 240(十进制), 要求转移到 200(十进制), 则转移指令的第二、三字节的机器代码是什么? (补码用十六进制表示) (6 分)

得分

五、分析论述题 (20 分)

1. 某 CPU 的主频为 10MHz, 若已知每个机器周期平均包含 4 个时钟周期, 该机的平均指令执行速度为 1MIPS, 试求该机的平均指令周期及每个指令周期含几个机器周期? 若改用时钟周期为 $0.4\mu s$ 的 CPU 芯片, 则计算机的平均指令执行速度为多少 MIPS? 若要得到平均每秒 80 万次的指令执行速度, 则应采用主频为多少的 CPU 芯片? (8 分)

2. 某机主存容量为 $4M \times 16$ 位, 且指令字长为 16 位, 若该机的指令系统具备 130 种操作。操作码位数固定, 且具有直接、间接、立即、相对四种寻址方式。(12 分)

- (1) 设计一地址指令格式并指出各字段的作用;
- (2) 该指令直接寻址的最大范围;
- (3) 一次间址的寻址范围;
- (4) 相对寻址的寻址范围 (十进制表示);
- (5) 立即数的范围 (十进制表示);
- (6) 上述四种寻址方式的指令中, 哪一种执行时间最短? 哪一种执行时间最长? 哪一种便于程序浮动?

《计算机组成原理》

答案

一、 基础概念（单项选择）（20 分）每个空格 2 分

1	2	3	4	5	6	7	8	9	10
D	D	B	D	D	B	C	B	A	A

二、填空题（15 分）每个空格 1 分

1. 组合逻辑，微程序

2. 数据，地址，控制

3. $2^{(2n-1) \times (1-2^{-n})}$ $2^{-(2n-1) \times 2^{-n}}$ $-2^{-(2n-1) \times 2^{-n}}$ $-2^{(2n-1) \times (1-2^{-n})}$

4. 0.1101011, 0.1101011, 0.1101011, 1.1101011

5. 高速缓冲 内存

三、简答题（15 分）

1. 简要说明 CPU 与 I/O 之间传递信息可以采用哪几种联络方式？它们分别用于什么场合？（4 分）

三种：立即响应、同步、异步。（2 分）

适合场合：（2 分）

立即响应：工作速度十分缓慢的 I/O 设备

异步：I/O 设备与主机工作速度不匹配

同步：I/O 设备与 CPU 工作速度完全同步

2. 什么是指令周期、机器周期和时钟周期？三者有何关系？（5 分）

时钟周期是控制计算机操作的最小单位时间。（1 分）

机器周期是所有指令执行过程中的一个基准时间。（1 分）

指令周期是取出并执行一条指令所需的全部时间。（1 分）

一个指令周期包含若干机器周期，一个机器周期包含若干个时钟周期。（2 份）

3. 除了采用高速芯片以外，从计算机的各个子系统的角度分析，写出 6 种提高整机速度的措施。（6 分）

写出其中 6 个即可。

针对存储器, 可以采用 Cache-主存层次的设计和管理提高整机的速度; (1 分)

针对存储器, 可以采用主存-辅存层次的设计和管理提高整机的速度; (1 分)

针对存储器, 可以采用多体并行设计方法提高访问速度; (1 分)

针对控制器, 可以通过指令流水提高整机的速度; (1 分)

针对控制器, 可以通过超标量设计技术提高整机的速度; (1 分)

针对运算器, 可以对运算方法加以改进, 如进位链、两位乘法; (1 分)

针对 I/O 系统, 可以运用 DMA 技术来减少 CPU 对外设访问的干预。 (1 分)

采用多总线技术 (1 分)

四、计算题 (30 分)

1. 欲组成一个 $32K \times 8$ 的存储器, 当分别选用 $1K \times 4$, $16K \times 1$, $2K \times 8$ 的三种不同规格的存储芯片时, 各需多少片? (6 分)

$$1K \times 4 : 32K \times 8 / 1K \times 4 = 64 \text{ (2 分)}$$

$$16K \times 1 : 32K \times 8 / 16K \times 1 = 16 \text{ (2 分)}$$

$$2K \times 8 : 32K \times 8 / 2K \times 8 = 16 \text{ (2 分)}$$

2. 按机器补码浮点运算步骤计算 $X+Y$, 其中 $X=2^{-011} \times 0.1011000$, $Y=2^{-010} \times (-0.011100)$, 阶符取 2 位, 数符取 2 位, 阶码的数值部分取 3 位, 尾数的数值部分取 6 位。 (8 分)

计算 $[x]_{\#}$ (2 分) 计算 $[y]_{\#}$ (2 分)

对阶: 计算 $[\Delta]_{\#}$, 求 Δ_j

根据 Δ_j 写出 $[x']_{\#}$ 和 $[y']_{\#}$ (1 分)

② 求和 (1 分)

$$[S_x]_{\#}' + [S_y]_{\#}' = ?$$

③ 规格化 (1 分)

$$X+Y=?$$

(1 分)

计算步骤 (2 分)

3. $x = -0.10100$, $y = 0.11101$, 用补码加减交替法计算 $x \div y$ 。 (10 分)

要求写出计算过程

4. 设相对寻址的转移指令占 3 个字节, 第一个字节为操作码, 第二、三字节为相对位移量(补码表示), 而且数据在存储器中采用以低字节地址为字地址的存放方式。每当 CPU 从存储器取出一个字节时, 即自动完成 $(PC)+1=PC$ 。若 PC 当前值为 240(十进制), 要求转移到 200(十进制), 则转移指令的第二、三字节的机器代码是什么? (补码用十六进制表示) (6 分)

$$240+3=243 \quad 200-243=-43=(-00101011)_2 \quad (1 \text{ 分})$$

补码: $(11111111 \ 11010101)_2$ FFD5 H (1 分)

第二字节的机器代码是: D5H (2 分) 第三字节的机器代码是: FFH (2 分)

五、分析论述题 (20 分)

1. 某 CPU 的主频为 10MHz, 若已知每个机器周期平均包含 4 个时钟周期, 该机的平均指令执行速度为 1MIPS, 试求该机的平均指令周期及每个指令周期含几个机器周期? 若改用时钟周期为 $0.4\mu s$ 的 CPU 芯片, 则计算机的平均指令执行速度为多少 MIPS? 若要得到平均每秒 80 万次的指令执行速度, 则应采用主频为多少的 CPU 芯片? (8 分)

解: 先通过主频求出时钟周期时间, 再进一步求出机器周期和平均指令周期。

$$\text{时钟周期} = 1/10\text{MHz} = 0.1 \times 10^{-6} = 100\text{ns}$$

$$\text{机器周期} = 100\text{ns} \times 4 = 400\text{ns} = 0.4\mu s$$

$$\text{平均指令周期} = 1/1\text{MIPS} = 1 \times 10^{-6} = 1\mu s \quad (2 \text{ 分})$$

$$\text{每个指令周期所含机器周期个数} = 1\mu s / 0.4\mu s = 2.5 \text{ 个} \quad (2 \text{ 分})$$

当芯片改变后, 相应参数变为:

$$\text{机器周期} = 0.4\mu s \times 4 = 1.6\mu s$$

$$\text{平均指令周期} = 1.6\mu s \times 2.5 = 4\mu s$$

$$\text{平均指令执行速度} = 1/4\mu s = 0.25\text{MIPS} \quad (2 \text{ 分})$$

若要得到平均每秒 80 万次的指令执行速度, 则应采用的主频为: 平均指令周期
 $= 1/0.8\text{MIPS} = 1.25 \times 10^{-6} = 1.25\mu s$

$$\text{机器周期} = 1.25\mu s \div 2.5 = 0.5\mu s$$

$$\text{时钟周期} = 0.5\mu s \div 4 = 0.125\mu s \quad \text{主频} = 1/0.125\mu s = 8\text{MHz} \quad (2 \text{ 分})$$

2. 某机主存容量为 $4M \times 16$ 位, 且指令字长为 16 位, 若该机的指令系统具备 130 种操作。操作码位数固定, 且具有直接、间接、立即、相对四种寻址方式。(12 分)

(1) 设计一地址指令格式并指出各字段的作用;

(2) 该指令直接寻址的最大范围;

- (3) 一次间址的寻址范围;
- (4) 相对寻址的寻址范围 (十进制表示);
- (5) 立即数的范围 (十进制表示);
- (6) 上述四种寻址方式的指令中, 哪一种执行时间最短? 哪一种执行时间最长? 哪一种便于程序浮动?

- (1) 指令字长 16 位, 操作码为 8 位 (2 分), 寻址特征位 2 位 (2 分), 地址码 6 位; (2 分)
- (2) $-32 \sim 31$; (1 分)
- (3) 2^{16} ; (1 分)
- (4) -32 到 $+31$. (1 分)
- (5) $0 \sim 63$ 或者 $-32 \sim 31$ (1 分)
- (6) 立即寻址执行时间最短、间接寻址执行时间最长、相对寻址便于程序浮动 (2 分)

《计算机组成原理》

本试卷共 6 页； 考试时间 110 分钟；

专业 班级 学号 姓名

题号	一	二	三	四	五	总分
得分						

自觉遵守
考场规则，
诚信考试，
绝不作弊

得分

一、基础概念（单项选择）（20分）

说明：每个空格 2 分并且只有一个正确答案，请将答案的代号填在题目中的括号处。

- 在 CPU 中，记录下一条指令地址的寄存器是（ ）。
A. 指令寄存器 B. 程序计数器 C. 地址寄存器 D. 状态条件寄存器
- 若浮点数用补码表示，则判断运算结果是否为规格化数的方法是（ ）。
A. 阶符与数符相同为规格化数
B. 阶符与数符相异为规格化数
C. 数符与尾数小数点后第一位数字相异为规格化数
D. 数符与尾数小数点后第一位数字相同为规格化数
- 在定点运算器中，如果采用双符号位，下面两个数都溢出的是（ ）。
A. 01, xxxxxx 00, xxxxxx B. 11, xxxxxx 00, xxxxxx
C. 10, xxxxxx 11, xxxxxx D. 01, xxxxxx 10, xxxxxx
- 在原码一位乘的计算过程中，如果数值部分的长度为 n ，那么最多需要进行加法和移位操作的次数是（ ）。
A. $n+1$ 次加法， $n+1$ 次移位 B. $n+1$ 次加法， n 次移位
C. n 次加法， $n+1$ 次移位 D. n 次加法， n 次移位
- 在指令的地址字段中，直接指出操作数本身的寻址方式，称为（ ）。
A. 隐含寻址 B. 立即寻址 C. 寄存器寻址 D. 直接寻址
- 计算机问世至今，新型机器不断推陈出新，不管怎样更新，依然保有“存储程序”的概念，最早提出这种概念的是（ ）。
A. 巴贝奇 B. 冯·诺依曼 C. 帕斯卡 D. 贝尔

7. 下列数中最小的数为 ()。

- A. $(101001)_2$ B. $(52)_{16}$ C. $(2B)_{16}$ D. $(44)_{10}$

8. 发生中断请求的条件之一是 ()。

- A. 一条指令执行结束 B. 一次 I/O 操作结束
C. 机器内部发生故障 D. 一次 DMA 操作结束

9. 目前的计算机, 从原理上讲 ()。

- A. 指令以二进制形式存放, 数据以十进制形式存放
B. 指令以十进制形式存放, 数据以二进制形式存放
C. 指令和数据都以二进制形式存放 D. 指令和数据都以十进制形式存放

10. 采用 DMA 方式传送数据时, 每传送一个数据要占用 () 的时间。

- A. 一个指令周期 B. 一个机器周期 C. 一个时钟周期 D. 一个存取周期

得分

二、填空题 (15 分)

说明: 每个空格 1 分, 请将答案填在题目中的下划线处。

1. Cache 是一种 _____ 存储器, 是为了解决 CPU 和 _____ 之间 _____ 上不匹配而采用的一项重要硬件技术。

2. 影响流水线性能的因素主要反映在 _____ 相关、 _____ 相关和 _____ 相关三个方面。

3. 设计控制单元时, 主要采用 _____ 设计和 _____ 设计两种方法。

4. 指令周期一般包括四个周期, 分别是 _____ 周期、 _____ 周期、 _____ 周期、 _____ 周期。

5. 指令字长是指 _____ ;

存储字长是指 _____ ;

机器字长是指 _____ 。

得分

三、简答题 (15 分)

1. 从计算机的各个子系统的角度分析, 写出 5 种提高整机速度的措施。 (5 分)

2. 简述存取周期与存取时间的概念。(4分)

3. 通常 DMA 与主存交换数据时采用哪几种方法? 请写出这些方法的名称。(6分)

得分

四、计算题 (30 分)

说明: 在题目下方空白处回答, 要求写出计算过程。

1. 设主存容量为 $256K \times 8$, Cache 容量为 $2K \times 8$, 块长为 4。问: Cache 中可装入多少块数据? 在八路组相联映射方式下, 说明主存地址格式。(4分)

2: 当十六进制数 AAH 分别表示为原码、反码、补码、移码、无符号数时, 所对应的真值分别是多少? (设机器数采用 1 位符号位, 真值数用十进制表示)。(10分)

3. 用补码一位乘(Booth 算法) 计算 $x \cdot y$, 其中 $x = -0.1011$, $y = -0.1101$ 。(10 分)

自觉遵守考试规则，诚信考试，绝不作弊
装订线内不要答题

4. 欲组成一个 64K*16 的存储器, 当分别选用 1K*4, 16K*1, 2K*8 的三种不同规格的存储芯片时, 各需多少片? (6 分)

得分

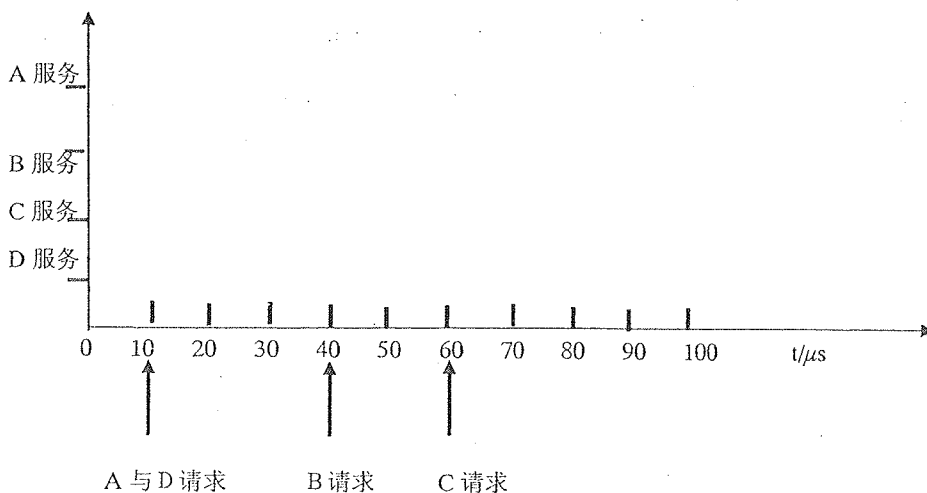
五、分析论述题 (20 分)

1. 某机有 4 个中断源 A、B、C、D, 按中断响应的优先次序由高到低排序为 A→B→C→D, 为了改变中断处理次序, 各中断源的屏蔽字如下所示。(8 分)

中断源	屏蔽字			
	0	1	2	3
A	1	1	0	0
B	0	1	0	0
C	1	1	1	0
D	1	1	1	1

(1) 根据上述屏蔽字, 写出新的中断处理次序(优先次序由高到低排序)。

(2) 若中断服务程序的执行时间为 $20\mu\text{s}$, 根据下图所示时间轴给出的中断源的请求时刻, 画出 CPU 执行程序的轨迹。



2. 设加法指令“ADD X”(X 为主存地址)需要访问 CPU 内部的如下部件: PC、IR、MAR、MDR、ACC、CU。(12 分)

- (1) 写出“ADD X”指令在取指周期的全部微操作
- (2) 当“ADD X”为间接寻址时, 写出间接寻址的全部微操作
- (3) 写出“ADD X”在执行阶段所需的全部微操作。

《计算机组成原理》

答案

一、基础概念（单项选择）（20 分）每个空格 2 分

1	2	3	4	5	6	7	8	9	10
B	C	D	D	B	B	A	A	C	D

二、填空题（15 分）每个空格 1 分

1. 高速缓冲，内存，速度
2. 结构，数据，控制
3. 组成逻辑，微程序
4. 取指、间址、执行、中断
5. 一条指令的长度，操作码和数据地址码位数之和。

计算机 CPU 能直接处理的二进制数据的位数，与 CPU 的寄存器位数有关。

一个存储单元可以存储的一串二进制代码的位数。

三、简答题（15 分）

1. 从计算机的各个子系统的角度分析，写出 5 种提高整机速度的措施。（5 分）

写出其中 5 个即可。

针对存储器，可以采用 Cache-主存层次的设计和管理提高整机的速度；（1 分）

针对存储器，可以采用主存-辅存层次的设计和管理提高整机的速度；（1 分）

针对存储器，可以采用多体并行设计方法提高访问速度；（1 分）

针对控制器，可以通过指令流水提高整机的速度；（1 分）

针对控制器，可以通过超标量设计技术提高整机的速度；（1 分）

针对运算器，可以对运算方法加以改进，如进位链、两位乘法；（1 分）

针对 I/O 系统，可以运用 DMA 技术来减少 CPU 对外设访问的干预。（1 分）

采用多总线技术（1 分）

2. 简述存取周期与存取时间的概念。（4 分）

存取时间又称为存储器的访问时间，是指启动一次存储器操作（读或写）到完成该操作所需的全部时间。（2 分）

存取周期是指存储器进行连续两次独立的存储器操作（如连续两次读操作）所需的最小

间隔时间。(2分)

3. 通常 DMA 与主存交换数据时采用哪几种方法? 请写出这些方法的名称。(6分)

(1) 停止 CPU 访问主存 (2分)

(2) 周期挪用(或周期窃取) (2分)

(3) DMA 与 CPU 交替访问 (2分)

四、计算题(30分)

1. 设主存容量为 $256K \times 8$, Cache 容量为 $2K \times 8$, 块长为 4。问: Cache 中可装入多少块数据? 在八路组相联映射方式下, 说明主存地址格式。(4分)

1) $2K/4 = 512$ 块 (1分)

2) 主存字块标记 组地址 块内地址 (3分)

$7+3=10$ 位 $c=9-3=6$ 位 2 位

2. 当十六进制数 AAH 分别表示为原码、反码、补码、移码、无符号数时, 所对应的真值分别是多少? (设机器数采用 1 位符号位, 真值数用十进制表示)。(10分)

AAH=10101010B

[x] 原=AAH	$X=-0101010$	$(x)_{10}=-42$	(1分)
[x] 反=AAH	$X=-1010101$	$(x)_{10}=-85$	(1分)
[x] 补=AAH	$X=-1000110$	$(x)_{10}=-86$	(1分)
[x] 移=AAH	$X=+0101010$	$(x)_{10}=+42$	(1分)
[x] 无符号数=AAH	$X=10101010$	$(x)_{10}=+170$	(1分)

3. 用补码一位乘(Booth 算法) 计算 $x \times y$, 其中 $x=-0.1011$, $y=-0.1101$ 。(10分)

写出计算过程

4. 欲组成一个 $64K \times 16$ 的存储器, 当分别选用 $1K \times 4$, $16K \times 1$, $2K \times 8$ 的三种不同规格的存储芯片时, 各需多少片? (6分)

$1K \times 4$: $64K \times 16 / 1K \times 4 = 256$ (2分)

$16K \times 1$: $64K \times 16 / 16K \times 1 = 64$ (2分)

$2K \times 8$: $64K \times 16 / 2K \times 8 = 64$ (2分)

五、分析论述题(20分)

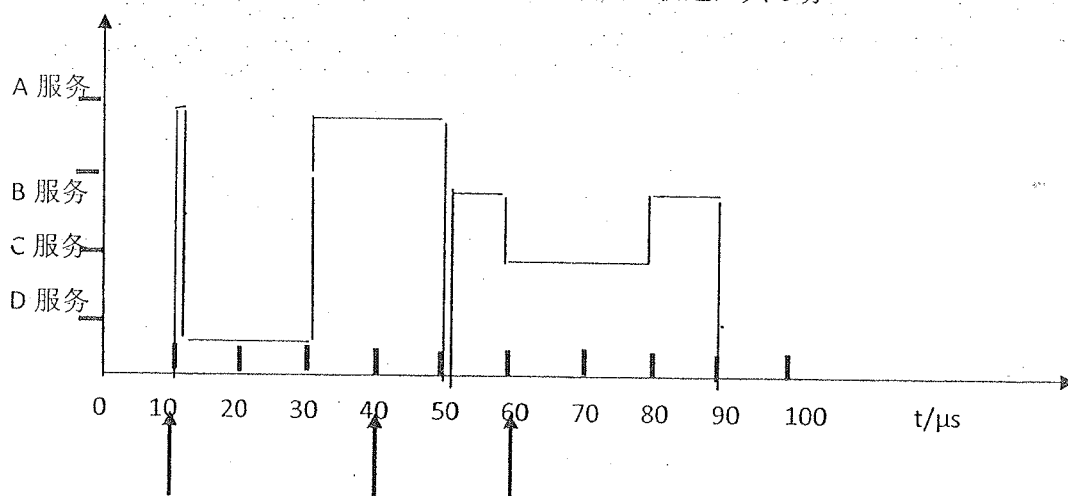
1. 某机有 4 个中断源 A、B、C、D，按中断响应的优先次序由高到低排序为 A→B→C→D，为了改变中断处理次序，各中断源的屏蔽字如下所示。(8 分)

中断源	屏蔽字			
	0	1	2	3
A	1	1	0	0
B	0	1	0	0
C	1	1	1	0
D	1	1	1	1

(1) 根据上述屏蔽字，写出新的中断处理次序(优先次序由高到低排序)。

DCAB (2 分)

(2) 若中断服务程序的执行时间为 $20\ \mu\text{s}$ ，根据下图所示时间轴给出的中断源的请求时刻，画出 CPU 执行程序的轨迹。 6 段处理轨迹，共 6 分



A 与 D 请求 B 请求 C 请求

2. 设加法指令“ADD X”(X 为主存地址)需要访问 CPU 内部的如下部件：PC、IR、MAR、MDR、ACC、CU。(12 分)

- (1) 写出“ADD X”指令在取指周期的全部微操作
- (2) 当“ADD X”为间接寻址时，写出间接寻址的全部微操作
- (3) 写出“ADD X”在执行阶段所需的全部微操作。

(1) 取指周期的全部微操作：(4 分)

PC→MAR→ 地址线

1→R

M(MAR)→MDR

MDR→IR

OP (IR) → CU

(PC)+1→PC

(2) 间接周期的全部微操作：(4 分)

指令形式地址→MAR

Ad(IR)→MAR

1→R

M(MAR)→MDR

MDR→Ad(IR)

(3) 执行周期的全部微操作：(4 分)

Ad(IR)→MAR

1→R

M(MAR)→MDR

(ACC) + (MDR)→ ACC

《计算机组成原理》

本试卷共 6 页； 考试时间 110 分钟；

专业 班级 学号 姓名

题号	一	二	三	四	五	总分
得分						

得分

一、基础概念（单项选择）（20 分）

说明：每个空格 2 分并且只有一个正确答案，请将答案的代号填在题目中的括号处。

- 若浮点数用补码表示，则判断运算结果是否为规格化数的方法是（ ）。
 - 阶符与数符相同为规格化数
 - 阶符与数符相异为规格化数
 - 数符与尾数小数点后第一位数字相异为规格化数
 - 数符与尾数小数点后第一位数字相同为规格化数
- 机器字长是指（ ）。
 - CPU 一次能处理数据的位数，通常与 CPU 的寄存器位数有关
 - 一个存储单元可以存储的一串二进制代码位数
 - 一条指令的长度，操作码和数据地址码位数之和
 - 数据用多少位二进制代码表示
- 某 SRAM 芯片，存储容量为 $64K \times 16$ 位，该芯片的地址线和数据线数目为（ ）。
 - 64, 16
 - 16, 64
 - 64, 8
 - 16, 16
- 控制器中，具有自动加 1 功能的部件是（ ）。
 - IR
 - ACC
 - PC
 - ALU
- 主存贮器和 CPU 之间增加 cache 的目的是（ ）。
 - 解决 CPU 和主存之间的速度匹配问题
 - 扩大主存贮器容量
 - 扩大 CPU 中通用寄存器的数量
 - 既扩大主存贮器容量，又扩大 CPU 中通用寄存器的数量

6. 堆栈寻址方式中, SP 中存放的是栈顶地址, SP 的修改与主存编址方法有关。如果主存按字节编址, 那么当存储字长为 16 位的数据进栈操作时, SP 的修改结果为()。

- A. $(SP)+1 \rightarrow SP$ B. $(SP)+2 \rightarrow SP$ C. $(SP)-1 \rightarrow SP$ D. $(SP)-2 \rightarrow SP$

7. 寄存器间接寻址方式中, 操作数处在()。

- A. 通用寄存器 B. 主存单元 C. 程序计数器 D. 堆栈

8. 按照系统总线传输信息的不同, 总线可以分成三类, 下面()不属于这三类。

- A. 控制总线 B. 地址总线 C. 数据总线 D. 通信总线

9. 发生中断请求的条件之一是()。

- A. 一条指令执行结束 B. 一次 I/O 操作结束
C. 机器内部发生故障 D. 一次 DMA 操作结束

10. 计算机经历了从器件角度划分的四代发展历程, 但从系统结构上来看, 至今绝大多数计算机仍属于()型计算机。

- A. 实时处理 B. 智能化 C. 并行 D. 冯·诺依曼

得分

二、填空题 (15 分)

说明: 每个空格 1 分, 请将答案填在题目中的下划线处。

1. 设计一个容量为 $16K \times 32$ 位的存储器。当选用 $1K \times 4$ 位规格的存储芯片时需_____片、当选用 $2K \times 8$ 位规格的存储芯片时需_____片、当选用 $1K \times 16$ 位规格的存储芯片时需_____片、当选用 $4K \times 4$ 位规格的存储芯片时需_____片、当选用 $16K \times 1$ 位规格的存储芯片时需_____片。

2. 机器字长为 8 时, 无符号数的表示范围是_____~_____, 有符号数表示范围是_____~_____ (数值对应补码表示)。

3. 已知 $[X]_{\text{补}} = 1.1100$, $X =$ _____, $[X]_{\text{原}} =$ _____, $[X]_{\text{反}} =$ _____, $[X]_{\text{移}} =$ _____。

4. 在浮点运算过程中, 对阶原则是: _____向_____看齐。

得分

三、简答题 (15 分)

说明: 在题目下方空白处进行简要回答。

1. 微指令包括五种编码方式, 写出其中三种编码方式的名称。(3 分)

2. 什么是指令周期？指令周期由哪几个周期组成？（6分）

3. 从计算机的各个子系统的角度分析，写出6种提高整机速度的措施。（6分）

得分

四、计算题（30分）

说明：在题目下方空白处回答，要求写出计算过程。

1. 分别按照偶校验和奇校验的原则，写出0011对应的汉明吗。（8分）

25

2. 设机器字长为 8 位 (其中含 1 位符号位), 用补码运算规则完成下列运算。

$A=0.0010101$ $B=0.1101011$, 求 $A-B$, 并判断是否有溢出。(8 分)

3. 设相对寻址的转移指令占 3 个字节, 第一个字节为操作码, 第二、三字节为相对位移量(补码表示), 而且数据在存储器中采用以低字节地址为字地址的存放方式。每当 CPU 从存储器取出一个字节时, 即自动完成 $(PC)+1=PC$ 。若 PC 当前值为 0101H, 要求转移到 0400H, 则转移指令的第二、三字节的机器代码是什么? (4 分)

4. $x=0.1101, y=-0.1101$, 用原码一位乘计算 $x*y$ 。(10 分)

自觉
遵守
考试
规则,
诚信
考试,
绝不
作弊

装
订
线
内
不
要
答
题

得分

五、分析论述题（20 分）

1. 设某计算机的 CPU 主频为 4MHz，每个机器周期平均含 2 个时钟周期，每条指令的指令周期平均有 5 个机器周期。（8 分）

（1）试问该机的平均指令执行速度为多少 MIPS？

（2）若 CPU 主频不变，但每个机器周期平均含 4 个时钟周期，每条指令的指令周期平均有 10 个机器周期，则该平均指令执行速度为多少 MIPS？

（3）若每个机器周期平均含 2 个时钟周期，每条指令的指令周期平均有 10 个机器周期，要得到平均每秒 80 万次的指令执行速度，则应采用主频为多少的 CPU 芯片？

2. 某模型机共有 15 种操作，操作码位数固定，且具有以下特点。

（1）采用一地址或二地址格式。

（2）有寄存器寻址、直接寻址和相对寻址(位移量为-512~+511)三种寻址方式。

（3）有 32 个通用寄存器，算术逻辑运算的操作数均在寄存器中，结果也在寄存器中。

（4）取数/存数指令在通用寄存器和存储器之间传递数据。

（5）存储器容量为 2MB，按字节编址。

要求设计算术逻辑指令、取数/存数指令和相对转移指令的格式，并简述理由。（12 分）

《计算机组成原理》

答案

一、基础概念（单项选择）（20分）每个空格2分

1	2	3	4	5	6	7	8	9	10
C	A	D	C	A	D	B	D	A	D

二、填空题（15分）每个空格1分

说明：，请将答案填在题目中的下划线处。

1. 128,32,32,32,32
2. 0,255,-128,127
3. -0.0100,1,0100,1,1011,0.1100
4. 小阶,大阶

三、简答题（15分）

1. 微指令包括五种编码方式，写出其中三种编码方式的名称。

直接编码方式、字段直接编码方式、字段间接编码方式（3分）

2. 什么是指令周期？指令周期由哪几个周期组成？（6分）

指令周期是取出并执行一条指令所需的全部时间。（2分）

指令周期包括取指周期、间址周期、执行周期、中断周期。（4分）

3. 从计算机的各个子系统的角度分析，写出6种提高整机速度的措施。（6分）

3. 从计算机的各个子系统的角度分析，写出6种提高整机速度的措施。（6分）

写出其中6个即可。

针对存储器，可以采用Cache-主存层次的设计和管理提高整机的速度；（1分）

针对存储器，可以采用主存-辅存层次的设计和管理提高整机的速度；（1分）

针对存储器，可以采用多体并行设计方法提高访问速度；（1分）

针对控制器，可以通过指令流水提高整机的速度；（1分）

针对控制器，可以通过超标量设计技术提高整机的速度；（1分）

针对运算器，可以对运算方法加以改进，如进位链、两位乘法；（1分）

针对I/O系统，可以运用DMA技术来减少CPU对外设访问的干预。（1分）

采用多总线技术 (1 分)

四、计算题 (30 分)

1. 分别按照偶校验和奇校验的原则, 写出 0011 对应的汉明吗。(8 分)

按照奇校验的原则

$\therefore n=4$ 根据 $2k \geq n+k+1$ 取 $k=3$

二进制序号	1	2	3	4	5	6	7
名称	C1	C2	0	C4	0	1	1

C1: $3 \text{ xor } 5 \text{ xor } 7 = 1$ 取反: 0 (1 分)

C2: $3 \text{ xor } 6 \text{ xor } 7 = 0$ 取反: 1 (1 分)

C4: $5 \text{ xor } 6 \text{ xor } 7 = 0$ 取反: 1 (1 分)

\therefore 0011 的汉明码为 0101011 (1 分)

按照偶校验的原则

$\therefore n=4$ 根据 $2k \geq n+k+1$ 取 $k=3$

二进制序号	1	2	3	4	5	6	7
名称	C1	C2	0	C4	0	1	1

C1: $3 \text{ xor } 5 \text{ xor } 7 = 1$ (1 分)

C2: $3 \text{ xor } 6 \text{ xor } 7 = 0$ (1 分)

C4: $5 \text{ xor } 6 \text{ xor } 7 = 0$ (1 分)

\therefore 0011 的汉明码为 1000011 (1 分)

2. 设机器字长为 8 位 (其中含 1 位符号位), 用补码运算规则完成下列运算。

$A=0.0010101$ $B=0.1101011$, 求 $A-B$, 并判断是否有溢出。(8 分)

$[A]_{\text{补}}=0.0010101$ (2 分)

$[-B]_{\text{补}}=1.0010101$ (2 分)

$[A-B]_{\text{补}} 0.0010101$

+1.0010101

= 1.0101010 (1 分)

所以 $A-B=-0.1010110$ (1 分) 无溢出 (1 分) 计算过程 (1 分)

3. 设相对寻址的转移指令占 3 个字节, 第一个字节为操作码, 第二、三字节为相对位

移量(补码表示),而且数据在存储器中采用以低字节地址为字地址的存放方式。每当 CPU 从存储器取出一个字节时,即自动完成 $(PC)+1=PC$ 。若 PC 当前值为 0101H,要求转移到 0400H,则转移指令的第二、三字节的机器代码是什么? (4 分)

$0101H+3=0104H$ (1 分)

$0400H-0104H=02FCH$ (1 分)

第二字节的机器代码是:FCH (1 分) 第三字节的机器代码是:02H (1 分)

4. $x=0.1101, y=-0.1101$, 用原码一位乘计算 $x*y$ 。(10 分)

写出计算过程

五、分析论述题 (20 分)

1. 设某计算机的 CPU 主频为 4MHz, 每个机器周期平均含 2 个时钟周期, 每条指令的指令周期平均有 5 个机器周期。(8 分)

(1) 试问该机的平均指令执行速度为多少 MIPS?

(2) 若 CPU 主频不变, 但每个机器周期平均含 4 个时钟周期, 每条指令的指令周期平均有 10 个机器周期, 则该平均指令执行速度为多少 MIPS?

(3) 若每个机器周期平均含 2 个时钟周期, 每条指令的指令周期平均有 10 个机器周期, 要得到平均每秒 80 万次的指令执行速度, 则应采用主频为多少的 CPU 芯片?

解: 先通过主频求出时钟周期, 再求出机器周期和平均指令周期, 最后通过平均指令周期的倒数求出平均指令执行速度。

(1) 时钟周期 $= 1/4MHz = 0.25 \times 10^{-6} = 250ns$ 机器周期 $= 250ns \times 2 = 500ns$

平均指令周期 $= 500ns \times 5 = 2500ns$ 平均指令执行速度 $= 1/2500ns = 0.4$ (3 分)

(2) 机器周期 $= 250ns \times 4 = 1000ns = 1\mu s$ 平均指令周期 $= 1\mu s \times 10 = 10\mu s$

平均指令执行速度 $= 1/10\mu s = 0.1MIPS$ (3 分)

(3) 主频: $0.8 \times 2 \times 10 = 16MHz$ (2 分)

2. 某模型机共有 15 种操作, 操作码位数固定, 且具有以下特点。

- (1) 采用一地址或二地址格式。
- (2) 有寄存器寻址、直接寻址和相对寻址(位移量为-512~+511)三种寻址方式。
- (3) 有 32 个通用寄存器，算术逻辑运算的操作数均在寄存器中，结果也在寄存器中。
- (4) 取数/存数指令在通用寄存器和存储器之间传递数据。
- (5) 存储器容量为 2MB，按字节编址。

要求设计算术逻辑指令、取数/存数指令和相对转移指令的格式，并简述理由。(12 分)

1) 算逻指令格式为寄存器-寄存器型，取单字长为 16 位(4 分)

4	2	5	5
OP	M	Ri	Rj

OP 为操作码，4 位，可以实现 11 种操作，M 为寻址模式，2 位，可以反映 (2) 中描述的 3 种寻址方式，Ri 和 Rj 各取 5 位，区别源操作数和目标操作数的寄存器编号

2) 取数 / 存数指令格式为寄存器-存储器型，取字长为 32 位(4 分)

4	2	5	5
OP	M	Ri	A1
A2			

OP 为操作码，4 位，可以实现 11 种操作，M 为寻址模式，2 位，可以反映 (2) 中描述的 3 种寻址方式，Ri 取 5 位，存放源操作数或目标操作数的寄存器编号 A1 和 A2 共 21 位，为存储器地址，可以直接访问字节编址的 2MB 存储器

3) 相对转移指令格式为一地址型，取单字长为 16 位(4 分)

4	2	10
OP	M	A

OP 为操作码，4 位，可以实现 11 种操作，M 为寻址模式，2 位，可以反映 (2) 中描述的 3 种寻址方式，A 为位移量 10 位，对应位移量-512~+511

《计算机组成原理》

本试卷共 7 页； 考试时间 110 分钟；

专业 _____ 班级 _____ 学号 _____ 姓名 _____

题号	一	二	三	四	五	总分
得分						

自觉遵守考试规则，诚信考试，绝不作弊

得分

一、基础概念（单项选择）（20 分）

说明：每个空格 2 分并且只有一个正确答案，请将答案的代号填在题目中的括号处。

- 响应不同设备的中断服务程序是不同的，但是程序流程是类似的。一般中断服务程序的流程分为四大部分，按照先后顺序分别是：（ ）。
 - 中断服务、保护现场、中断返回、恢复现场
 - 中断请求、中断判优、中断响应、中断服务
 - 中断请求、中断判优、中断响应、中断返回
 - 保护现场、中断服务、恢复现场、中断返回
- 若浮点数用补码表示，则判断运算结果是否为规格化数的方法是（ ）。
 - 阶符与数符相同为规格化数
 - 阶符与数符相异为规格化数
 - 数符与尾数小数点后第一位数字相异为规格化数
 - 数符与尾数小数点后第一位数字相同为规格化数
- 根据操作数所在位置，指出寻址方式：操作数的地址为程序计数器 PC 的内容与位移量之和，为（ ）寻址方式。
 - 直接
 - 寄存器
 - 相对
 - 立即
- 计算机经历了从器件角度划分的四代发展历程，但从系统结构上来看，至今绝大多数计算机仍属于（ ）型计算机。
 - 实时处理
 - 智能化
 - 并行
 - 冯·诺依曼
- 计算机系统中，不属于主机范畴的是（ ）。
 - 主存储器
 - 算术逻辑单元
 - 控制单元
 - I/O 设备
- 存储器进行连续两次独立的存储器操作(如连续两次读)所需的最小间隔时间称为（ ）
 - 存取时间
 - 存取周期
 - 存储速度
 - 存储器带宽

7. 某 SRAM 芯片, 存储容量为 $64K \times 16$ 位, 该芯片的地址线 and 数据线数目为 ()。
- A 64, 16 B 16, 64 C 64, 8 D 16, 16
8. 控制器中, 具有自动加 1 功能的部件是 ()。
- A IR B ACC C PC D ALU
9. 在集中式总线仲裁中, () 方式响应时间最快, () 方式对电路故障最敏感。
- A 链式 B 独立请求 C 计数器定时查询 D 并行

得分

二、填空题 (15 分)

说明: 每个空格 1 分, 请将答案填在题目中的下划线处。

1. MIPS 作为机器运算速度的一种计量单位, 其含义是每秒执行 _____ 条指令。
2. 机器字长是指 _____。
3. 在机器数的四种表示方法中, _____ 码和 _____ 码, 零的表示形式是唯一的。
4. Cache 是一种 _____ 存储器, 是为了解决 CPU 和 _____ 之间 _____ 上不匹配而采用的一项重要硬件技术。
5. 按照系统总线传输信息的不同, 可以分成 _____ 总线、_____ 总线、_____ 总线。
6. 欲组成一个 $32K \times 8$ 的存储器, 当分别选用 $1K \times 4$, $16K \times 1$, $2K \times 8$ 的三种不同规格的存储芯片, 各需 _____、_____、_____ 片。
7. 已知 $X = +0.1101$, $[X]_{\text{补}} = \underline{\hspace{2cm}}$ $[X]_{\text{原}} = \underline{\hspace{2cm}}$ 。

得分

三、简答题 (15 分)

1. 与程序中中断相比, DMA 方式在数据传送、响应时间、处理异常、中断请求、优先级五个方面有哪些特点? (5 分)
2. 除了采用高速芯片外, 从计算机的各个子系统的角度分析, 写出 4 种提高整机速度的措施。(4 分)

3. 简述组合逻辑设计和微程序设计的设计步骤。(6分)

得分

四、计算题 (30 分)

说明：在题目下方空白处回答，要求写出计算过程。

1. 按照奇校验的原则，写出 1100 对应的汉明吗。(5 分)

2. 设主存容量为 128K*8，Cache 容量为 1K*8，块长为 32 位。(1) 在直接映射方式下，描述主存地址格式；(2) 在八路组相联映射方式下，描述主存地址格式；(3) 在全相联映射方式下，描述主存地址格式。(9 分)

3. 设机器字长为 8 位（其中含 1 位符号位），用补码运算规则完成下列运算。
 $A=0.1110101$ $B=0.1101011$ ，求 $A-B$ 的值，并判断是否溢出。（6 分）

得分

五、分析论述题 (20 分)

1. 某模型机共有 11 种操作, 操作码位数固定, 且具有以下特点。

- (1) 采用一地址或二地址格式。
- (2) 有寄存器寻址、直接寻址和相对寻址(位移量为-512 ~ +511)三种寻址方式。
- (3) 有 32 个通用寄存器, 算术逻辑运算的操作数均在寄存器中, 结果也在寄存器中。
- (4) 取数/存数指令在通用寄存器和存储器之间传递数据。
- (5) 存储器容量为 2MB, 按字节编址。

要求设计算术逻辑指令、取数/存数指令和相对转移指令的格式, 并简述理由。(12 分)

2. 设 CPU 共有 16 根地址线, 8 根数据线, 并用 \overline{MEMQ} (低电平有效)作访存控制信号, R/W 作读写命令信号(高电平为读, 低电平为写)。现有下列存储芯片: ROM(2K*8 位, 4K*4 位, 8K*8 位), RAM(1K*4 位, 2K*8 位, 4K*8 位)及 74138 译码器和其它门电路(门电路自定)。从上述规格中选用合适芯片, 使得最小 4K 地址为系统程序区, 4096~16383 地址范围为用户程序区。(8 分)

要求(1)分析系统程序区和用户程序区的地址范围, 写出对应的二进制地址码;

(2)指出选用的存储芯片的类型及数量;

(3)详细画出 CPU 和存储芯片的连接图, 包括片选逻辑。

4. $x=0.1101, y=-0.1101$, 用补码一位乘 (Booth 算法) 计算 $x*y$ 。(10 分)

自觉遵守考试规则，诚信考试，绝不作弊

装订线内不要答题

《计算机组成原理》

答案

一、基础概念（单项选择）（20分）每个空格2分

1	2	3	4	5	6	7	8	9
D	C	C	D	D	B	D	C	BA

二、填空题（15分）每个空格1分

1. 百万
2. 计算机 CPU 能直接处理的二进制数据的位数，与 CPU 的寄存器位数有关。
3. 补 移
4. 高速缓冲；主存 速度
5. 地址 控制 数据
6. 64 16 16
7. 0.1101 0.1101

三、简答题（15分）

1. （5分）每一点一分

中断方式

DMA 方式

- | | | |
|------------|--------|--------|
| (1) 数据传送 | 程序 | 硬件 |
| (2) 响应时间 | 指令执行结束 | 存取周期结束 |
| (3) 处理异常情况 | 能 | 不能 |
| (4) 中断请求 | 传送数据 | 后处理 |
| (5) 优先级 | 低 | 高 |

2. （4分）写出其中4个即可。

针对存储器，可以采用 Cache-主存层次的设计和管理提高整机的速度；（1分）

针对存储器，可以采用主存-辅存层次的设计和管理提高整机的速度；（1分）

针对存储器，可以采用多体并行设计方法提高访问速度；（1分）

针对控制器，可以通过指令流水提高整机的速度；（1分）

针对控制器，可以通过超标量设计技术提高整机的速度；（1分）

针对运算器，可以对运算方法加以改进，如进位链、两位乘法；(1分)

针对 I/O 系统，可以运用 DMA 技术来减少 CPU 对外设访问的干预。(1分)

采用多总线技术 (1分)

3.

组成逻辑设计步骤:

1. 列出操作时间表
2. 写出微操作命令的最简表达式
3. 画出逻辑图

微程序设计步骤:

1. 写出对应机器指令的微操作及节拍安排
2. 确定微指令格式
3. 编写微指令码点

四、计算题 (30 分)

1. 按照奇校验的原则，写出 1100 对应的汉明吗。(5 分)

∵ $n=4$ 根据 $2k \geq n+k+1$ 取 $k=3$

二进制序号	1	2	3	4	5	6	7
名称	C1	C2	1	C4	1	0	0

C1: $3 \text{ xor } 5 \text{ xor } 7 = 0$ 取反: 1 (1分)

C2: $3 \text{ xor } 6 \text{ xor } 7 = 1$ 取反: 0 (1分)

C4: $5 \text{ xor } 6 \text{ xor } 7 = 1$ 取反: 0 (1分)

∴ 1100 的汉明码为 1010100 (2分)

2. 设主存容量为 $128K \times 8$, Cache 容量为 $1K \times 8$, 块长为 32 位。(1) 在直接映射方式下, 描述主存地址格式; (2) 在八路组相联映射方式下, 描述主存地址格式; (3) 在全相联映射方式下, 描述主存地址格式。(9分)

- 1) 主存字块标记 缓存字块地址 块内地址 (3分)

7 位 c=8 位 2 位

- 2) 主存字块标记 组地址 块内地址 (3分)

10 位 c=5 位 2 位

- 3) 主存字块标记 块内地址 (3分)

15 位 2 位

3. 设机器字长为 8 位 (其中含 1 位符号位), 用补码运算规则完成下列运算。

$A=0.1110101$ $B=0.1101011$, 求 $A-B$ 的值, 并判断是否溢出。(6分)

$[A]_{\text{补}}=0.1110101$ (1分) $[-B]_{\text{补}}=1.0010101$ (1分)

$[A-B]_{\text{补}} \quad 0.1110101$

+1.0010101

= 0.0001010 (1 分)

所以 $A-B=+0.0001010$ (1 分) 无溢出 (1 分) 计算过程 (1 分)

4. (10 分) 要求写出计算过程。

五、分析论述题 (20 分)

1. 某模型机共有 11 种操作, 操作码位数固定, 且具有以下特点。

- (1) 采用一地址或二地址格式。
- (2) 有寄存器寻址、直接寻址和相对寻址 (位移量为 -512 ~ +511) 三种寻址方式。
- (3) 有 32 个通用寄存器, 算术逻辑运算的操作数均在寄存器中, 结果也在寄存器中。
- (4) 取数/存数指令在通用寄存器和存储器之间传递数据。
- (5) 存储器容量为 2MB, 按字节编址。

要求设计算术逻辑指令、取数/存数指令和相对转移指令的格式, 并简述理由。(12 分)

1)2)3)各 4 分

1) 算逻指令格式为寄存器-寄存器型, 取单字长为 16 位

4	2	5	5
OP	M	Ri	Rj

OP 为操作码, 4 位, 可以实现 11 种操作, M 为寻址模式, 2 位, 可以反映 (2) 中描述的 3 种寻址方式, Ri 和 Rj 各取 5 位, 区别源操作数和目标操作数的寄存器编号

2) 取数 / 存数指令格式为寄存器-存储器型, 取字长为 32 位

4	2	5	5
OP	M	Ri	A1
A2			

OP 为操作码, 4 位, 可以实现 11 种操作, M 为寻址模式, 2 位, 可以反映 (2) 中描述的 3 种寻址方式, Ri 取 5 位, 存放源操作数或目标操作数的寄存器编号 A1 和 A2 共 21 位, 为存储器地址, 可以直接访问字节编址的 2MB 存储器

3) 相对转移指令格式为一地址型, 取单字长为 16 位

4	2	10
OP	M	A

OP 为操作码, 4 位, 可以实现 11 种操作, M 为寻址模式, 2 位, 可以反映 (2) 中描述的 3 种寻址方式, A 为位移量 10 位, 对应位移量 -512 ~ +511

2. 设 CPU 共有 16 根地址线, 8 根数据线, 并用 MERQ (低电平有效) 作访存控制信号, R/W 作读写命令信号 (高电平为读, 低电平为写)。现有下列存储芯片: ROM (2K*8 位,

4K*4 位, 8K*8 位), RAM(1K*4 位, 2K*8 位, 4K*8 位)及 74138 译码器和其它门电路(门电路自定)。从上述规格中选用合适芯片, 使得最小 4K 地址为系统程序区, 4096~16383 地址范围为用户程序区。(8 分)

要求(1)分析系统程序区和用户程序区的地址范围, 写出对应的二进制地址码;

(2)指出选用的存储芯片的类型及数量;

(3)详细画出 CPU 和存储芯片的连接图, 包括片选逻辑。

(1) 系统程序区 (1 分)

A15	A14	A13	A12	A11	A10 A0
0	0	0	0	0	0 0
0	0	0	0	1	1 1

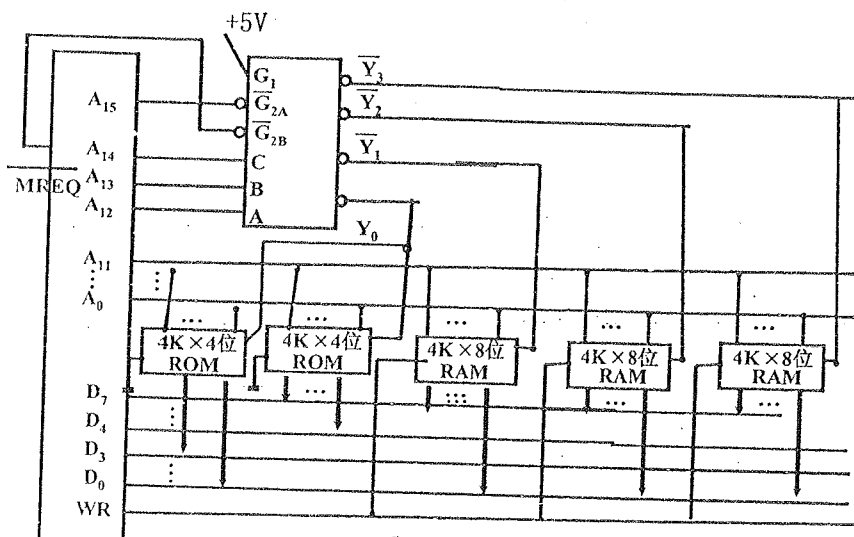
用户程序区 (1 分)

A15	A14	A13	A12	A11	A10 A0
0	0	0	1	0	0 0
0	0	1	1	1	1 1

(2) 系统程序区 选择 两片 4K*4 ROM 芯片 或者两片 2K*8 ROM 芯片 (1 分)

用户程序区 选择 3 片 4K*8 RAM 芯片 (1 分)

(3)



数据线连接 (1 分)

A0~A11 地址线连接 (1 分)

A12~A15 地址线连接 (1 分)

片选信号线连接 (1 分)

《计算机组成原理》

本试卷共 7 页； 考试时间 110 分钟；

专业 班级 学号 姓名

题号	一	二	三	四	五	总分
得分						

得分 一、基础概念（单项选择）（20 分）

说明：每个空格 2 分并且只有一个正确答案，请将答案的代号填在题目中的括号处。

1. 在机器数（ ）中，零的表示形式是唯一的。
A 原码和反码 B 反码和补码 C 原码和移码 D 补码和移码
2. 控制器中，存放指令地址的部件是（ ）
A IR B ACC C PC D ALU
3. 采用微程序设计方法设计控制单元的过程，就是编写每一条机器指令的（ ）
A 微程序 B 微指令 C 毫微程序 D 毫微指令
4. 已知 $X=+0.1101$ ， $[X]_{\text{原}} = ()$ 。
A 0.1101 B 1.1101 C 0.0010 D 1.0010
5. 已知 $[X]_{\text{补}} = 1.1001$ ， $[X]_{\text{原}} = ()$ 。
A 1.0111 B 1.1001 C 1.1000 D 1.0110
6. 按照系统总线传输信息的不同，总线可以分成三类，下面()不属于这三类。
A 控制总线 B 地址总线 C 数据总线 D 通信总线
7. 欲组成一个 $32K \times 8$ 的存储器，如选用 $1K \times 4$ 规格的存储芯片，需()片。
A 32 B 2 C 64 D 16
8. 计算机经历了从器件角度划分的四代发展历程，但从系统结构上来看，至今绝大多数计算机仍属于（ ）型计算机。
A.实时处理 B.智能化 C.并行 D.冯.诺依曼
9. 采用 DMA 方式传送数据时，每传送一个数据就要占用()的时间

- A. 一个指令周期 B. 一个机器周期 C. 一个存取周期 D. 一个总线周期

10. 中断向量地址是 ()。

- A. 子程序的入口地址 B. 中断服务子程序的入口地址
C. 存放中断服务子程序入口地址的存储单元的地址 D. 中断返回地址

得分

二、填空题 (15 分)

说明：每个空格 1 分，请将答案填在题目中的下划线处。

1. 若浮点数用补码表示，则判断运算结果是否为规格化数的方法是：_____与尾数小数点后第一位数字_____ (相同/相异)。
2. 主存储器是计算机系统中的记忆设备，它主要用来存放_____和_____。
3. CPU 响应中断的条件是_____；响应中断的时间是_____。
4. 某 SRAM 芯片，存储容量为 $64K \times 16$ 位，该芯片的地址线数目为_____，数据线数目为_____。
5. 根据操作数所在位置，操作数在寄存器中，为_____寻址方式；操作数的地址在寄存器中，为_____寻址方式；操作数在指令中，为_____寻址方式；操作数的地址在指令中，为_____寻址方式；操作数的地址为程序计数器 PC 的内容与位移量之和，为_____寻址方式；操作数的地址隐含在操作码或某个寄存器中，为_____寻址方式；操作数的地址为基址寄存器与位移量之和，为_____寻址方式。

得分

三、简答题 (15 分)

说明：在题目下方空白处进行简要回答。

1. 集中式总线仲裁方式包括哪几种？写出所有方式的名称。其中，哪种方式响应时间最快？哪种方式对电路故障最敏感？ (5 分)

2. I/O 设备与主机交换信息时，常用的控制方式有哪些？写出其中三种。 (6 分)

3. 简述存取周期与存取时间的区别 (4 分)

得分

四、计算题 (30 分)

说明：在题目下方空白处回答，要求写出计算过程。

1. 已知接收到的汉明码(按配偶原则配置)为 1100100，检查上述代码是否出错？第几位出错？实际需要传送的信息是什么？ (6 分)

2. 设相对寻址的转移指令占 3 个字节，第一个字节为操作码，第二、三字节为相对位移量(补码表示)，而且数据在存储器中采用以低字节地址为字地址的存放方式。每当 CPU 从存储器取出一个字节时，即自动完成 $(PC)+1=PC$ 。若 PC 当前值为 0111H，要求转移到 0300H，则转移指令的第二、三字节的机器代码是什么？ (4 分)

3. $x=0.10011$, $y=-0.10101$, 用原码一位乘算法计算 $x*y$ 。(10 分)

自觉遵守考试规则，诚信考试，绝不作弊
装订线内不要答题

4. 按机器补码浮点运算步骤计算 $X+Y$, 其中 $X=2^{011} \times 0.101100$, $Y=2^{010} \times (-0.011100)$,
(阶符取 2 位, 数符取 2 位, 阶码的数值部分取 3 位, 尾数的数值部分取 6 位)
(10 分)

自觉遵守考试规则, 诚信考试, 绝不作弊

装订线内不要答题

得分

五、分析论述题 (20 分)

1. 某 8 位微型机地址码为 18 位, 若使用 $4K \times 4$ 位的 RAM 芯片组成模块板结构的存储器, 试分析: (8 分)

- 1) 该机所允许的最大主存空间是多少?
- 2) 若每个模块板为 $32K \times 8$ 位, 需几个模块板?
- 3) 每个模块板内共有几片 RAM 芯片?
- 4) 共有多少片 RAM?
- 5) CPU 如何选择各模块板? 分析地址格式的分配情况。

2. 某模型机共有 10 种操作, 操作码位数固定, 且具有以下特点。

- (1) 采用一地址或二地址格式。
- (2) 有寄存器寻址、直接寻址和相对寻址(位移量为 $-512 \sim +511$) 三种寻址方式。
- (3) 有 32 个通用寄存器, 算术逻辑运算的操作数均在寄存器中, 结果也在寄存器中。
- (4) 取数/存数指令在通用寄存器和存储器之间传递数据。
- (5) 存储器容量为 2MB, 按字节编址。

要求设计算术逻辑指令、取数/存数指令和相对转移指令的格式, 并简述理由。(12 分)

《计算机组成原理》

答案

一、基础概念（单项选择）（20分）每个空格2分

1	2	3	4	5	6	7	8	9	10
D	A	A	A	A	D	C	D	C	C

二、填空题（15分）每个空格1分

1. 数符 相异
2. 数据 程序
3. 必须满足CPU中的允许中断触发器EINT为“1”；
每条指令执行阶段的结束时刻
4. 16 16
5. 寄存器 寄存器间接 立即 直接 相对 隐含 基址

三、简答题（15分）

1. 集中式总线仲裁方式包括哪几种？写出所有方式的名称。其中，哪种方式响应时间最快？哪种方式对电路故障最敏感？（5分）

链式查询、计数器定时查询、独立请求方式（3分）

响应时间最快：独立请求方式(1分) 对电路故障最敏感：链式查询(1分)

2. I/O设备与主机交换信息时，常用的控制方式有哪些？写出其中三种。

查询、中断、DMA（共6分）

3. 简述存取周期与存取时间的区别（4分）

存取时间又称为存储器的访问时间，是指启动一次存储器操作（读或写）到完成该操作所需的全部时间。（2分）

存取周期是指存储器进行连续两次独立的存储器操作（如连续两次读操作）所需的最小间隔时间。（2分）

四、计算题（30分）

1. 已知接收到的汉明码(按配偶原则配置)为1100100，检查上述代码是否出错？第几位出错？实际需要传送的信息是什么？（6分）

第1位	第2位	第3位	第4位	第5位	第6位	第7位
1	1	0	0	1	0	0

$$P4 = 4 \oplus 5 \oplus 6 \oplus 7 = 0 \oplus 1 \oplus 0 \oplus 0 = 1 \quad (1 \text{ 分})$$

$$P2 = 2 \oplus 3 \oplus 6 \oplus 7 = 1 \oplus 0 \oplus 0 \oplus 0 = 1 \quad (1 \text{ 分})$$

$$P1 = 1 \oplus 3 \oplus 5 \oplus 7 = 1 \oplus 0 \oplus 1 \oplus 0 = 0 \quad (1 \text{ 分})$$

$P4P2P1=110$ 第6位出错, 应该为1, 实际传送的信息是0110 或者写成1100110 (2分)

计算过程 (1分)

2. 设相对寻址的转移指令占3个字节, 第一个字节为操作码, 第二、三字节为相对位移量(补码表示), 而且数据在存储器中采用以低字节地址为字地址的存放方式。每当CPU从存储器取出一个字节时, 即自动完成 $(PC)+1=PC$ 。若PC当前值为0111H, 要求转移到0300H, 则转移指令的第二、三字节的机器代码是什么? (4分)

$$0111H+3=0114H \quad (1 \text{ 分})$$

$$0300H-0114H=01ECH \quad (1 \text{ 分})$$

第二字节的机器代码是: ECH (1分) 第三字节的机器代码是: 01H (1分)

3. $x=0.10011, y=-0.10101$, 用原码一位乘算法计算 $x*y$ 。(10分)

要求写出计算过程。

4. 按机器补码浮点运算步骤计算 $X+Y$, 其中 $X=2^{-011} \times 0.101100, Y=2^{-010} \times (-0.011100)$, (阶符取2位, 数符取2位, 阶码的数值部分取3位, 尾数的数值部分取6位) (10分)

$$[x]_{\#} = 11, 101; 00.101100 (2 \text{ 分}) \quad [y]_{\#} = 11, 110; 11.100100 (2 \text{ 分})$$

对阶:

$$[\Delta]_{\#} = [j_x]_{\#} - [j_y]_{\#} = 11, 101 + 00, 010 = 11, 111 \quad \text{即 } \Delta_j = -1, (1 \text{ 分})$$

则x的尾数向右移一位, 阶码相应加1, 即 $[x']_{\#} = 11, 110; 00.010110 \quad (1 \text{ 分})$

② 求和(1分)

$$[S_x]_{\#}' + [S_y]_{\#}' = [S_x]_{\#}' + [S_y]_{\#}' = 00.010110 + 11.100100 = 11.111010$$

$$\text{即} \quad [x+y]_{\#} = 11, 110; 11.111010$$

③ 规格化, 左规, 移 3 位后得 $[x+y]_H = 11,011; 11.010000$
 所以, $X+Y=2^{-101}*(-0.110000)$

(1 分)
 (1 分)

计算步骤 (2 分)

五、分析论述题 (20 分)

1. 某 8 位微型机地址码为 18 位, 若使用 $4K \times 4$ 位的 RAM 芯片组成模块板结构的存储器,

试分析: (8 分)

1) 该机所允许的最大主存空间是多少?

2) 若每个模块板为 $32K \times 8$ 位, 需几个模块板?

3) 每个模块板内共有几片 RAM 芯片?

4) 共有多少片 RAM?

5) CPU 如何选择各模块板? 分析地址格式的分配情况。

1) $2^{18}=256K$, 最大主存空间是 $256K \times 8$ 位(或 256KB) (2 分)

2) 模块板总数 $= 256K \times 8 / 32K \times 8 = 8$ 块; (1 分)

3) 板内片数 $= 32K \times 8 \text{ 位} / 4K \times 4 \text{ 位} = 8 \times 2 = 16$ 片; (1 分)

4) 总片数 $= 16 \text{ 片} \times 8 = 128$ 片; $256K \times 8 / 4K \times 4 = 128$ (1 分)

5) CPU 通过最高 3 位地址译码选板, 次高 3 位地址译码选片。地址格式分配如下:
 (3 分)

模块板地址	片地址	片内地址
3 位	3 位	12 位

2. 某模型机共有 10 种操作, 操作码位数固定, 且具有以下特点。

(1) 采用一地址或二地址格式。

(2) 有寄存器寻址、直接寻址和相对寻址(位移量为 $-512 \sim +511$)三种寻址方式。

(3) 有 32 个通用寄存器, 算术逻辑运算的操作数均在寄存器中, 结果也在寄存器中。

(4) 取数/存数指令在通用寄存器和存储器之间传递数据。

(5) 存储器容量为 2MB, 按字节编址。

要求设计算术逻辑指令、取数/存数指令和相对转移指令的格式, 并简述理由。(12 分)

1)2)3)各 4 分

1) 算逻指令格式为寄存器-寄存器型，取单字长为 16 位

4	2	5	5
OP	M	Ri	Rj

OP 为操作码，4 位，可以实现 11 种操作，M 为寻址模式，2 位，可以反映 (2) 中描述的 3 种寻址方式，Ri 和 Rj 各取 5 位，区别源操作数和目标操作数的寄存器编号

2) 取数 / 存数指令格式为寄存器-存储器型，取字长为 32 位

4	2	5	5
OP	M	Ri	A1
A2			

OP 为操作码，4 位，可以实现 11 种操作，M 为寻址模式，2 位，可以反映 (2) 中描述的 3 种寻址方式，Ri 取 5 位，存放源操作数或目标操作数的寄存器编号 A1 和 A2 共 21 位，为存储器地址，可以直接访问字节编址的 2MB 存储器

3) 相对转移指令格式为一地址型，取单字长为 16 位

4	2	10
OP	M	A

OP 为操作码，4 位，可以实现 11 种操作，M 为寻址模式，2 位，可以反映 (2) 中描述的 3 种寻址方式，A 为位移量 10 位，对应位移量 -512 ~ +511

《计算机组成原理》 试卷

本试卷共 7 页； 考试时间 110 分钟；

专业 班级 学号 姓名

题号	一	二	三	四	五	总分
得分						

得分

一、基础概念（单项选择）（20 分）

说明：每个空格 2 分并且只有一个正确答案，请将答案的代号填在题目中的括号处。

- 在 CPU 中，记录下一条指令地址的寄存器是（ ）。
A. 指令寄存器 B. 程序计数器 C. 地址寄存器 D. 状态条件寄存器
- 已知 $[X]_{\text{移}} = 11111111$ ，则用十进制表示时 X 的真值是（ ）。
A. +127 B. +1 C. -127 D. -1
- 系统总线中控制总线的功能是：（ ）。
A. 提供主存、I/O 接口设备的控制信号和响应信号 B. 提供数据信息
C. 提供时序信息 D. 提供主存、I/O 接口设备的响应信号
- 堆栈寻址方式中，SP 中存放的是栈顶地址，SP 的修改与主存编址方法有关。如果主存按字节编址，那么当存储字长为 16 位的数据进栈操作时，SP 的修改结果为（ ）。
A. $(SP)+1 \rightarrow SP$ B. $(SP)+2 \rightarrow SP$ C. $(SP)-1 \rightarrow SP$ D. $(SP)-2 \rightarrow SP$
- 一个 $256K \times 8$ 的存储器，其地址线和数据线总和为（ ）。
A. 16 B. 18 C. 26 D. 20
- 主存储器是计算机系统记忆设备，它主要用来（ ）。
A. 存放数据 B. 存放程序 C. 存放微程序 D. 存放数据和程序
- 下列数中最小的数是（ ）。
A. $(100101)_2$ B. $(20)_{10}$ C. 'A' D. $(625)_{16}$

8. 存储器进行连续两次独立的存储器操作(如连续两次读)所需的最小间隔时间称为 ()

- A 存取时间 B 存取周期 C 存储速度 D 存储器带宽

9. 控制器中, 具有自动加 1 功能的部件是 ()

- A IR B ACC C PC D ALU

10. 若浮点数用补码表示, 则判断运算结果是否为规格化数的方法是 ()。

- A 阶符与数符相同为规格化数
B 阶符与数符相异为规格化数
C 数符与尾数小数点后第一位数字相异为规格化数
D 数符与尾数小数点后第一位数字相同为规格化数

得分

二、填空题 (15 分)

说明: 每个空格 1 分, 请将答案填在题目中的下划线处。

1. 如果浮点数阶码的数值位取 m 位, 尾数的数值位取 n 位, 当浮点数基数为 2 时, 最大正数为 _____, 非 0 最小正数为 _____, 最大负数为 _____, 最小负数为 _____。

2. I/O 设备有 _____ 编址和 _____ 编制两种方式。

3. 按照系统总线传输信息的不同, 可以分成 _____ 总线、_____ 总线、_____ 总线。

4. 在浮点运算过程中, 对阶原则是: _____ 向 _____ 看齐。

5. RISC 的中文含义是 _____, CISC 的中文含义是 _____。

6. Cache 是一种高速缓冲存储器, 是为了解决 CPU 和 _____ 之间 _____ 上不匹配而采用的一项重要硬件技术。

得分

三、简答题 (15 分)

说明: 在题目下方空白处进行简要回答。

1. 什么是中断隐指令? 中断隐指令完成哪些操作? (4 分)

2. 当十六进制数 BBH 分别表示为原码、反码、补码、移码、无符号数时, 所对应的真值分别为多少? 真值用十进制数表示。(设机器数采用 1 位符号位) (5 分)

3. 分别解释指令字长、机器字长和存储字长的概念 (6 分)

得分

四、计算题 (30 分)

说明: 在题目下方空白处回答, 要求写出计算过程。

1. 设机器数字长为 8 位 (含 1 位符号位), 若一次移位需要 $1\mu\text{s}$, 一次加法需要 $1\mu\text{s}$, 计算原码一位乘、补码一位乘 (BOOTH 算法)、补码加减交替法最多各需多少时间? (6 分)

2. $x = -0.10100, y = 0.11101$, 用原码加减交替法计算 $x \div y$ 。(10 分)

自觉遵守考试规则, 诚信考试, 绝不作弊
装订线内不要答题

3. 按机器补码浮点运算步骤计算 $X+Y$ ，其中 $X=2^{-011} \times 0.011100$ ， $Y=2^{-001} \times (-0.110101)$ ，阶符取 2 位，数符取 2 位，阶码的数值部分取 3 位，尾数的数值部分取 6 位。(10 分)

自觉遵守考试规则，诚信考试，绝不作弊

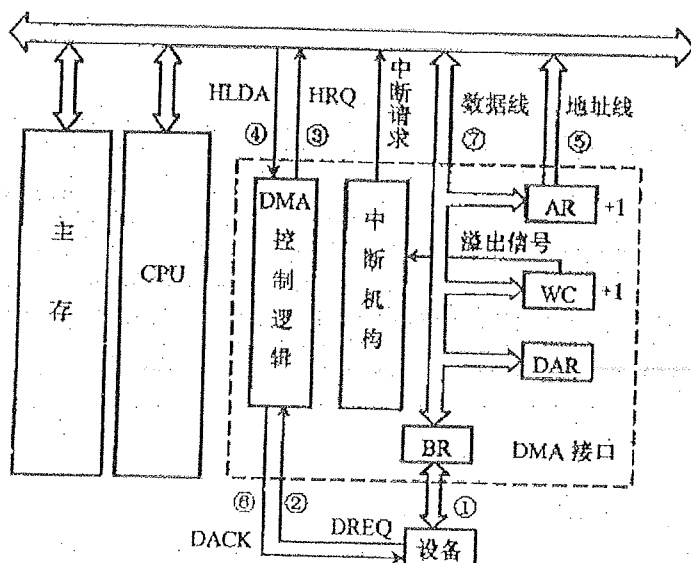
装订线内不要答题

4. 欲组成一个 $32K \times 16$ 的存储器，当分别选用 $2K \times 4$, $32K \times 1$, $2K \times 8$, $1K \times 16$ 的四种不同规格的存储芯片时，各需多少片？(4 分)

得分

五、分析论述题 (20 分)

1. DMA 方式接口电路的基本组成框图如下所示, 以输入设备为例说明其工作过程。(8 分)



2. 某模型机共有 90 种操作, 操作码位数固定, 且具有以下特点。(12 分)

- (1) 指令字长固定为 16 位。
- (2) 有寄存器寻址、直接寻址、相对寻址、寄存器间接寻址、间接寻址五种寻址方式。
- (3) 有 8 个通用寄存器, 算术逻辑指令的操作数均在寄存器中, 结果也在寄存器中。
- (4) 取数/存数指令在通用寄存器和存储器之间传递数据。

要求 (1) 采用二地址格式设计算术逻辑指令, 并简述理由。

(2) 采用二地址格式设计取数/存数指令格式, 并简述可访问存储器的地址范围。

(3) 采用一地址格式设计相对转移指令格式, 并简述相对寻址的位移量的范围。

《计算机组成原理》

答案

一、基础概念（单项选择）（20分）每个空格2分

1	2	3	4	5	6	7	8	9	10
B	A	A	D	A	D	B	B	C	C

二、填空题（15分）每个空格1分

$$1. 2^{(2n-1) \times (1-2^{-n})} \quad 2^{-(2n-1) \times 2^{-n}} \quad -2^{-(2n-1) \times 2^{-n}} \quad -2^{(2n-1) \times (1-2^{-n})}$$

2. 统一 不统一

3. 数据 控制 地址

4. 小阶 大阶

5. 精简指令系统计算机 复杂指令系统计算机

6. 主存 速度

三、简答题（15分）

1. 什么是中断隐指令？中断隐指令完成哪些操作？（4分）

中断隐指令是指机器指令系统中没有的指令，是CPU在中断周期内由硬件自动完成的一条指令。（1分）中断隐指令完成的操作包括：保护中断（1分）、寻找入口地址（1分）、关中断（1分）

2. 当十六进制数BBH分别表示为原码、反码、补码、移码、无符号数时，所对应的真值分别为多少？真值用十进制数表示。（设机器数采用1位符号位）（5分）

BBH=10111011B

[x] 原=BBH	X=-0111011	(x) ₁₀ = -59	(1分)
[x] 反=BBH	X=-1000100	(x) ₁₀ = -68	(1分)
[x] 补=BBH	X=-1000101	(x) ₁₀ = -69	(1分)
[x] 移=BBH	X=+0111011	(x) ₁₀ = +59	(1分)
[x] 无符号数=BBH	X=10111011	(x) ₁₀ = +187	(1分)

3. 分别解释指令字长、机器字长和存储字长的概念（6分）

指令字长：一条指令的长度，操作码和数据地址码位数之和。(2分)

机器字长：计算机 CPU 能直接处理的二进制数据的位数，与 CPU 的寄存器位数有关。(2分)

存储字长：一个存储单元可以存储的一串二进制代码的位数。(2分)

四、计算题 (30 分)

1. 设机器数字长为 8 位(含 1 位符号位)，若一次移位需要 $1\mu s$ ，一次加法需要 $1\mu s$ ，计算原码一位乘、补码一位乘 (BOOTH 算法)、补码加减交替法最多各需多少时间？(6 分)

原码一位乘： $7+7=14$ (2 分)

补码一位乘 (BOOTH 算法)： $8+7=15$ (2 分)

补码加减交替法： $7+7=14$ (2 分)

2. $x = -0.10100, y = 0.11101$ ，用原码加减交替法计算 $x \div y$ 。(10 分)

3. 按机器补码浮点运算步骤计算 $X+Y$ ，其中 $X=2^{-011} \times 0.011100$ ， $Y=2^{-001} \times (-0.110101)$ ，阶符取 2 位，数符取 2 位，阶码的数值部分取 3 位，尾数的数值部分取 6 位。(10 分)

计算 $[x]_H$ (2 分) 计算 $[y]_H$ (2 分)

对阶：计算 $[\Delta]_H$ ，求 Δ_i

根据 Δ_i 写出 $[x]_H'$ 和 $[y]_H'$ (1 分)

② 求和(1 分)

$$[S_x]_H' + [S_y]_H' = ?$$

③ 规格化 (1 分)

$$X+Y=?$$

(1 分)

计算步骤 (2 分)

4. 欲组成一个 $32K \times 16$ 的存储器, 当分别选用 $2K \times 4$, $32K \times 1$, $2K \times 8$, $1K \times 16$ 的四种不同规格的存储芯片时, 各需多少片? (4 分)

$2K \times 4$: $32K \times 16 / 2K \times 4 = 64$ (1 分)

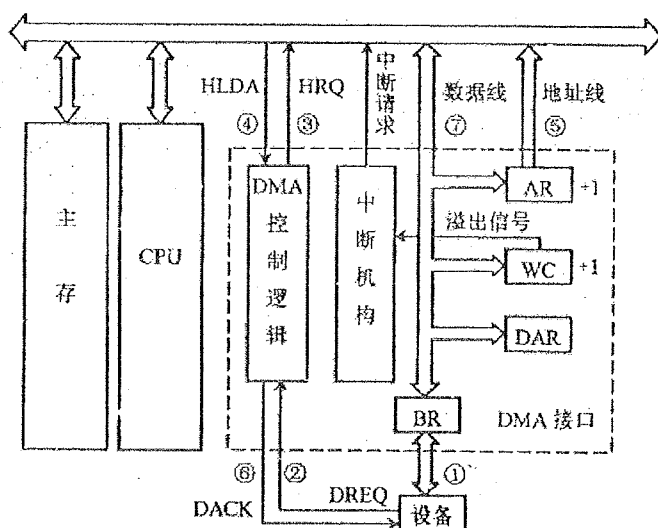
$32K \times 1$: $32K \times 16 / 32K \times 1 = 16$ (1 分)

$2K \times 8$: $32K \times 16 / 2K \times 8 = 32$ (1 分)

$1K \times 16$: $32K \times 16 / 1K \times 16 = 32$ (1 分)

五、分析论述题 (20 分)

1. DMA 方式接口电路的基本组成框图如下所示, 以输入设备为例说明其工作过程。(8 分)



- 1) 从设备读入一个字到 DMA 的数据缓冲寄存器 BR 中, 表示数据缓冲寄存器“满”
- 2) 设备向 DMA 接口发请求 (DREQ)
- 3) DMA 接口向 CPU 申请总线控制权 (HRQ)
- 4) CPU 发回 HLDA 信号, 表示允许将总线控制权交给 DMA 接口
- 5) 将 DMA 主存地址寄存器中的主存地址送地址总线
- 6) 通知设备已被授予一个 DMA 周期(DACK), 并为交换下一个字做准备
- 7) 将 DMA 数据缓冲寄存器的内容送数据总线

8)命令存储器作写操作

9)修改主存地址和字计数值

10)判断数据块是否传送结束,若未结束,则继续传送,若已结束,则向 CPU 中请程序中断,标志数据块传送结束

2. 某模型机共有 90 种操作,操作码位数固定,且具有以下特点。(12 分)

(1) 指令字长固定为 16 位。

(2) 有寄存器寻址、直接寻址、相对寻址、寄存器间接寻址、间接寻址五种寻址方式。

(3) 有 8 个通用寄存器,算术逻辑指令的操作数均在寄存器中,结果也在寄存器中。

(4) 取数/存数指令在通用寄存器和存储器之间传递数据。

要求 (1) 采用二地址格式设计算术逻辑指令,并简述理由。

(2) 采用二地址格式设计取数/存数指令格式,并简述可访问存储器的地址范围。

(3) 采用一地址格式设计相对转移指令格式,并简述相对寻址的位移量的范围。

1)2)3)各 4 分

1) 算逻指令格式为寄存器-寄存器型,字长为 16 位

7	3	3	3
OP	M	Ri	Rj

OP 为操作码,7 位,可以实现 90 种操作,M 为寻址模式,3 位,可以反映 (2) 中描述的 5 种寻址方式,Ri 和 Rj 各取 3 位,区别源操作数和目标操作数的寄存器编号

2) 取数 / 存数指令格式为寄存器-存储器型,取字长为 16 位

7	3	3	3
OP	M	Ri	Al

OP 为操作码,7 位,可以实现 90 种操作,M 为寻址模式,3 位,可以反映 (2) 中描述的 5 种寻址方式,Ri 取 3 位,存放源操作数或目标操作数的寄存器编号,Al 为 3 位,为存储器地址,可以直接访问字节编址的存储器的地址范围: $0 \sim 7$

3) 相对转移指令格式为一地址型,取字长为 16 位

7	3	6
OP	M	A

OP 为操作码,7 位,可以实现 90 种操作,M 为寻址模式,3 位,可以反映 (2) 中描述的 5 种寻址方式,A 为位移量 6 位,对应位移量 $-32 \sim +31$

《计算机组成原理》

本试卷共 7 页； 考试时间 110 分钟；

专业 班级 学号 姓名

题号	一	二	三	四	五	总分
得分						

得分

一、基础概念（单项选择）（20 分）

说明：每个空格 2 分并且只有一个正确答案，请将答案的代号填在题目中的括号处。

- 寄存器间接寻址方式中，操作数处在（ ）。
A. 通用寄存器 B. 主存单元 C. 程序计数器 D. 堆栈
- 若浮点数用补码表示，则判断运算结果是否为规格化数的方法是（ ）。
A 阶符与数符相同为规格化数
B 阶符与数符相异为规格化数
C 数符与尾数小数点后第一位数字相异为规格化数
D 数符与尾数小数点后第一位数字相同为规格化数
- 下列数中最小的数是（ ）。
A. $(100101)_2$ B. $(20)_{10}$ C. $(100010)_{BCD}$ D. $(625)_{16}$
- 存储器进行连续两次独立的存储器操作(如连续两次读)所需的最小间隔时间称为（ ）。
A 存取时间 B 存取周期 C 存储速度 D 存储器带宽
- 在定点运算器中，无论采用双符号位还是单符号位，必须有（ ），它一般用异或门来实现。
A 译码电路 B 编码电路 C 溢出判断电路 D 移位电路
- 操作数的地址在指令中，为（ ）寻址方式。
A 直接 B 寄存器 C 立即 D 间接
- 某 SRAM 芯片，存储容量为 $64K \times 16$ 位，该芯片的地址线 and 数据线数目为（ ）。
A 64, 16 B 16, 64 C 64, 8 D 16, 16。

8. 堆栈寻址方式中, SP 中存放的是栈顶地址, SP 的修改与主存编址方法有关。如果主存按字节编址, 那么当存储字长为 16 位的数据进栈操作时, SP 的修改结果为()。
- A. $(SP)+1 \rightarrow SP$ B. $(SP)+2 \rightarrow SP$ C. $(SP)-1 \rightarrow SP$ D. $(SP)-2 \rightarrow SP$

9. 主存贮器和 CPU 之间增加 cache 的目的是 ()。

- A 解决 CPU 和主存之间的速度匹配问题
B 扩大主存贮器容量
C 扩大 CPU 中通用寄存器的数量
D 既扩大主存贮器容量, 又扩大 CPU 中通用寄存器的数量

10. 计算机经历了从器件角度划分的四代发展历程, 但从系统结构上来看, 至今绝大多数计算机仍属于 () 型计算机。

- A. 实时处理 B. 智能化 C. 并行 D. 冯·诺依曼

得分

二、填空题 (15 分)

说明: 每个空格 1 分, 请将答案填在题目中的下划线处。

- 按照系统总线传输信息的不同, 可以分为_____总线、_____总线、_____总线。
- 字长为 8 位时, 无符号数的表示范围是_____。
- 欲组成一个 $32K \times 8$ 的存储器, 当分别选用 $1K \times 4$ 、 $16K \times 1$ 、 $2K \times 8$ 的三种不同规格的存储芯片, 各需_____、_____、_____片。
- 当十六进制数 FFH 分别表示为原码、反码、补码、移码、无符号数时, 所对应的真值分别为_____、_____、_____、_____、_____。
(设机器数采用 1 位符号位, 真值数用十进制表示)。
- 冯诺依曼计算机中, 指令和数据都是以_____进制数表示。
- 由于单片存储芯片的容量是有限的, 因此必须将若干存储芯片连接在一起才能组成足够容量的存储器, 这称之为存储容量的扩展, 通常有字扩展、_____和_____三种扩展方式。

得分

三、简答题 (15 分)

说明: 在题目下方空白处进行简要回答。

- 通常 DMA 与主存交换数据时采用哪几种方法? 请写出这些方法的名称。(3 分)

2. 分别解释指令字长、机器字长和存储字长的概念。(6分)

3. 简述组合逻辑设计和微程序设计的设计步骤。(6分)

得分

四、计算题(30分)

说明：在题目下方空白处回答，要求写出计算过程。

1. 设机器数字长为 24 位，欲表示±3 万的十进制数，试问在保证数的最大精度的前提下，除阶符、数符各取 1 位外，阶码、尾数各取几位？按这样分配，溢出的条件是什么？(6分)

2. 设机器数字长为 8 位(含 1 位符号位), 若一次移位需要 $1\mu s$, 一次加法需要 $1\mu s$, 计算原码一位乘、补码一位乘 (BOOTH 算法)、补码加减交替法最多各需多少时间? (6 分)

3. 设机器字长为 8 位 (其中含 1 位符号位), 用补码运算规则完成下列运算。

$$A = \frac{19}{32} \quad B = -\frac{13}{64}, \quad \text{求 } A+B, \text{ 并判断是否溢出。 (6 分)}$$

自觉遵守
考试规则,
诚信考试,
绝不作弊
装订线
内
不
要
答
题

4. 将 $+\frac{17}{256}$ 写成二进制定点数、浮点数及在定点机和浮点机中的机器数形式(包括原码、反码、补码)。其中小数点后的数值部分取 10 位，数符取 1 位，浮点数阶码取 5 位(含 1 位阶符)。(6 分)

5. 假设 CPU 执行某段程序时共访问 Cache 命中 4800 次，访问主存 200 次，已知 Cache 的存取周期是 30ns，主存的存取周期是 150ns，计算 Cache 的命中率以及 Cache-主存系统的平均访问时间及效率。(6 分)

得分

五、分析论述题 (20 分)

1. 某模型机共有 100 种操作，操作码位数固定，且具有以下特点。(12 分)

- (1) 指令字长固定为 16 位。
- (2) 有寄存器寻址、直接寻址、相对寻址、寄存器间接寻址、间接寻址五种寻址方式。
- (3) 有 8 个通用寄存器，算术逻辑指令的操作数均在寄存器中，结果也在寄存器中。
- (4) 取数/存数指令在通用寄存器和存储器之间传递数据。

要求 (1) 采用二地址格式设计算术逻辑指令，并简述理由。

(2) 采用二地址格式设计取数/存数指令格式，并简述可访问存储器的地址范围。

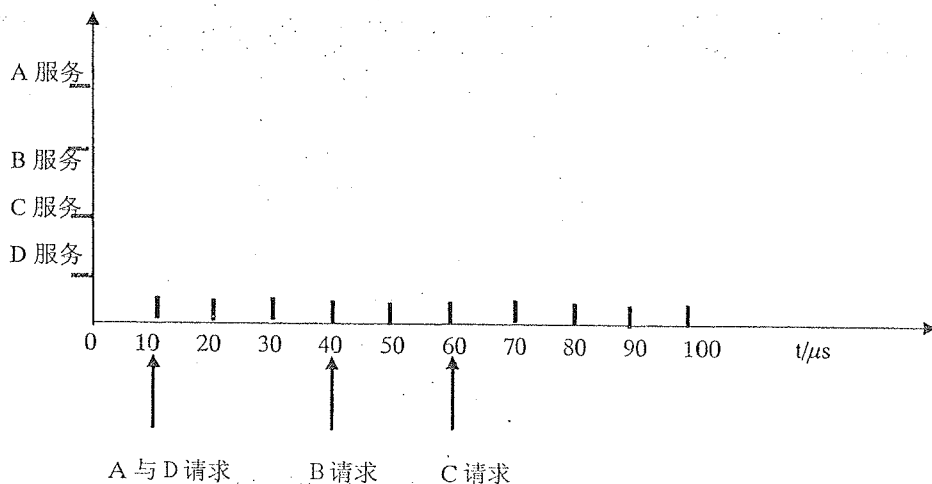
(3) 采用一地址格式设计相对转移指令格式，并简述相对寻址的位移量的范围。

2. 设某机有 4 个中断源 A、B、C、D，按中断响应的优先次序由高到低排序为 A→B→C→D，为了改变中断处理次序，各中断源的屏蔽字如下所示。 (8 分)

中断源	屏蔽字			
	0	1	2	3
A	1	1	0	0
B	0	1	0	0
C	1	1	1	0
D	1	1	1	1

(1) 根据上述屏蔽字，在下方空白处写出新的中断处理次序(优先次序由高到低排序)。

(2) 若中断服务程序的执行时间为 $20\mu s$ ，根据下图所示时间轴给出的中断源的请求时刻，画出 CPU 执行程序的轨迹。



《计算机组成原理》

答案

一、基础概念（单项选择）（20分）每个空格2分

1	2	3	4	5	6	7	8	9	10
B	C	B	B	C	A	D	D	A	D

二、填空题（15分）每个空格1分

1. 数据 地址 控制

2. 0~255

3. 64 16 16

4. -127,-0,-1,127,255

5. 二

6 位， 字位

三、简答题（15分）

1. 通常 DMA 与主存交换数据时采用哪几种方法？请写出这些方法的名称。（3分）

(1) 停止 CPU 访问主存

(2) 周期挪用（或周期窃取）

(3) DMA 与 CPU 交替访问

2. 分别解释指令字长、机器字长和存储字长的概念。（6分）

指令字长：一条指令的长度，操作码和数据地址码位数之和。（2分）

机器字长：计算机 CPU 能直接处理的二进制数据的位数，与 CPU 的寄存器位数有关。

（2分）

存储字长：一个存储单元可以存储的一串二进制代码的位数。（2分）

3. 简述组合逻辑设计和微程序设计的设计步骤。（6分）

每一点一分

组成逻辑设计步骤：

1. 列出操作时间表 2. 写出微操作命令的最简表达式 3. 画出逻辑图

微程序设计步骤:

1. 写出对应机器指令的微操作及节拍安排
2. 确定微指令格式
3. 编写微指令码点

四、计算题 (30 分)

1. 设机器数字长为 24 位, 欲表示 ± 3 万的十进制数, 试问在保证数的最大精度的前提下, 除阶符、数符各取 1 位外, 阶码、尾数各取几位? 按这样分配, 溢出的条件是什么? (6 分)

$$2^{15} = 32768$$

所以 阶码最小 = 4 (2 分)

$$\text{尾数} = 24 - 1 - 1 - 4 = 18 \quad (2 \text{ 分})$$

溢出条件: 上溢: 大于 $2^{15} \times (1 - 2^{-18})$ 或 小于 $-2^{15} \times (1 - 2^{-18})$

(1 分)

下溢: 大于 $-2^{15} \times (2^{-18})$ 并且 小于 $2^{15} \times (2^{-18})$

(1 分)

2. 设机器数字长为 8 位 (含 1 位符号位), 若一次移位需要 $1\mu s$, 一次加法需要 $1\mu s$, 计算原码一位乘、补码一位乘 (BOOTH 算法)、补码加减交替法最多各需多少时间? (6 分)

$$\text{原码一位乘: } 7 + 7 = 14 \quad (2 \text{ 分})$$

$$\text{补码一位乘 (BOOTH 算法): } 8 + 7 = 15 \quad (2 \text{ 分})$$

$$\text{补码加减交替法: } 7 + 7 = 14 \quad (2 \text{ 分})$$

3. 设机器字长为 8 位 (其中含 1 位符号位). 用补码运算规则完成下列运算。

$$A = \frac{19}{32} \quad B = -\frac{13}{64}, \quad \text{求 } A+B, \text{ 并判断是否溢出。 (6 分)}$$

$$A = 0.1001100 \quad B = -0.0011010 \quad (1 \text{ 分})$$

$$[A]_{\text{补}} = 0.1001100 \quad (1 \text{ 分}) \quad [B]_{\text{补}} = 1.1100110 \quad (1 \text{ 分})$$

$$[A]_{\text{补}} + [B]_{\text{补}} = 0.1001100$$

$$+ 1.1100110$$

$$[A+B]_{\text{补}} = 0.0110010 \quad (1 \text{ 分})$$

$$A+B = 0.0110010 \quad (1 \text{ 分}) \quad \text{无溢出 (1 分)}$$

4. 将 $+\frac{17}{256}$ 写成二进制定点数、浮点数及在定点机和浮点机中的机器数形式(包括原码、反码、补码)。其中小数点后的数值部分取 10 位, 数符取 1 位, 浮点数阶码取 5 位(含 1 位阶符)。(6 分)

$$+\frac{17}{256} = +0.00010001 = 0.10001 \times 2^{-11}$$

定点数(原码、反码、补码): 0.00010001 (3 分)

浮点数: 原码 1,0011;0.1000100000 (1 分)

反码 1,1100;0.1000100000 (1 分)

补码 1,1101;0.1000100000 (1 分)

5. 假设 CPU 执行某段程序时共访问 Cache 命中 4800 次, 访问主存 200 次, 已知 Cache 的存取周期是 30ns, 主存的存取周期是 150ns, 计算 Cache 的命中率以及 Cache-主存系统的平均访问时间及效率。(6 分)

解: 命中率: $4800/(4800+200) = 96\%$ (2 分)

平均访问时间: $30\text{ns} \times 96\% + 150\text{ns} \times (1-96\%) = 34.8\text{ns}$ (2 分)

效率: $30\text{ns}/34.8\text{ns} = 86.2\%$ (2 分)

五、分析论述题 (20 分)

1. 某模型机共有 100 种操作, 操作码位数固定, 且具有以下特点。(12 分)

- (1) 指令字长固定为 16 位。
- (2) 有寄存器寻址、直接寻址、相对寻址、寄存器间接寻址、间接寻址五种寻址方式。
- (3) 有 8 个通用寄存器, 算术逻辑指令的操作数均在寄存器中, 结果也在寄存器中。
- (4) 取数/存数指令在通用寄存器和存储器之间传递数据。

要求 (1) 采用二地址格式设计算术逻辑指令, 并简述理由。

(2) 采用二地址格式设计取数/存数指令格式, 并简述可访问存储器的地址范围。

(3) 采用一地址格式设计相对转移指令格式, 并简述相对寻址的位移量的范围。

1)2)3)各 4 分

1) 算逻指令格式为寄存器-寄存器型，字长为 16 位

7	3	3	3
OP	M	Ri	Rj

OP 为操作码，7 位，可以实现 100 种操作，M 为寻址模式，3 位，可以反映 (2) 中描述的 5 种寻址方式，Ri 和 Rj 各取 3 位，区别源操作数和目标操作数的寄存器编号

2) 取数 / 存数指令格式为寄存器-存储器型，取字长为 16 位

7	3	3	3
OP	M	Ri	A1

OP 为操作码，7 位，可以实现 100 种操作，M 为寻址模式，3 位，可以反映 (2) 中描述的 5 种寻址方式，Ri 取 3 位，存放源操作数或目标操作数的寄存器编号，A1 为 3 位，为存储器地址，可以直接访问字节编址的存储器的地址范围：0~7

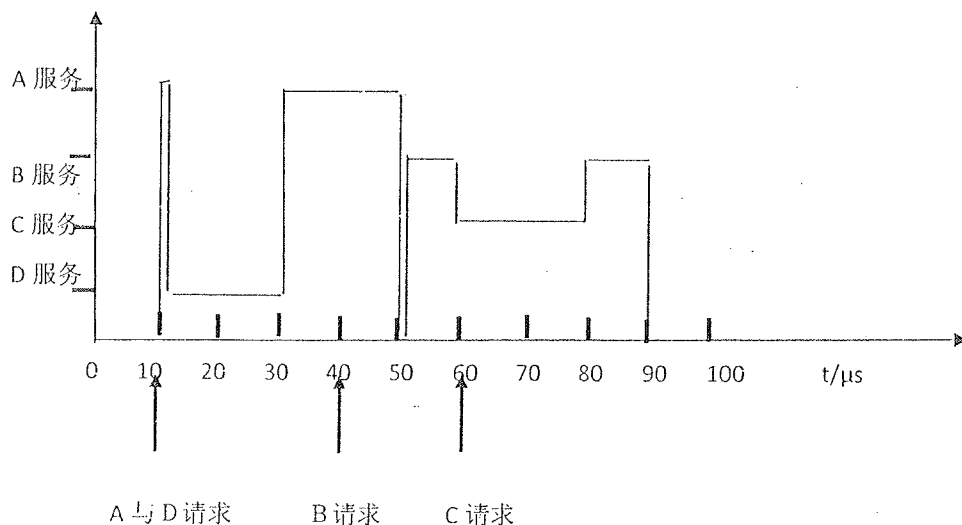
3) 相对转移指令格式为一地址型，取字长为 16 位

7	3	6
OP	M	A

OP 为操作码，7 位，可以实现 100 种操作，M 为寻址模式，3 位，可以反映 (2) 中描述的 5 种寻址方式，A 为位移量 6 位，对应位移量 -32 ~ +31

2. (1) 新的中断处理次序(优先次序由高到低排序)。D-C-A-B (2 分)

(2) 若中断服务程序的执行时间为 20 μ s，根据下图所示时间轴给出的中断源的请求时刻，画出 CPU 执行程序的轨迹。 6 段处理轨迹，共 6 分



计算机组成原理复习题

一、选择题

1. 某机字长 32 位, 其中 1 位符号位, 31 位表示尾数。若用定点小数表示, 则最大正小数 为 B。
A $+(1 - 2^{-32})$ B $+(1 - 2^{-31})$ C 2^{-32} D 2^{-31}
2. 存储单元是指 B。
A 存放一个二进制信息位的存储元
B 存放一个机器字的所有存储元集合
C 存放一个字节的存储元集合
D 存放两个字节的存储元集合
3. 变址寻址方式中, 操作数的有效地址等于 C。
A 基址寄存器内容加上形式地址 (位移量)
B 堆栈指示器内容加上形式地址 (位移量)
C 变址寄存器内容加上形式地址 (位移量)
D 程序计数器内容加上形式地址 (位移量)
4. 计算机使用总线结构的主要优点是便于实现积木化, 同时 C。
A 减少了信息传输量
B 提高了信息传输的速度
C 减少了信息传输线的条数
D 加重了 CPU 的工作量
5. 有处理器的设备一般称为 A 设备。
A 智能化 B 交互式 C 远程通信 D 过程控制
6. 若浮点数用补码表示, 则判断运算结果是否为规格化数的方法是 C。
A 阶符与数符相同为规格化数
B 阶符与数符相异为规格化数
C 数符与尾数小数点后第一位数字相异为规格化数
D 数符与尾数小数点后第一位数字相同为规格化数
7. 定点 16 位字长的字, 采用 2 的补码形式表示时, 一个字所能表示的整数范围是 A。
A $-2^{15} \sim +(2^{15} - 1)$ B $-(2^{16} - 1) \sim +(2^{15} - 1)$
C $-(2^{15} + 1) \sim +2^{15}$ D $-2^{15} \sim +2^{15}$
8. 某 SRAM 芯片, 存储容量为 $64K \times 16$ 位, 该芯片的地址线 and 数据线数目为 D。
A 64, 16 B 16, 64 C 64, 8 D 16, 6
9. 交叉存储器实质上是一种 A 存储器, 它能 执行 独立的读写操作。
A 模块式, 并行, 多个 B 模块式串行, 多个
C 整体式, 并行, 一个 D 整体式, 串行, 多个
10. 用某个寄存器中操作数的寻址方式称为 C 寻址。
A 直接 B 间接 C 寄存器直接 D 寄存器间接
11. 计算机的外围设备是指 D。
A 输入/输出设备 B 外存储器
C 远程通信设备 D 除了 CPU 和内存以外的其它设备
12. 中断向量地址是: C。
A 子程序入口地址 B 中断服务例行程序入口地址
C 中断服务例行程序入口地址的指示器 D 中断返回地址

13. 冯·诺依曼机工作的基本方式的特点是 B。
- A 多指令流单数据流
B 按地址访问并顺序执行指令
C 堆栈操作
D 存储器按内容选择地址
14. 在机器数 B 中，零的表示形式是唯一的。
- A 原码 B 补码 C 移码 D 反码
15. 在定点二进制运算器中，减法运算一般通过 D 来实现。
- A 原码运算的二进制减法器
B 补码运算的二进制减法器
C 原码运算的十进制加法器
D 补码运算的二进制加法器
16. 主存储器和 CPU 之间增加 cache 的目的是 A。
- A 解决 CPU 和主存之间的速度匹配问题
B 扩大主存储器容量
C 扩大 CPU 中通用寄存器的数量
D 既扩大主存储器容量，又扩大 CPU 中通用寄存器的数量
17. 单地址指令中为了完成两个数的算术运算，除地址码指明的一个操作数外，另一个常需采用 C。
- A 堆栈寻址方式 B 立即寻址方式 C 隐含寻址方式 D 间接寻址方式
18. 描述 PCI 总线中基本概念不正确的句子是 C D。
- A. PCI 总线是一个与处理器无关的高速外围设备
B. PCI 总线的基本传输机制是猝发或传送
C. PCI 设备一定是主设备
D. 系统中只允许有一条 PCI 总线
19. CRT 的分辨率为 1024×1024 像素，像素的颜色数为 256，则刷新存储器的容量为 B。
- A 512KB B 1MB C 256KB D 2MB
20. 为了便于实现多级中断，保存现场信息最有效的办法是采用 B。
- A 通用寄存器 B 堆栈 C 存储器 D 外存
21. 8 位定点字长的字，采用 2 的补码表示时，一个字所能表示的整数范围是 A。
- A. $-128 \sim +127$ B. $-127 \sim +127$ C. $-129 \sim +128$ D. $-128 \sim +128$
22. 下面浮点运算器的描述中正确的句子是： AC。
- A. 浮点运算器可用阶码部件和尾数部件实现
B. 阶码部件可实现加、减、乘、除四种运算
C. 阶码部件只进行阶码相加、相减和比较操作
D. 尾数部件只进行乘法和减法运算
23. 双端口存储器在 B 情况下会发生读/写冲突。
- A. 左端口与右端口的地址码不同
B. 左端口与右端口的地址码相同
C. 左端口与右端口的数据码不同
D. 左端口与右端口的数据码相同
24. 寄存器间接寻址方式中，操作数处在 B。
- A. 通用寄存器 B. 主存单元 C. 程序计数器 D. 堆栈

25. 微程序控制器中，机器指令与微指令的关系是 B。
- 每一条机器指令由一条微指令来执行
 - 每一条机器指令由一段微指令编写的微程序来解释执行
 - 每一条机器指令组成的程序可由一条微指令来执行
 - 一条微指令由若干条机器指令组成
26. 一张 3.5 寸软盘的存储容量为 A MB，每个扇区存储的固定数据是_____。
- 1.44MB, 512B
 - 1MB, 1024B
 - 2MB, 256B
 - 1.44MB, 512KB
27. 发生中断请求的条件是 C。
- 一条指令执行结束
 - 一次 I/O 操作结束
 - 机器内部发生故障
 - 一次 DMA 操作结束
28. 计算机系统中的存贮器系统是指 D。
- RAM 存贮器
 - ROM 存贮器
 - 主存贮器
 - 主存贮器和外存贮器
29. 某计算机字长 32 位，其存储容量为 16MB，若按双字编址，它的寻址范围是 2M。
- 0—16MB
 - 0—8M
 - 0—8MB
 - 0—16MB
30. 程序控制类指令的功能是 D。
- 进行算术运算和逻辑运算
 - 进行主存与 CPU 之间的数据传送
 - 进行 CPU 和 I / O 设备之间的数据传送
 - 改变程序执行顺序
31. 由于 CPU 内部的操作速度较快，而 CPU 访问一次主存所花的时间较长，因此机器周期通常用 A 来规定。
- 主存中读取一个指令字的最短时间
 - 主存中读取一个数据字的最长时间
 - 主存中写入一个数据字的平均时间
 - 主存中读取一个数据字的平均时间
32. 系统总线中控制线的功能是 A。
- 提供主存、I / O 接口设备的控制信号响应信号
 - 提供数据信息
 - 提供时序信号
 - 提供主存、I / O 接口设备的响应信号
33. IEEE1394 的高速特性适合于新型高速硬盘和多媒体数据传送，它的数据传输率可以是 ABC。
- 100 兆位 / 秒
 - 200 兆位 / 秒
 - 400 兆位 / 秒
 - 300 兆位 / 秒
34. 完整的计算机应包括 D。
- 运算器、存储器、控制器；
 - 外部设备和主机；
 - 主机和实用程序；
 - 配套的硬件设备和软件系统；
35. 用 64 位字长（其中 1 位符号位）表示定点小数时，所能表示的数值范围是 B。
- $[0, 2^{64} - 1]$
 - $[0, 2^{63} - 1]$
 - $[0, 2^{62} - 1]$
 - $[0, 2^{63}]$

36. 机字长 32 位, 存储容量为 1MB, 若按字编址, 它的寻址范围是 C。
 A 0—1M B 0—512KB C 0—256K D 0—256KB
37. 堆栈寻址方式中, 设 A 为通用寄存器, SP 为堆栈指示器, M_{SP} 为 SP 指示器的栈顶单元, 如果操作的动作是: $(A) \rightarrow M_{SP}$, $(SP) - 1 \rightarrow SP$, 那么出栈的动作应是 B。
 A $(M_{SP}) \rightarrow A$, $(SP) + 1 \rightarrow SP$;
 B $(SP) + 1 \rightarrow SP$, $(M_{SP}) \rightarrow A$;
 C $(SP) - 1 \rightarrow SP$, $(M_{SP}) \rightarrow A$;
 D $(M_{SP}) \rightarrow A$, $(SP) - 1 \rightarrow SP$;
38. 指令周期是指 C。
 A CPU 从主存取出一条指令的时间 ;
 B CPU 执行一条指令的时间 ;
 C CPU 从主存取出一条指令加上 CPU 执行这条指令的时间 ;
 D 时钟周期时间 ;
39. 在 A 的微型计算机系统中, 外设可和主存贮器单元统一编址, 因此可以不使用 I / O 指令。
 A 单总线 B 双总线 C 三总线 D 多总线
40. 在微型机系统中, 外围设备通过 A 与主板的系统总线相连接。
 A 适配器 B 设备控制器 C 计数器 D 寄存器
41. 至今为止, 计算机中的所有信息仍以二进制方式表示的理由是 C。
 A. 节约元件; B 运算速度快; C 物理器件的性能决定; D 信息处理方便;
42. 用 32 位字长 (其中 1 位符号位) 表示定点小数是, 所能表示的数值范围是 B。
 A $[0, 1 - 2^{-32}]$ B $[0, 1 - 2^{-31}]$ C $[0, 1 - 2^{-30}]$ D $[0, 1]$
43. 已知 X 为整数, 且 $[X]_{\text{补}} = 10011011$, 则 X 的十进制数值是 B。
 A +155 B -101 C -155 D +101
44. 主存储器是计算机系统的记忆设备, 它主要用来 C。
 A 存放数据 B 存放程序 C 存放数据和程序 D 存放微程序
45. 微型机算计系统, 其操作系统保存在软盘上, 其内存储器应该采用 C。
 A RAM B ROM C RAM 和 ROM D CCP
46. 指令系统采用不同寻址方式的目的是 B。
 A 实现存贮程序和程序控制;
 B 缩短指令长度, 扩大寻址空间, 提高编程灵活性;
 C 可直接访问外存;
 D 提供扩展操作码的可能并降低指令译码的难度;
47. 在 CPU 中跟踪指令后继地址的寄存器是 B。
 A 主存地址寄存器 B 程序计数器 C 指令寄存器 D 状态条件寄存器
48. 系统总线地址的功能是 D。
 A 选择主存单元地址;
 B 选择进行信息传输的设备;
 C 选择外存地址;
 D 指定主存和 I / O 设备接口电路的地址;
49. 某寄存器中的值有时是地址, 因此只有计算机的 C 才能识别它。
 A 译码器 B 判断程序 C 指令 D 时序信号
50. 用 16 位字长 (其中 1 位符号位) 表示定点整数时, 所能表示的数值范围是 B。
 A $[0, 2^{16} - 1]$ B $[0, 2^{15} - 1]$ C $[0, 2^{14} - 1]$ D $[0, 2^{15}]$

51. 在定点运算器中, 无论采用双符号位还是单符号位, 必须有 C, 它一般用 _____ 来实现。
- A 译码电路, 与非门 ;
B 编码电路, 或非门 ;
C 溢出判断电路, 异或门 ;
D 移位电路, 与或非门 ;
52. 以下四种类型的半导体存储器中, 以传输同样多的字为比较条件, 则读出数据传输率最高的是 C。
- A DRAM B SRAM C 闪速存储器 D EPROM
53. 异步控制常用于 A 作为其主要控制方式。
- A 在单总线结构计算机中访问主存与外围设备时 ;
B 微型机的 CPU 控制中 ;
C 组合逻辑控制的 CPU 中 ;
D 微程序控制器中 ;
54. 多总线结构的计算机系统, 采用 C 方法, 对提高系统的吞吐率最有效。
- A 多口存储器 ;
B 提高主存的速度 ;
C 交叉编址多模块存储器 ;
D 高速缓冲存储器 ;
55. 磁盘驱动器向盘片磁层记录数据时采用 B 方式写入。
- A 并行 B 串行 C 并行—串行 D 串行—并行
56. IEEE1394 所以能实现数据传送的实时性, 是因为 C。
- A 除异步传送外, 还提供等步传送方式 ;
B 提高了时钟频率 ;
C 除优先权仲裁外, 还提供均等仲裁, 紧急仲裁两种总线仲裁方式 ;
D 提高了时钟频率 ;
57. 八位微型计算机中乘除法大多数用 A 实现。
- A 软件 B 硬件 C 固件 D 专用片子
58. 算术右移指令执行的操作是 B。
- A 符号位填 0, 并顺次右移 1 位, 最低位移至进位标志位 ;
B 符号位不变, 并顺次右移 1 位, 最低位移至进位标志位 ;
C 进位标志位移至符号位, 顺次右移 1 位, 最低位移至进位标志位 ;
D 符号位填 1, 并顺次右移 1 位, 最低位移至进位标志位 ;
59. 美国视频电子标准协会定义了一个 VGA 扩展集, 将显示方式标准化, 这称为著名的 B 显示模式。
- A AVGA B SVGA C VESA D EGA
60. CPU 响应中断时, 进入“中断周期”, 采用硬件方法保护并更新程序计数器 PC 内容, 而不是由软件完成, 主要是为了 A。
- A 能进入中断处理程序, 并能正确返回源程序 ;
B 节省主存空间 ;
C 提高处理机速度 ;
D 易于编制中断处理程序 ;
61. 定点 16 位字长的字, 采用 2 的补码形式表示时, 一个字所能表示的整数范围 A。
- A $-2^{15} \sim +(2^{15} - 1)$ B $-(2^{15} - 1) \sim +(2^{15} - 1)$

C $-(2^{15} + 1) - +2^{15}$ D $-2^{15} - +2^{15}$

定点计算器用来进行 B。

A 十进制数加法运算；

B 定点数运算；

C 浮点数运算；

D 既进行定点数运算也进行浮点数运算；

104. 某 DRAM 芯片，其存储容量为 $512K \times 8$ 位，该芯片的地址线 and 数据线数目为 D。

A 8, 512 B 512, 8 C 18, 8 D 19, 8

62. 双端口存储器所以能高速进行读 / 写，是因为采用 B。

A 高速芯片 B 两套相互独立的读写电路 C 流水技术 D 新型器件

63. 二地址指令中，操作数的物理位置可安排在 B, C, D。

A 栈顶和次栈顶 B 两个主存单元 C 一个主存单元和一个寄存器 D 两个寄存器

65. CD-ROM 光盘是 B 型光盘，可用做计算机的 存储器和数字化多媒体设备。

A 重写，内 B 只读，外 C 一次，外 D 多次，内

66. 在单级中断系统中，CPU 一旦响应中断，则立即关闭 C 标志，以防本次中断服务结束前同级的其他中断源产生另一次中断进行干扰。

A 中断允许 B 中断请求 C 中断屏蔽 D 中断保护

67. 用 16 位字长（其中一位符号位）表示定点小数时，所能表示的数值范围是 B。

A. $0 \leq |N| \leq 1 - 2^{-(16-1)}$ B. $0 \leq |N| \leq 1 - 2^{-16}$

C. $0 \leq |N| \leq 1 - 2^{-(16-1)}$ D. $0 \leq |N| \leq 1$

68. 运算器虽有许多部件组成，但核心部件是 B。

A. 数据总线 B. 算术逻辑运算单元 C. 多路开关 D. 累加寄存器

69. 某计算机字长 32 位，其存储容量为 4MB，若按字编址，它的寻址范围是 A。

A. 0--1M B. 0--4MB C. 0--4M D. 0--1MB

70. 为确定下一条微指令的地址，通常采用断定方式，其基本思想是 C。

A. 用程序计数器 PC 来产生后继微指令地址

B. 用微程序计数器 μPC 来产生后继微指令地址

C. 通过微指令顺序控制字段由设计者指定或由设计者指定的判别字段控制产生后继微指令地址

D. 通过指令中指定一个专门字段来控制产生后继微指令地址

71. 为了使设备相对独立，磁盘控制器的功能全部转移到设备中，主机与设备间采用 A 接口。

A. SCSI B. 专用 C. ESDI D. RISC

72. I/O 标准接口 SCSI 中，一块主适配器可以连接 7~15 台具有 SCSI 接口的设备。

A. 6 B. 7 C. 8 D. 10

73. 没有外存贮器的计算机监控程序可以存放在 B。

A. RAM B. ROM C. RAM 和 ROM D. CPU

74. 如果浮点数用补码表示，则判断下列哪一项的运算结果是规格化数 C。

A 1.11000 B 0.01110 C 1.00010 D 0.0101

75. 虚拟存储器中，当程序正在执行时，由 D 完成地址映射。

A 程序员 B 编译器 C 装入程序 D 操作系统

76. 同步控制是 C。

A 只适用于 CPU 控制的方式 B 只适用于外围设备控制的方式

C 由统一时序信号控制的方式 D 所有指令执行时间都相同的方式

78. 机字长 16 位, 它的存储容量是 64K, 若按字编址, 那么它的寻址范围是 B。
- A. $0 \sim 64K$ B. $0 \sim 32K$ C. $0 \sim 64KB$ D. $0 \sim 32KB$
80. 若 $[X]_{\text{补}} = 11010011$, 则 X 的十进制数真值是 -45。
- A. 71 B. 48 C. 65 D. 63
81. 相联存储器是按 C 进行寻址的存储器。
- A. 地址指定方式 B. 堆栈存取方式 C. 内容指定方式 D. 地址指定与堆栈
82. 下面描述的 RISC 机器基本概念中不正确的句子是 ACD。
- A. RISC 机器不一定是流水 CPU B. RISC 机器一定是流水 CPU
C. RISC 机器有复杂的指令系统 D. CPU 配置很少的通用寄存器
83. 下列数中最大的数为 B。
- A. $(10010101)_2$ B. $(227)_8$
C. $(96)_8$ D. $(143)_8$
84. IEEE754 标准规定的 32 位浮点数中, 符号位为 1 位, 阶码为 8 位, 则它所能表示的最大规格化正数为 A。
- A. $+(2 - 2^{-23}) \times 2^{+127}$ B. $+(1 - 2^{-23}) \times 2^{+127}$ C. $+(2 - 2^{-23}) \times 2^{+255}$
D. $2^{+127} + 2^{+27}$
85. 操作控制器的功能是 D。
- A. 产生时序信号 B. 从主存取出一条指令 C. 完成指令操作的译码
D. 从主存取出指令, 完成指令操作码译码并产生有关的操作控制信号, 以解释执行该指令
86. 3.5 英寸软盘记录方式采用 C。
- A. 单石双密度 B. 双石双密度
C. 双面高密度 D. 双石单密度
87. 通道对 CPU 的请求形式是 B。
- A. 自陷 B. 中断 C. 通道命令 D. 跳转指令
- CPU 对通道是 I/O 指令
88. 某机字长 32 位, 其中 1 位符号位, 31 位表示尾数。若用定点整数表示, 则最大正整数是 A。
- A. $+(2^{31}-1)$ B. $+(2^{30}-1)$ C. $+2^{31}$ D. $+2^{32}$
89. 描述流水 CPU 基本概念不正确的句子是 ABC。
- A. 流水 CPU 是以空间并行性为原理构造的处理器
B. 流水 CPU 一定是 RISC 机器
C. 流水 CPU 一定是多媒体 CPU
D. 流水 CPU 是一种非常经济而实用的时间并行技术
90. 通道程序是由 B 组成。
- A. I/O 指令 B. 通道指令 (通道控制字) C. 通道状态字
91. 下列数中最小的数是 C。
- A. $(100101)_2$ B. $(50)_8$ C. $(100010)_{BCD}$ D. $(625)_{16}$
92. D 表示法主要用于表示浮点数中的阶码。
- A. 原码 B. 补码 C. 反码 D. 移码
93. 下四种类型指令中, 执行时间最长的是 C。
- A. RR 型指令 B. RS 型指令 C. SS 型指令 D. 程序控制指令
95. 下述 I/O 控制方式中, B 主要由程序实现。
- A. PPU 方式 B. 中断方式 C. DMA 方式 D. 通道方式

96. 运算器的描述, C 是正确的。
 A. 只做加法 B. 只做算术运算
 C. 既做算术运算又做逻辑运算 D. 只做逻辑运算
97. EPROM 是指 D。
 A. 读写存储器 B. 只读存储器 C. 闪速存储器 D. 光擦除可编程只读存储器
98. 常用的虚拟存储系统由 B 两级存储器组成, 其中辅存是大容量的磁表石存储器。
 A. cache—主存 B. 主存—辅存 C. cache—辅存 D. 通用寄存器—主存
99. CPU 主要包括 B。
 A. 控制器 B. 控制器、运算器、cache C. 运算器和主存 D. 控制器、ALU 和主存
100. 在集中式总线仲裁中, B 方式响应时间最快, A 方式对电路故障最敏感。
 A. 菊花链 B. 独立请求 C. 计数器定时查询
101. 一个 8 位的二进制整数, 若采用补码表示, 且由 3 个“1”和 5 个“0”组成, 则最小值为 C。
 A. -127 B. -32 C. -125 D. -3
102. 计算机经历了从器件角度划分的四代发展历程, 但从系统结构上来看, 至今绝大多数计算机仍属于 D 型计算机。
 A. 实时处理 B. 智能化 C. 并行 D. 冯·诺依曼
103. 在多级存储体系中, “cache—主存”结构的作用是解决 D 的问题。
 A. 主存容量不足 B. 主存与辅存速度不匹配
 C. 辅存与 CPU 速度不匹配 D. 主存与 CPU 速度不匹配
104. 采用虚拟存储器的主要目的是 B。
 A. 提高主存贮器的存取速度
 B. 扩大主存贮器的存贮空间, 并能进行自动管理和调度
 C. 提高外存贮器的存取速度
 D. 扩大外存贮器的存贮空间

二、填空题

- 存储 A. 程序 并按 B. 地址 顺序执行, 这是 C. 冯·诺依曼 型计算机的工作原理。
- 移码表示法主要用于表示 A. 浮点 数的阶码 E, 以利于比较两个 B. 指数 的大小和 C. 对阶 操作。
- 闪速存储器能提供高性能、低功耗、高可靠性及 A. 瞬间启动 能力, 为现有的 B. 存储器 体系结构带来巨大变化, 因此作为 C. 固态硬盘 用于便携式电脑中。
- 寻址方式按操作数的 A. 物理 位置不同, 多使用 B. RR 和 C. RS 型, 前者比后者执行速度快。
- 微程序设计技术是利用 A. 软件 方法设计 B. 操作控制 的一门技术。具有完整性、可维护性、C. 灵活性 等一系列优点。
- 衡量总线性能的重要指标是 A. 总线带宽, 它定义为总线本身所能达到的最高 B. 传输速率。PCI 总线的带宽可达 C. 264MB / S。
- A 技术的出现使得 A. 外围设备 可通过 B. DMA 控制器 直接访问 C. 内存。DMA 技术的出现使得 外围设备 可以通过 DMA 控制器 直接访问 内存, 与此同时, CPU 可以继续执行程序。

8. 为了运算器的 A. 高速性，采用了 B. 先行 进位，C. 阵列 乘法流水线等并行措施。
9. 相联存储器不按地址而是按 A. 内容 访问的存储器，在 cache 中用来存放 B. 行地址表，在虚拟存储器中用来存放 C. 页表和段表。
10. 一个较完善的指令系统应包含 A. 数据传送 类指令，B. 算术运算 类指令，C. 逻辑运算 类指令，程序控制类指令，I/O 类指令，字符串类指令，系统控制类指令。
11. 硬布线器的设计方法是：先画出 A. 指令周期 流程图，再利用 B. 布尔代数 写出综合逻辑表达式，然后用 C. 门电路、触发器或可编程逻辑 等器件实现。
12. 当代流行的标准总线内部结构包含 A. 数据传送 总线，B. 仲裁 总线，C. 中断和同步 总线，公用总线。
13. 磁表面存储器主要技术指标有 A. 存储密度，B. 存储容量，C. 平均存取时间，数据传输率。
14. 在计算机术语中，将运算器和控制器合在一起称为 A. CPU，而将 B. CPU 和存储器合在一起称为 C. 主机。
15. 数的真值变成机器码可采用 A. 原码 表示法，B. 补码 表示法，C. 反码 表示法，移码表示法。
16. 广泛使用的 A. SRAM 和 B. DRAM 都是半导体随机读写存储器。前者的速度比后者快，但 C. 集成度 不如后者高。
17. 形成指令地址的方式，称为 A. 指令寻址 方式，有 B. 顺序 寻址和 C. 跳跃 寻址。
18. CPU 从 A. 存储器 取出一条指令并执行这条指令的时间和称为 B. 指令周期。由于各种指令的操作功能不同，各种指令的指令周期是 C. 不相同的。
19. 微型机计算机的标准总线从 16 位的 A. ISA 总线，发展到 32 位的 B. EISA 总线和 C. VISA 总线，又进一步发展到 64 位的 PCI 总线。
20. VESA 标准是一个可扩展的标准，它除兼容传统的 A. VGA 等显示方式外，还支持 B. 1280×1024 像素光栅，每像素点 C. 24 位 颜色深度。
21. 中断处理过程可以 A. 嵌套 进行。B. 优先级高 的设备可以中断 C. 优先级低 的中断服务程序。
22. 一个定点数由 A. 符号位 和 B. 数值域 两部分组成。根据小数点位置不同，定点数有 C. 纯小数 和纯整数之分。
23. 对存储器的要求是 A. 容量大，B. 速度快，C. 成本低。为了解决这三方面的矛盾，计算机采用多级存储体系结构。
24. 指令系统是表征一台计算机性能的重要因素，它的 A. 格式 和 B. 功能 不仅影响到机器的硬件结构，而且也影响到 C. 系统软件。
25. 当今的 CPU 芯片除了包括定点运算器和控制器外，还包括 A. Cache，B. 浮点 运算器和 C. 存储 管理等部件。
26. 总线是构成计算机系统的 A. 互联机构，是多个 B. 系统功能 部件之间进行数据传送的 C. 公共 通道。
27. 每一种外设都是在它自己的 A. 设备控制器 控制下进行工作，而 A 则通过 B. 适配器 和 C. 主机 相连并受 C 控制。
28. 在计算机系统中，CPU 对外围设备的管理处程序查询方式、程序中断方式外，还有 A.

直接内存访问 (DMA) 方式, B. 通道 方式, 和 C. 外围处理机 方式。

29. Cache 是一种 A. 高速缓冲 存储器, 是为了解决 CPU 和主存之间 B. 速度 不匹配而采用的一项重要硬件技术。现发展为多级 cache 体系, C. 指令 cache 和数据 cache 分设体系。

31. RISC 指令系统的最大特点是: A. 指令条数少; B. 指令长度固定; C. 指令格式和寻址方式 种类少。只有取数 / 存数指令访问存储器。

32. 并行处理技术已成为计算机技术发展的主流。它可贯穿于信息加工的各个步骤和阶段。概括起来, 主要有三种形式 A. 时间 并行; B. 空间 并行; C. 时间+空间 并行。

33. 为了解决多个 A. 主设备 同时竞争总线, B. 控制权 必须具有 C. 总线仲裁 部件。

34. 软磁盘和硬磁盘的 A. 存储 原理与 B. 记录 方式基本相同, 但在 C. 结构 和性能上存在较大差别。

35. 主存与 cache 的地址映射有 A. 全相联、B. 直接、C. 组相联 三种方式。其中组相连方式适度地兼顾了前二者的优点, 又尽量避免其缺点, 从灵活性、命中率、硬件投资来说较为理想。

36. 流水 CPU 是以 A. 时间并行性 为原理构造的处理器, 是一种非常 B. 经济而实用 的并行技术。目前的 C. 高性能 微处理器几乎无一例外的使用了流水技术。

37. 计算机的硬件包括 A. 运算器, B. 存储器, C. 控制器 适配器, 输入输出部分。

38. 按 IEEE764 标准, 一个浮点数由 A. 符号位 S, 阶码 E, 尾数 m 三部分组成。其中阶码 E 的值等于指数的 B. 基值 E 加上一个固定 C. 偏移量。

39. 存储器的技术指标有 A. 存储容量, B. 存储时间, C. 存储周期, 存储器带宽。

41. CPU 中至少有如下六类寄存器, 除了 A. 指令 寄存器, B. 程序 计数器, C. 地址 寄存器外, 还应有通用寄存器, 状态条件寄存器, 数据缓冲寄存器。

42. 总线有 A. 物理 特性, B. 功能 特性, 电气特性, C. 时间 特性。

43. 不同的 CRT 显示标准所支持的最大 A. 分辨率 和 B. 颜色 数目是 C. 不同 的。

44. 中断处理需要有中断 A. 优先级仲裁, 中断 B. 向量 产生, 中断 C. 控制逻辑 等硬件支持。

45. 指令格式中, 地址码字段是通过 A. 寻址方式 来体现的, 因为通过某种方式的变换, 可以给出 B. 操作数有效 地址。常用的指令格式有零地址指令、单地址指令、C. 二地址指令 三种。

46. 双端口存储器和多模块交叉存储器属于 A. 并行 存储器结构。前者采用 B. 空间并行 技术, 后者采用 C. 时间并行 技术。

47. 堆栈是一种特殊的 A. 数据 寻址方式, 它采用 B. 先进后出 原理。按结构不同, 分为 C. 寄存器堆栈 和存储器堆栈。

48. 硬布线控制器的基本思想是: 某一微操作控制信号是 A. 指令操作码 译码输出, B. 时序 信号和 C. 状态条件 信号的逻辑函数。

49. 当代流行的标准总线追求与 A. 结构、B. CPU、C. 技术 无关的开发标准。

50. CPU 周期也称为 A. 机器周期; 一个 CPU 周期包含若干个 B. 时钟周期。任何一条指令的指令周期至少需要 C. 2 个 CPU 周期。

52. RISC CPU 是克服 CISC 机器缺点的基础上发展起来的, 它具有的三个基本要素是: (1) 一个有限的 A. 简单指令系统; (2) CPU 配备大量的 B. 通用寄存器; (3) 强调 C. 指令流水线 的优化。

53. 总线仲裁部件通过采用 A. 优先级 策略或 B. 公平 策略, 选择其中一个主设备作为总线的下一次主方, 接管 C. 总线控制权。

54. 重写型光盘分 A. 磁光盘 和 B. 相变盘 两种, 用户可对这类光盘进行 C. 随机写入, 擦除或重写 信息。
55. 多个用户共享主存时, 系统应提供 A. 存储保护。通常采用的方法是 B. 存储区域保护和 C. 访问方式 保护, 并用硬件来实现。
56. 在计算机系统中, 多个系统部件之间信息传送的公共通路称为 A. 总线。就其所传送信息的性质而言, 在公共通路上传送的信息包括数据、B. 地址、C. 控制 信息。
57. 设 D 为指令中的形式地址, I 为基址寄存器, PC 为程序计数器。若有效地址 $E = (PC) + D$, 则为 A. 相对寻址方式; 若 $E = (I) + D$, 则为 B. 基址寻址方式; 若为相对间接寻址方式, 则有效地址为 C. $E = ((PC) + D)$ 。
58. 在进行浮点加减法运算时, 需要完成 A. 对阶、尾数求和、B. 结果规格化、舍入处理和 C. 溢出处理 等步骤。
59. 多媒体 CPU 是带有 A. MMX 技术的处理器。它是一种 B. 多媒体扩展结构 技术, 特别适合于 C. 图像数据 处理。
60. 总线定时是总线系统的核心问题之一。为了同步主方、从方的操作, 必须制订 A. 定时协议。通常采用 B. 同步 定时和 C. 异步 定时两种方式。
61. 通道与 CPU 分时使用 A. 内存, 实现了 B. CPU 内部数据处理 和 C. I/O 并行 工作。
62. 动态半导体存储器的刷新一般有 A. 集中刷新、B. 分散刷新 和 C. 异步刷新 三种方式。
63. 存储器堆栈中, 需要一个 A. 堆栈指示器, 它是 CPU 中的一个专用寄存器, 堆栈指示器指定的 C. 存储单元 就是堆栈的 D. 栈顶。
64. 2000 年超级计算机最高运算速度达到 A. 10000 亿 次。我国的 B. 神威 号计算机的运算速度达到 3840 亿次, 使我国成为 C. 美国, 日本 之后, 第三个拥有高速计算机的国家。
66. 对存储器的要求是 A. 性能, B. 格式, C. 功能。为了解决这方面的矛盾, 计算机采用多级存储体系结构。
70. 若 $[x_1]_{\text{补}} = 11001100$, $[x_2]_{\text{补}} = 1.0110$, 则数 x_1 和 x_2 的十进制数真值分别是 A. -52 和 B. -0.375。
73. 指令格式中, 指令操作码字段表征指令的 A. 操作, 特征与功能, 而地址码字段指示 B. 操作数的地址。微小型机多采用 C. 二地址, 单地址, 零地址 混合方式的指令格式。
74. CPU A. 存储器 取出一条指令并执行这条指令的时间和称为 B. 指令周期。由于各种指令的操作功能不同, 各种指令的指令周期是 C. 不相同的, 但在流水线 CPU 中要力求做到 C. 一致。
76. 显示适配器作为 CRT 和 CPU 的接口由 A. 刷新 存储器、B. 显示 控制器、C. ROM BIOS 三部分组成。
77. 根据地址格式不同, 虚拟存储器分为 A. 页式、B. 段式 和 C. 段页式 三种。
78. CPU 从主存取出一条指令并执行该指令的时间叫做 A. 指令周期, 它常用若干个 B. 机器周期 来表示, 而后者又包含有若干个 C. 时钟周期。
79. 为运算器构造的 A. 简单性, 运算方法中通常采用 B. 补码 加减法, C. 原码 乘法或补码乘法。
86. 微程序控制器主要由 A. 控制存储器, B. 微指令寄存器 和 C. 地址转移逻辑 三大部分组成。
87. 移码表示法主要用于表示 A. 浮点 数的阶码 E, 以利于比较两个 B. 指 数的大

- 小和 C 对阶 操作。
91. PCI 总线采用 A 同步定时 协议和 B 集中式 仲裁策略, 具有 C 自动配置 能力。
94. 计算机系统中的存储器分为 A 内存 和 B 外存。在 CPU 执行程序时, 必须将指令存放在 C 内存 中。
99. 单处理器系统中的总线可以分为三类, CPU 内部连接各寄存器及运算部件之间的总线称为 A 内部总线; 中、低速 I/O 设备之间相互连接的总线称为 B I/O 总线; 同一台计算机系统内的高速功能部件之间相互连接的总线称为 C 系统总线。
100. CPU 中, 保存当前正在执行的指令的寄存器为 A 指令寄存器 IR, 保存当前正在执行的指令的地址的寄存器为 B 程序计数器 PC, 保存 CPU 访存地址的寄存器为 C 内存地址寄存器 AR。
102. $\{(26)_{16} \vee (63)_{16}\} \oplus (135)_{10}$ 的值是 A 58 (十进制) 或 3AH。
107. DMA 控制器按其 A 组成 结构, 分为 B 选择 型和 C 多路 型两种。
114. 选择型 DMA 控制器在 A 物理 上可以连接多个设备, 而在 B 逻辑 上只允许连接一个设备, 适合于连接 C 高速 设备。
115. 运算器不论复杂还是简单, 均有条件码寄存器。条件码寄存器的一部分通常由各种 A 运算结果 状态触发器组成, 利用触发器的信息, 可以提供 B 判断条件, 以实现程序的 C 控制转移。
116. 虚拟存储器通常由主存和 A 存储 两级存贮系统组成。为了在一台特定的机器上执行程序, 必须把 B 记录 映射到这台机器主存储器的 C 结构 空间上, 这个过程称为地址映射。
117. 正数补码算术移位时, 符号位不变, 空位补 A 0。负数补码算术左移时, 符号位不变低位补 B 0。负数补码算术右移时, 符号位不变, 高位补 C 1, 低位舍去。
119. 计算机系统中, 下列部件都能够存储信息: ①主存②CPU 内的通用寄存器③cache④磁带⑤磁盘。按照 CPU 存取速度排列, 由快到慢依次为 A 23154, 其中, 内存包括 B 13; 属于外存的是 C 45。
120. 多路型 DMA 控制器不仅在 A 物理 上而且在 B 逻辑 上可以连接多个设备, 适合于连接 C 慢速 设备。
121. 条件转移指令、无条件转移指令、转子指令、返主指令、中断返回指令等都是 A 程序控制 指令。这类指令在指令格式中所表示的地址, 表示要转移的是 B 下一条指令的地址 而不是 C 操作数的地址。
122. 总线同步定时协议中, 事件出现在总线的 A 时刻 由 B 总线时钟 信号确定, C 总线 周期的长度是固定的。
123. RISC 机器一定是 A 流水 CPU, 但后者不一定是 RISC 机器。奔腾 CPU 是 B 流水 CPU, 但奔腾机是 C CISC 机器。
124. 早期的计算机基于冯·诺依曼体系结构, 采用 A 串行 处理, 现代的计算机系统广泛采用 B 并行 处理。这种技术主要有三种形式: 时间并行、空间并行和 C 时间并行+空间并行。
127. 按照总线仲裁电路的 A 位置 不同, 总线仲裁有 B 集中式 仲裁和 C 分布式 仲裁两种方式。
128. 指令格式是指令用 A 二进制代码 表示的结构形式, 通常由 B 操作码 字段和 C 地址码 字段组成。
129. DMA 和 CPU 分时使用内存的三种方式是: A 停止 CPU 访问内存, B 周期挪用, C DMA 和 CPU 交替访问。
131. 字符信息是 A 符号 数据, 它处理 B 非数值 领域的问题。国际上采用的字符系

统是七单元的 C ASCII 码。

136. 远程终端和计算机间的通讯可以通过 A 长距离线路 和 B 电话网 传输。远程通讯时, 在计算机和远程终端需分别装有 C 调制解调器。
137. 在计算机术语中, 将运算器、控制器、cache 合在一起, 称为 A CPU, 而将 B CPU 和存储器合在一起, 成为 C 主机。
139. 半导体 SRAM 靠 A 触发器 存储信息, 半导体 DRAM 则是靠 B 栅极电容 存储信息。

三、简答题和应用题

1. 设机器字长 32 位, 定点表示, 尾数 31 位, 数符 1 位, 问:
- (1) 定点原码整数表示时, 最大正数是多少? 最大负数是多少?
 - (2) 定点原码小数表示时, 最大正数是多少? 最大负数是多少?

解: (1) 定点原码整数表示:

最大正数:

0 111 111 111 111 111 111 111 111 111 111

$$\text{数值} = (2^{31} - 1)_{10}$$

0 111 111 111 111 111 111 111 111 111 111 1111

最大负数:

$$\text{数值} = -(2^{31} - 1)_{10}$$

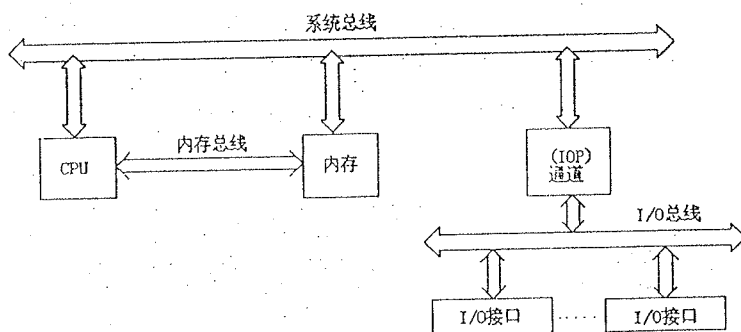
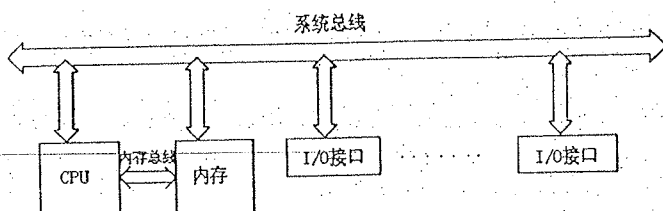
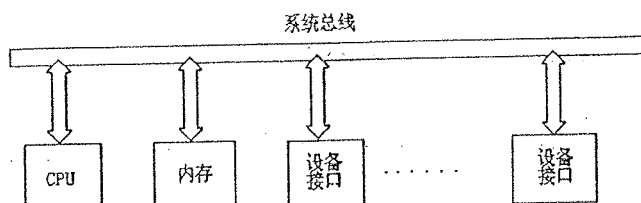
- (2) 定点原码小数表示:

最大正数值 = $(1 - 2^{31})_{10}$

最大负数值 = $-(1 - 2^{31})_{10}$

2. 画出单机系统中采用的三种总线结构。

三种系统总线结构如图 B2.4 所示, 从上到下为单总线, 双总线, 三总线:



3. 已知 $x = -0.01111$, $y = +0.11001$,

求 $[x]_{补}$, $[-x]_{补}$, $[y]_{补}$, $[-y]_{补}$, $x + y = ?$, $x - y = ?$

解: $[x]_{原} = 1.01111$ $[x]_{补} = 1.10001$ 所以: $[-x]_{补} = 0.01111$

$[y]_{原} = 0.11001$ $[y]_{补} = 0.11001$ 所以: $[-y]_{补} = 1.00111$

$$\begin{array}{r} [x]_{补} \quad 11.10001 \\ + [y]_{补} \quad 00.11001 \\ \hline [x+y]_{补} \quad 00.01010 \end{array} \quad \begin{array}{r} [x]_{补} \quad 11.10001 \\ + [-y]_{补} \quad 11.00111 \\ \hline [x-y]_{补} \quad 10.11000 \end{array}$$

所以: $x + y = +0.01010$ 因为符号位相异, 结果发生溢出

4. 以知 cache 命中率 $H=0.98$, 主存比 cache 慢四倍, 以知主存存取周期为 $200ns$, 求 cache/主存的效率和平均访问时间。

解: $R=T_m/T_c=4$; $T_c=T_m/4=50ns$

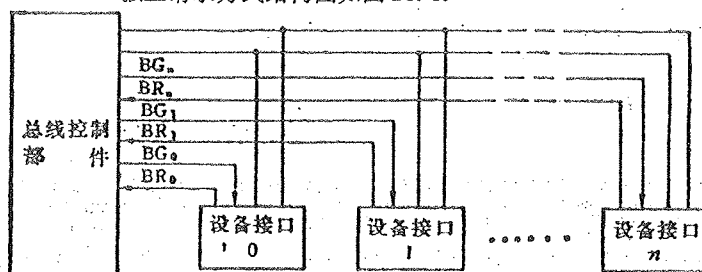
$$E=1/[R+(1-R)H]=1/[4+(1-4) \times 0.98]=0.94$$

$$T_a=T_c/E=T_c \times [4-3 \times 0.98]=50 \times 1.06=53ns.$$

5. 集中式仲裁有几种方式? 画出独立请求方式的逻辑图, 说明其工作原理。

解: 有三种方式: 链式查询方式、计数器定时查询方式、独立请求方式。

独立请求方式结构图如图 B5. 4:



工作原理:

每一个共享总线的设备均有一对总线请求线 BR_i 和总线授权线 BG_i 。当设备要求使用总线时, 便发出该设备的请求信号。总线控制器中的排队电路决定首先响应哪个设备的请求, 给设备以授权信号 BG_i 。

6. 已知某 8 位机的主存采用半导体存储器, 地址码为 18 位, 若使用 $4K \times 4$ 位 RAM 芯片组成该机所允许的最大主存空间, 并选用模块条的形式, 问:

- (1) 若每个模块为 $32K \times 8$ 位, 共需几个模块条?
- (2) 每个模块内共有多少片 RAM 芯片?
- (3) 主存共需多少 RAM 芯片? CPU 如何选择各模块条?

解: (1) 地址码 18 位, 8 位机, 所以最大主存空间为 (256×8) KB

所以需用模块数为 $(256 \times 8) / (32 \times 8) = 8$

(2) $4K \times 4$ 位的 SRAM 芯片, 构成 $32K \times 8$ 位的模块条, 需 $(32K \times 8 \text{ 位}) / 4K \times 4 \text{ 位} = 16$, 即需 8 组 SRAM, 每组 2 条, 才能构成一个模块条

(3) 共需 $8 \times 16 = 128$ 个 RAM 芯片

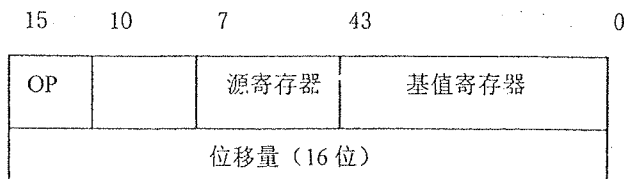
8 个模块条, 所以 3 条 (2^3) 地址线来片选模块

8. 什么是闪速存储器? 它有那些特点?

闪速存储器是高密度、非易失性的读/写半导体存储器。从原理上看, 它属于 ROM 型存储器, 但是它又可随机改写信息; 从功能上看, 它又相当于 RAM, 所以传统 ROM 与 RAM 的定义和划分已失去意义。因而它是一种全新的存储器技术。

闪速存储器的特点: (1) 固有的非易失性, (2) 廉价的高密度, (3) 可直接执行, (4) 固态性能。

9. 指令格式如下所示, OP 为操作码字段, 试分析指令格式的特点。



(1) 双字长二地址指令, 用于访问存储器。

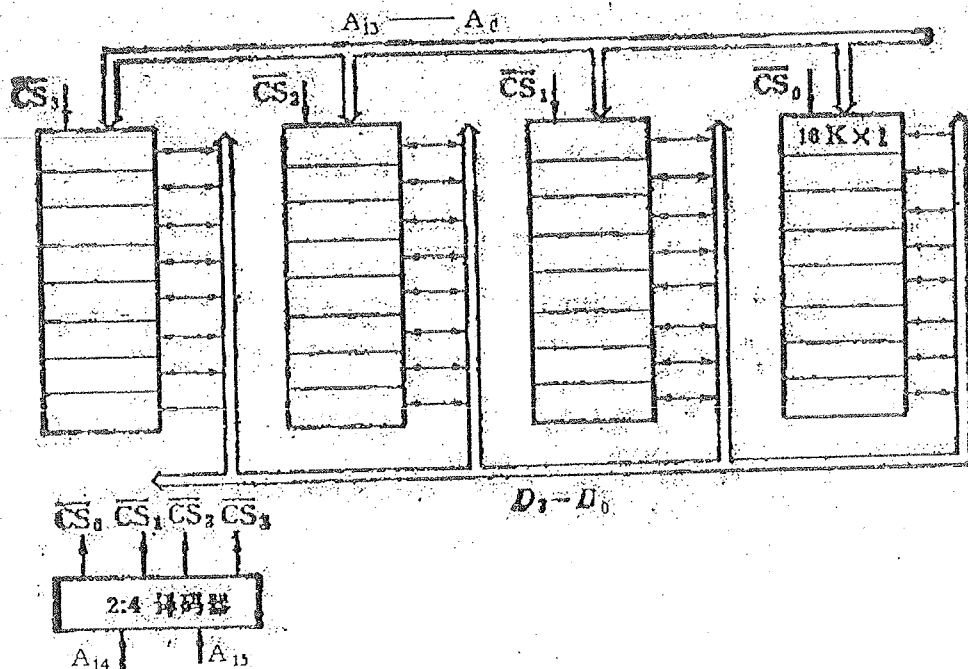
(2) 操作码字段 OP 为 6 位, 可以指定 $2^6 = 64$ 种操作。

(3) 一个操作数在源寄存器 (共 16 个), 另一个操作数在存储器中 (由基值寄存器和位移量决定), 所以是 RS 型指令。

10. 用 $16K \times 1$ 位的 DRAM 芯片构成 $64K \times 8$ 位的存储器。要求：

- (1) 画出该寄存器组成的逻辑框图。
- (2) 设存储器读 / 写周期均为 $0.5 \mu s$ ，CPU 在 $1 \mu s$ 内至少要访存一次。试问采用哪种刷新方式比较合理？两次刷新的最大时间间隔是多少？对全部存储单元刷新一遍，所需实际刷新时间是多少？

解：(1) 根据题意，存储器总容量为 $64KB$ ，故地址线总需 16 位。现使用 $16K \times 1$ 位的 DRAM 芯片，共需 32 片。芯片本身地址线占 14 位，所以采用位并联与地址串联结合的方法来组成整个存储器，其组成逻辑框图如图 A17.3 所示，其中使用一片 2 译码器



(2) 根据已知条件，CPU 在 $1 \mu s$ 内至少需要访存一次，所以整个存储器的平均读/写周期与单个存储器片的读/写周期相差不多，应采用异步式刷新方式比较合理。

对 DRAM 存储器来讲，两次刷新的最大时间间隔是 $2ms$ 。

DRAM 芯片读/写周期为 $0.5 \mu s$ 。假定 $16K \times 1$ 位的 RAM 芯片由 128×128 矩阵存储元构成，刷新时只对 128 行进行异步式刷新，则刷新间隔为 $2ms/128 = 15.6 \mu s$ ，可取刷新信号周期为 $15 \mu s$ 。

11. 已知 cache / 主存系统效率为 85%，平均访问时间为 $60ns$ ，cache 比主存快 4 倍，求主存储器周期是多少？cache 命中率是多少？

解：因为： $t_a = t_c / e$ 所以： $t_c = t_a \times e = 60 \times 0.85 = 51ns$ (cache 存取周期)

$t_m = t_c \times r = 51 \times 4 = 204ns$ (主存存取周期)

因为： $e = 1 / (r + (1 - r)H)$

所以： $H = 2.4 / 2.55 = 0.94$

12. 今有 4 级流水线分别完成取值、指令译码并取数、运算、送结果四步操作，
今假设完成各步操作的时间依次为 100ns, 100ns, 80ns, 50ns。

请问：(1) 流水线的操作周期应设计为多少？

(2) 若相邻两条指令发生数据相关，而且在硬件上不采取措施，那么第二条指令要推迟多少时间进行。

(3) 如果在硬件设计上加以改进，至少需推迟多少时间？。

解：(1) 流水线的操作时钟周期 t 应按四步操作中最长时间来考虑，所以 $t=100\text{ns}$ ；

(2) 两条指令发生数据相关冲突情况：：

ADD R1, R2, R3 ; $R2+R3 \rightarrow R1$

SUB R4, R1, R5 ; $R1-R5 \rightarrow R4$

两条指令在流水线中执行情况如下表所示：

时钟 指令	1	2	3	4	5	6	7
ADD	IF	ID	EX	WB			
SUB		IF	ID	EX	WB		
不采取措施				IF	ID	EX	WB
采取措施			IF	ID	EX	WB	

ADD 指令在时钟 4 时才将结果写入寄存器 R1 中，但 SUB 指令在时钟 3

时就读寄存器 R1 了，显然发生

数据相关，不能读到所需数据，只能等待。如果硬件上不采取措施，第 2 条

指令 SUB 至少应推迟 2 个

操作时钟周期，即 $t=2 \times 100\text{ns}=200\text{ns}$ ；

(3) 如果硬件上加以改进(采取旁路技术)，这样只需推迟 1 个操作时 钟周期

就能得到所需数据，即 $t=100\text{ns}$ 或不发生停顿。

13. 若设备的优先级依次为 CD-ROM、扫描仪、硬盘、磁带机、打印机，请用标

准接口 SCSI 进行配置，画出配置图

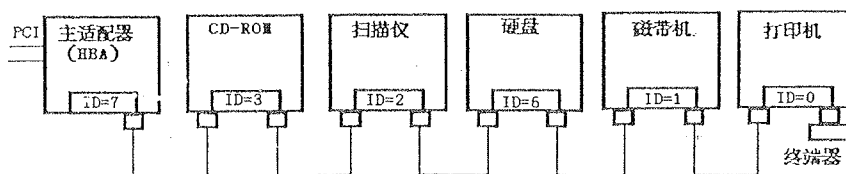
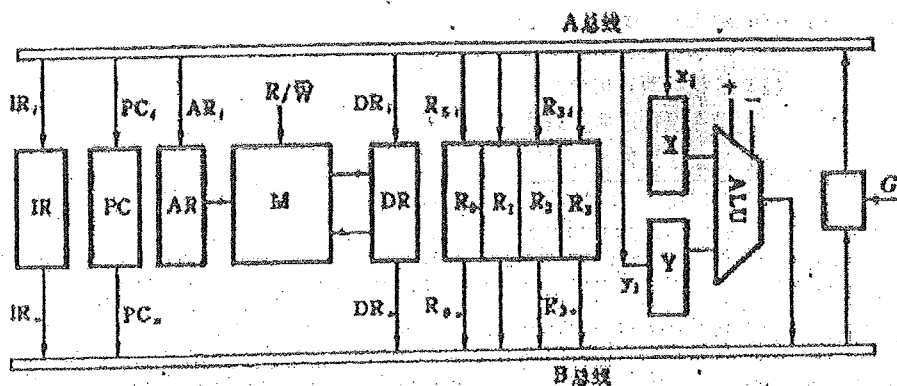


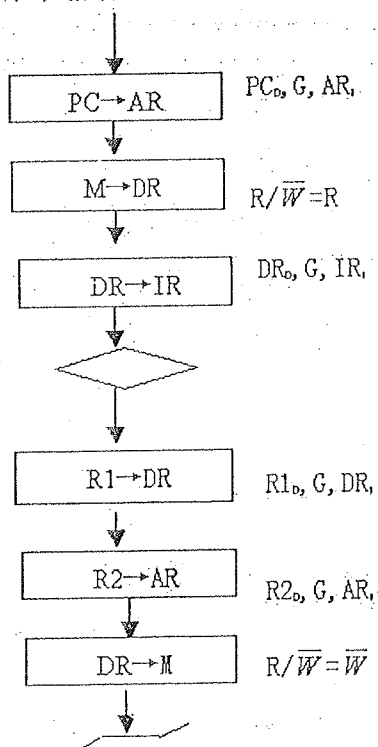
图 B11. 4

14. 参见图 B12.1 的数据通路，画出数据指令“STA, R₁, (R₂)”的指令周期流程图，其
含义是将寄存器 R₁ 的内容传送到 (R₂) 位地址的贮存单元中。标出各微操作信号
序列。



B12. 1

解：“STA R1，(R2)”指令是一条存数指令，其指令周期流程图如下图所示：



15. 指令格式结构如下所示, 试分析指令格式及寻址方式特点。

15	10 9	5 4	0
OP	目标寄存器	源寄存器	

解：指令格式及寻址方式特点如下：

- (1) 二地址指令。
- (2) 操作码 OP 可指定 $2^6=64$ 条指令。
- (3) 源和目标都是通用寄存器（可分别指定 32 个寄存器），所以是 RR 型指令，两个操作数均在寄存器中

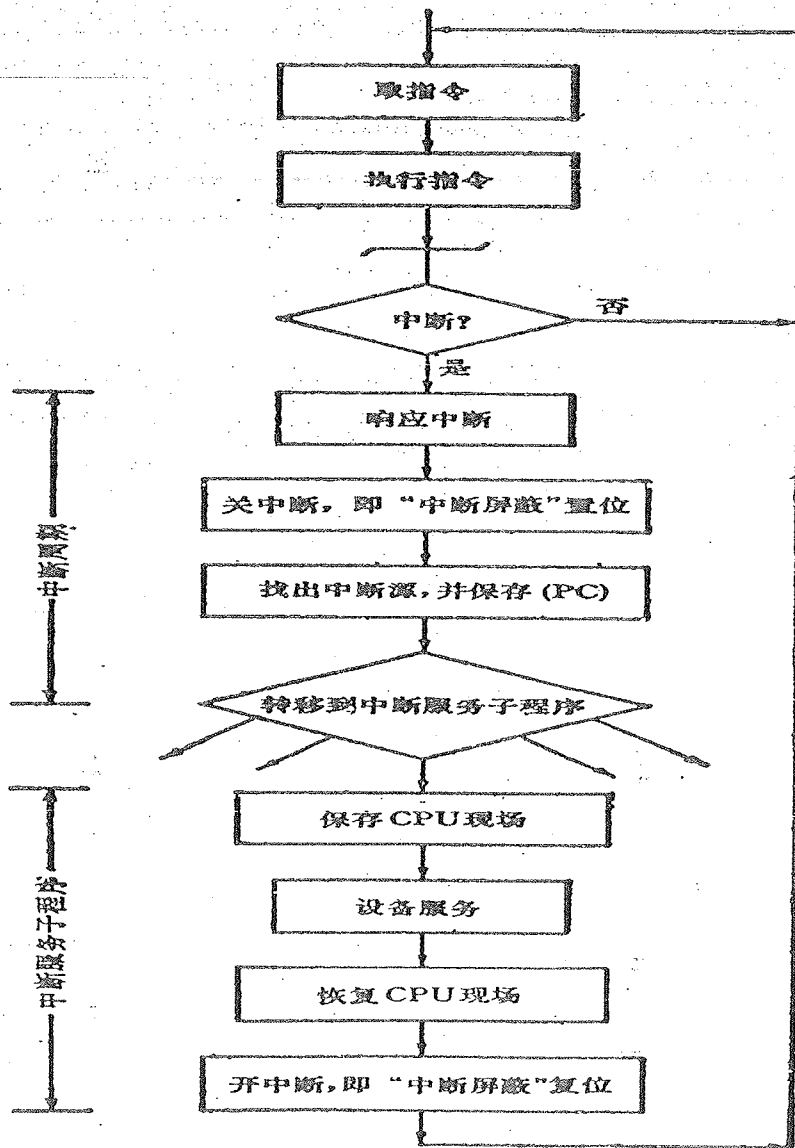
(4) 这种指令格式常用于算术逻辑类指令。

16. CPU 响应中断应具备哪些条件？画出中断处理过程流程图。

解：条件：

- (1) 在 CPU 中的中断屏蔽触发器 IM 必须是开放的。
- (2) 外设有中断请求时，中断请求触发器 IR 必须处于“1”状态，保持中断请求信号。
- (3) 外设接口中中断允许触发器 EI 必须为“1”，这样才能把外设中断请求送至 CPU。
- (4) 当上述三个条件具备时，CPU 在现行指令结束的最后一个机器周期响应中断。

流程图如下：



17. CPU 执行一段程序时, cache 完成存取的次数为 5000 次, 主存完成存取的次数为 200 次。已知 cache 存取周期为 40ns, 主存存取周期为 160ns。求:

1. Cache 命中率 H ,
2. Cache/主存系统的访问效率 e ,
3. 平均访问时间 T_a 。

解: (1) 命中率 $H = N_c / (N_c + N_m) = 5000 / (5000 + 200) = 0.96$ 。

(2) 访问效率: $e = T_c / T_a = (40\text{ns} / 46.4\text{ns}) \times 100\% = 86.2\%$

(3) 平均访问时间: $T_a = T_c + (1 - H) \times T_m$
 $= 40\text{ns} + (1 - 0.96) \times 160\text{ns} = 46.4\text{ns}$

18. CPU 执行一段程序时, cache 完成存取的次数为 3800 次, 主存完成存取的次数为 200 次, 已知 cache 存取周期为 50ns, 主存为 250ns, 求 cache / 主存系统的效率和平均访问时间。

解: 提示: 平均访问时间 = Cache 命中率 \times Cache 存取周期 + Cache 失效率 \times 主存取存取周期

Cache 命中率 = $3800 / (3800 + 200) = 0.95$ Cache 失效率 = $1 - 0.95 = 0.05$

$50\text{ns} \times 0.95 + 250\text{ns} \times 0.05 = 60\text{ns}$

20. 某计算机系统的内存储器由 cache 和主存构成, cache 的存取周期为 45 纳秒, 主存的存取周期为 200 纳秒。已知在一段给定的时间内, CPU 共访问内存 4500 次, 其中 340 次访问主存。问:

- (1) cache 的命中率是多少?
- (2) CPU 访问内存的平均时间是多少纳秒?
- (3) Cache-主存系统的效率是多少?

解: ① cache 的命中率: $H = N_c / (N_c + N_m) = 4500 - 340 / 4500 = 0.92$

② $T_a = H \cdot T_c + (1 - H) T_m = 0.92 \times 45 + (1 - 0.92) \times 200 = 57.4\text{ns}$

③ $e = T_c / T_a \times 100\% = (45 / 57.4) \times 100\% = 0.78 \times 100\% = 78\%$

22. 设机器字长 16 位, 定点表示, 尾数 15 位, 数符 1 位, 问:

- (1) 定点原码整数表示时, 最大正数是多少? 最小负数是多少?
- (2) 定点原码小数表示时, 最大正数是多少? 最小负数是多少?

解: (1) 定点原码整数表示

最大正数值 = $(2^{15} - 1)_{10} = (+32767)_{10}$

最小负数值 = $-(2^{15} - 1)_{10} = (-32767)_{10}$

(2) 定点原码小数表示

最大正数值 = $(1 - 2^{-(15)})_{10} = (+0.111...11)_2$

最小负数值 = $-(1 - 2^{-(15)})_{10} = (-0.111...11)_2$

23. 已知某 16 位机的主存采用半导体存储器, 地址码为 18 位, 若使用 $8K \times 8$ 位 SRAM 芯片组成该机所允许的最大主存空间, 并选用模块板结构形式。问:

- (1) 若每个模块为 $32K \times 16$ 位, 共需几个模块板?
- (2) 每个模块内共有多少片 RAM 芯片?
- (3) 主存共需多少 RAM 芯片? CPU 如何选择模块板?

解: (1) 由于主存地址码给定 18 位, 所以最大空间为 $2^{18} = 256K$, 主存的最大容量为 256K。

现在每个模块板的存贮容量为32KB, 所以主存共需256KB/32KB=8块板。(3分)

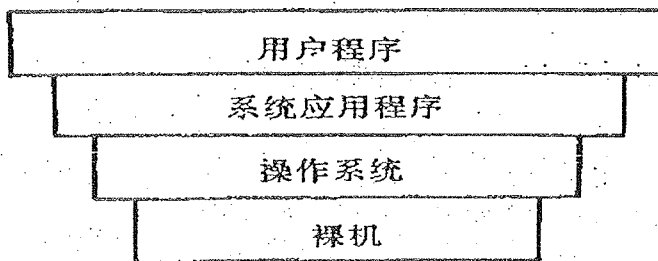
(2) 每个模块板的存贮容量为32KB, 现用4K×4位的 SRAM 芯片。每块板采用位并联与地址串联相结合的方式: 即用2片 SRAM 芯片拼成4K×8位 (共8组), 用地址码的低12位 ($A_0 \sim A_{11}$) 直接接到芯片地址输入端, 然后用地址码的高3位 ($A_{14} \sim A_{12}$) 通过 3: 8译码器输出分别接到8组芯片的片选端。共 $8 \times 2 = 16$ 个 SRAM (3分)

(3) 根据前面所得, 共需8个模板, 每个模板上有16片芯片, 故主存共需 $8 \times 16 = 128$ 片芯片 (SRAM)。(1分)

CPU 选择各模块板的方法是: 各模块板均用地址码 $A_0 \sim A_{14}$ 译码, 而各模块的选择用地址码最高三位 A_{17}, A_{16}, A_{15} 通过 3: 8译码器输出进行选择。(3分)

24. 说明计算机系统的层次结构。

答: 一个完整的计算机系统是由硬件和软件两大部分组成的。硬件(即物理计算机)是系统的基本资源, 其主要部件包括: 中央处理机(CPU)、主存贮器(简称主存或内存)、外部存贮器(简称外存或辅存, 包括磁盘和磁带)、终端(通常由键盘*和显示器组成)、控制台以及字符打印机等。CPU 和内存构成系统的主机, 其它部件统称为外部设备(简称外设), 或称为输入输出(I/O)。



25. 在寄存器—寄存器型, 寄存器—存储器型和存储器—存储器型三类指令中, 哪类指令的执行时间最长? 哪类指令的执行时间最短? 为什么?

答: 寄存器—寄存器型执行速度最快, 存储器—存储器型执行速度最慢。因为前者操作数在寄存器中, 后者操作数在存储器中, 而访问一次存储器所需的时间一般比访问一次寄存器所需时间长。

26. 请说明程序查询方式与中断方式各自的特点。

程序查询方式, 数据在 CPU 和外围设备之间的传送完全靠计算机程序控制, 优点是硬件结构比较简单, 缺点是 CPU 效率低, 中断方式是外围设备用来“主动”通知 CPU, 准备输入输出的一种方法, 它节省了 CPU 时间, 但硬件结构相对复杂一些。

28. CPU 对外围设备的管理方式分有哪几种? 各具什么特点?

外围设备的 I/O 控制方式分类及特点:

(1) 程序查询方式: CPU 的操作和外围设备的操作能够同步, 而且硬件结构比较简单

(2) 程序中断方式: 一般适用于随机出现的服务, 且一旦提出要求应立即进行, 节省了 CPU 的时间, 但硬件结构相对复杂一些。

(3) 直接内存访问 (DMA) 方式: 数据传输速度很高, 传输速率仅受内存访问时间的限制。需更多硬件, 适用于内存和高速外设之间大批交换数据的场合。

(4) 通道方式: 可以实现对外设的统一管理和外设与内存之间的数据传送, 大大提高了 CPU 的工作效率。

(5) 外围处理机方式: 通道方式的进一步发展, 基本上独立于主机工作, 结果更接近一般处理机。

29. 请说明 SRAM 的组成结构, SRAM 与 DRAM 各有何特点?

SRAM 存储器由存储体、读写电路、地址译码电路、控制电路组成, DRAM 还需要有动态刷新电路。

30. 什么是虚拟存储器? 请说明它是基于什么原理及该原理的内容。

虚拟存储器由主存储器和联机工作的外部存储器共同组成。在目前的计算机系统中, 主存储器通常用动态随机存储器 (DRAM) 实现, 它的存储容量相对比较小, 速度比较快, 单位容量的价格比较贵。联机工作的外部存储器通常为磁盘存储器, 它的存储容量很大, 与主存储器相比, 速度很低, 单位容量的价格很便宜。这两个存储器在硬件和系统软件的共同管理下, 对于应用程序员, 可以把它们看来是一个单一的存储器, 是一个存储容量非常大的主存储器。

原理: 页式虚拟存储器是虚拟存储器中用得比较广泛的一种, 另外的段式虚拟存储器和段页式虚拟存储器主要是因为地址变换方法不同产生的。

页式虚拟存储器: 把主存储器、磁盘存储器和虚拟存储器都划分成固定大小的块—页 (Page)。

主存储器的页称为实页, 虚拟存储器中的页称为虚页。