

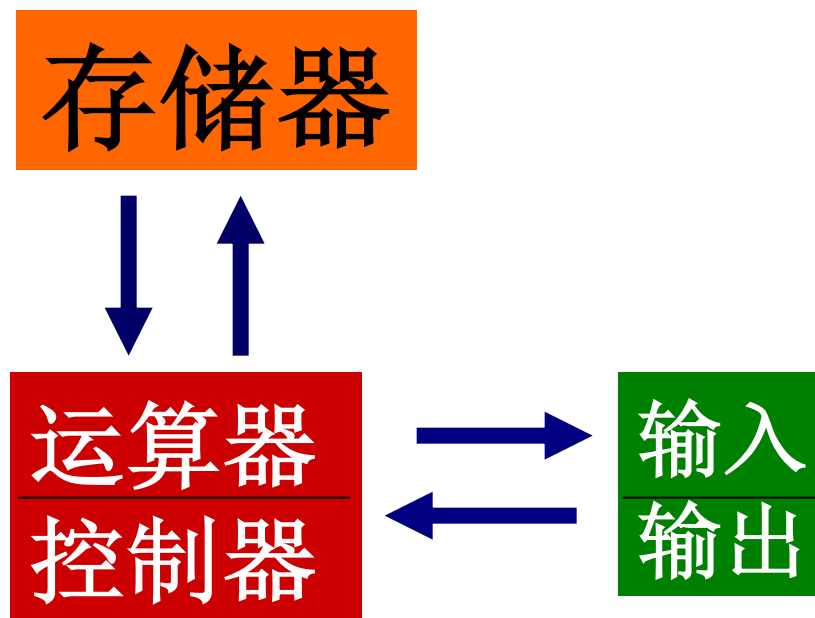


# 第 6 章 存储器系统



## 6.1 概述

**在现代计算机中,存储器处于全机中心地位**





## 存储容量 (Memory Capacity)

★ 存储容量指存储器可以存储的二进制信息量。

存储容量=字数×字长

如：一个存储器能存储1024个字，字长8位，则存储器容量可用  $1024 \times 8$ 表示

★ 微机中的存储器一般都是以字节（8位）进行编址，即总是认为一个字节是“基本”的字长。常用B表示

★ 存储单元数一般用K、M、G、T表示

$1K=1024$

$1M=1024K=1024*1024$

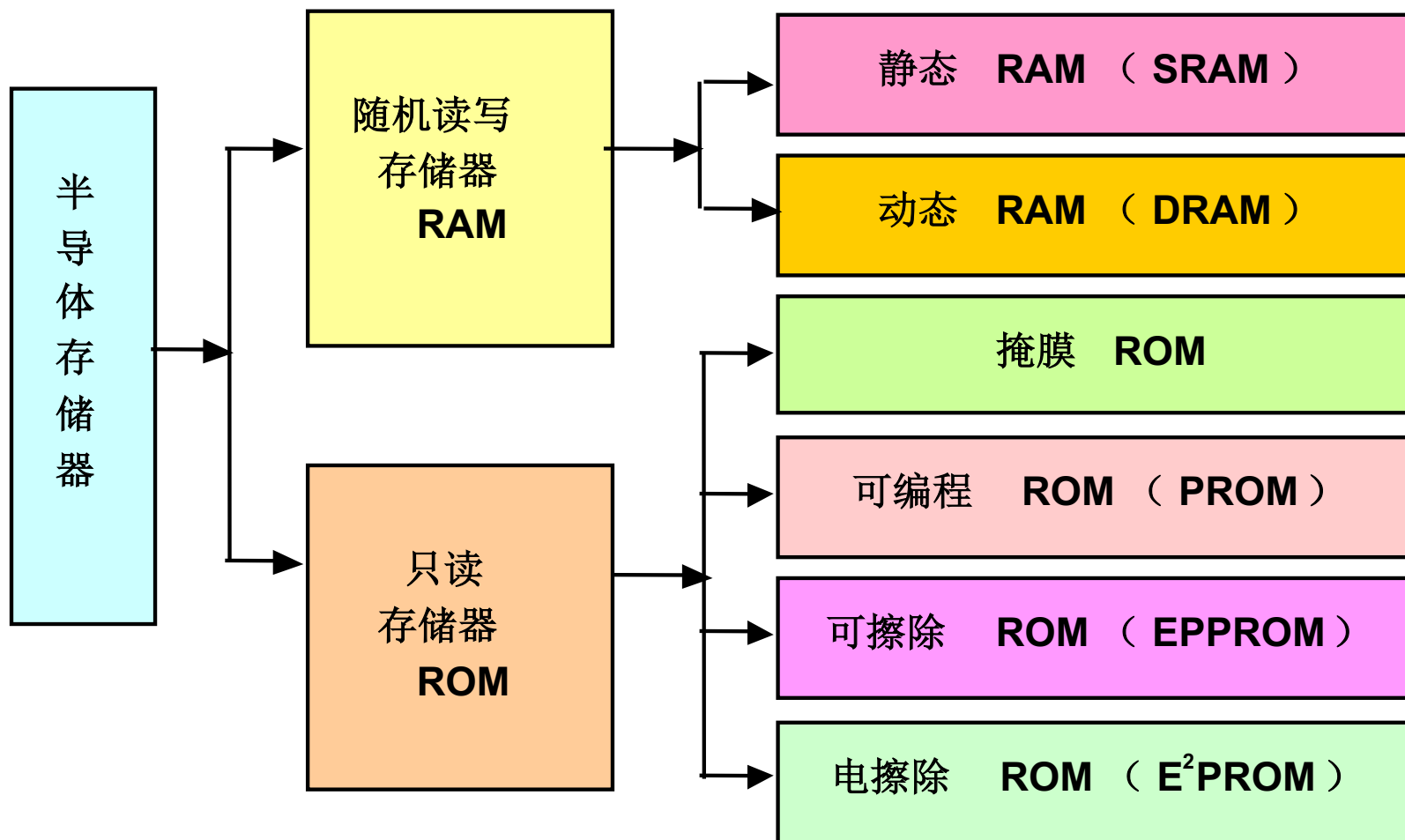
$1G=1024M$

$1T=1024G$





# 半导体存储器





## 三. 存储器（芯片）结构与存储原理

### 1. 存储体

- 一个基本存储电路只能存储一个二进制位。
- 将基本的存储电路有规则地组织起来，就是存储体。
- 存储体又有不同的组织形式：

将各个字的**同一位**组织在一个芯片中，如：8118      16K\*1（DRAM）

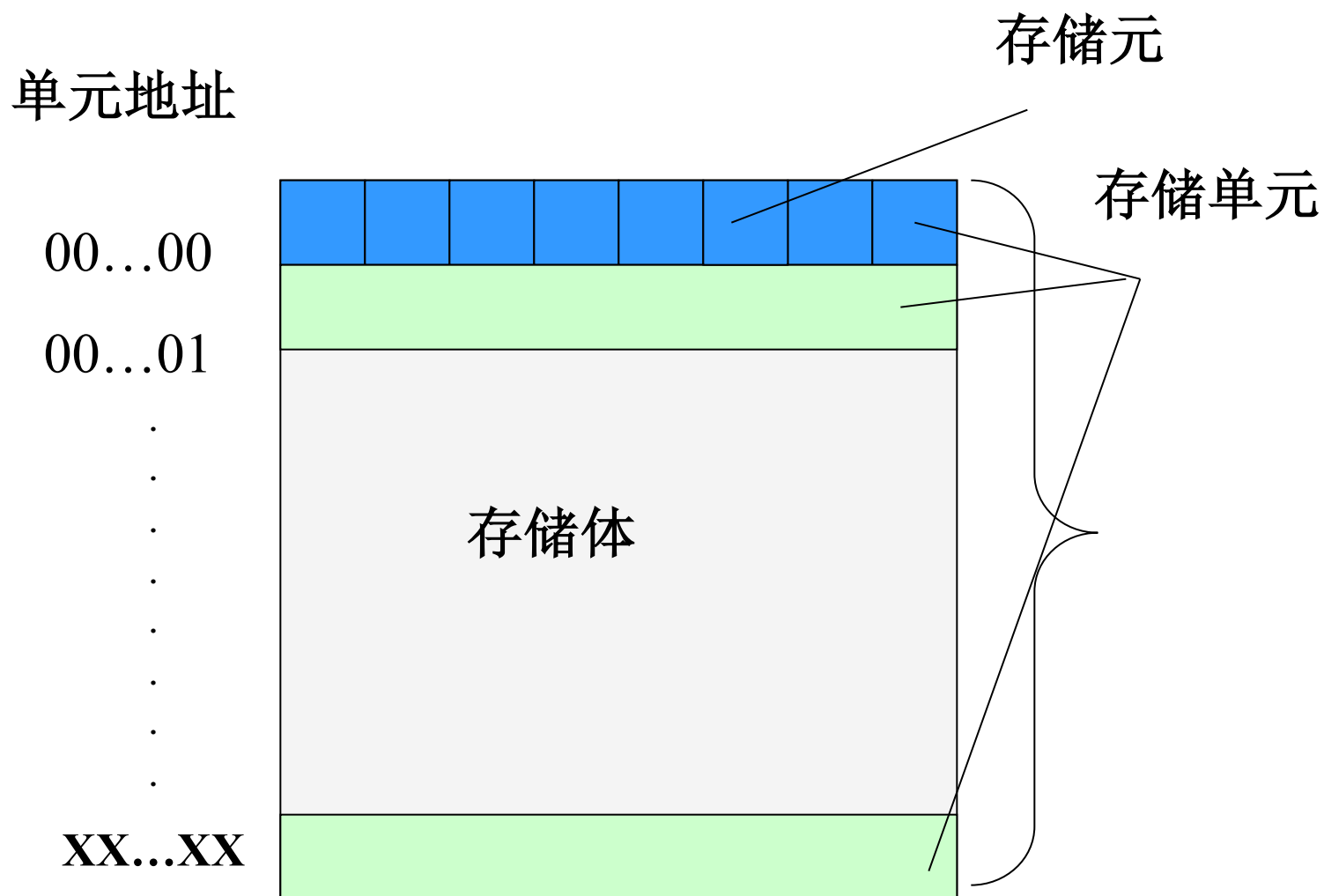
将各个字的**4位**组织在一个芯片中，如：2114      1K\*4（SRAM）

将各个字的**8位**组织在一个芯片中，如：6116      2K\*8（SRAM）。

### 2. 外围电路

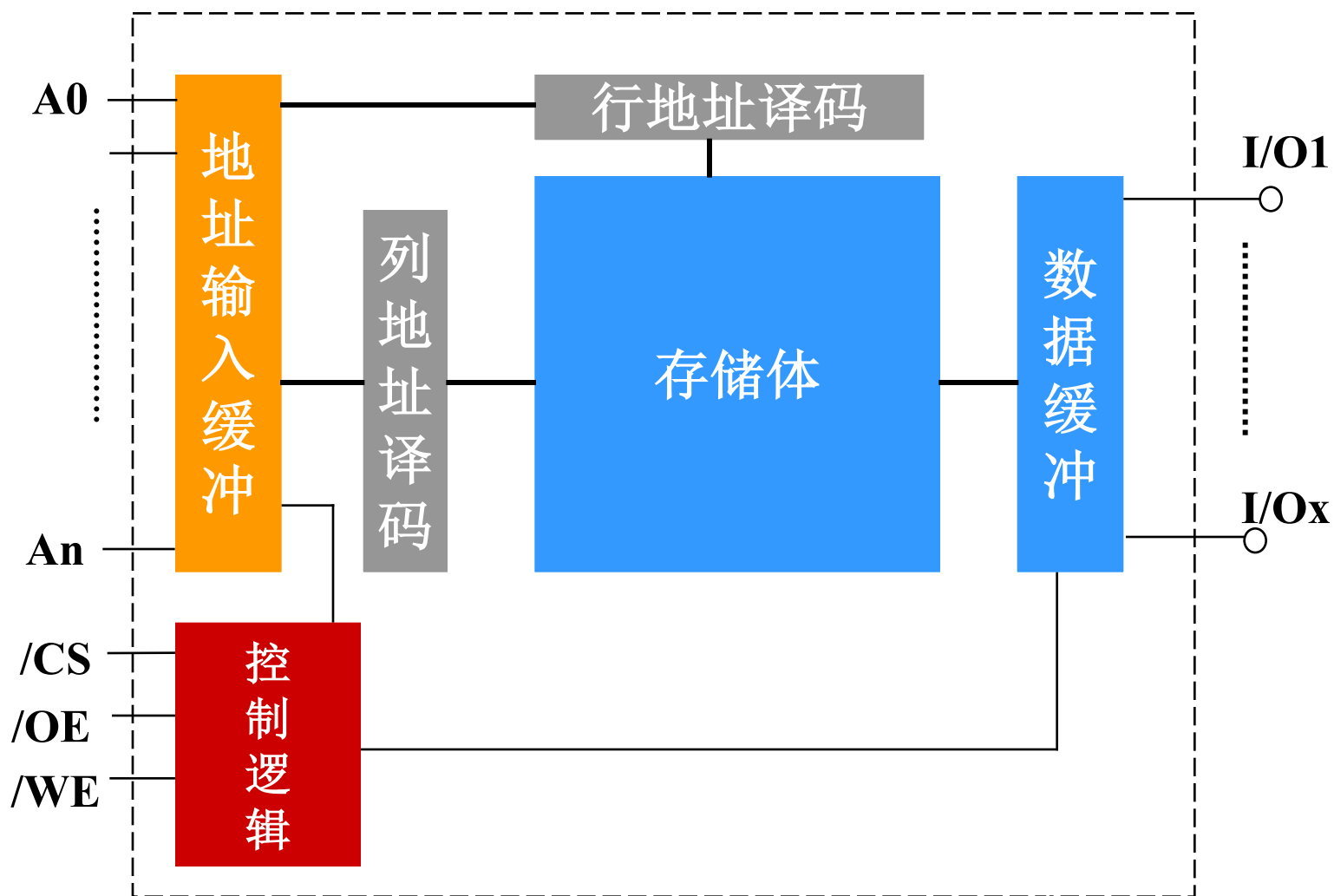
为了区别不同的存储单元，以地址号来选择不同的存储单元。

——于是电路中要有**地址译码器**、**I/O电路**、**片选控制端CS**、**输出缓冲器**等外围电路





故： 存储器（芯片） = 存储体 + 外围电路



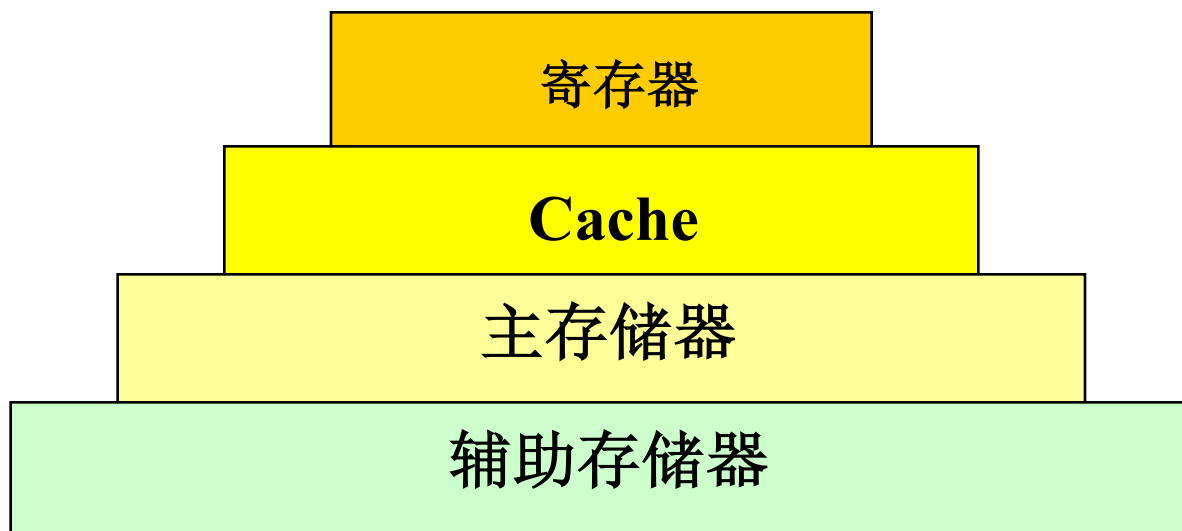
存储器内部框图



## 6.3 微型计算机系统中的存储器组织

### 现代计算机中的存储器处于全机中心地位

- 对存储器的要求是：  
容量大，速度快，成本低
- 为解决三者之间的矛盾，目前通常采用**多级存储器体系结构**，即使用**高速缓冲存储器、主存储器和外存储器**。







## 存储器的基本组织

### (1) 与CPU的连接

主要是 地址线、控制线、数据线 的连接。

### (2) 多个芯片连接

设计的存储器容量与实际提供的存储器多有不符。实际使用时，需进行字和位扩展(多个芯片连接)，组成所需要的实际的存储器

$$\text{总片数} = \frac{\text{总容量}}{\text{容量/片}}$$

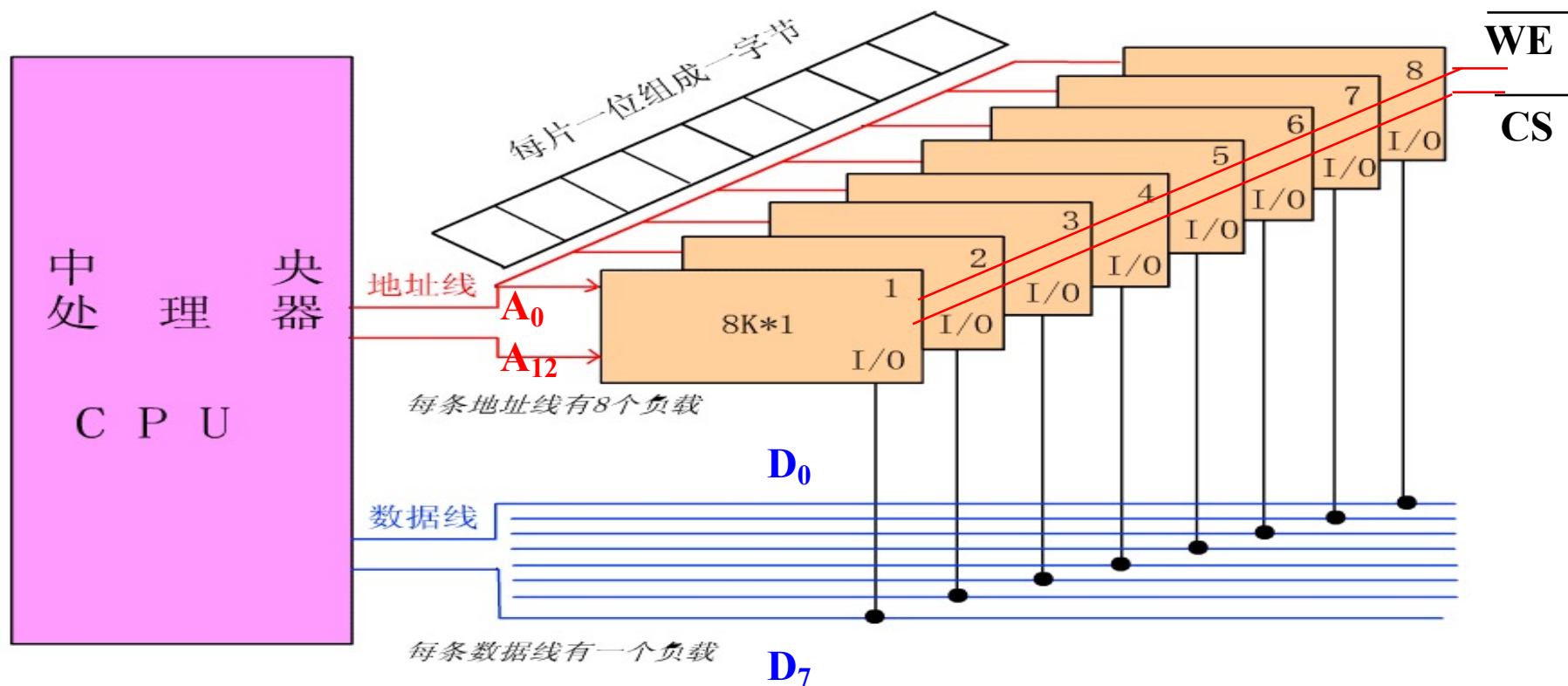
例如：存储器容量为 $8K \times 8$ ，若选用2114芯片( $1K \times 4$ )，则需要：

$$\frac{8K \times 8}{1K \times 4} = 8 \times 2 = 16 \text{片}$$

## (1) 位扩展法

只在位数方向进行扩展（加大字长），而存储器的字数与存储器芯片字数一致。连接时将各芯片地址线的相应位及各控制线**并联**，而数据线分别接到数据总线的**各位**。

用 $8K \times 1$ 位芯片组成 $8K \times 8$ 位的存储器需要8个芯片，各芯片地址线、CS和WE分别连接在一起，数据线各自独立（每片1位）



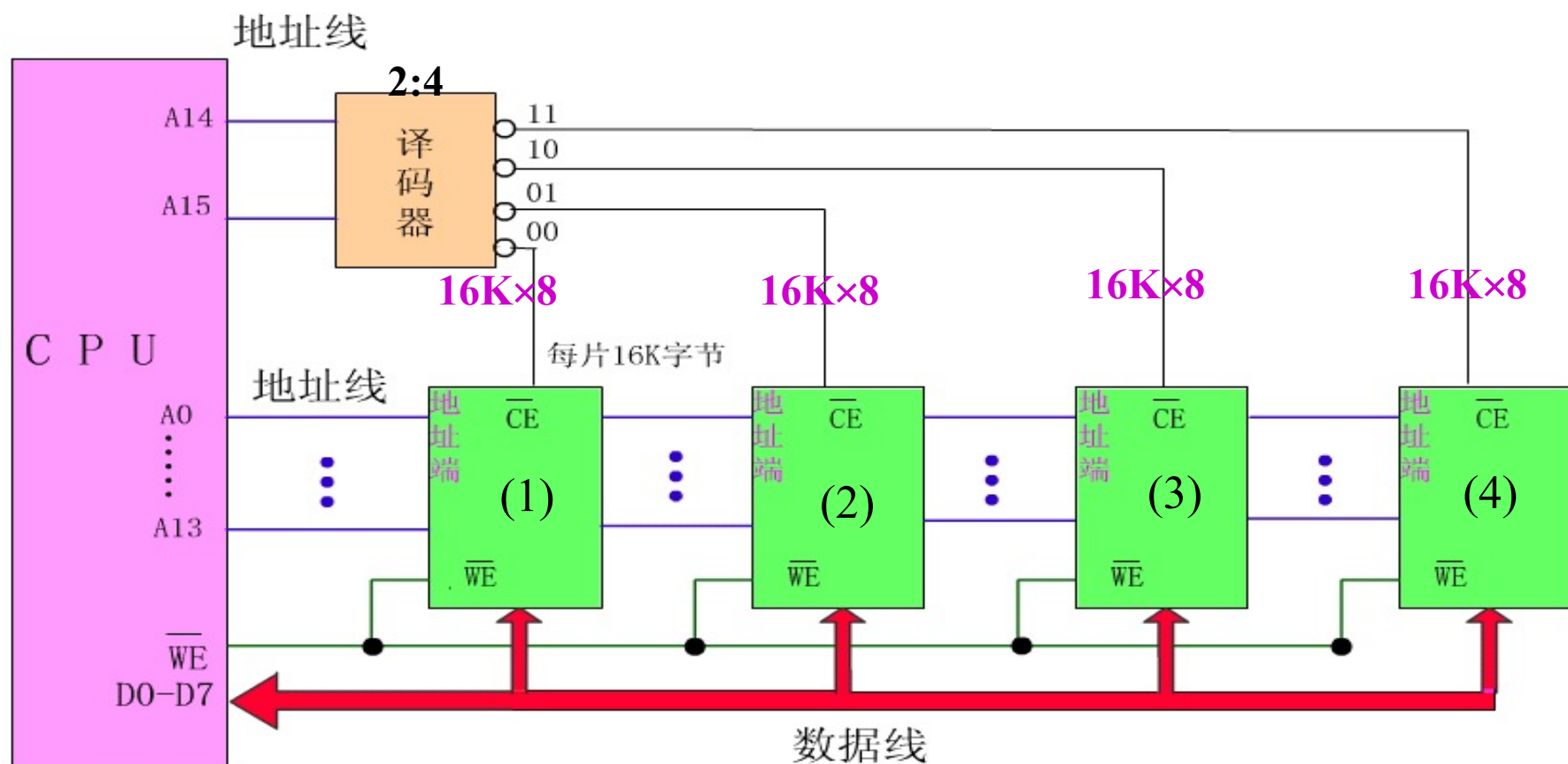


## (2) 字扩展法

仅扩展存储容量（单元数），而位数不变。连接时将各芯片同名地址线、数据线、读/写线并联，而使用片选信号区分各个芯片。

如用 $16\text{K} \times 8$ 位的芯片组成 $64\text{K} \times 8$ 位的存储器需要4个芯片

地址线——共需16根，片内（ $2^{14}=16384$ ）14根，选片：2根，数据线——8根，控制线—— $\overline{\text{WE}}$





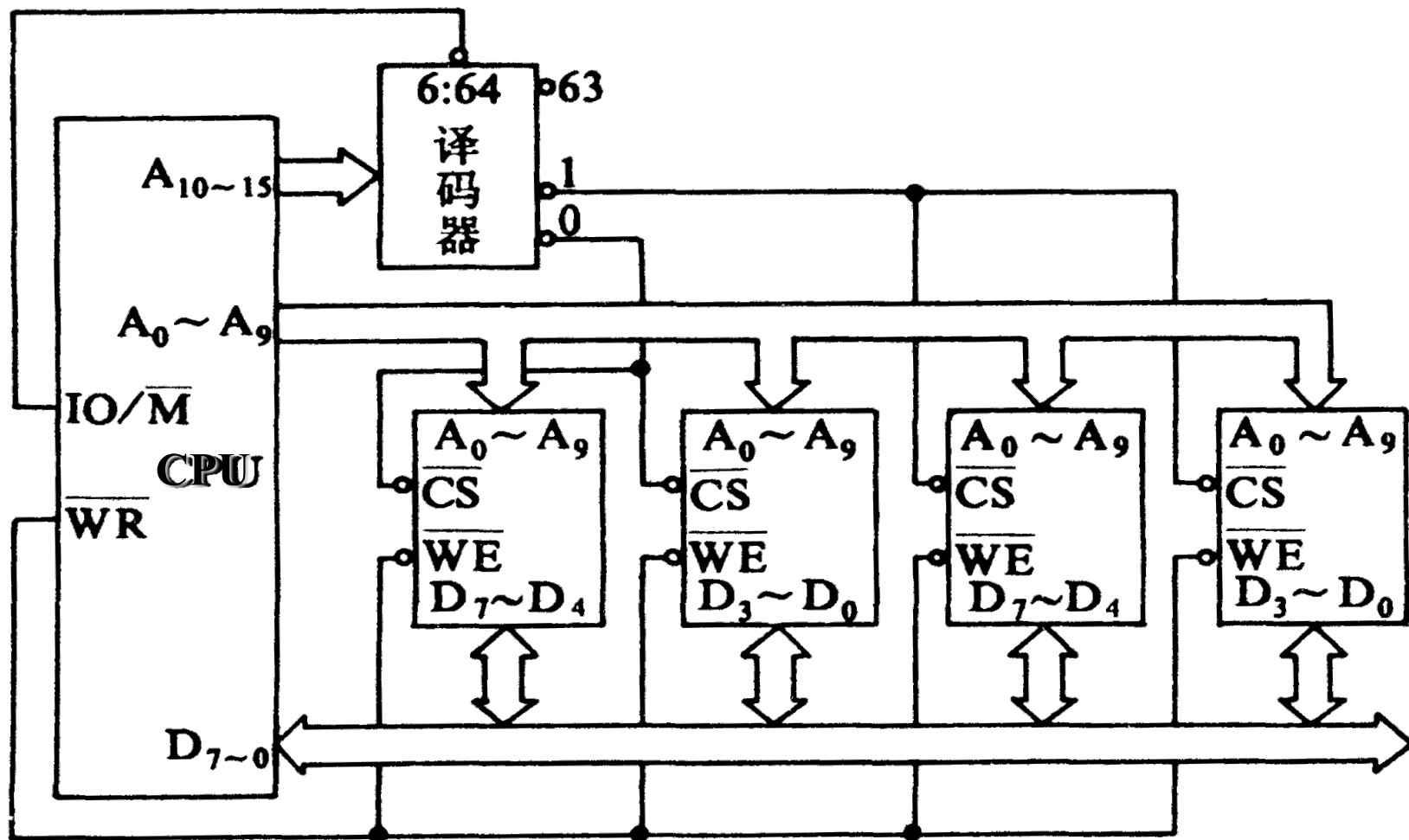
## 地址空间分配表

地址 片号	选片	片内	总地址	说明
	$A_{15} A_{14}$	$A_{13} A_{12} \dots\dots\dots A_1 A_0$		
1	00	00,0000,0000,0000	0000	最低地址
	00	11,1111,1111,1111	3FFF	最高地址
2	01	00,0000,0000,0000	4000	最低地址
	01	11,1111,1111,1111	7FFF	最高地址
3	10	00,0000,0000,0000	8000	最低地址
	10	11,1111,1111,1111	BFFF	最高地址
4	11	00,0000,0000,0000	C000	最低地址
	11	11,1111,1111,1111	FFFF	最高地址



### (3) 字位同时扩展法

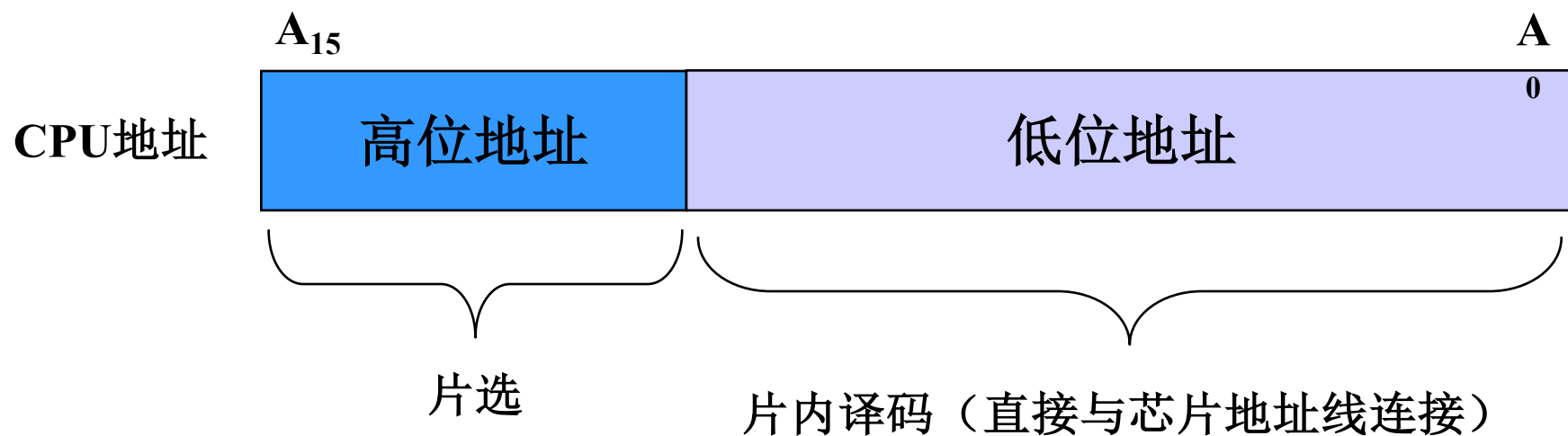
用  $1\text{k} \times 4$  的存储器芯片 2114 组成  $2\text{k} \times 8$  的存储器





## 2. 存储器地址译码方法

由于每一片存储芯片的容量有限，因此系统存储器总是由若干存储芯片构成。这就使得存储器的地址译码分为片选控制译码和片内译码两部分。







## (1) 线选法

用高位地址直接作为芯片的片选信号，每一根地址选通一块芯片（无位扩展情况）。

例：某微机存储容量为4KB，CPU寻址空间为64KB（即地址总线为16位），由1KB的芯片构成（片内地址为10位）。

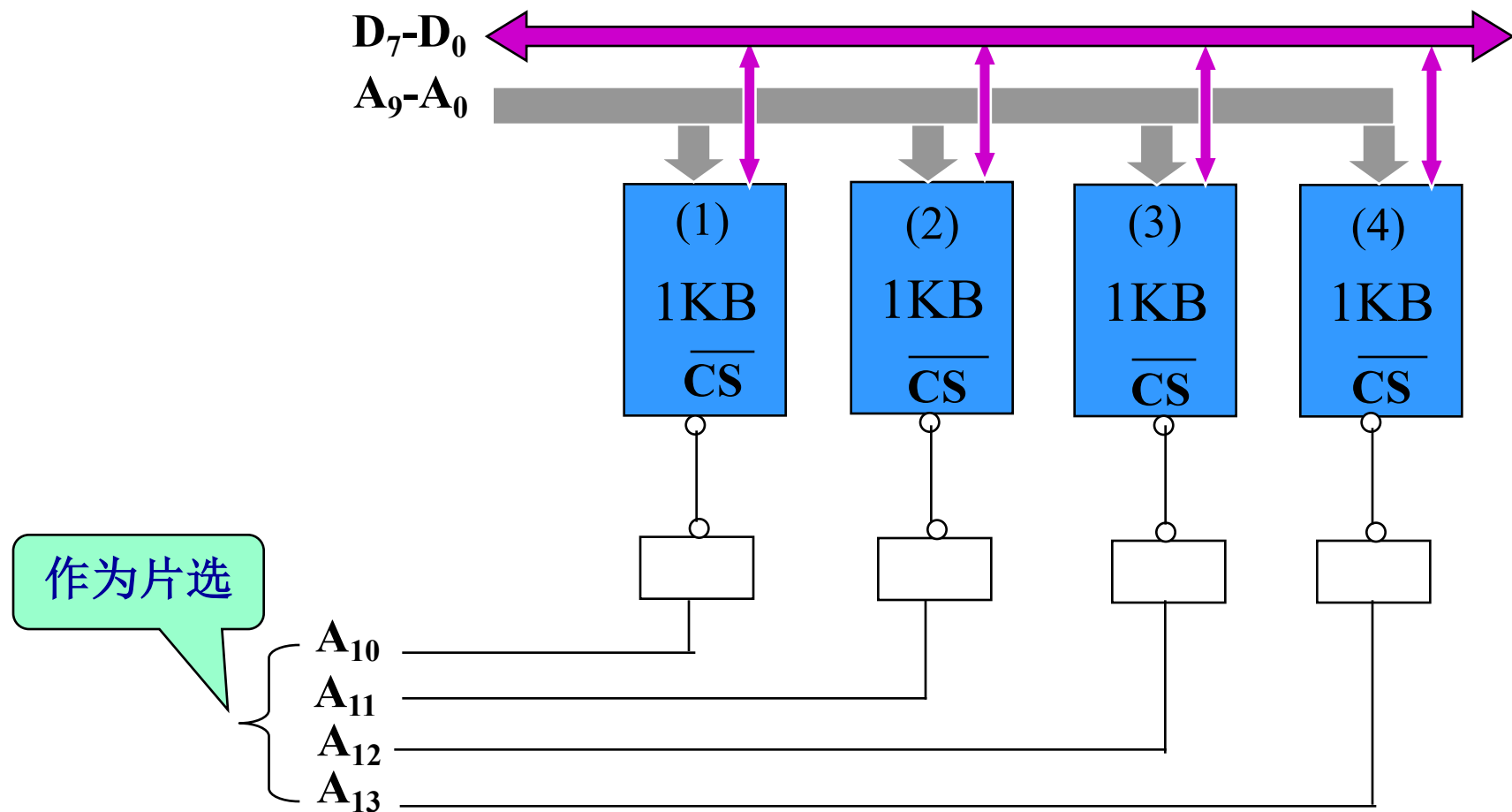




表1 线选法所示存储器地址分布表

芯片	地址空间			
	A <sub>15</sub> A <sub>14</sub>	A <sub>13</sub> A <sub>12</sub> A <sub>11</sub> A <sub>10</sub>	A <sub>9</sub> A <sub>8</sub> A <sub>7</sub> A <sub>6</sub> A <sub>5</sub> A <sub>4</sub> A <sub>3</sub> A <sub>2</sub> A <sub>1</sub> A <sub>0</sub>	16进制地址码
(1)	0 0	0 0, 0 1	0 0,0 0 0 0,0 0 0 0 0 ⋮	0400H ⋮
	0 0	0 0, 0 1	1 1, 1 1 1 1, 1 1 1 1 1	07FFH
(2)	0 0	0 0, 1 0	0 0,0 0 0 0,0 0 0 0 0 ⋮	0800H ⋮
	0 0	0 0, 1 0	1 1, 1 1 1 1, 1 1 1 1 1	0BFFH
(3)	0 0	0 1, 0 0	0 0,0 0 0 0,0 0 0 0 0 ⋮	1000H ⋮
	0 0	0 1, 0 0	1 1, 1 1 1 1, 1 1 1 1 1	13FFH
(4)	0 0	1 0, 0 0	0 0,0 0 0 0,0 0 0 0 0 ⋮	2000H ⋮
	0 0	1 0, 0 0	1 1, 1 1 1 1, 1 1 1 1 1	23FFH

线选法连线简单，但地址会有重叠。（如 $A_{15}-A_{14}$ 取不同值时，各芯片对应不同地址）

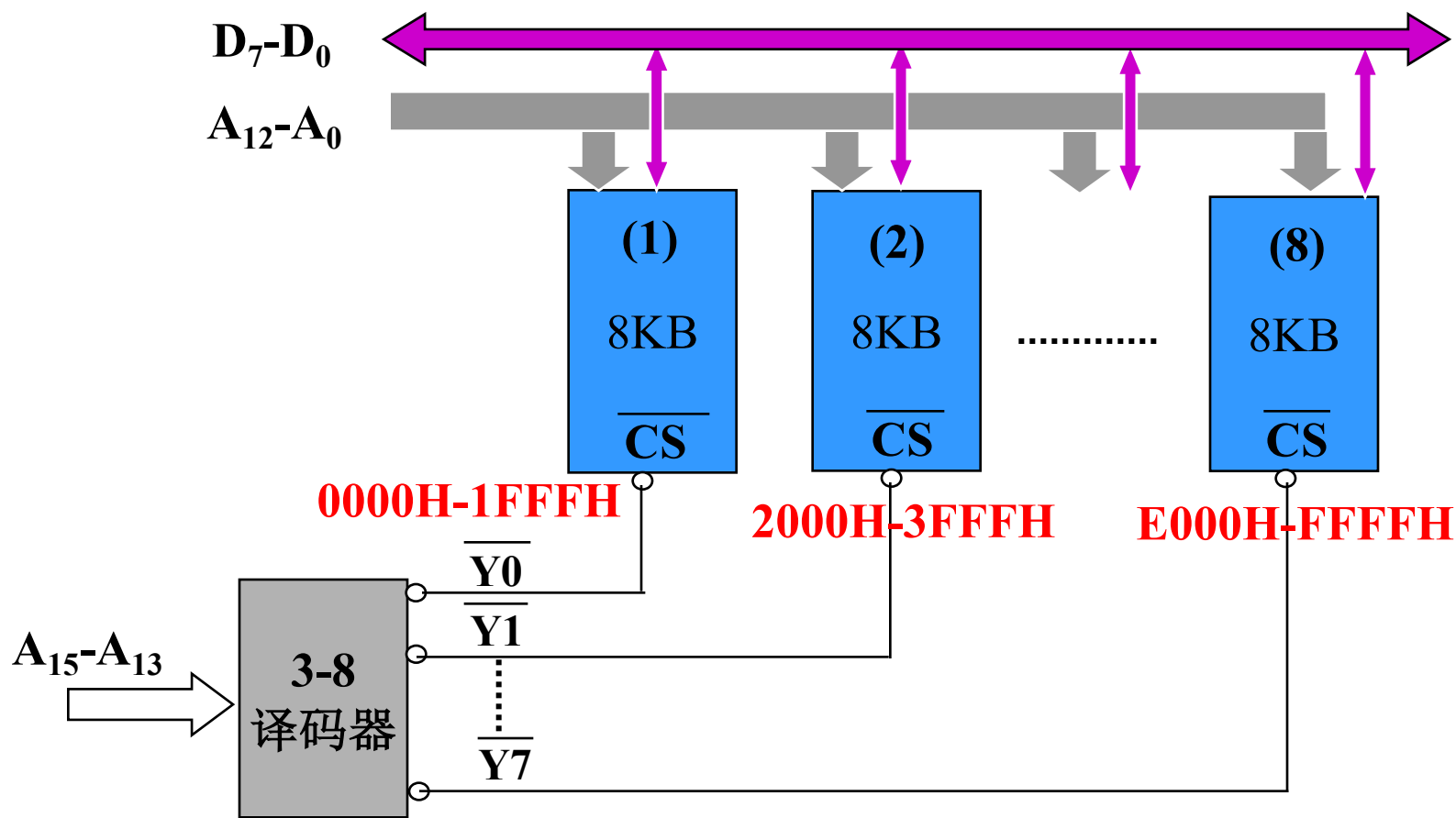




## (2) 全译码法

全译码法除了将地址总线的低位地址直接与芯片的地址线相连之外，其余高位地址全部接入译码器，由译码器的输出作为各芯片的片选信号。

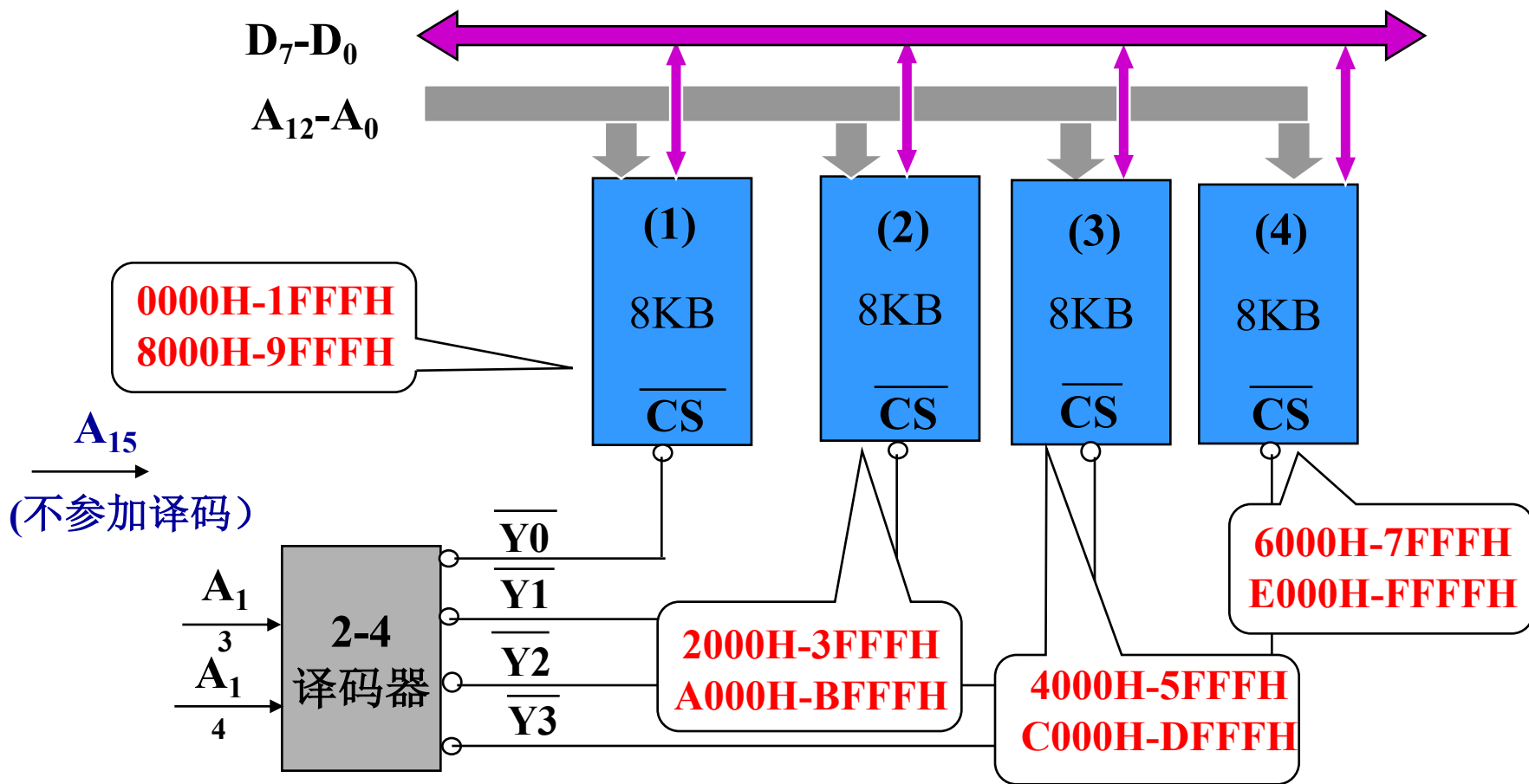
例：某微机地址线16位，存储容量为64KB，由8KB的芯片构成（片内地址为13位）。





### (3) 部分译码法

将高位地址线中的一部分进行译码，产生片选信号。该方法适用于不需要全部地址空间的寻址能力，但采用线选法地址线又不够用的情况。





## (4) 存储器地址译码电路设计步骤

- ① 根据系统中实际存储器容量，确定存储器在整个寻址空间中的位置；
- ② 根据所选用存储器芯片的容量，画出地址分配图或列出地址分配表；
- ③ 根据地址分配图或分配表确定译码方法并画出相应的地址位图；
- ④ 选用合适器件，画出译码电路图。



## 存储器地址译码举例：

某微机系统地址总线为16位( $A_{15}$ — $A_0$ )；双向数据总线8位( $D_7$ — $D_0$ )，控制总线中与主存有关的信号有：

$\overline{MREQ}$ （存储器请求）， $R/\overline{W}$ （读/写控制）。

① 实际存储器地址空间分配如下：

0000H—1FFFH为系统程序区(8KB)，由EPROM组成；

2000H—7FFFH为用户程序区(24KB)；由SRAM组成，最高2K地址空间为系统程序工作区（2KB），由SRAM组成。

② 现选用如下存储器芯片，据此画出地址分配图。

EPROM：8K×8位(控制端仅有CS)，需1片

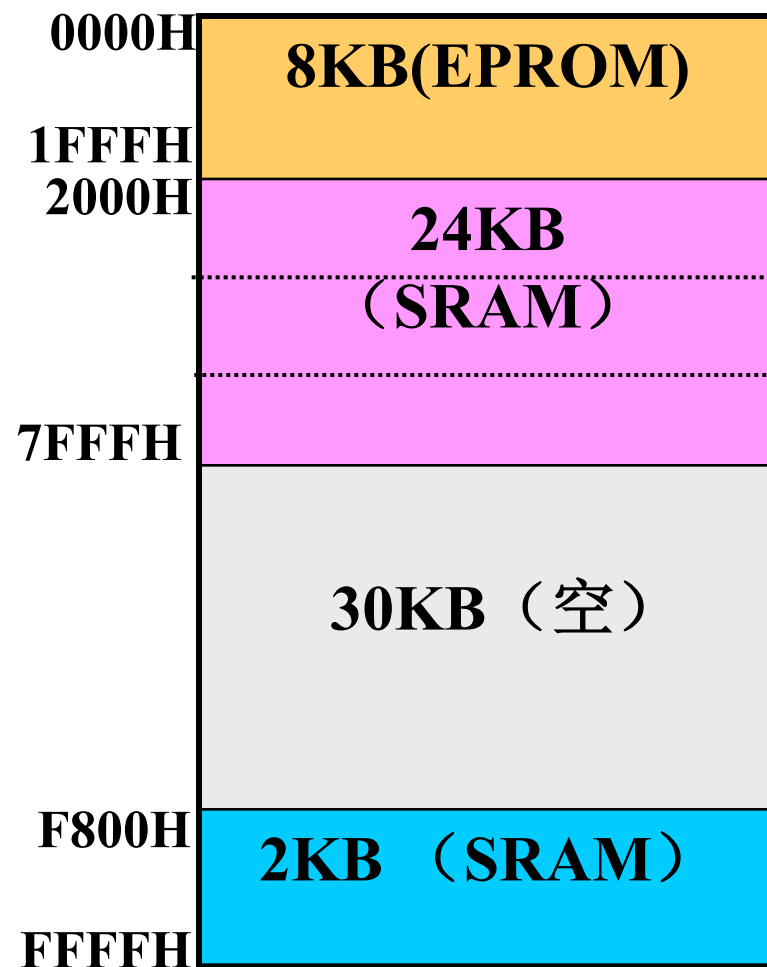
SRAM：8K×8位，需3片；2K×8位，需1片



地址分配表

芯片号	类型与容量	地址范围
(1)	EPROM 8KB	0000H- 1FFFFH
(2)	SRAM 8KB	2000H- 3FFFFH
(3)	SRAM 8KB	4000H- 5FFFFH
(4)	SRAM 8KB	6000H- 7FFFFH
(5)	SRAM 2KB	F800H- FFFFH

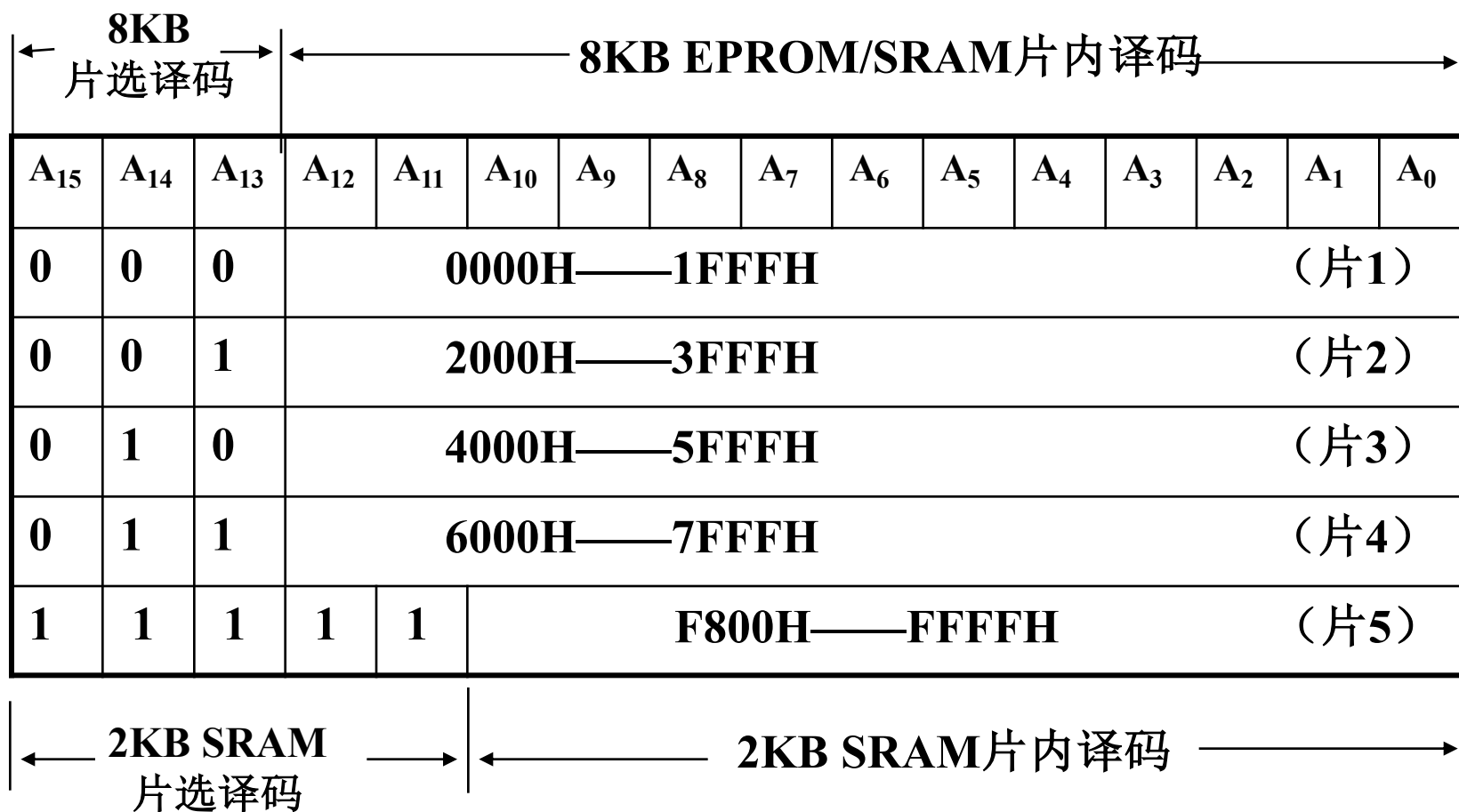
系统寻址空间64KB



地址分配图

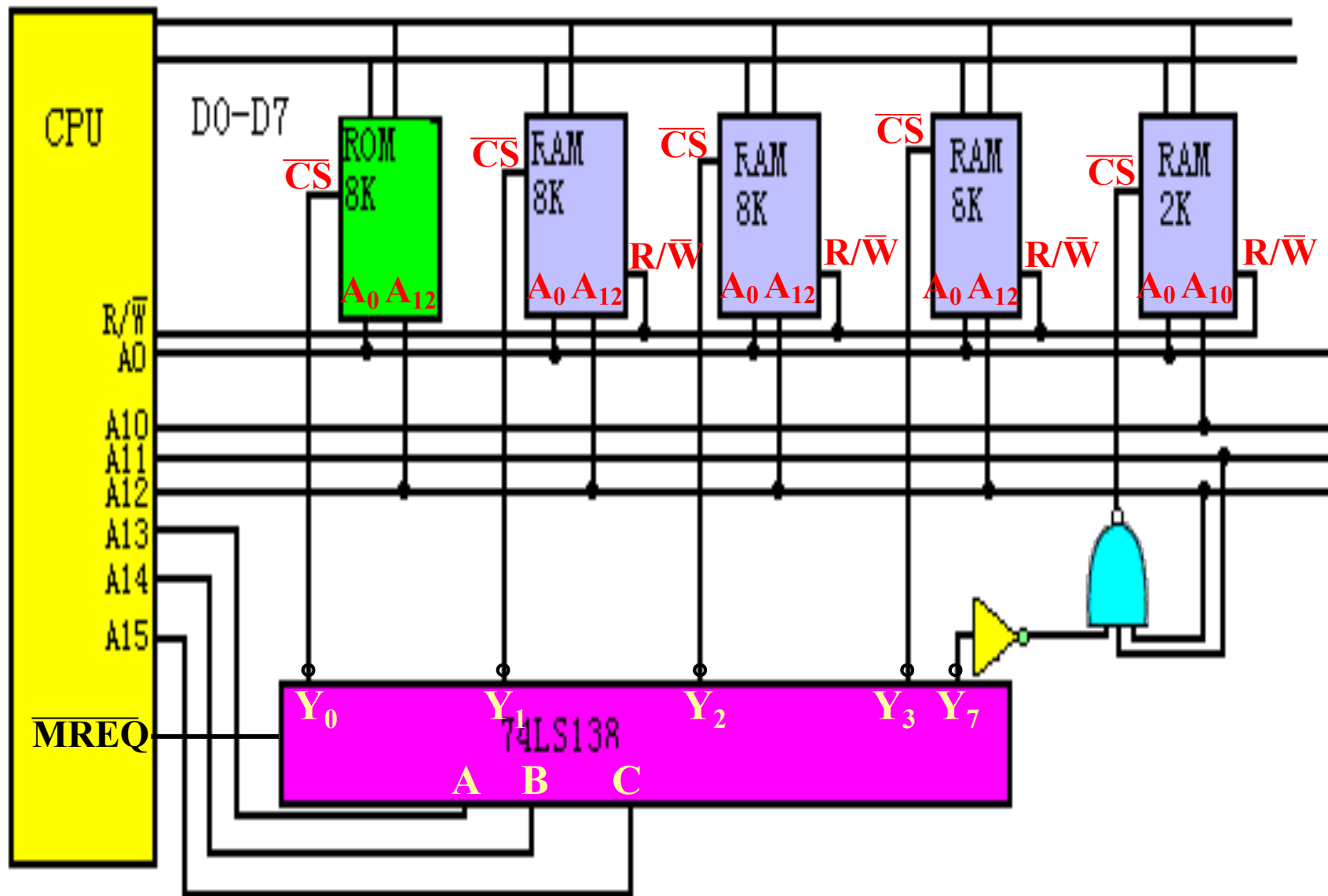


## ③ 画出地址位图





#### ④ 选用3-8译码器和基本门电路设计电路





### 3. 课堂练习

(1) 有若干片 $1\text{K} \times 8$ 位的SRAM芯片，采用字扩展方法构成4KB存储器，问：需要 4 片SRAM？该存储器需要多少

12 根地址线？参与片选的地址位至少需要 2 位？

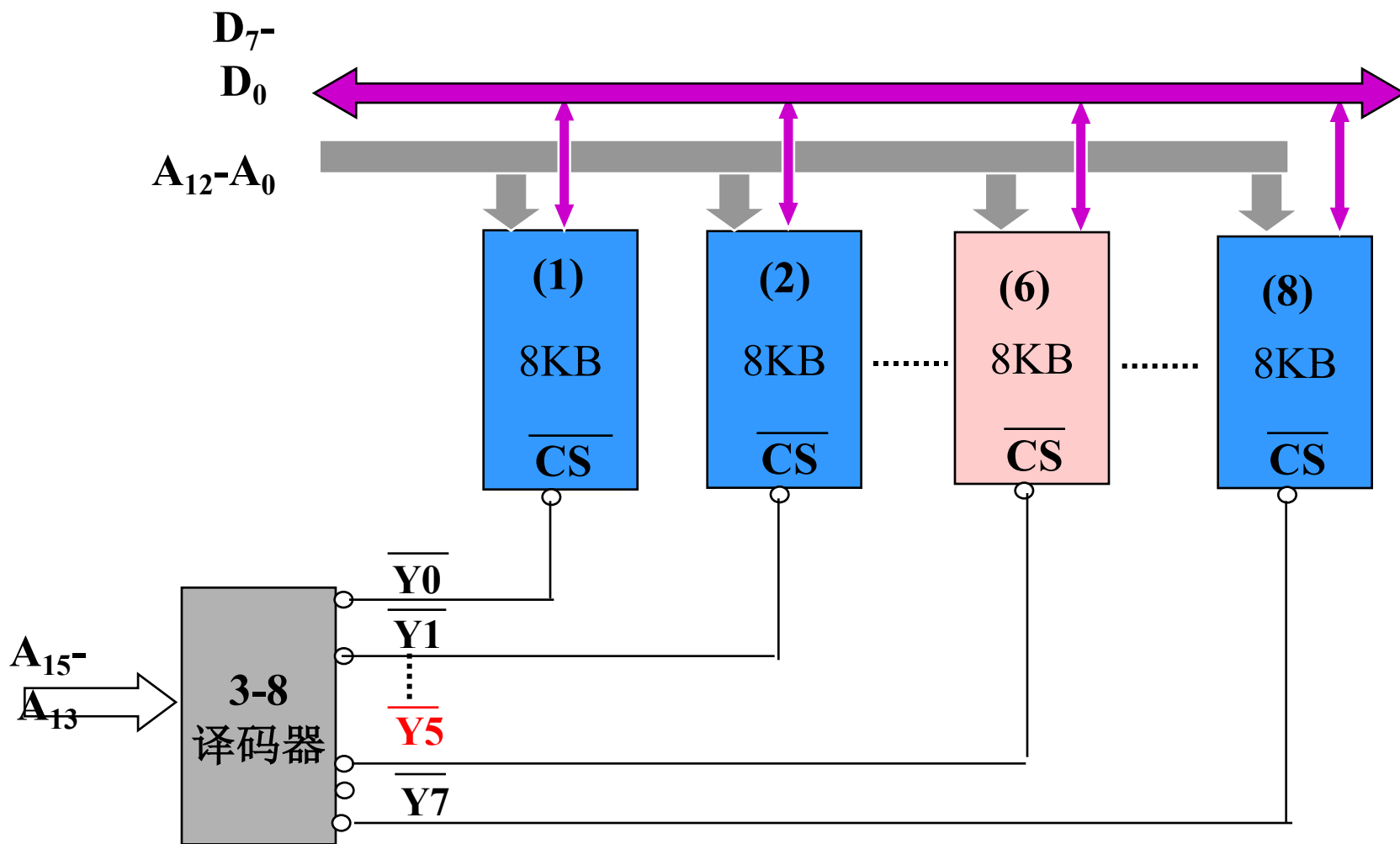
(2) 有若干片128KB SRAM芯片，如要构成512KB存储器，问：需要 4 片SRAM？如该512KB存储器的起始地址是10000H，最后一个单元的地址是 8FFFF H。

(3) 如内存按字节编址，用存储容量为 $32\text{K} \times 8$ 的存储芯片构成地址为A0000H至FFFFFFH的存储空间，则需要多少片？（ 10 ）



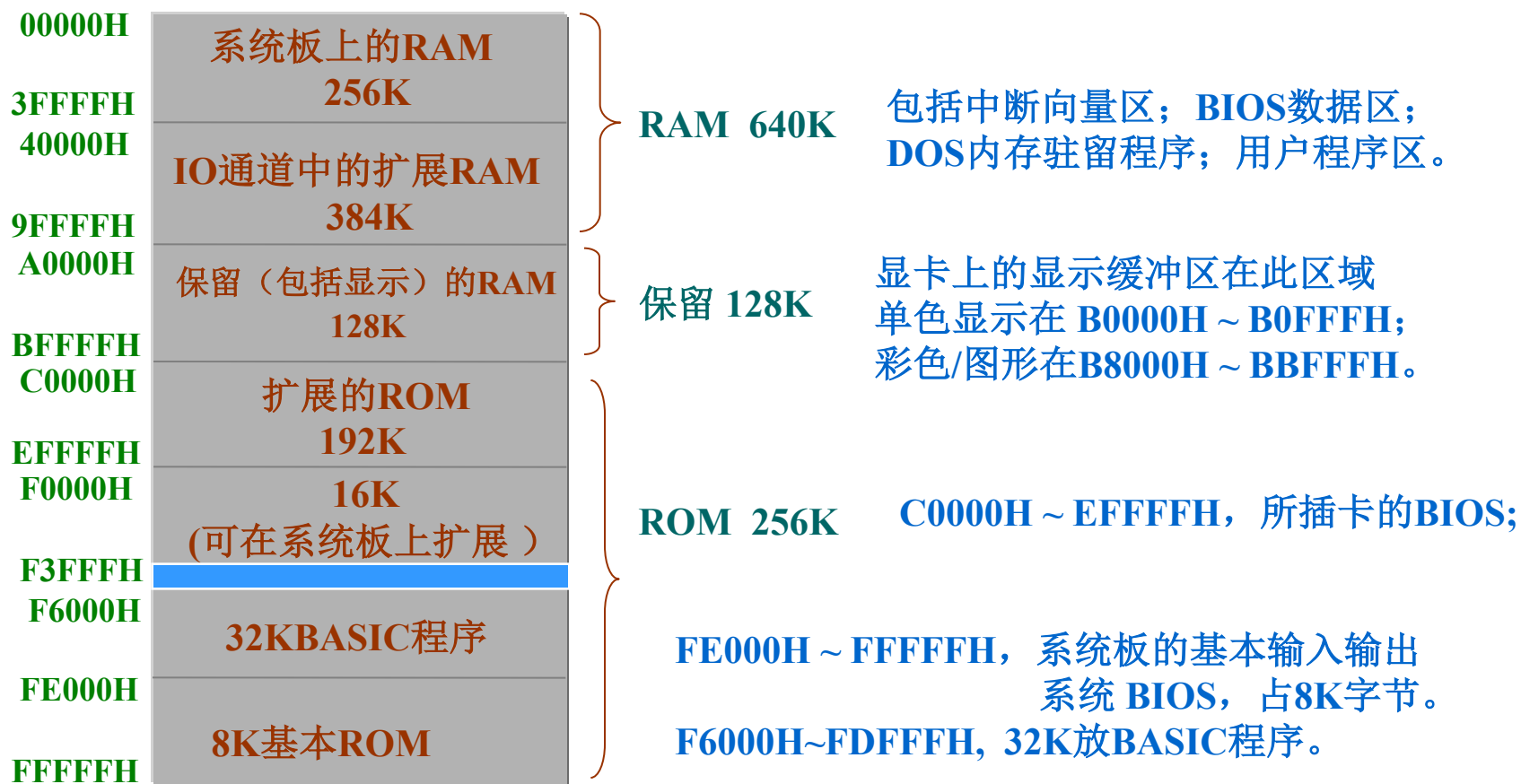


(4) 已知如下电路, 问第6个芯片的寻址范围从 A000H 到 BFFFH。





## 四、IBM PC/XT 的存储器分配图





## 第6章 学习重点

1. 掌握存储器的基本概念（分类，主要性能指标，容量）
2. 区别存储器地址和存储单元的内容，掌握存储器读写操作过程
3. 掌握存储器的扩展技术（位扩展、字扩展）
4. 掌握片选译码方法（线选法、全译码法）