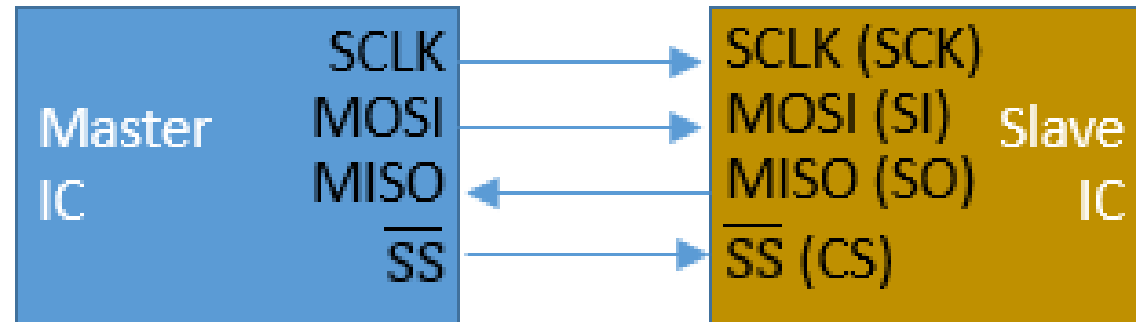


# Serial Peripheral Interface

Rozhraní SPI, USART mód SPI – ATmega328P

# Rozhraní Serial Peripheral Interface - SPI

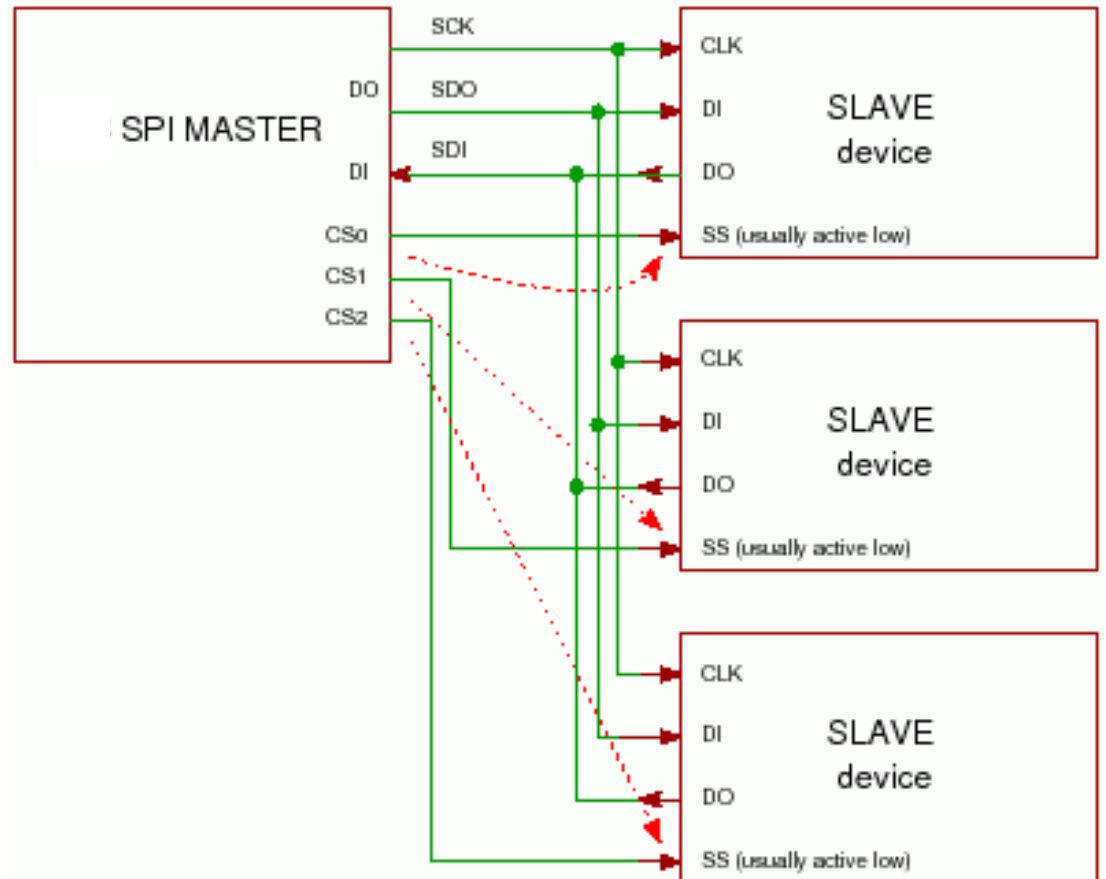


Vzájemné propojení dvou zařízení

- Synchronní vysoce rychlostní fullduplexní spojení dvou nebo více komunikujících uzlů na kratší vzdálenost
- Master zahajuje a řídí veškerou činnost na sběrnici.
- Pomocí signálu Slave Select (SS) vybírá master podřízený uzel (slave), se kterým chce komunikovat
- Master obsahuje generátor hodinového signálu - Clock (SCLK), který rozvádí do slave uzlů
- Master vysílá data signálem Master Out / Slave In (MOSI).
- Master přijímá data od Slave uzlu signálem MISO Master In / Slave Out

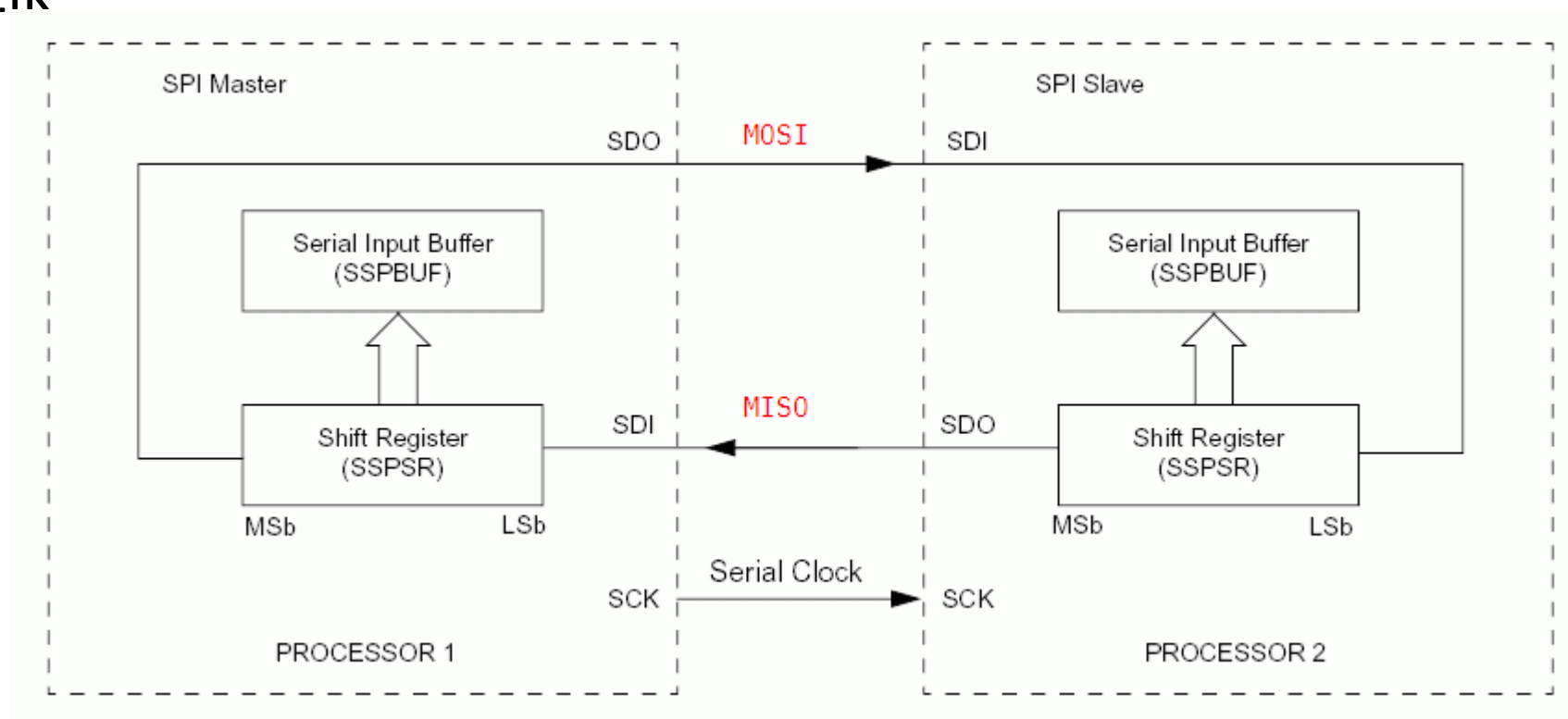
# Komunikace s více Slave uzly

- Piny CS0 až CS2 Master vybírá právě jeden z uzlů typu slave.
- V jeden okamžik může být vybrán vždy pouze jeden uzel typu slave
- Signál MOSI bývá rovněž označován jako SDO a signál MISO jako SDI.
- Pin DI na zařízení typu Master je připojen na pin DO u zařízení typu slave a přenáší signál SDI (MISO) a naopak.
- Je vhodnější používat označení signálů a pinů MOSI a MISO.



# Princip komunikace po sběrnici SPI

- datový záchytný registr Serial Input Buffer – SSPBUF
- posuvný registr Shift Register – SSPSR přijímaná/vysílaná data
- Vysílání i příjem jednoho bitu je nedělitelná operace, proběhne ve stejný okamžik



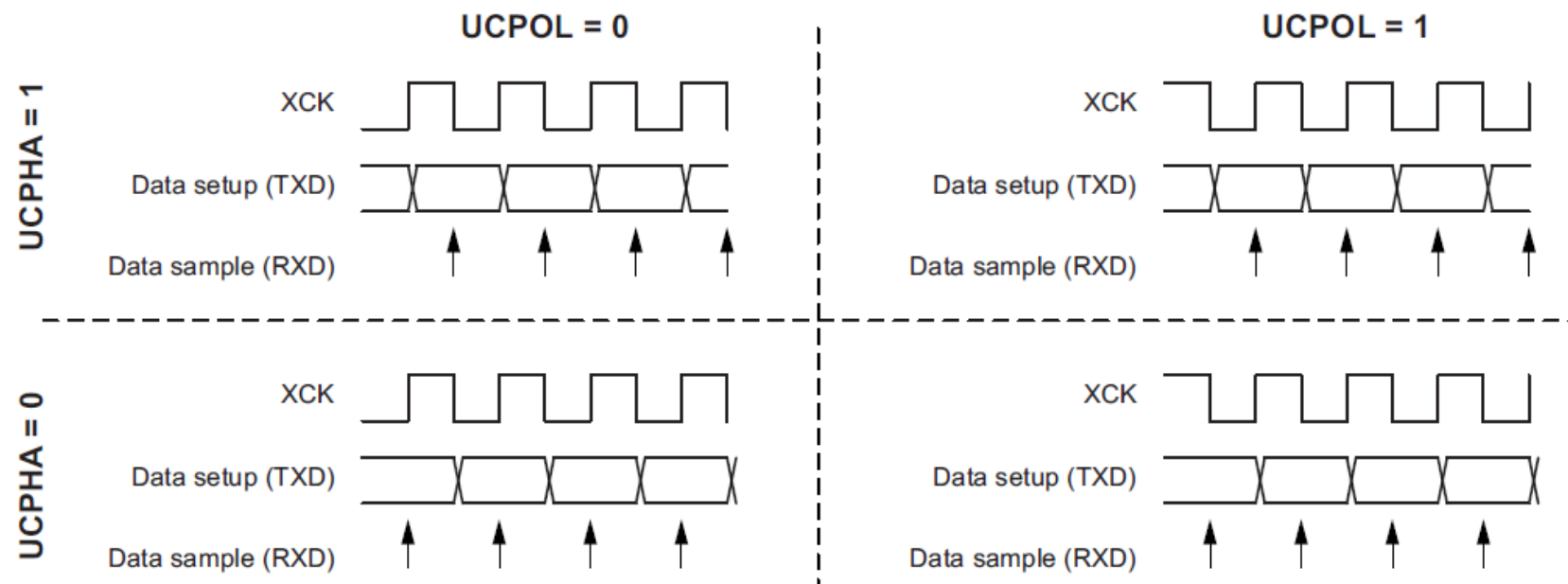
# SPI datové módy a časování

- UCPOL – polarita hodin, klidová úroveň (idle).

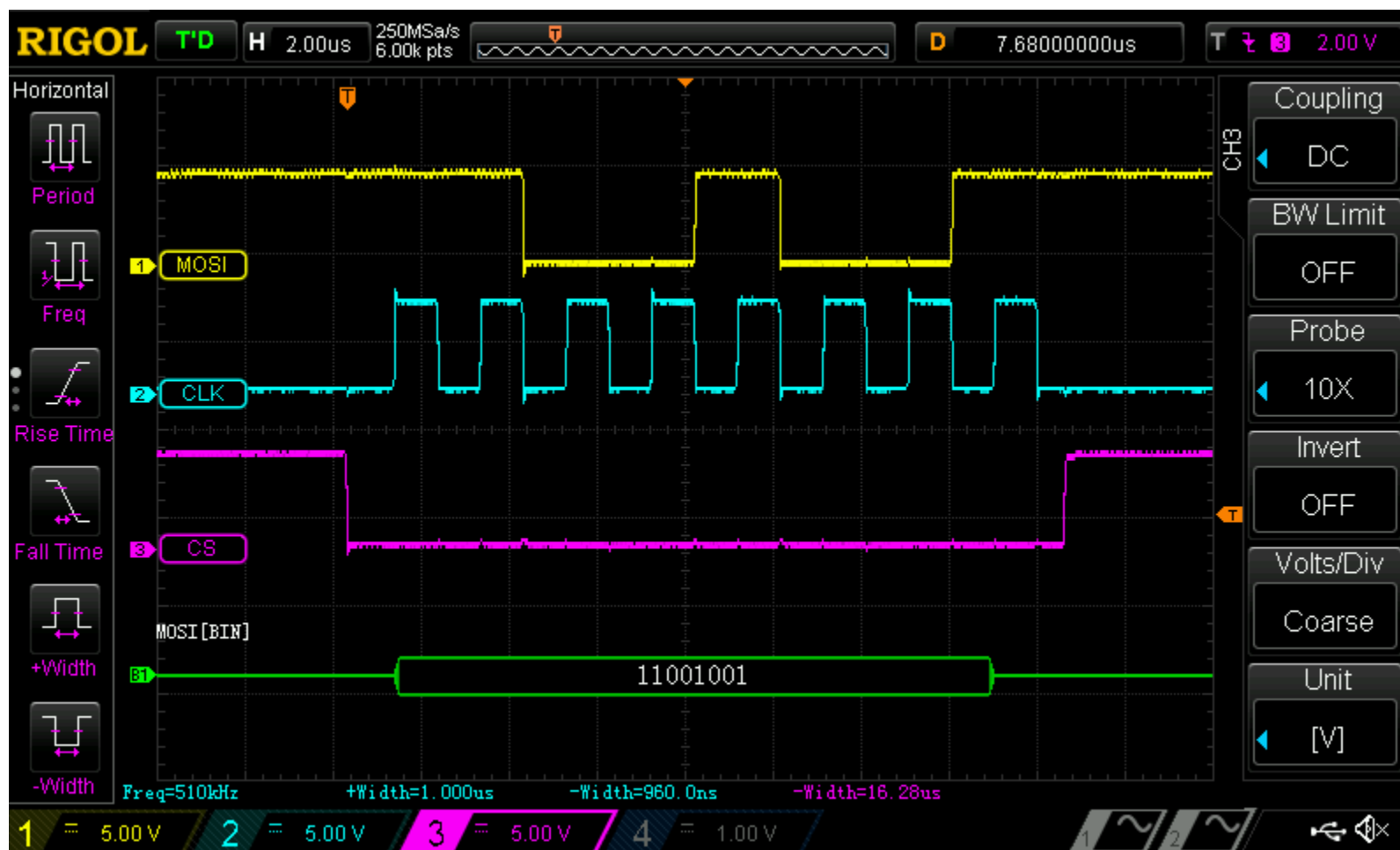
UCPOLn	UCPHAn	SPI Mode	Leading Edge	Trailing Edge
0	0	0	Sample (rising)	Setup (falling)
0	1	1	Setup (rising)	Sample (falling)
1	0	2	Sample (falling)	Setup (rising)
1	1	3	Setup (falling)	Sample (rising)

- UCPHA – hrana, ve které dochází k posunu.

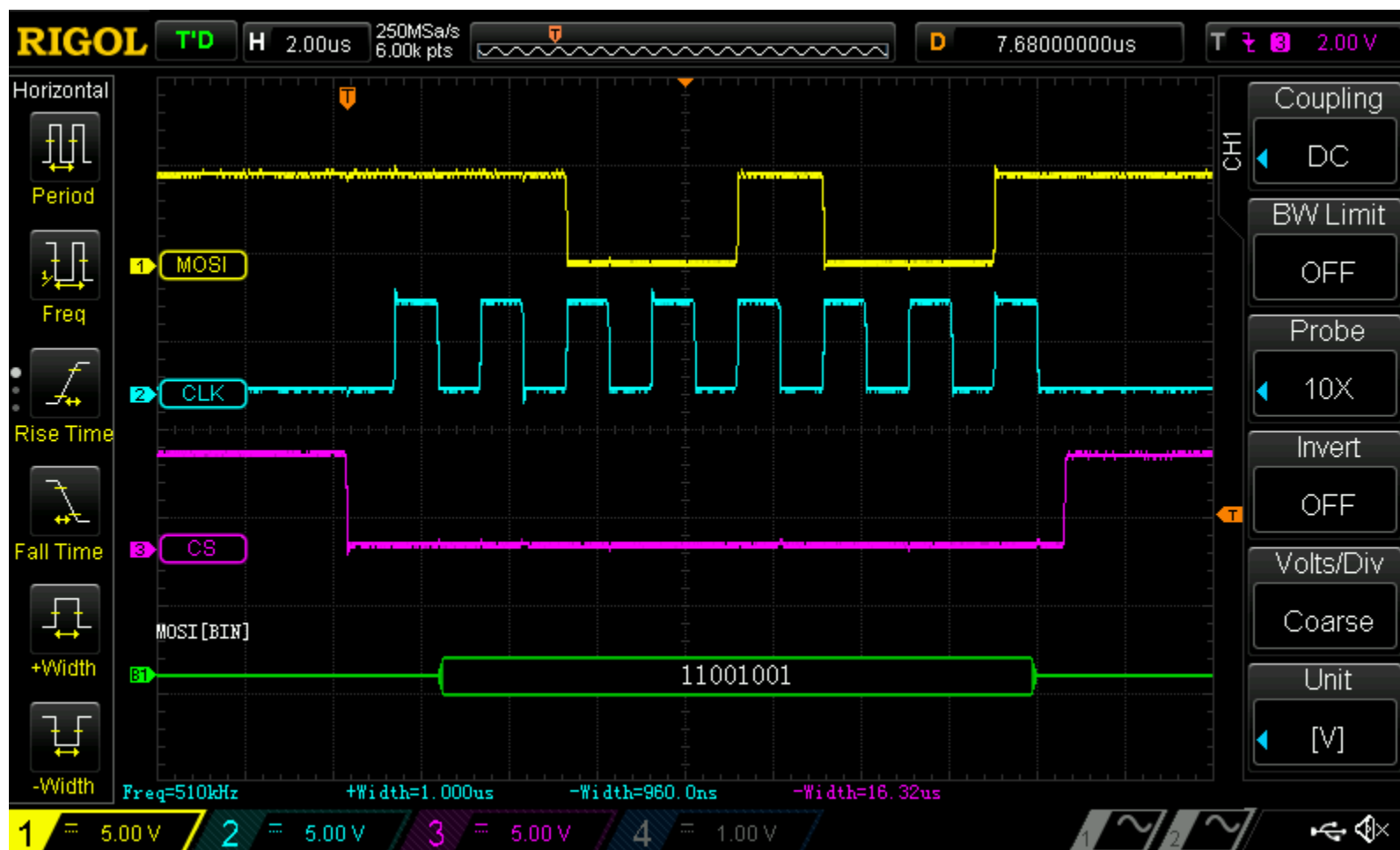
- Data jsou čtena uprostřed intervalu XCK.



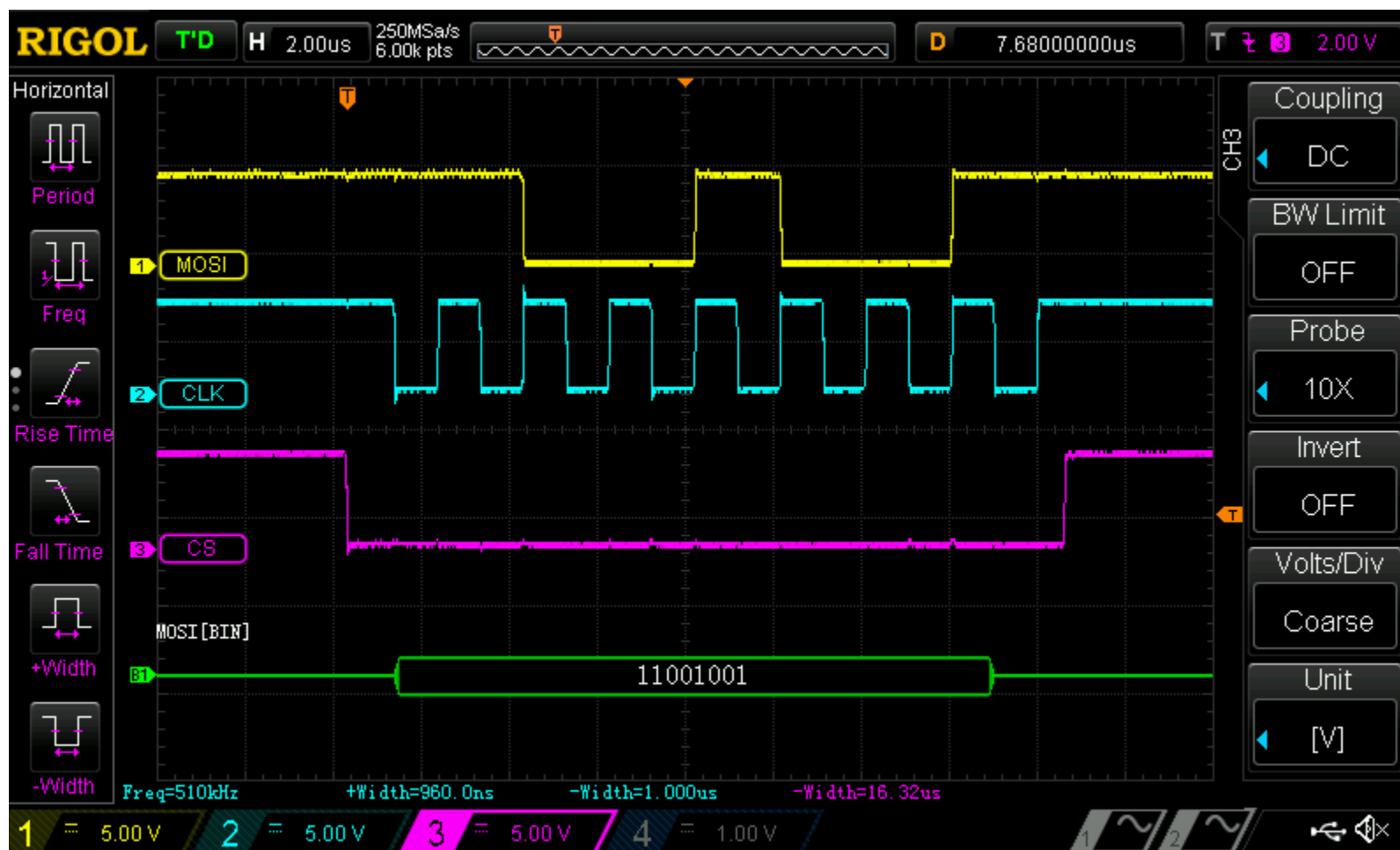
Přenos v režimu  $UCPOL = 0$ ,  $UCPHA = 0$



# Přenos v režimu UC POL = 0, UC PHA = 1

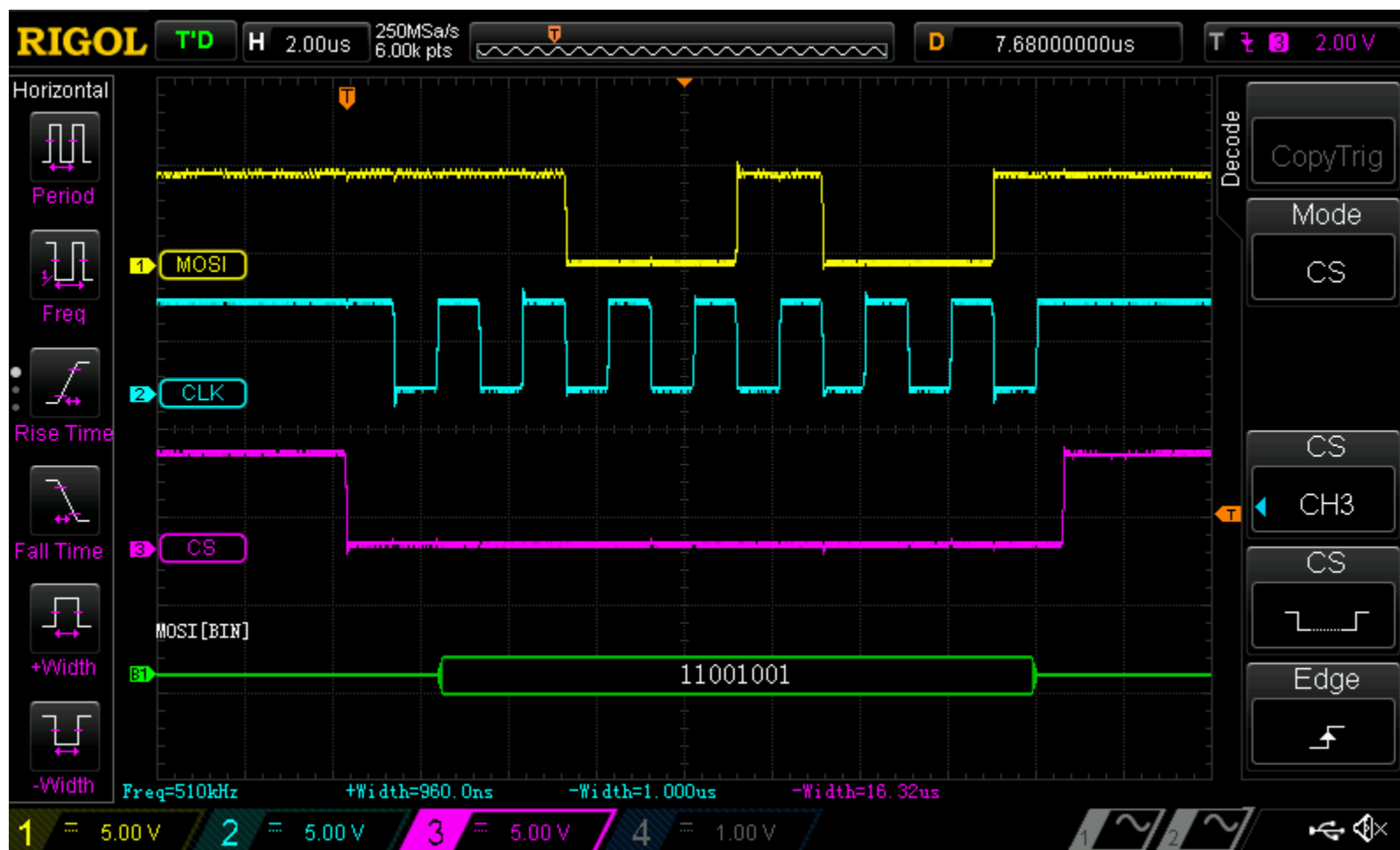


Přenos v režimu UC POL = 1, UC PHA = 0



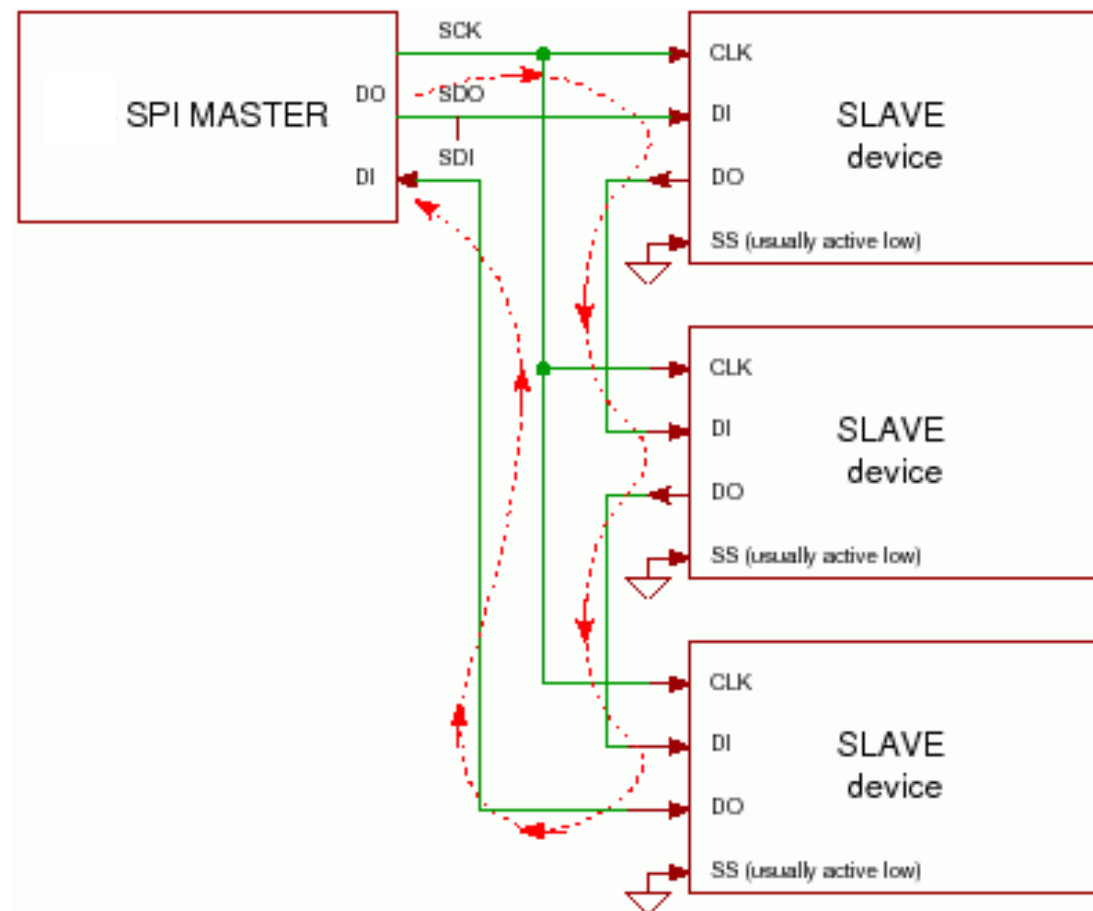


# Přenos v režimu UC POL = 1, UC PHA = 1

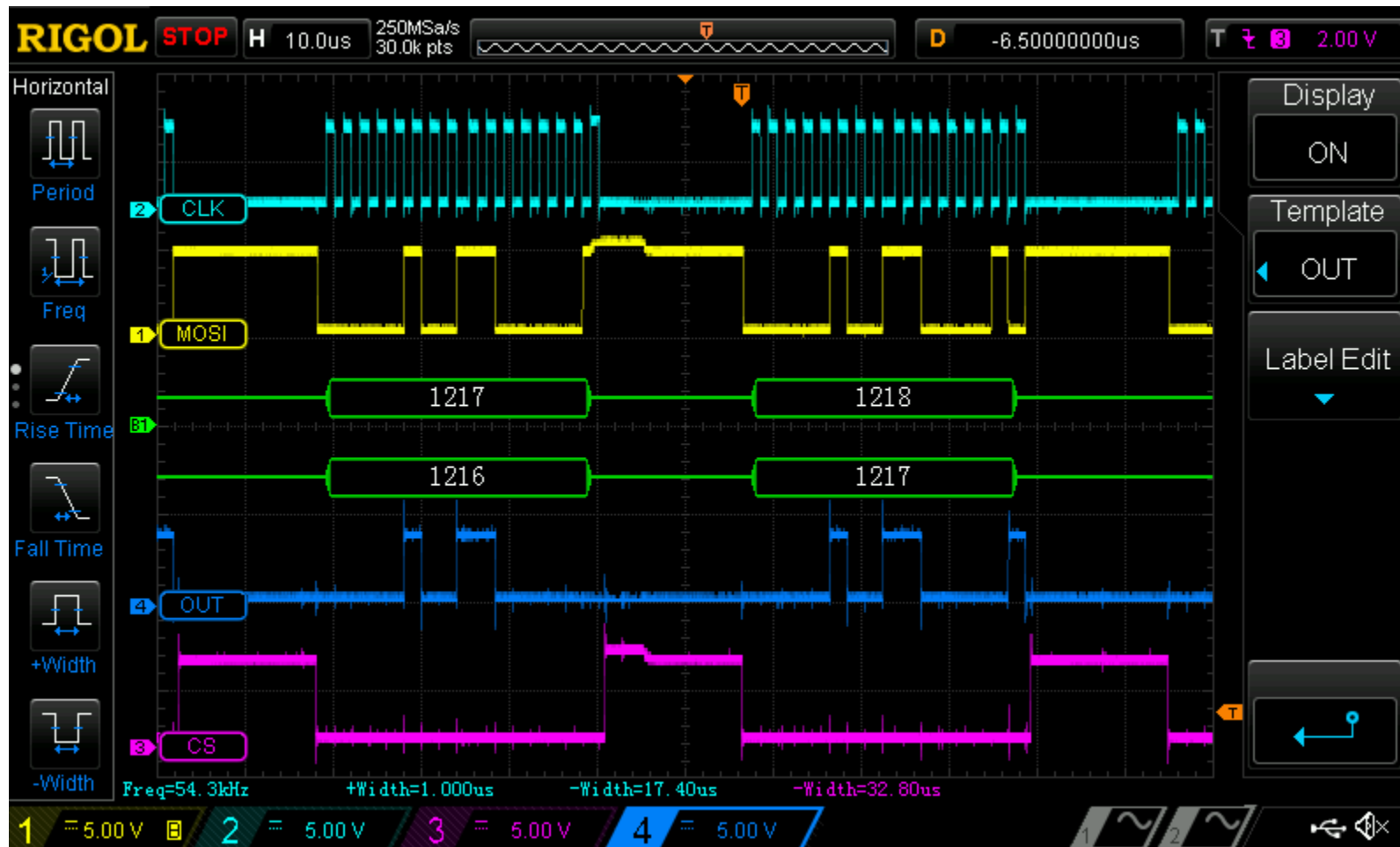


# Zřetězení uzlů na sběrnici SPI

- Hodinový signál je rozveden paralelně do všech uzlů.
- Datové vodiče tvoří kruh.
- Každý uzel obsahuje posuvný registr, sériovým zapojením je vytvořen jeden dlouhý posuvný registr, přičemž každý uzel v danou chvíli „vidí“ pouze jednu osmici bitů.
- Je nutné na vyšší vrstvě vytvořit vhodný komunikační protokol.



# Příklad SPI – Řetězení Slave obvodů



# USART – Master mód SPI - ATmega328P

- Nastavením řídicího registru UCSRnC a nastavením pinu XCKn se nastaví Master SPI Mode. (bity UMSELn 1:0, a režimu časování hodinového signálu bity UCPHAn a UCPOLn)
- Po zapnutí vysílače a přijímače v registru UCSR0B převezme řídicí logika SPI přímou kontrolu nad prostředky USART
- SPI řídí posuvný registr vysílače a přijímače, vyrovnávací paměti a generátor přenosové rychlosti.
- Generátor a kontrola parity, logika obnovy dat a hodin a řídicí logika RX a TX jsou deaktivovány.
- Logika řízení USART RX a TX je nahrazena logikou řízení přenosu SPI.

# Inicializace USART módu MSPI

- Nastavení přenosové rychlosti.
- Nastavení hlavního provozního režimu ( $DDR\_XCKn = 1$ ).
- Nastavení formátu rámce a povolení vysílače a přijímače.
- Pro nastavení výstupu  $XCKn$  musí být registr přenosové rychlosti ( $UBRRn$ ) v době aktivace vysílače vynulován.
- $UBRRn$  je zapsán na požadovanou hodnotu po povolení vysílače a před zahájením prvního přenosu
- Příznak  $TXCn$  - vysílač dokončil všechny přenosy
- Příznak  $RXCn$  – v přijímací vyrovnávací paměti nejsou žádná nepřečtená data.

# Přenos dat USART módu MSPI

- Vyžaduje povolení vysílače – nastavení bitu TXENn v registru UCSRnB (TxDn ve funkci sériového výstupu)
- Povolení přijímače je volitelné a provádí se nastavením bitu RXENn v registru UCSRnB
- Když je posuvný registr připraven k odeslání nového rámce, data zapsaná do UDRn se přesunou z vysílací vyrovnávací paměti do posuvného registru.
- Registr UDRn musí být přečten jednou pro každý přenesený bajt

# Nastavení režimu USART – registr UCSRnC

Bit	7	6	5	4	3	2	1	0	UCSRnC
	<b>UMSELn1</b>	<b>UMSELn0</b>	-	-	-	<b>UDORDn</b>	<b>UCPHAn</b>	<b>UCPOLn</b>	
Read/Write	R/W	R/W	R	R	R	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	1	1	0	

UMSELn1	UMSELn0	Mode
0	0	Asynchronous USART
0	1	Synchronous USART
1	0	Reserved
1	1	Master SPI (MSPIM)

```
ldi r18, (1<<UMSEL01)|(1<<UMSEL00)|(0<<UCPHA0)|(0<<UCPOL0)
sts UCSR0C,r18
```

# SPI časování - registr UCSRnC

- Čtyři kombinace fáze XCKn (SCK) a polarity vzhledem k sériovým datům
- Bit 1 - UCPHAn: Clock Phase
- Bit 0 - UCPOLn: Clock Polarity

UCPOLn	UCPHAn	SPI Mode	Leading Edge	Trailing Edge
0	0	0	Sample (rising)	Setup (falling)
0	1	1	Setup (rising)	Sample (falling)
1	0	2	Sample (falling)	Setup (rising)
1	1	3	Setup (falling)	Sample (rising)

```
ldi r18, (1<<UMSEL01)|(1<<UMSEL00)|(0<<UCPHA0)|(0<<UCPOL0)
sts UCSR0C,r18
```



# Formát rámce - registr UCSRnC

- Bit 2 – UDORDn (Data Order) v registru
- 8bit data, MSB jako první UDORDn = 1
- 8bit data, LSB jako první UDORDn = 0
- Po vyslání rámce může za ním přímo následovat další rámec, nebo se nastaví komunikační linka do klidového (idle) stavu.

# UCSRnB – zapnutí vysílače a přijímače

Bit	7	6	5	4	3	2	1	0	
	<b>RXCIE<sub>n</sub></b>	<b>TXCIE<sub>n</sub></b>	<b>UDRIE</b>	<b>RXEN<sub>n</sub></b>	<b>TXEN<sub>n</sub></b>	-	-	-	UCSRnB
Read/Write	R/W	R/W	R/W	R/W	R/W	R	R	R	
Initial Value	0	0	0	0	0	1	1	0	

- `ldi r18, (1<<RXEN0) | (1<<TXEN0)`
- `sts UCSR0B,r18`

# Generátor hodinového signálu

- V režimu USART MSPIM je podporován pouze interní signál XCKn zpracovaný stejně jako v režimu UARTs využitím pouze předěliče :2.
- Přenosová rychlost se nastaví v UBRRn a vypočítá se stejně.
- Nastavení přenosové rychlosti se zadává až po zapnutí vysílače

Operating Mode	Equation for Calculating Baud Rate <sup>(1)</sup>	Equation for Calculating UBRRn Value
Synchronous master mode	$\text{BAUD} = \frac{f_{\text{osc}}}{2(\text{UBRRn} + 1)}$	$\text{UBRRn} = \frac{f_{\text{osc}}}{2\text{BAUD}} - 1$

sts UBRR0H, r17  
sts UBRR0L, r16

# UCSRnA – stavy USART

- Bit 7 - RXCn: USART Receive Complete
- Bit 6 - TXCn: USART Transmit Complete
- Bit 5 - UDREn: USART Data Register Empty

Bit	7	6	5	4	3	2	1	0	
	<b>RXCn</b>	<b>TXCn</b>	<b>UDREn</b>	-	-	-	-	-	<b>UCSRnA</b>
Read/Write	R	R/W	R	R	R	R	R	R	
Initial Value	0	0	0	0	0	1	1	0	

; Wait for empty transmit buffer

lds r18,UCSR0A

; load UCSR0A into r18

sbrs r18,UDRE0

; wait for empty transmit buffer

rjmp USART\_MSPIM\_Transfer

;sbis UCSR0A, RXC0

lds r18,UCSR0A

; load UCSR0A into r18

sbrs r18,RXC0

; wait for data to be present in the receive buffer

rjmp USART\_MSPIM\_Wait\_RXC0