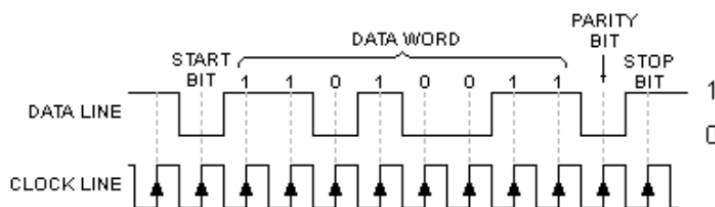


8 Komunikační rozhraní MCU a jednodeskových počítačů – vlastnosti a použití sběrnic SPI, I2C, rozhraní USART.

8.1 Rozhraní USART (univerzální synchronní/asynchronní příjem a vysílání)

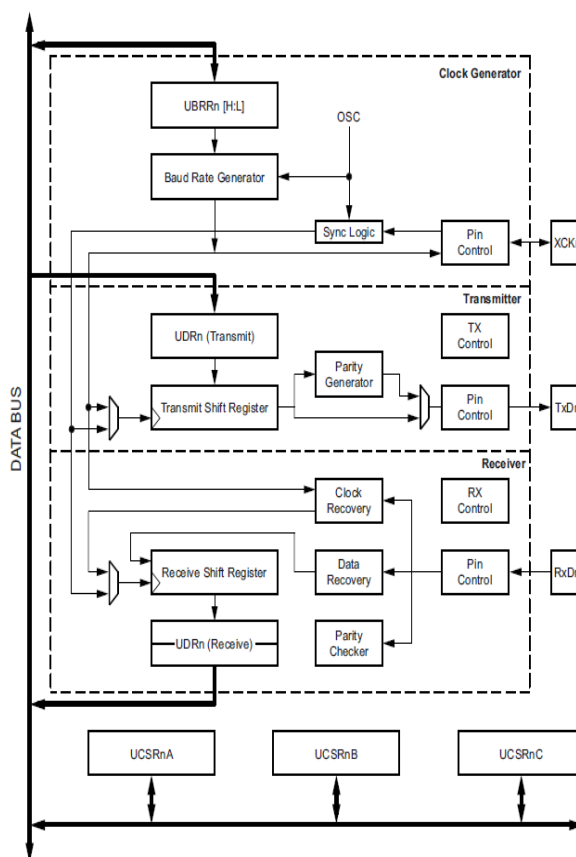
- Plně duplexní provoz (nezávislé sériové registry příjmu a vysílání)
- Synchronní provoz s taktováním Master nebo Slave
- Asynchronní provoz -sériové rámce – start bit, dále 5, až 8nebo 9 datových bitů, (parita) a 1nebo 2 stop bity
- Generování liché nebo sudé parity a kontrola parity podporovaná hardwarem
- Tři samostatná přerušení při TX kompletní, TX datový registr prázdný a RX kompletní



Asynchronní režim:

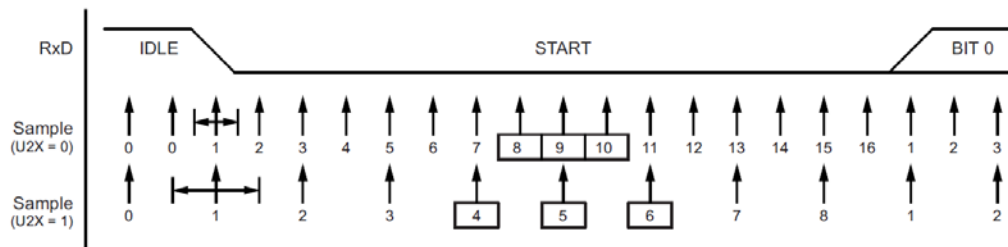
Jednotku USART tvoří tři bloky: generátor hodin, vysílač a přijímač

- **Generátor hodin** umožňuje pomocí předděliče nastavit požadovanou **rychlost přenosu**.
- **Vysílač** tvoří jeden buffer, **sériový posuvný registr, generátor parity a řídicí logiku** pro různé formáty sériových rámců. Zapisovací buffer umožňuje kontinuální přenos rámců bez jakéhokoliv zpoždění mezi rámci.
- **Přijímač** obsahuje **navíc jednotku pro obnovu hodin a dat**, dále detektor parity, řídicí logiku, posuvný registr a dvouúrovňový přijímací kruhový buffer (UDR), který pracuje jako kruhový FIFO(“First In –First Out”).
- **Příznakové bity chyb FE** (chyba rámce), DOR (ztráta znaku) a devátý přijatý bit RXB8jsou ukládány s daty v přijímacím dvouúrovňovém bufferu UDR. Proto musí být vždy příznakové bity přečteny dříve než přenášená data.
- **Přijímač podporuje ve stejném čase stejné formáty rámců jako vysílač**, ale navíc může detekovat chybu rámce, ztráty znaku a chybu parity.



Logika obnovy hodinového signálu a dat:

Přijatý signál je vzorkován vyšší frekvencí(dva módy – U2X), než je rychlost přenosu. Pokud dva ze tří vzorků (většina) nemají stejnou logickou úroveň, je signál považován za šum a přijímač hledat další přechod z HL na LL pro nalezení startovacího bitu.



Synchronní režim:

- USART může pracovat jako “Master” (generuje clock na pinu XCK) nebo jako “Slave” (přijímá clock z pinu XCK).
- Rychlost přenosu (baudrate) se nastavuje pomocí dělicího poměru hodinového signálu.

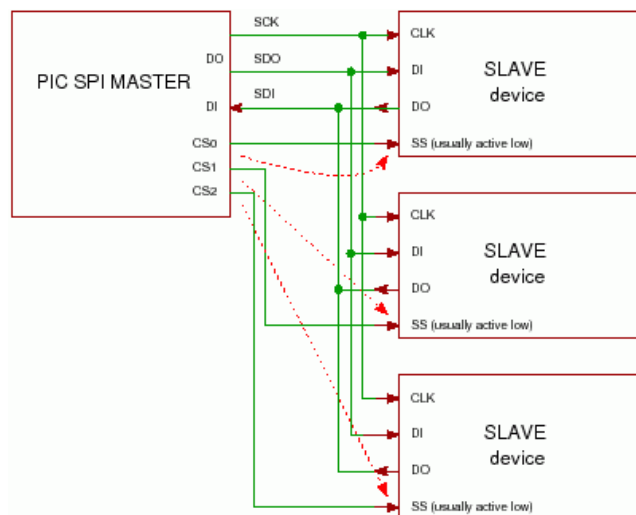
8.2 Rozhraní Serial Peripheral Interface – SPI

- Synchronní vysoce rychlostní fullduplexní spojení dvou nebo více komunikujících uzlů na kratší vzdálenost
- Master zahajuje a řídí veškerou činnost na sběrnici.
- Pomocí signálu Slave Select (SS) vybírá master podřízený uzel (slave), se kterým chce komunikovat
- Master obsahuje generátor hodinového signálu - Clock (SCLK), který rozvádí do slave uzlů
- Master vysílá data signálem Master Out / Slave In (MOSI).
- Master přijímá data od Slave uzlu signálem MISO Master In / Slave Out



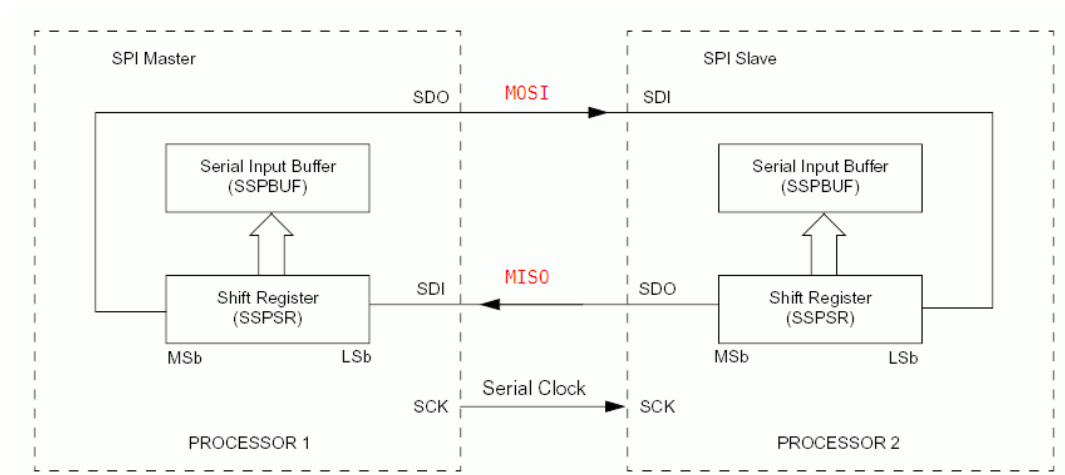
Komunikace s více Slave uzly:

- Piny **CS0 až CS2** Master **vybírá právě jeden z uzlů typu slave.**
- V jeden okamžik může být vybrán vždy pouze jeden uzel typu slave
- Signál MOSI bývá rovněž označován jako SDO a signál MISO jako SDI.
- Pin DI na zařízení typu Master je připojen na pin DO u zařízení typu slave a přenáší signál SDI (MISO) a naopak.
- Je vhodnější používat označení signálů a pinů MOSI a MISO.



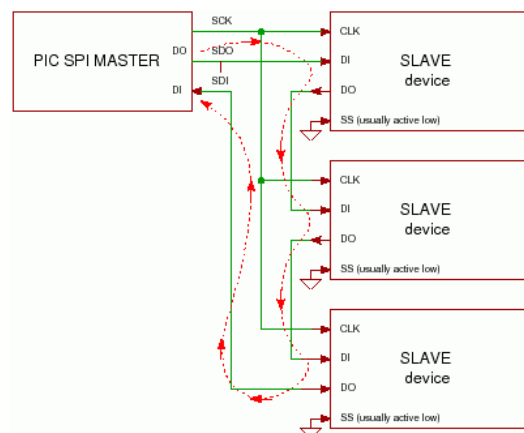
Princip komunikace po sběrnici SPI:

- datový záchytný registr Serial Input Buffer – SSPBUF
- posuvný registr Shift Register – SSPSR přijímaná/vysílaná data
- Vysílání i příjem jednoho bitu je nedělitelná operace, proběhne ve stejný okamžik
- SPI rozlišuje čtyři datové módy a časování podle polarity a fáze hodinového signálu



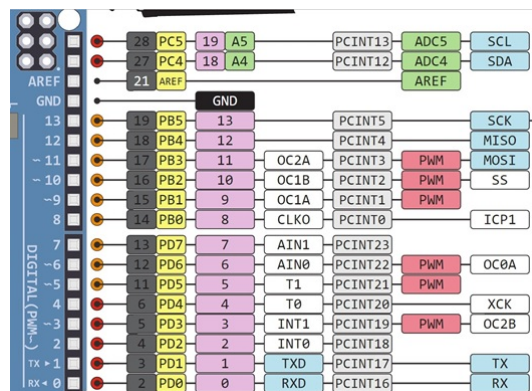
Zřetězení uzlů na sběrnici SPI:

- Hodinový signál je rozveden paralelně do všech uzlů.
- Datové vodiče tvoří kruh.
- Každý uzel obsahuje posuvný registr, sériovým zapojením je vytvořen jeden dlouhý posuvný registr, přičemž každý uzel v danou chvíli „vidí“ pouze jednu osmici bitů.
- Je nutné na vyšší vrstvě vytvořit vhodný komunikační protokol.



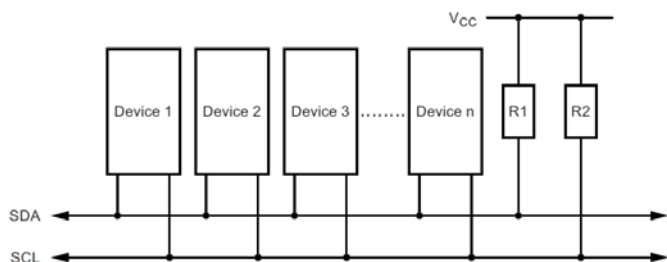
8.3 Rozhraní I2C - two-wire serial interface

- Dvou vodičové sériové rozhraní TWI je kompatibilní s Phillips I2C.
- Ideální pro aplikace mikrokontrolérů.
- Umožňuje propojit až 128 různých zařízení
- Propojení pomocí dvou obousměrných sběrnic - pro hodiny (SCL) a pro data (SDA).
- Externí pull-up rezistor pro každou linku sběrnice (výstup s otevřeným kolektorem).
- Zařízení připojená ke sběrnici mají jednotlivé adresy a mechanismy pro řízení sběrnice - protokol TWI.
- Samostatný hardware pro TWI (společné piny portu C - PC4 a PC5 pro analog)



Propojení na sběrnici TWI (I2C):

- Budiče sběrnic jsou s otevřeným kolektorem (montážní AND, kde alespoň jedno zařízení vyše LL – sběrnice je ve stavu LL, aby byla sběrnice ve stavu HL musí všechna zařízení být v odpojeném stavu)
- Parazitní kapacita sběrnice (max. 400 pF) ovlivňuje její max. rychlost (podle specifikace 200 kHz nebo 400 kHz)



Formát a přenos dat TWI:

-

Formát adresového balíku:

-

Formát datového baletu:

-
- The diagram illustrates the timing of an I2C data transfer. It features five signal lines: Aggregate SDA, SDA from Transmitter, SDA from Receiver, SCL from Master, and SLA + R/W. The SCL signal is a periodic square wave. The SDA signal shows a sequence of data bytes being transferred. The first byte is labeled 'Data MSB' and the second is 'Data LSB'. The third byte is labeled 'ACK'. The SDA signal from the transmitter is high during the first two bytes and low during the ACK. The SDA signal from the receiver is high during the first two bytes and low during the ACK. The SLA + R/W signal is high during the first two bytes and low during the ACK. The diagram is divided into three sections by vertical dashed lines: the first section is labeled '1', the second is labeled '2', and the third is labeled '7'. The SCL signal is labeled '1', '2', '7', '8', and '9' at various points. The SDA signal is labeled 'Data MSB', 'Data LSB', and 'ACK' at various points. The SLA + R/W signal is labeled '1', '2', '7', '8', and '9' at various points. The diagram shows the timing of the SDA signal relative to the SCL signal, with the SDA signal being sampled by the receiver during the high period of the SCL signal. The SCL signal is high during the first two bytes and low during the ACK. The SDA signal from the transmitter is high during the first two bytes and low during the ACK. The SDA signal from the receiver is high during the first two bytes and low during the ACK. The SLA + R/W signal is high during the first two bytes and low during the ACK. The diagram is divided into three sections by vertical dashed lines: the first section is labeled '1', the second is labeled '2', and the third is labeled '7'. The SCL signal is labeled '1', '2', '7', '8', and '9' at various points. The SDA signal is labeled 'Data MSB', 'Data LSB', and 'ACK' at various points. The SLA + R/W signal is labeled '1', '2', '7', '8', and '9' at various points.