|  |  |  |  |
| --- | --- | --- | --- |
| **序号（学号）：** | 222020335220177 | **实验成绩:** |  |

****

**西 南 大 学 人 工 智 能 学 院 专 业 课 程 实 践 报 告**

|  |  |
| --- | --- |
| **学年学期** | 2021-2022第二学年 |
| **课程名称** | 数字电路 |
| **姓 名** | 严中圣 |
| **学 院** | 人工智能学院 |
| **专 业** | 智能科学与技术 |
| **班 级** | 3班 |
| **任课教师** | 褚金 |

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **2022** | **年** | **5** | **月** | **20** | **日** |

|  |  |  |  |
| --- | --- | --- | --- |
| **实验项目** | **译码器** | | |
| **实验成绩** |  | **教师签名** |  |
| **实验时间** | **2022.5.20** | **实验类型** | ☑**验证性 □设计性 □综合性** |
| **评语** | | | |
|  | | | |

**实验十四 译码器**

1. **实验目的：**
2. 掌握中规模集成译码器的逻辑功能和使用方法
3. 熟悉数码管的使用
4. **实验原理：**
5. 译码器是一个多输入、多输出的组合逻辑电路。它的作用是把给定的代码进行“翻译”，变成相应的状态，使输出通道中相应的一路有信号输出。译码器在数字系统中有广泛的用途，不仅用于代码的转换、终端的数字显示，还用于数据分配，存贮器寻址和组合控制信号等。不同的功能可选用不同种类的译码器。
6. 译码器可分为通用译码器和显示译码器两大类。前者又分为变量译码器和代码变换译码器。变量译码器（又称二进制译码器），用以表示输入变量的状态，本实验主要学习这种二进制译码器，如2 线－4 线（74LS139）、3 线－8 线（74LS138）和4 线－16 线译码器。若有n 个输入变量，则有2n 个不同的组合状态，就有2n 个输出端供其使用。而每一个输出所代表的函数对应于n 个输入变量的最小项。
7. 数据选择器74ls138、74LS139 各引脚功能如下图所示。

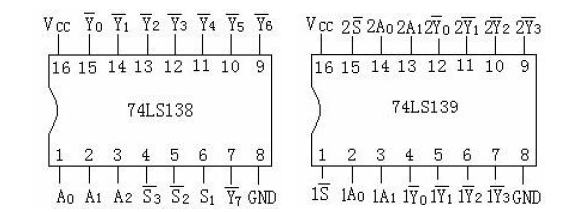


图1

以3 线—8 线译码器74LS138 为例进行分析，图1左为其逻辑图及脚排列。其中A1、A2、A0 为地址输入端， 为译码输出端，S1、S2、S3 为使能端。表4.11.1为74LS138 功能表当S1=1，时，器件使能，地址码所指定的输出端有信号（为0）输出，其它所有输出端均无信号（全为1）输出。当S1=0，时，或时，译码器被禁止，所有输出同时为1。

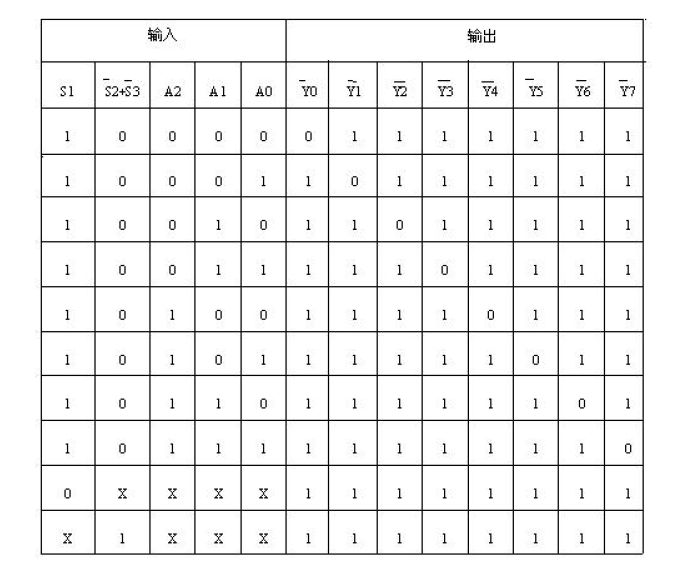


表1

1. **实验仪器及设备：**

* 电路电子实验箱、双踪示波器、数字万用表。
* 芯片：译码器74ls139、74LS138、74LS20 各一片。

1. **实验内容：**
2. 将74LS139 双2 线—4 线译码器按下图所示连接。输入端A1、A0 接逻辑开关，输出Y0~ Y3 接发光二极管。改变逻辑开关的状态，观察输出，写出Y0~ Y3 的数值及其表达式。

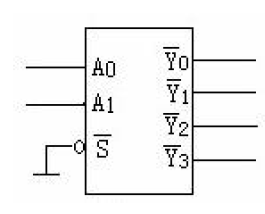


图2

|  |  |
| --- | --- |
| **A1 A2** | **0 1 2 3** |
| **0 0** | **0 1 1 1** |
| **0 1** | **1 1 0 1** |
| **1 0** | **1 0 1 1** |
| **1 1** | **1 1 1 0** |

表2

由上表可得：

1. 译码器的级联应用：

用2-4 线译码器74LS139 组成的电路如图3 所示，按图连接，输入D0～D2 接逻辑开关，输出Y0～Y7 接发光二极管，改变输入信号的状态，观察输出，写出Y0 ～Y7 的表达式，并填表3。

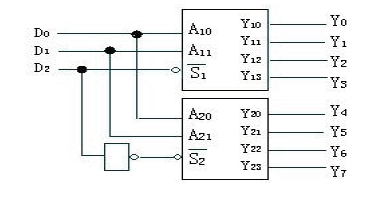


图3

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| D2 D1 D0 |  |  |  |  |  |  |  |  |
| 0 0 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |
| 0 0 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 |
| 0 1 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 |
| 0 1 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 |
| 1 0 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| 1 0 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 |
| 1 1 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 1 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

表3

1. 74LS138 的应用:

用一片74LS138 的3-8 译码器及一片74LS20 双四输入与非门组成一位全加器的电路图，全加器的三个输入端为被加数X、加数Y、低位向高位的进位Ci-1，输出Si 及本位进位输出为Ci。

1. 写出真值表.

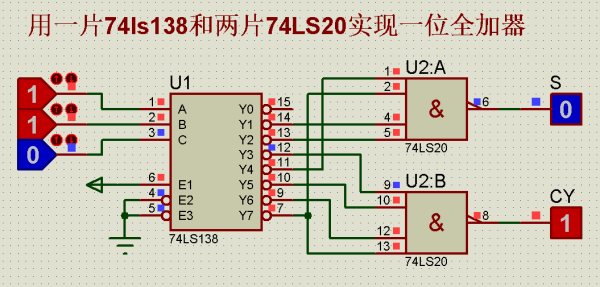
|  |  |
| --- | --- |
|  |  |
| 0 0 0 | 0 0 |
| 0 0 1 | 1 0 |
| 0 1 0 | 1 0 |
| 0 1 1 | 0 1 |
| 1 0 0 | 1 0 |
| 1 0 1 | 0 1 |
| 1 1 0 | 0 1 |
| 1 1 1 | 1 1 |

表4

1. 写出逻辑表达式.

=()’ =()’

1. 画出电路图.



1. 通过实验分析验证所设计的电路是否正确.

通过实验满足真值表结果。

1. **思考与总结：**

* 思考题：

1) 译码器分哪几类?

变量译码和显示译码两类。

2) 分析将2-4 译码器级联为3-8 译码器的设计实现过程。

由于译码器译码输出与输入对应，输入端位000~111对应选择输出端的Y0~Y7，故可以根据输入端最高位将3-8线译码器分割为低4位和高4位，结合逻辑地址分段的思路使用两个2-4线译码器的表示对应的Y0~Y3和Y4~Y7。

由于Y0~Y3和Y4~Y7除了输入端的最高位不同一一对应，因此可以输入端最高位控制2-4译码器的使能端，将剩余的输入作为片内地址去控制有效译码器的输出。