# 运算器实验报告

1、快速加法器

* 4位先行进位74182
* 4位快速加法器
* 16位快速加法器
* 32位快速加法器

2、32位算数逻辑单元实验

* 算术逻辑运算单元ALU

2、乘法器

* 5位阵列乘法器
* 6位补码阵列乘法器
* 5位无符号乘法流水线

1. **实验目的**
2. **快速加法器**

* 掌握并验证串行加法器的逻辑实现
* 理解全并行进位计算的基本原理，能设计快速加法器
* 在logisim中实现快速加法器

1. **32位算数逻辑运算单元实验**

* 掌握定点数加、减法溢出检测方法
* 理解算数逻辑运算单元ALU的基本构成
* 熟悉logisim中的各种运算组件
* 熟悉并掌握多路选择器的使用

**3、阵列乘法器**

* 理解阵列乘法器的实现原理
* 熟悉流水线传输机制、体会流水线设计思路、为流水cpu设计做准备。

1. **实验任务说明/分析**
2. **快速加法器实验**

* 8位可控加减法电路（设计）
* 4位先行进位电路
* 4位快速加法器
* 16位快速加法器
* 32位快速加法器

1. **32位算数逻辑运算单元实验**

* 用简单方式，设计32位ALU
  + 运用已完成的32位加法器、logisim的其他运算组件进行集成
  + 禁止使用logisim内置加法器、减法器

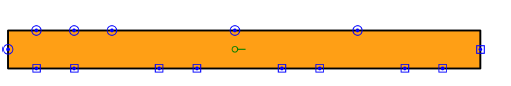
1. **阵列乘法器实验**

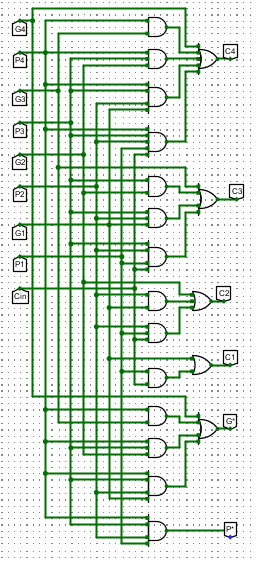
* 设计5位无符号阵列乘法器
* 设计6位补码阵列乘法器
* 设计实现5位无符号乘法流水线

1. **实验过程**
2. **快速加法器实验**

**1、4位可级联先行进位电路设计**

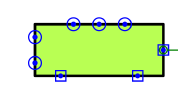
* 输入：4组的P、G信号（生成函数与传递函数）；
* 输出：
  + 4位的先行进位信号C4-C1
  + 成组的生成函数与传递函数信号——P\*、G\*
* 功能：实现先行进位电路

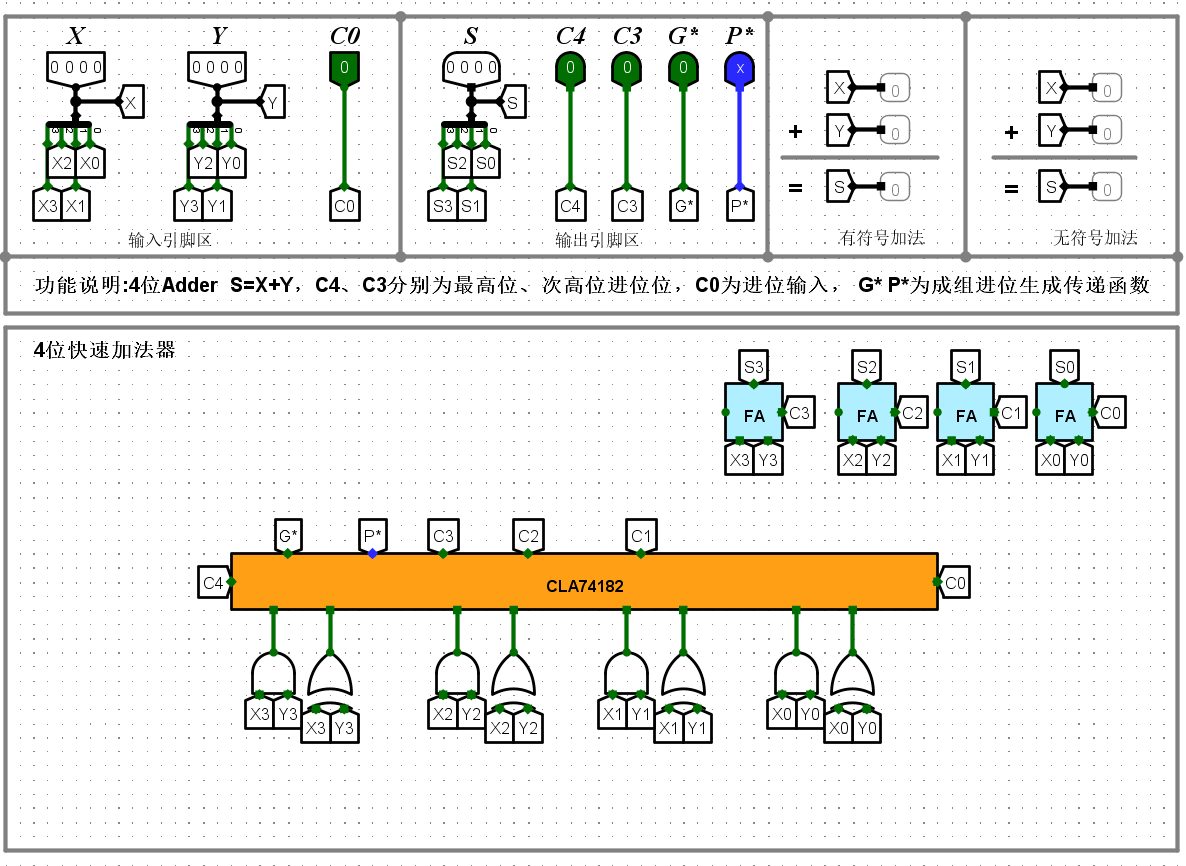


* 思路：借助logisim的电路分析功能，填写输出信号的逻辑表达式
* 电路图：
  + 

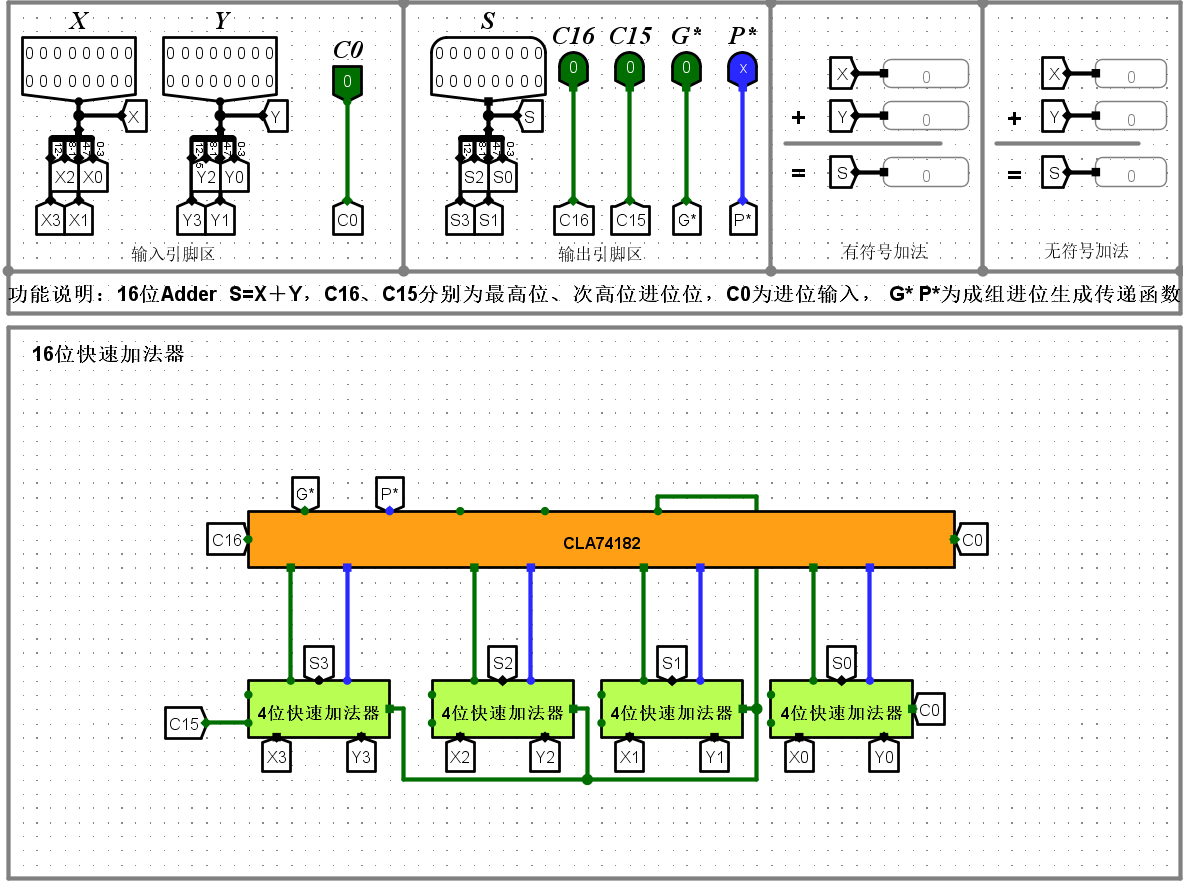
**2、4位快速加法器实验**

* 输入：4位的输入X，Y；进位输入C 0
* 输出：
  + 4位运算结果S；最高位进位输出C4（1位），次高位进位输出C3（1位）
  + 成组的生成函数与传递函数信号——P\*、G\*
* 功能：实现2个4位数的加法S = X+Y 。

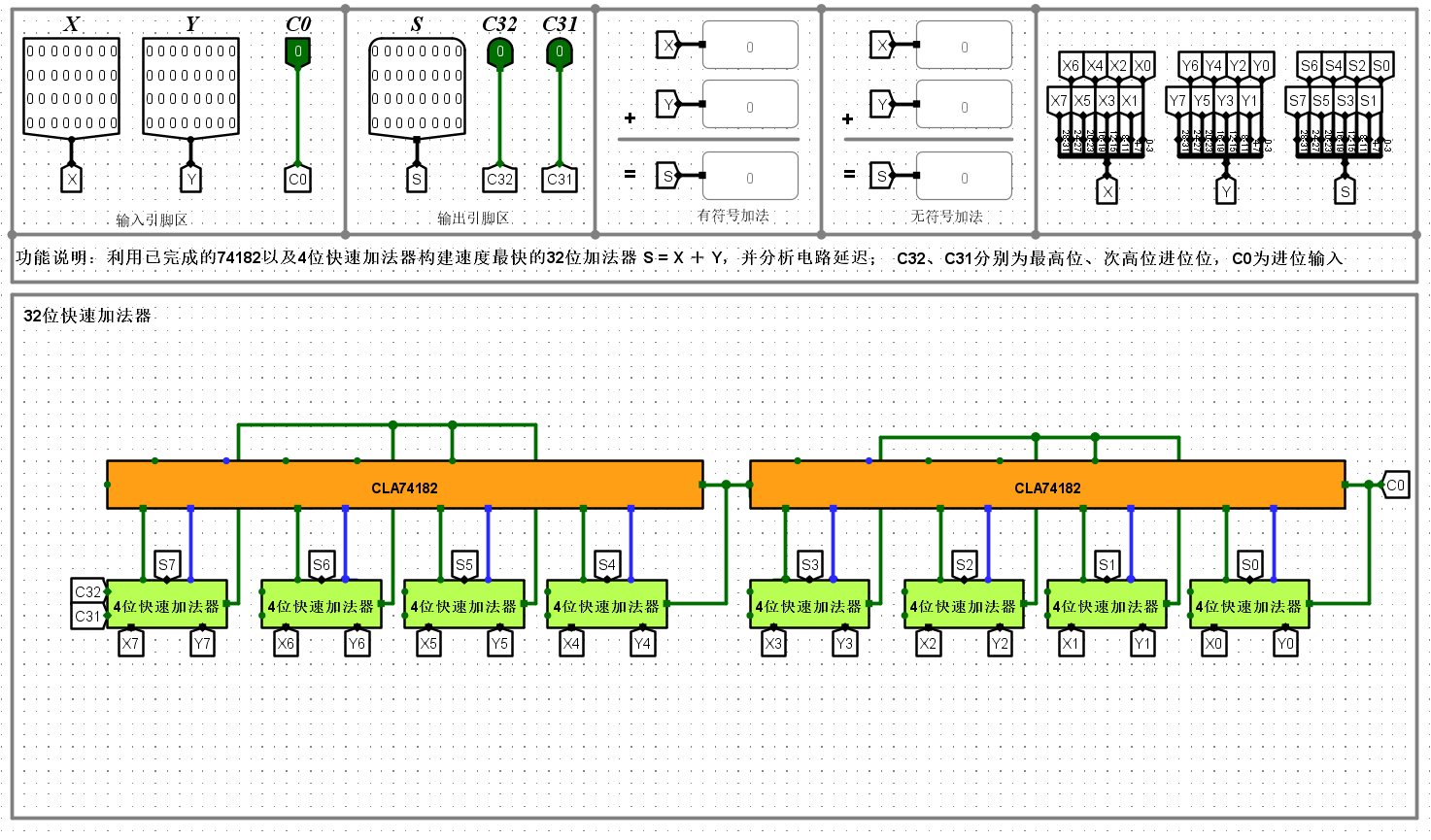


* 设计思路：利用已经定义好的隧道标签，选择适当的逻辑门、已设计的74182子电路，完成电路的设计与连接
* 电路图
  + 

**3、16位快速加法器实验**

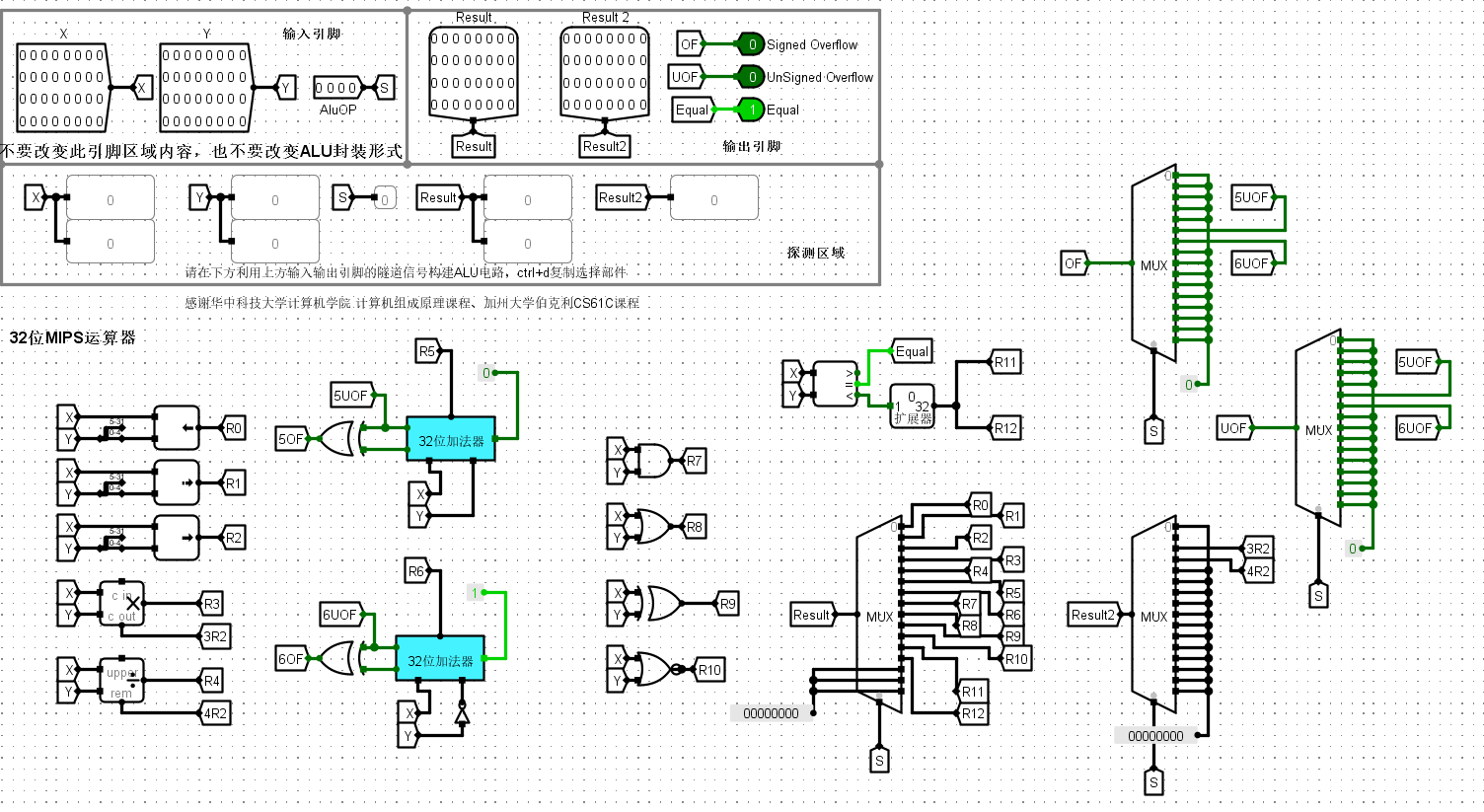
* 输入：16位的输入X，Y；进位输入C 0
* 输出：
  + 16位运算结果S；最高位进位输出C16，次高位进位输出C15
  + 成组的生成函数与传递函数信号——P\*、G\*
* 功能：实现2个4位数的加法S = X+Y 。
* 设计思路：利用已经定义好的隧道标签，选择4个4位快速加法器、74182、适当的逻辑门和线路，完成电路的设计与连接
* 电路图
  + 

**4、32位快速加法器实验**

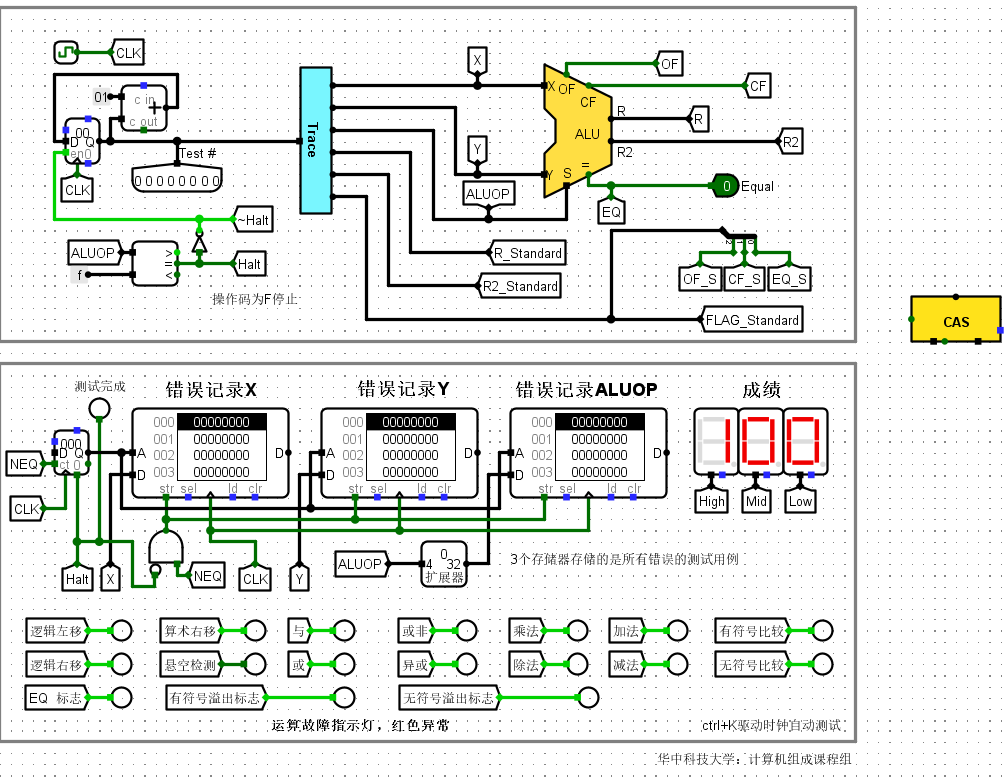
* 设计思路：将2个16位加法器级联
* 电路图
  + 

1. **32位算数逻辑运算单元实验**

**1、算数逻辑运算单元ALU**

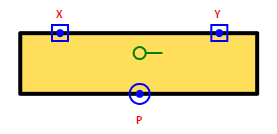
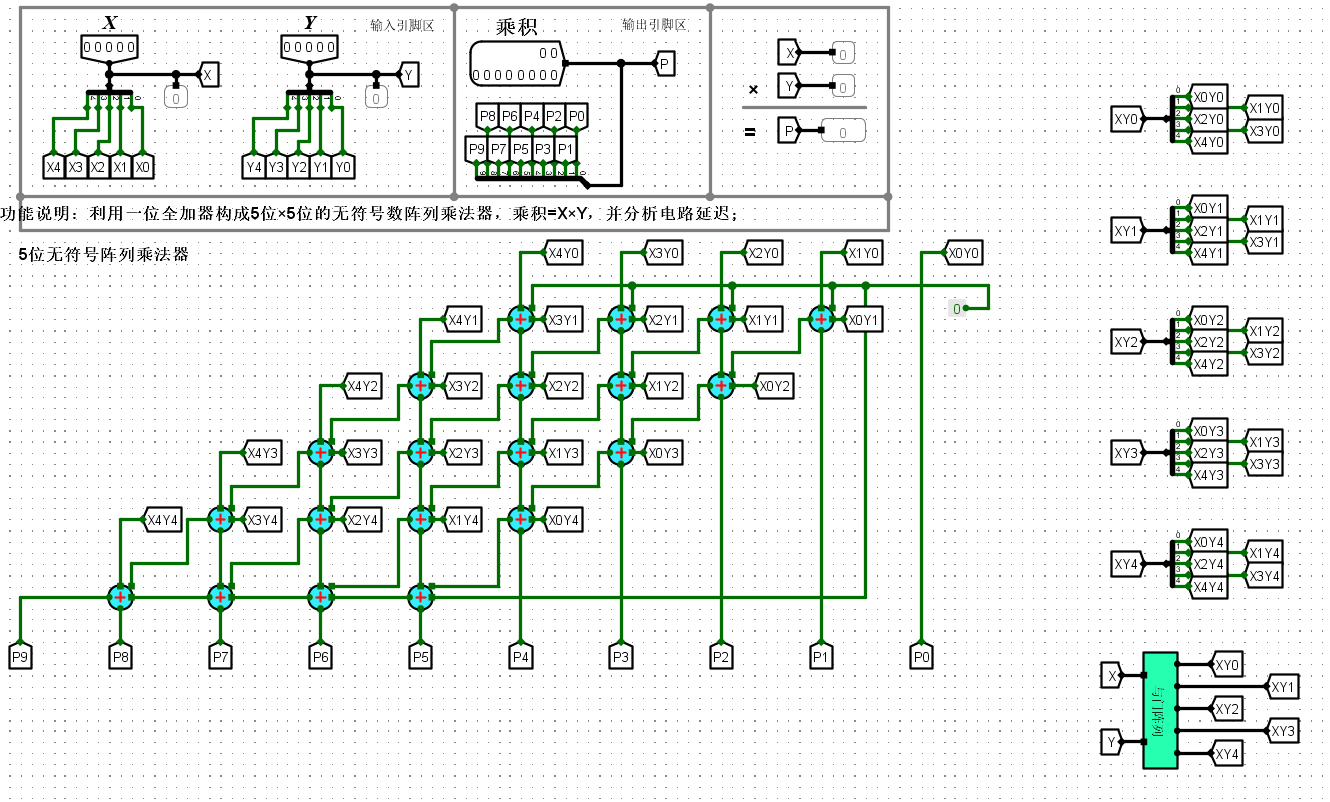
* 外部特性
  + 
* ALU功能表
  + 
* 电路图
  + 

**2、ALU电路自动测试**

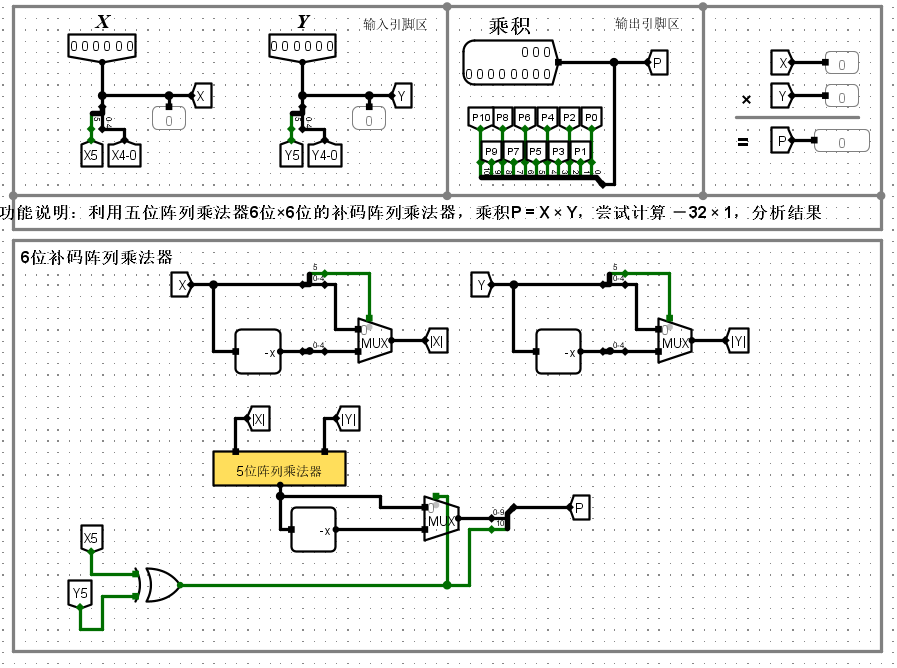
* + 

1. **阵列乘法器设计实验**

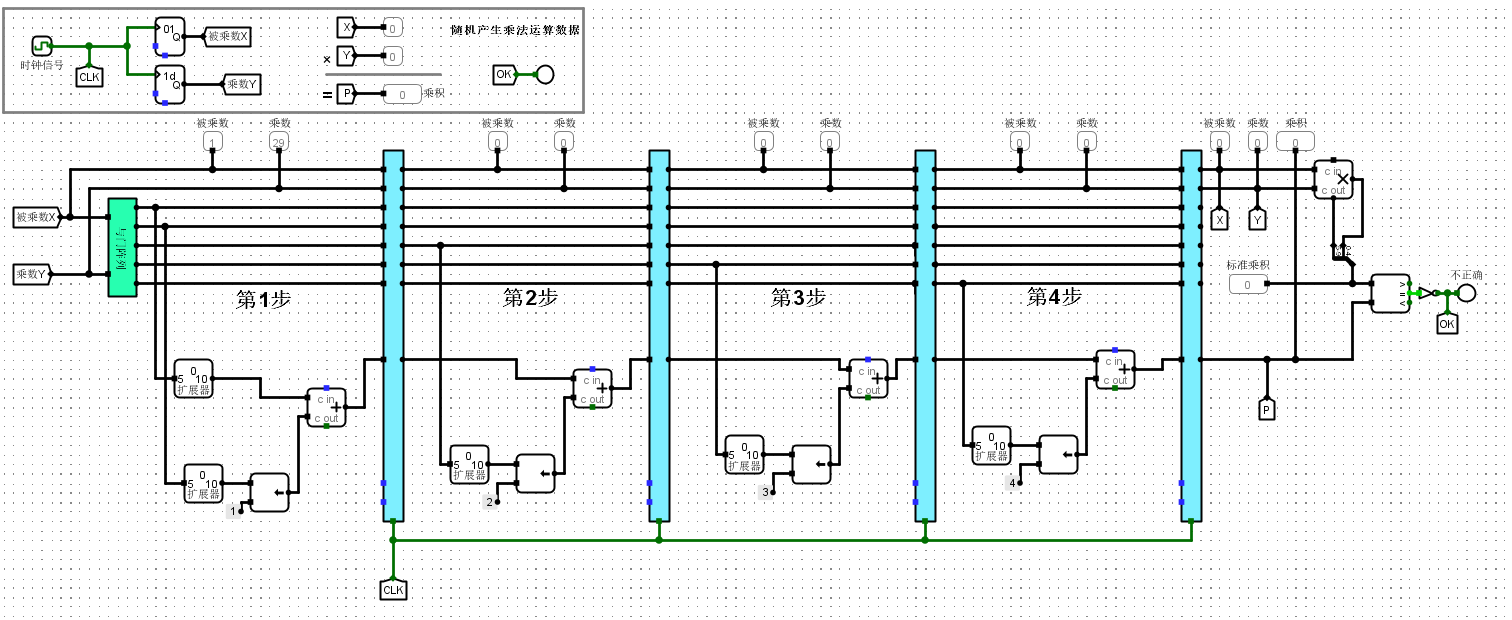
**1、5位阵列乘法器**

* 输入：5位的无符号数X，Y；
* 输出：10位运算结果P；
* 功能：P = X \*Y
  + 
* 设计思路：
  + 构造封装好的“5位乘法与门阵列”已产生X、Y各位组合后的所有求和项
  + 利用构造封装好的“1位全加器FA封装3”来构造阵列乘法器
* 电路图
  + 

**2、6位补码阵列乘法器**

* 设计思路：
  + 利用已经定义好隧道标签、求补器电路、5位阵列乘法器，完成电路的设计与连接
* 电路图
  + 

**3、5位乘法流水线**

* 流水线的基本框架
  + 
* 设计思路：
  + 分为四个步骤
  + 每1步运算时，
    - 求和数需进行位扩充
    - YiX的\*2、\*4。。。靠移位器实现
* 电路图
  + 

1. **实验心得体会**
2. 分线器改装需要特别小心