# 单周期的MIPS CPU设计实验实验报告

1. **实验目的**

1、掌握硬布线控制器设计的基本原理

2、能利用相关原理在Logisim中设计实现MIPS单周期CPU，支持内存中简单的冒泡排序程序；

**二、实验任务说明/分析**

1、设计绘制MIPS CPU的数据通路

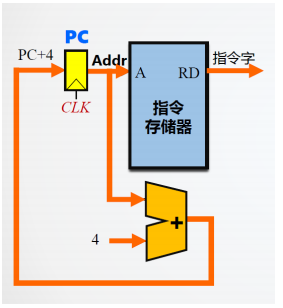
2、实现单周期硬布线控制器

3、连接控制器与数据通路

4、软、硬件联调测试

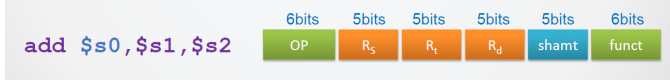
1. **实验过程**
2. **单周期MIPS数据通路分析**
   1. 取指令数据通路

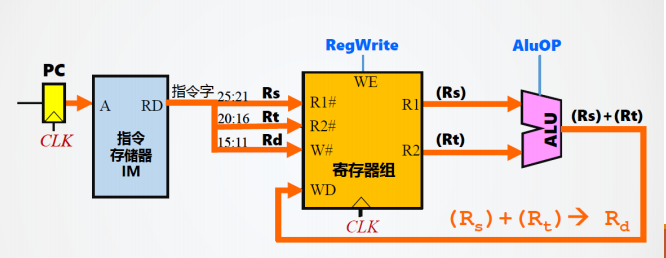
MIPS存储器按字节编址，PC+4->PC，取下一条指令



* 1. 加法指令R型的数据通路

需要寄存器组，能支持同时2路读出，为ALU提供操作数，并能支持一路写入。 寄存器组需要的地址由指令字中对应字段提供



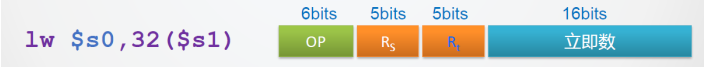
****

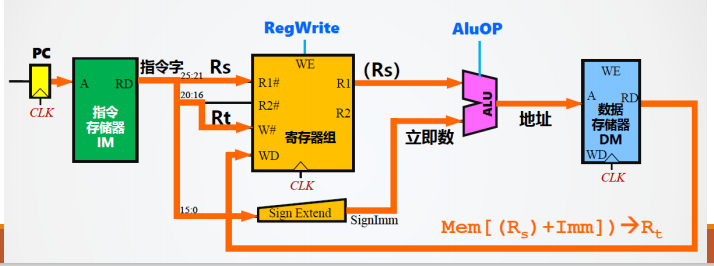
* 1. LW指令（I型）的数据通路

源、目寄存器地址由指令字对应字段提供；

寄存器的存储字长为32位，因此，16立即数要扩展到32位后方可参与后续工作；

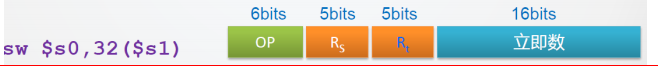
计算后的地址直接送往数据存储器

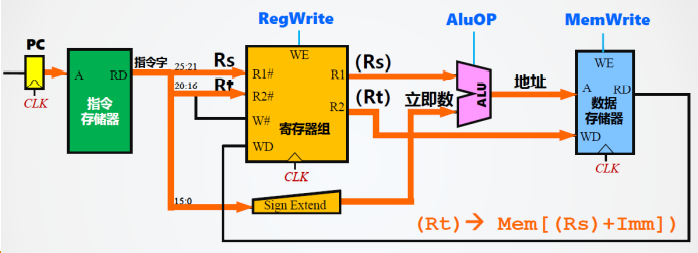
****

****

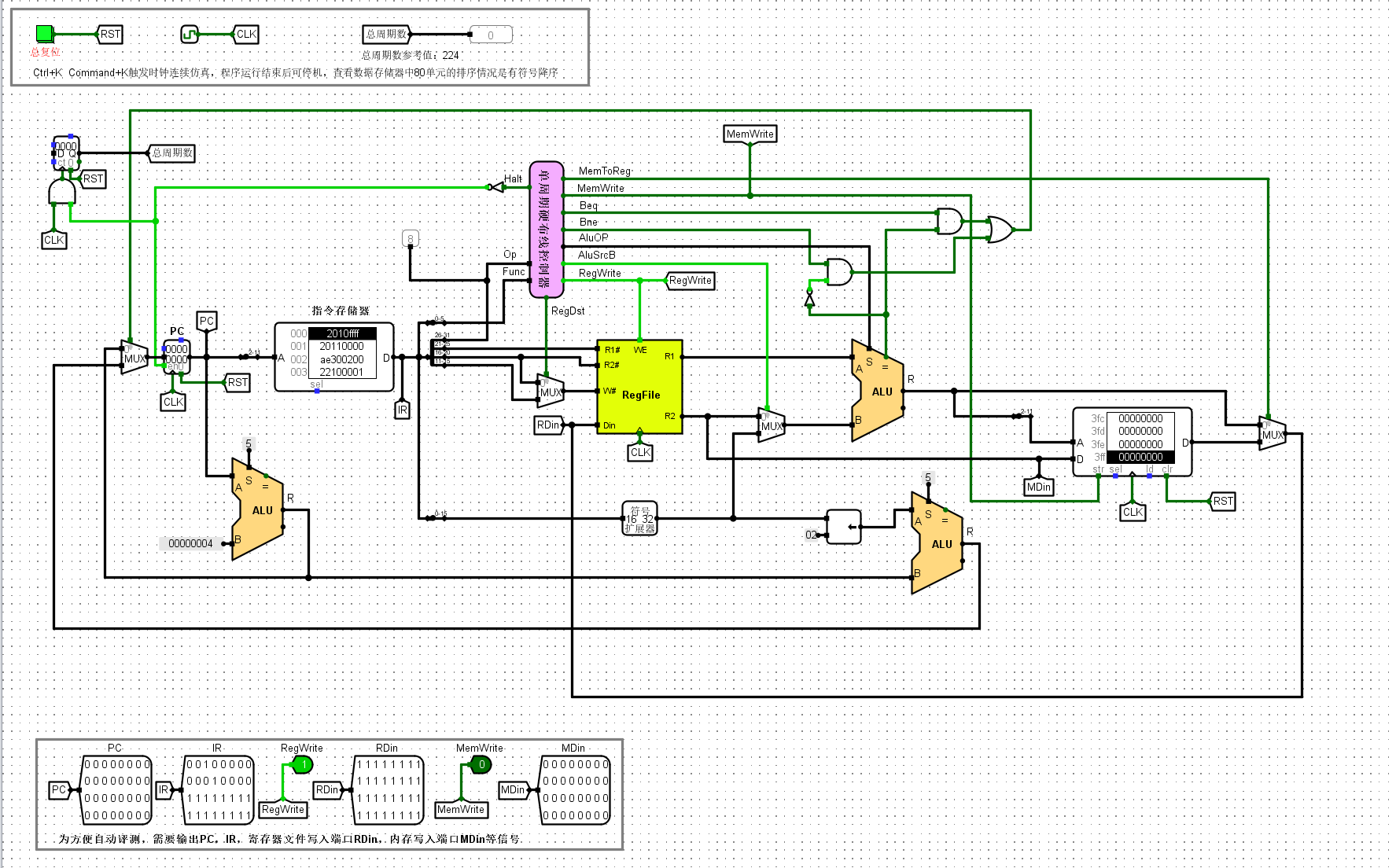
* 1. SW指令（I型）的数据通路

源、目寄存器地址由指令字对应字段提供； 寄存器的存储字长为32位，因此，16立即数要扩展到32位后方可参与后续工作；

****

****

* 1. 数据通路综合

****

**2、单周期MIPS 控制器的设计**

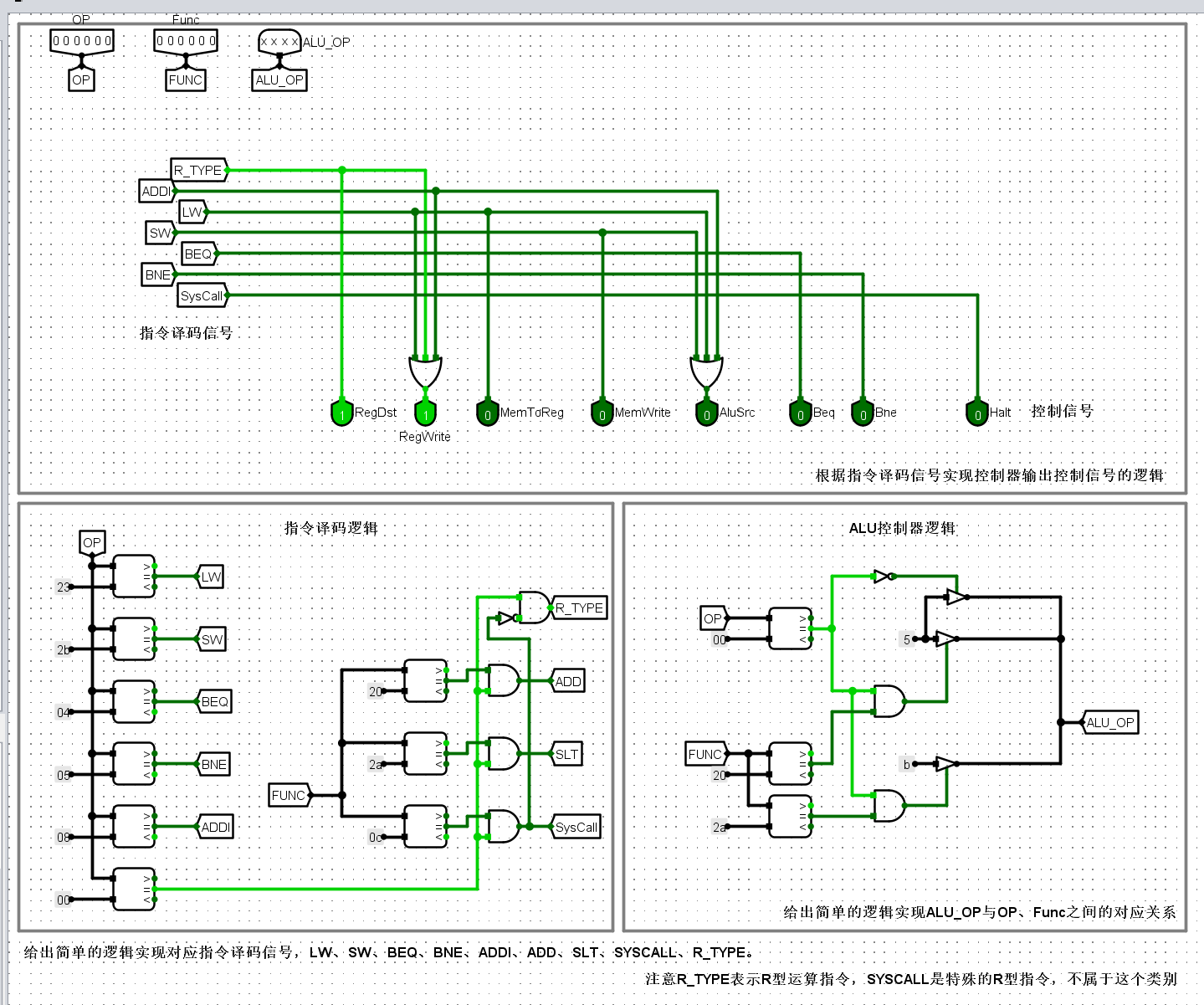
输入信号：指令字Opcode,Func字段（12位）

输出信号：多路选择器选择信号、内存访问控制信号、寄存器写使能信号、运算器控制信号、指令译码信号

**2.1**控制信号产生条件分析



**2.2**硬布线控制器内部逻辑



**2.3**控制信号逻辑

MemWrite = SW；

AluSrcB = LW +SW + ADDI

RegDst=R\_TYPE;

RegWrite= R\_TYPE+ADDI+LW;

MemToReg=LW;

Beq=BEQ;

Bne=BNE;

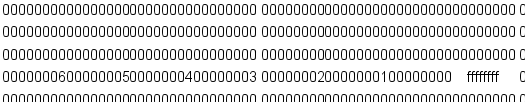
SysCall=Halt;

**3、CPU测试**

在执行存储器中载入排序程序 sort.hex ；

时钟自动仿真，Ctrl +K，则开始运行程序 ；

程序停机后，查看存储器中排序情况；

****

**四、实验心得体会**

学习了如何在MIRC中使用多文件和运行Sort.hex