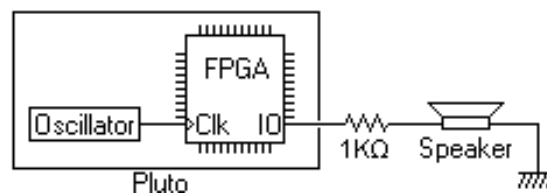


Lab II: การสร้างเสียงบนบอร์ด FPGA

1. แนะนำ

ใน Lab นี้เป็นการสอนเพื่อให้ทราบว่า จะใช้งาน FPGA เล่นเสียงหรือดนตรีแบบง่ายได้อย่างไร โดยเป็นการประยุกต์ใช้งานวงจรสร้างความถี่ จากรูปที่ 1 บอร์ด FPGA จะมีตัวกำเนิดสัญญาณนาฬิกา (Oscillator) อยู่ภายใน ตัวกำเนิดสัญญาณนาฬิกาจะให้คลื่นความถี่ที่คงที่ให้แก่ FPGA โดย FPGA จะทำการหารแบ่งความถี่นั้นก่อนที่จะจัดส่งออกทางขาสัญญาณเอาต์พุตที่ต่ออยู่กับ speaker ผ่านตัวต้านทานขนาด 1 กิโลโอมห์ การเปลี่ยนความถี่ของขาเอาต์พุตช่วยให้ FPGA สามารถสร้างเสียงที่แตกต่างกันได้



รูปที่ 1 บอร์ด FPGA กับการสร้างเสียงด้วยการเปลี่ยนความถี่อย่างง่าย

2. กล้องเสียงภาคที่ 1: สร้างเสียงบีบอย่างง่าย

#โจทย์ที่ 1- เขียนโค้ดภาษา Verilog แสดงการทำงานของวงจรนับขนาด 16 บิต ใช้บิต MSB เชื่อมต่อกับขาสัญญาณที่ส่งออกไปขับลำโพง

```
module music(clk, speaker);
```

```
...
```

```
endmodule
```

3. กล้องเสียงภาคที่ 2: สร้างเสียงจุกเงิน

โจทย์ที่ 2 : ทดลองสร้างวงจรสร้างเสียงจุกเงินดังโค้ดต่อไปนี้

```

module music(clk, speaker);
input clk;
output speaker;
parameter clkdivider = 25000000/440/2;

reg [23:0] tone;
always @(posedge clk) tone <= tone+1;

reg [14:0] counter;
always @(posedge clk) if(counter==0) counter <= (tone[23] ? clkdivider-1 :
clkdivider/2-1); else counter <= counter-1;

reg speaker;
always @(posedge clk) if(counter==0) speaker <= ~speaker;

endmodule
    
```

โจทย์ที่ 3: กำหนดให้สามารถตั้งเวลาบน 7-segment 2 หลักบน จากนั้นให้เริ่มนับถอยหลังโดยแสดงค่าการนับบน 7-segment 2 หลักด้านล่าง เมื่อนับจนถึง 00 ก็ให้เสียงรจุกเงินดังขึ้น ซึ่งเสียงจะเงียบลงก็ต่อเมื่อมีการโยกสวิตช์ switch (SW0)

Check-point

	ลายเซ็นต์	วันที่
Check #1: สร้างเสียงบีบออกจาก buzzer ได้		
Check #2: สร้างเสียงรจุกเงินได้		
Check #3: สร้างวงจรนับเวลาเพื่อกำหนดเสียงจุกเงิน		