รายงานวิชาปฏิบัติการ

ภาควิชาวิศวกรรมคอมพิวเตอร์

คณะวิศวกรรมศาสตร์ มหาวิทยาลัยสงขลานครินทร์

รหัสวิชา	242-301	ตอน	01	วัน	อังคาร	
		_				

		a	
กลุ่มที่8	_		
ผู้จัดทำรายงานชื่อ	นายปณิธาน ดวงขวัญ	รหัส5735512036	_
ผู้ร่วมงาน ชื่อ)นางสาวรัตนาพร ไทยเกิด	รหัส5735512047	_
ชื่อ)	รหัส	
สำหรับเจ้าหน้			



<u>การทดลองที่ 3HA08</u>

Simple music box using FPGA

เครื่องมือและอุปกรณ์

- 1. โปรแกรม Xilinx
- 2. บอร์ด FPGA รุ่น XC3S200-TQ144C
- 3. คอมพิวเตอร์
- 4. ลำโพง

การทดลองที่ 1

```
21 module c1(
                input clk,
                 input onoff,
input [6:0] note,
24
                output speaker
26
27
           parameter doo = (25000000/262/2);
parameter re = (25000000/294/2);
parameter mi = (25000000/330/2);
parameter fa = (25000000/349/2);
parameter sol = (25000000/342/2);
parameter la = (25000000/440/2);
parameter si = (25000000/494/2);
                                                                                                             //config frequncey
29
30
31
32
33
34
35
             reg s_do,s_re,s_mi,s_fa,s_sol,s_la,s_si;
reg [31:0] cnt,cnt1,cnt2,cnt3,cnt4,cnt5,cnt6,cnt7; //config variable
36
37
38
39
40
41
42
43
44
45
46
47
48
49
50
51
52
53
54
55
              reg sp;
assign speaker = sp;
              reg [5:0] state = 0;
always@(state)
                                                                                         //case -> in play note
               begin
  if(onoff == 0) sp <= 0;</pre>
                      else
case(note)
                       case(note)
  7'b0000011 : sp <= s_do;
  7'b0000010 : sp <= s_re;
  7'b0001001 : sp <= s_mi;
  7'b0001000 : sp <= s_fa;
  7'b0010000 : sp <= s_sl;
  7'b0100000 : sp <= s_la;
  7'b1000000 : sp <= s_si;</pre>
56
57
                      endcase
             always @ (posedge clk)
                                                                                                             //config clock in each note
```



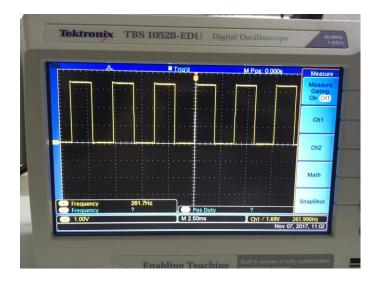
```
if (cnt1 == 0) begin cnt1 <= doo - 1 ; s_do <= ~s_do; end
  else cnt1 <= cnt1 - 1; end</pre>
 63
         always @(posedge clk)
65
66
        begin
  if (cnt2 == 0) cnt2 <= re - 1; else cnt2 <= cnt2 - 1; end</pre>
67
68
        always @(posedge clk)
if(cnt2 == 0) s_re <= ~s_re;
69
70
71
72
73
74
75
76
77
         always @(posedge clk)
        begin if (cnt3 == 0) begin cnt3 <= mi - 1; s_mi <= \sim s_mi; end else cnt3 <= cnt3 - 1; end
         always @(posedge clk)
            if (cnt4 == 0) begin cnt4 <= fa - 1; s_fa <= \sim s_fa; end else cnt4 <= cnt4 - 1; end
79
         always @(posedge clk)
82
83
            if (cnt5 == 0) begin cnt5 <= sol - 1; s_sol <= ~s_sol; end else cnt5 <= cnt5 - 1; end
 84
 85
         always @(posedge clk)
        begin if (cnt6 == 0) begin cnt6 <= la - 1; s_la <= ~s_la; end else cnt6 <= cnt6 - 1; end
 87
89
90
91
92
         always @(posedge clk)
            if (cnt7 == 0) begin cnt7 <= si - 1; s_si <= ~s_si; end else cnt7 <= cnt7 - 1; end
94
95
 96
         always@(posedge clk)
                                                                                   //config change state
 97
        if(onoff == 0||state == 37) state <= 0 ;else
99
            if(cnt == 10000000 ) begin state <= state + 1 ; cnt <=0 ; end
            else cnt <= cnt + 1; end
102
```

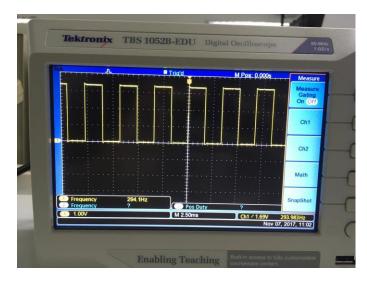
สรุปผลการทดลอง

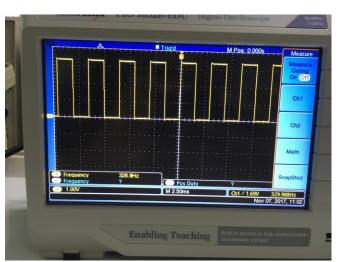
จากการทดลองนั้นเราได้เขียนโค้ดขึ้นมาเพื่อทำให้กดสวิตซ์ทั้ง 8 สวิตซ์เป็นโน๊ตเสียงตั้งแต่ โด เร มี ฟา ซอล ลา ที โดยเราจะกำหนดค่าความถี่ของโน๊ตแต่ละตัวไม่เท่ากันโดยความถี่ของ ตัวโน๊ตดังภาพประกอบด้านล่าง โดยหลังจากนั้นเราได้ทำการนำตัวแปรตัวโน๊ตที่กำหนดความถี่ เรียบร้อยไปใส่ค่าให้กับสวิตซ์ที่เราเซตไว้ดังโค้ดเบื่องต้นดังรูป โดยจะกำหนดดังรูปด้านล่าง และ หลังจากนั้นจะมีการวัดคลื่นความถี่ว่าเรานั้นได้ความถี่ตรงกับที่เขียนโค้ดไว้หรือไม่

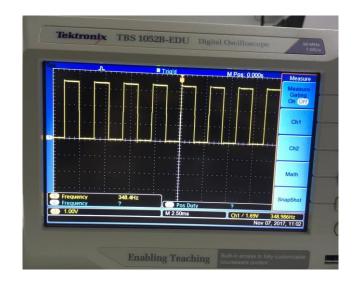
```
parameter doo = (25000000/262/2); 7'b0000001 : sp <= s_do; 7'b0000001 : sp <= s_re; parameter re = (25000000/294/2); 7'b0000100 : sp <= s_mi; parameter mi = (25000000/330/2); 7'b0001000 : sp <= s_fa; parameter fa = (25000000/349/2); 7'b0010000 : sp <= s_sol; parameter sol = (25000000/392/2); 7'b0100000 : sp <= s_la; parameter si = (25000000/494/2); 7'b1000000 : sp <= s_si;
```

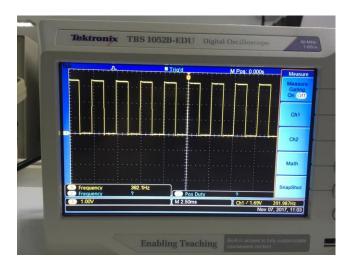


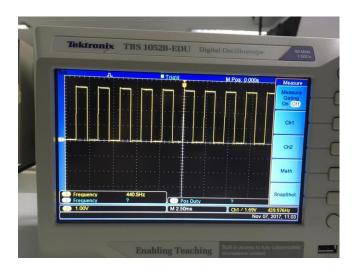




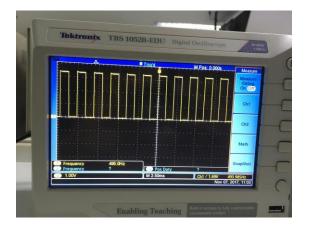












การทดลองที่ 2

```
module c2(
           input clk,
input onoff,
22
23
           input [6:0] note,
            output speaker
25
26
27
28
        parameter doo = (25000000/262/2);
parameter re = (25000000/294/2);
parameter mi = (25000000/330/2);
parameter fa = (25000000/394/2);
parameter sol = (25000000/392/2);
parameter la = (25000000/440/2);
parameter si = (25000000/494/2);
29
                                                                       //config frequncey
30
32
34
35
          36
37
38
          assign speaker = sp;
39
40
          reg [2:0] state = 0;
          reg sclk;
42
           always@(state)
                                                          //case -> in play note
44
45
          begin
               if(onoff == 0) sp <= 0;
46
               else
               case (state)
                  0 : sp <= s_do;
1 : sp <= s_re;
48
49
50
                  2 : sp <= s_mi;
                  2 : sp <= s_m1;

3 : sp <= s_fa;

4 : sp <= s_sol;

5 : sp <= s_la;

6 : sp <= s_si;
51
52
53
54
                  7 : sp <= 0;
56
57
58
         end
```

```
60
61
       always @(posedge clk)
                                                    //config clock in each note
         if (cnt1 == 0) begin cnt1 <= doo - 1 ; s_do <= ~s_do; end
else cnt1 <= cnt1 - 1; end
63
64
65
66
       always @(posedge clk)
      begin

if (cnt2 == 0) cnt2 <= re - 1; else cnt2 <= cnt2 - 1; end
67
68
      always @(posedge clk)
if(cnt2 == 0) s_re <= ~s_re;
70
71
72
73
       always @(posedge clk)
      begin
74
75
76
         if (cnt3 == 0) begin cnt3 <= mi - 1; s_mi <= ~s_mi; end else cnt3 <= cnt3 - 1; end
77
78
       always @(posedge clk)
          if (cnt4 == 0) begin cnt4 <= fa - 1; s_fa <= rs_fa; end else cnt4 <= cnt4 - 1; end
80
81
82
       always @ (posedge clk)
       begin
83
          if (cnt5 == 0) begin cnt5 <= sol - 1; s_sol <= \sims_sol; end else cnt5 <= cnt5 - 1; end
85
86
      always @ (posedge clk)
87
88
          if (cnt6 == 0) begin cnt6 <= la - 1; s_la \leftarrow s_la; end else cnt6 <= cnt6 - 1; end
90
91
92
93
       always @ (posedge clk)
       begin
         if (cnt7 == 0) begin cnt7 <= si - 1; s_si <= ~s_si; end else cnt7 <= cnt7 - 1; end
95
        always@(posedge clk)
                                                                              //config change state
      if(onoff == 0||state == 7) state <= 0 ;else
```



สรุปผลการทดลอง

จากการทดลองนี้จะคล้ายๆในส่วนของการทดลองที่ 1 โดยการทดลองนี้จะเป็นการไล่เสียง ตัวโน๊ตโดยเราจะแก้ในส่วนของสวิตซ์ออกไปเป็นส่วนของ state แทนเพื่อให้ทางบอร์ดได้นับ state แทนโดยจะเพิ่มการไล่ตัวโน๊ตไปโดยใช้สัญญาณนาฬิกาเข้ามาช่วยจากโค้ดนั่นเองโดยจะไล่ ความถี่ไปเรื่อยๆจนครบแล้วกลับมาเริ่มใหม่



การทดลองที่ 3

```
21 module music (
                input clk,
                                                        //io
22
                input onoff,
input [6:0] note,
23
         output speaker);
24
25
26
27
          parameter doo = (25000000/262/2);
28
          parameter doo = (25000000/262/2);
parameter mi = (25000000/294/2);
parameter mi = (25000000/330/2);
parameter fa = (25000000/349/2);
parameter sol = (25000000/392/2);
parameter la = (25000000/440/2);
parameter si = (25000000/494/2);
                                                                                   //config frequncey
29
31
33
34
           reg s_do,s_re,s_mi,s_fa,s_sol,s_la,s_si;
36
            reg [31:0] cnt,cnt1,cnt2,cnt3,cnt4,cnt5,cnt6,cnt7; //config variable
38
            reg sp;
39
            assign speaker = sp;
40
           reg [5:0] state = 0;
41
            always@(state)
                                                                    //case -> in play note
43
44
            begin
                if(onoff == 0) sp <= 0;
45
46
                 else
                 case (state)
               case(state)
0: sp <= 0;
1: sp <= s_sol;
2: sp <= s_sol;
3: sp <= s_sol;
4: sp <= s_sol;
5: sp <= s_mi;
6: sp <= s_mi;
8: sp <= s_mi;
8: sp <= s_sol;
9: sp <= s_sol;
47
49
50
51
52
53
54
55
56
                 9 : sp <= s_do;
                10 : sp <= s_sol;
11 : sp <= s_mi;
57
58
                12 : sp <= s_re;
59
60
                13 : sp <= s_mi;
                13 : sp <= s_mi,

14 : sp <= s_do;

15 : sp <= s_re;

16 : sp <= s_do;
61
62
63
                17 : sp <= s_la;
18 : sp <= s_do;
64
65
66
                 19 : sp <= s_do;
                20 : sp <= s_la;
21 : sp <= s_sol;
67
68
69
                22 : sp <= s_do;
23 : sp <= s_do;
70
71
                 24 : sp <= s_la;
                25 : sp <= s_do;
26 : sp <= s_do;
72
73
74
75
76
77
78
                27 : sp <= s_do;
28 : sp <= s la;
                29 : sp <= s_sol;
30 : sp <= s_do;
31 : sp <= s_sol;
                32 : sp <= s_la;
33 : sp <= s_sol;
79
80
                34 : sp <= s_mi;
35 : sp <= s_re;
81
82
83
                36 : sp <= s_do;
84
                 endcase
85
86
          end
87
88
           always @(posedge clk)
                                                                                   //config clock in each note
          begin

if (cnt1 == 0) cnt1 <= doo - 1;

else cnt1 <= cnt1 - 1; end

always @(posedge clk)

if(cnt1 == 0) s_do <= ~s_do;
89
90
92
93
94
95
            always @(posedge clk)
96
           begin
                if (cnt2 == 0) cnt2 <= re - 1;
else cnt2 <= cnt2 - 1; end
97
```



```
always @(posedge clk)
if(cnt2 == 0) s_re <= ~s_re;
100
101
102
103
            always @(posedge clk)
          begin
   if (cnt3 == 0) cnt3 <= mi - 1;
    else cnt3 <= cnt3 - 1; end
always @(posedge clk)
   if(cnt3 == 0) s_mi <= ~s_mi;</pre>
104
105
106
107
108
            always @(posedge clk)
109
110
           begin
           begin
   if (cnt4 == 0) cnt4 <= fa - 1;
    else cnt4 <= cnt4 - 1; end
always @(posedge clk)
   if(cnt4 == 0) s_fa <= ~s_fa;</pre>
111
112
113
114
115
116
             always @(posedge clk)
117
118
           if (cnt5 == 0) cnt5 <= sol - 1;
else cnt5 <= cnt5 - 1; end
always @(posedge clk)</pre>
119
120
121
                if(cnt5 == 0) s_sol <= ~s_sol;
122
123
            always @(posedge clk)
124
125
           if (cnt6 == 0) cnt6 <= la - 1;
    else cnt6 <= cnt6 - 1; end
always @(posedge clk)</pre>
126
127
128
                 if(cnt6 == 0) s_la <= ~s_la;
129
130
           always @(posedge clk)
131
                if (cnt7 == 0) cnt7 <= si - 1;
132
133
          else cnt7 <= cnt7 - 1; end
always @(posedge clk)
if(cnt7 == 0) s_si <= ~s_si;
134
135
136
137
          always@(posedge clk)
                                                                                                                  //config change state
            if(onoff == 0||state == 37) state <= 0 ;else
139
          begin
                if(cnt == 10000000 ) begin state <= state + 1 ; cnt <=0 ; end
141
                 else cnt <= cnt + 1; end
```

สรุปผลการทดลอง

จากการทดลองนี้จะเป็นการไล่เสียงตัวโน๊ตให้เป็นเพลง ซึ่งได้ทำการแปลงโค้ดมา จากข้อที่สองโดยการแปลงโค้ดนั้นโดยเราจะเพิ่ม state มากขึ้นโดยขึ้นอยู่กับตัวโน๊ตทั้งหมดใน เพลงอย่างเช่นในเพลงช้างของการทดลองที่ 3 นั้นจะมีทั้งหมด 37 state หรือ 37 โน๊ตในเพลง นั่นเองเราเลยเรียง state ดังภาพโค้ดด้านบน

