

2022 Digital IC Design Homework 1

NAME	洪緯宸				
Student ID	E14086020				
Functional Simulation Result					
Stage 1	Pass/Fail	Stage 2	Pass/Fail	Stage 3	Pass/Fail
Stage 1					
<pre> # -----Stage 1 : 1-bit ALU Simulation----- # # --And Operation-- # # Pass! # # --Or Operation-- # # Pass! # # --Nand Operation-- # # Pass! # # --Nor Operation-- # # Pass! # # --Add Operation-- # # Pass! # # --Sub Operation-- # # Pass! # # --Slt Operation-- # # Pass! # # -----Stage 2 : 8-bit ALU bitwise operation Simulation----- </pre> <div style="text-align: center; margin-top: 20px;">(your simulation result)</div>					
Stage 2					

<pre> -----Stage 2 : 8-bit ALU bitwise operation Simulation----- --And Operation-- Pass! --Or Operation-- Pass! --Nand Operation-- Pass! --Nor Operation-- Pass! </pre> <p>(your simulation result)</p>
Stage 3
<pre> -----Stage 3 : 8-bit ALU arithmetic operation Simulation----- --Add Operation-- Pass! --Sub Operation-- Pass! --Slt Operation-- Pass! -----Stage 1 : Pass!----- -----Stage 2 : Pass!----- -----Stage 3 : Pass!----- </pre> <p>(your simulation result)</p>
Description of your design
<p>Stage1 是製作一個小的多功器，a b 是 operand 1 2，照著題目給的 op 做出相對應的指令，在 AB_invert 的地方我用了 data_flow 的組合電路，直接對近來的訊號做處理，Ex: wire a_out = (Ainvert) ? ~a : a;，overflow 的地方也是直接用組合電路 assign overflow = c_in ^ c_out;，在 op 多功器的地方，我使用 Behavior 組合電路的方式進行運算，always @(*) begin</p> <pre> case (op) 0: result = a_out & b_out; 1: result = a_out b_out; 2: result = set; 3: result = less; endcase end </pre>

stage2 3 是由 stage 1 做出的小電路組合出來，把 input 照著接線圖接到對應 submodule 就可以完成，比較值得注意的是 B_invert 接到 c_in，因為 2's complement 的緣故，如果 b 要變負的要加一，zero 也用組合電路就可以解決，比較複雜的是 comb 電路，要利用第七個 SET 也就是 signed bit 跟 overflow 來判斷 a b 誰比較大，假如 SET = 1 代表結果 < 0 反之 >= 0，假如有 overflow 代表有兩種情況發生，一是正的加正的變負的，二是負的加負的變正的。由此可以列出以下表格

A	Op	B	Overflow	Set	less
+	-	+	0 0	1 0	1 0
+	-	-	1 0	1 0	0 0
-	-	+	1 0	0 1	1 1
-	-	-	0 0	1 0	1 0

由上表可判斷 comb 電路為 $\text{less} = \text{overflow} \wedge \text{set}$