2022 Digital IC Design Homework 1

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| NAME | | 洪緯宸 | | | | |
| Student ID | | E14086020 | | | | |
| **Functional Simulation Result** | | | | | | |
| Stage 1 | Pass/Fail | | Stage 2 | Pass/Fail | Stage 3 | Pass/Fail |
| **Stage 1** | | | | | | |
| (your simulation result) | | | | | | |
| **Stage 2** | | | | | | |
| (your simulation result) | | | | | | |
| **Stage 3** | | | | | | |
| (your simulation result) | | | | | | |
| **Description of your design** | | | | | | |
| **Stage1 是製作一個小的多功器，a b是operand 1 2，照著題目給的op做出相對應的指令，在AB\_invert的地方我用了data\_flow的組合電路，直接對近來的訊號做處理，Ex: wire a\_out = (Ainvert) ? ~a : a;，overflow的地方也是直接用組合電路assign overflow = c\_in ^ c\_out;，在op多功器的地方，我使用Behavior 組合電路的方式進行運算，always @(\*) begin**  **case (op)**  **0: result = a\_out & b\_out;**  **1: result = a\_out | b\_out;**  **2: result = set;**  **3: result = less;**  **endcase end**  **stage2 3 是由stage 1 做出的小電路組合出來，把input照著接線圖接到對應submodule 就可以完成，比較值得注意的是B\_invert 接到c\_in，因為2’s complement的緣故，如果b要變負的要加一，zero也用組合電路就可以解決，比較複雜的是comb電路，要利用第七個SET也就是signed bit跟 overflow 來判斷a b誰比較大，假如SET = 1代表結果<0 反之>=0，假如有overflow代表有兩種情況發生，一是正的加正的變負的，二是負的加負的變正的。由此可以列出以下表格**   |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | | **A** | **Op** | **B** | **Overflow** | **Set** | **less** | | **+** | **-** | **+** | **0**  **0** | **1**  **0** | **1**  **0** | | **+** | **-** | **-** | **1**  **0** | **1**  **0** | **0**  **0** | | **-** | **-** | **+** | **1**  **0** | **0**  **1** | **1**  **1** | | **-** | **-** | **-** | **0**  **0** | **1**  **0** | **1**  **0** |   **由上表可判斷comb電路為less = overflow ^ set** | | | | | | |