

Системни шини – част I

I. Въведение

Системната шина при персоналните компютри има за цел свързване на вградена или външна периферия към компютърната конфигурация. На съвременния етап комуникацията по системната шина се управлява от чипсета. В зависимост от неговата архитектура, това е южният мост или Input-Output Controller Hub (ICH). Всяка системна шина се състои от следните компоненти:

- Шина за данни. Това е шината чрез която се реализира двупосочен обмен на данни между периферно устройство и чипсета. Броят на линиите за данни определя и разрядността на системната шина. Ако линиите за данни са 32 на брой (D0-D31), то системната шина е 32-битова.
- Адресна шина. Тази шина служи за адресиране на периферна схема или устройство с която трябва да се реализира комуникация. Трябва да се прави разлика между адресирането на оперативната памет (DRAM) и адресирането на периферни схеми. Комуникацията с периферните устройства се реализира на ниво регистри от интегрални схеми. Затова това адресно пространство се нарича *входно-изходно*. Всеки адрес от него е прието да се нарича *порт*. Част от портовете в компютърната конфигурация са резервирани (например порт 0x60 се използва само от клавиатурата), други са свободни за използване от нови устройства. Дали адресът на адресната магистрала адресира клетка от DRAM или порт се задава от управляващи сигнали, които също са част от системната шина. Активирането на тези сигнали зависи от инструкциите, които микропроцесора изпълнява. Например инструкции in и out адресират входно-изходното пространство с цел четене (in) или запис (out).
- Управляваща шина. Комуникацията по системната шина е синхронна. За целта се използва управляващият сигнал BUS CLOCK. Колкото неговата честота е по-висока, толкова по-бързо се реализира обмена по шината. За да се управлява обмена по системната шина се използват и множество други управляващи сигнали, които формират управляващата шина (четене или запис, начало на обмен, освобождаване и заемане на шината, линии за заявки за прекъсване, линии за заявки за директен достъп до паметта и др.).
- Захранващи напрежения. Повечето персонални компютри са с *отворена архитектура*. Това означава, че към базовата конфигурация могат да се включват нови устройства. Тези устройства се управляват от *контролери*. Контролерът е платка, която се поставя в свободен *слот за разширение*. На тези слотове са изведени всички сигнали от системната шина, включително и захранващите напрежения. Последните са необходими за захранване на контролерите. Стойностите на тези напрежения зависят от типа на системната шина, например +3.3V, +5V, +12V, маса (GND) и др.

От типа на системната шина зависи:

- Максималната скорост на обмен по шината (MiB/s или GiB/s). Скоростта на обмен зависи от стойността на BUS CLOCK, броят на линиите за данни и от това за колко такта се реализира един обмен по шината.
- Възможно ли е арбитриране на шината (има ли налични управляващи сигнали за заемане и освобождаване на шината). Арбитрирането е необходимо например при дъна с няколко процесора.
- Възможно ли е използването на Plug and Play (PnP) контролери. Всеки контролер може да комуникира със шината по два основни начина: чрез заявка за прекъсване (Interrupt to Request – IRQ) и чрез директен достъп до паметта (Direct Memory Access - DMA). И в двата случая е необходима настройка на контролера за комуникация през системната шина: задаване на група от портове; задаване на номера на DMA канал и задаване на номера на IRQ линия. Ако тази конфигурация се реализира автоматично, след включване на захранването на компютъра, то контролера е от PnP тип. Дали се поддържат или не PnP контролери зависи от типа на системната шина.

Съществуват множество системни шини, които се използват при персоналните компютри, например: ISA, EISA, VLB, PCI и PCIe (PCI експрес). На настоящият етап се използва последните две шини - PCI и PCIe.

II. Шина Industry Standard Architecture (ISA)

Системна шина Industry Standard Architecture (ISA) е разработена от фирма IBM и се анонсира на пазара през 1981 г. Началният вариант на шината е за компютри IBM/XT и има 8-битова шина за данни. През 1984 г. започва продажбата на компютри IBM/AT при които се използва 16-битов вариант на ISA шината. В последствие се разработват редица модификации на шината, включително и ISA PnP вариант.

Системна шина ISA е предназначена за дъна с микропроцесори Intel 8088, 8086 (8-битова шина) и 80286 (16-битова шина). Тъй като по време на анонсиране на тази шина не се използват чипсети, управлението на обмена по шината се реализира чрез специализирана интегрална схема наречена контролер на шината (Intel 8288). Шина ISA е синхронна. Такта на синхронизация CLK е 4.77MHz. При компютри IBM/AT (80286) такта е увеличен до 8MHz. В най-добрият случай, един обмен по шината се реализира за два такта на сигнал CLK. Следователно, максималната пропускателната способност на шина ISA е около 8MiB/s (16-битов вариант, CLK=8MHz). Комуникацията с периферията се реализира чрез 5 слота за разширение на конфигурацията (62 сигнала при 8-битови комуникации и 36 допълнителни сигнала при 16-битови комуникации). Адресната магистрала е 20-битова (8088, 8086) или 24 битова (80286). Следователно, персоналните компютри с шина ISA адресират максимално 1MiB (2^{20}) или 16MiB (2^{24}) оперативна памет. Обменът с периферията се реализира чрез 8 или 15 линии за заявка за прекъсване (интегрална схема Intel 8259A) и/или 4 линии за директен достъп до паметта (интегрална схема Intel 8237).

III. Шина Extended Industry Standard Architecture (EISA)

С появата на пазара на първите 32-битови процесори (Intel 80386) се налага разработване на нова шина, съобразена с тяхната архитектурна специфика. За целта е разработена шина

Extended Industry Standard Architecture (EISA). Тя се анонсира на пазара през 1988 г. от група фирми, известни под името „Gang of Nine” (AST, Compaq, Epson, Hewlett-Packard, NEC, Olivetti, Tandy, Wyse и Zenith). Шина EISA се базира на шина Micro Channel на фирма IBM. Тази шина е съвместима с шина ISA като използва предимствата на шина Micro channel. Това позволява 8- и 16-битови ISA контролери да могат да работят при EISA дъна.

Основните подобрения при шина EISA са следните:

- Адресната магистрала е 32-битова, което позволява адресиране на до 4GiB оперативна памет.
- Синхронен пакетен обмен по шината.
- Подобрени режими за 32-битов обмен чрез директен достъп до паметта.
- Възможност за използване на една линия за заявка за прекъсване от няколко контролера (interrupts sharing).
- Подобрено арбитриране на шината.
- Автоматично конфигуриране на контролерите (PnP).

При шина EISA такта на синхронизация BCLK е 8.33MHz. Тъй като шината за данни е 32-битова, то максималната скорост на обмен по шината е около 33MiB/s. Тази шина се използва при процесори 80386 (1985 г.) и 80486 (1989 г.). Дъната с микропроцесори 80386 използват кеш памет, интегрирана на дънната платка, а 80486 е първият микропроцесор с вградена L1 кеш памет. Микропроцесорите от семейство 486 позволяват много по-високи скорости на обмен с периферията, тъй като имат изведена локална шина. Синхронизацията на обмена по локалната шина се реализира с такта на микропроцесора, но шина EISA не позволява това.

IV. Шина VESA Local Bus (VLB)

Основният недостатък на системна шина EISA е ниската тактова честота и невъзможността за комуникация с локалната шина при микропроцесори от семейство 486 и съвместими с тях. Шина VESA Local Bus е първата шина за персонални компютри, която позволява контролерите да комуникират директно с локалната шина на микропроцесора. Шината е специално разработена през 1992 г. от Video Electronics Standard Association (VESA) с цел високоскоростен обмен с видеоконтролери. Причината за това е появата на нови графични видео режими с висока резолюция (SVGA), както и описанието на всеки пиксел с повече битове с цел получаване на по-голям брой цветове. В последствие, към шината могат да се свързват и други контролери, изискващи бърз обмен, например контролери за твърди дискове и мрежови адаптери.

Чрез шина VLB могат да се създават само еднопроцесорни дъна. Броят на контролерите, които могат да се свържат към шината, е от 1 до 3. Шината за данни е 32-битова. При честота на синхронизация 50MHz, максималната скорост на обмен по шината е около 160MiB/s. Тази шина се използва кратко време, тъй като тя е разработена специално за микропроцесори от семейство 486, а максималният брой контролери е силно ограничен.

V. Шина Peripheral Component Interconnect (PCI)

С анонсирането на пазара на нови микропроцесори, като тези от семейство Intel Pentium, се налага да се използват множество шини с цел синхронизация на различните видове обмен в компютърната конфигурация. Използването само на една шина не е възможно,

тъй като тя няма необходимата пропускателна способност. Това налага създаването на компютърни конфигурации с множество шини, всяка от които отговаря за специфичен обмен. Например, обмена между CPU и кеш паметта се реализира по шина Front Side Bus (процесорна шина). Обменът с оперативната памет се реализира по друга синхронна 64-битова шина. Системната шина вече се използва само за комуникация с периферните устройства чрез техните контролери. Основен проблем е и арбитражът на шината. То се налага когато има няколко водещи обмена устройства (няколко микропроцесора, DMA контролер и др.). Друг проблем е съвместяването на обмен по шината при няколко бързи и бавни периферни устройства. Ако по-шината протича обмен с бавно устройство, той блокира обмена с бързите устройства за прекалено дълъг период от време. Едно възможно решение е задаване на приоритет на обслужването на различните периферни устройства, но това не решава проблема изцяло. При част от системните шини, след като едно устройство заеме шината, то не я освобождава, докато обменът на данни не завърши. Всеки обмен е една транзакция, която започва със заявка за заемане на шината до реализиране на желания обмен. Тези шини се характеризират с малка пропускателна способност, тъй като се губи време за изчакване на бавните устройства. По-висока пропускателна способност имат шините с конвейеризация на транзакциите. При тях всяка транзакция се разделя на две независими части – заявка за заемане на шината и реален обмен по шината. В този случай докато едно „бързо“ устройство генерира заявка за заемане на шината, друго „бавно“ устройство може да подготвя своите данни. Така латентността на шината се намалява значително.

От споменатото до тук следва, че архитектурата на една системна шина трябва да е насочена към повишаване на нейната пропускателна способност. Тя зависи от множество фактори, по важните от които са следните:

- Честота на синхронизация на обмена по шината. Колкото този такт е с по-висока честота, толкова по-бързо ще се реализира обмена. Проблемът е, че при увеличаване на тактовата честота се увеличават и електромагнитните смущения, а те могат да доведат до грешки при обмен по шината.
- Брой на линиите за данни. Колкото по-широка е шината за данни, толкова повече информация ще се прехвърли по нея за един такт на тактовия сигнал. Големият брой линии за данни обаче води до по-трудно опроводяване на дънната платка и отново до увеличение на електромагнитните смущения поради малкото разстояние между отделните пътечки.
- Използване на пълен дуплекс обмен по шината. Това означава, че по шината операции четене и запис се извършват едновременно. Повечето от системните шини поддържат полудуплекс тип обмен – в даден момент или се четат данни или записват данни.
- Да не се използва мултиплексиране във времето на адресната шина и шината за данни. При някои системни шини, за да се намали броя на сигналите, а с това и улесни опроводяването на дънната платка, се използва една адресно-даннова (AD) шина. Това води до забавянето на обмена. В началото на всяка транзакция AD шината се използва като адресна с цел адресиране на периферно устройство. След това тя става шина за данни, за да може да се реализира самия обмен. За да е възможно адресната шина и шината за данни да не са мултиплексирани във времето би трябвало да се работи с тясна шина за данни.

- Използване на блоков обмен по шината. Колкото е по-голям размерът на блока, толкова по-бърз ще е обмена по шината. Причината за това е, че се налага синхронизиране на обмена само в началото на всеки блок, а не при предаване на всеки 32 или 64 бита.

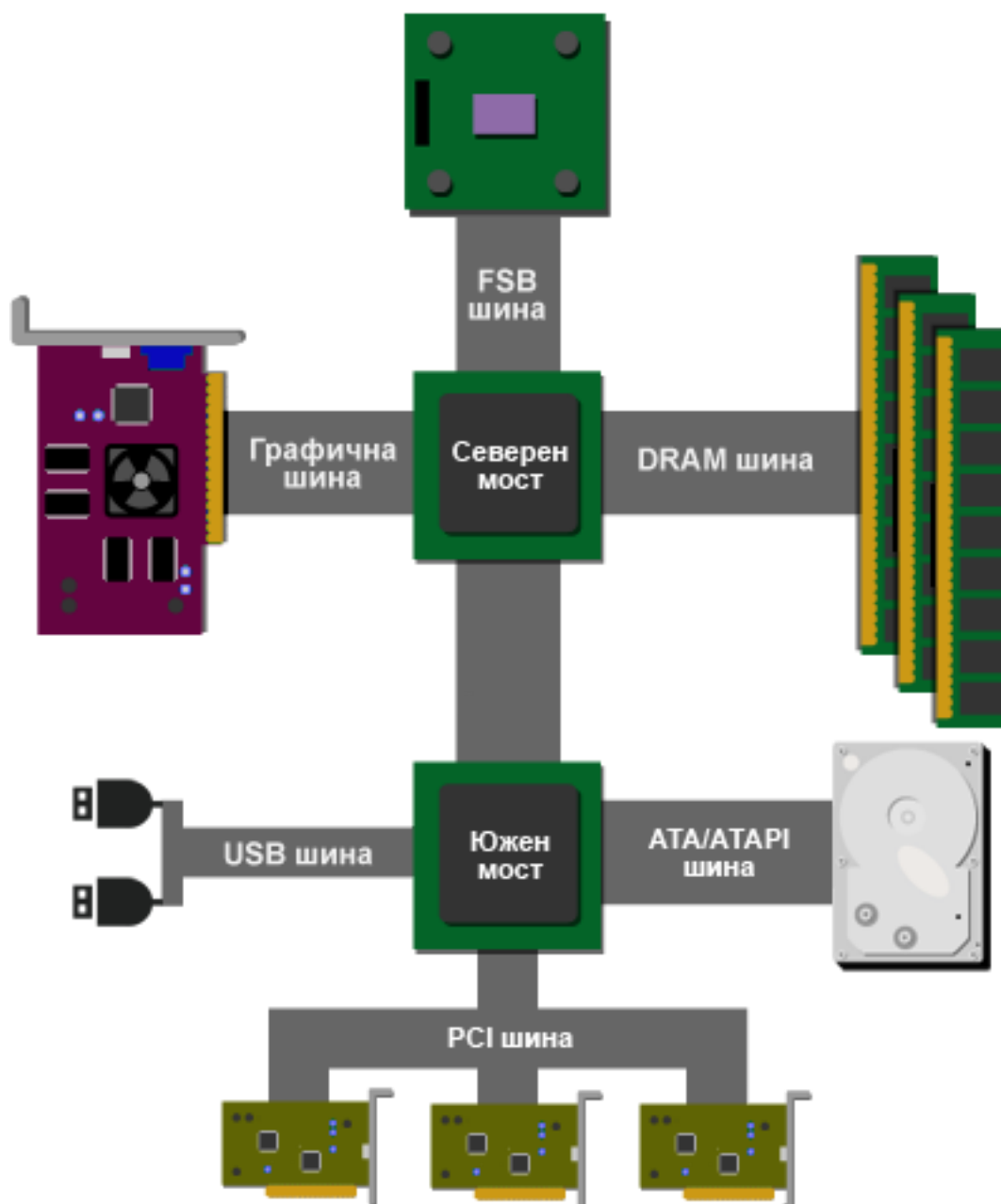
Системната шина, която е съобразена с част от изискванията за висока пропускателна способност, е Peripheral Component Interconnect (PCI). Тя е разработена от фирма Intel в началото на 90-те години с цел създаване на шина за обмен между интегрални схеми. По-късно шината се стандартизира от PCI Special Interest Group (SIG). През 1994 г. шината е адаптирана с цел използването ѝ при персонални компютри с Intel 80486 микропроцесори (чипсет Saturn). Шина PCI напълно замества шини EISA и VLB, когато на пазара се появяват дъна с Intel Pentium процесори. Най-високопроизводителният вариант на шина PCI е предложен от фирми Compaq, Hewlett-Packard и IBM през 1998 г. Тази шина се стандартизира под наименованието PCI-X. Тя има 64-битова шина за данни и такт на синхронизация 133.33MHz. При тази шина се предлага промени в комуникационните протоколи с цел постигане на по-висока пропускателна способност.

Системна шина PCI е локална шина. Тя има множество варианти, тъй като се използва за дълъг период от време. Повечето от вариантите са с 32-битова шина за данни. Има и вариант с 64-битова шина за данни. Тактовата честота е от 33.33MHz до 133.33MHz. Шината се характеризира с редица нововъведения, по-важните от които са следните:

- Има варианти на шината при които се работи с понижени логически нива. Освен с 5V контролери шината може да работи и с 3.3V контролери. Това води до намаляване на консумацията на системата като цяло. Има вариант на шината, която поддържа както 5V контролери, така и 3.3V контролери.
- Има варианти на шината при които тактът на синхронизация може да се спира, когато шината не е натоварена. Целта е намаляване на консумацията на системата.
- С цел допълнително намаляване на консумацията, шина PCI не използва терминатори. Работи се с по-ниско захранващо напрежение от необходимото. В този случай, за да се постигнат необходимите по-високи логически нива, се използва трикратно наслагване на отразените сигнали.
- Шина PCI позволява разширяване на топологията чрез свързване на множество PCI шини, всяка от които може да управлява до 5 периферни устройства. Свързването на тези шини се реализира чрез специални модули, наречени PCI-PCI мостове. При персоналните компютри те са част от чипсета. Максималният брой на подчинените устройства е 255.

Основният недостатък на всички версии на шина PCI е, че тя е от споделен тип (shared bus topology). Това означава, че към адресната магистрала на шината са свързани всички устройства, които евентуално ще комуникират чрез нея (виж Фиг. 1). Това вкарва смущаващи сигнали, които ограничават максималната скорост на обмен по шината и максималният брой на устройствата, които могат да се управляват по шината. Ето защо към една PCI шина могат да бъдат свързани до 5 устройства. При по-голям брой устройства не се гарантира максималната скорост на обмен, поради високите нива на смущения. За да може да се управляват повече от 5 устройства е необходимо да се използват един или няколко PCI-PCI моста. В една PCI компютърна конфигурация най-често има две или повече PCI шини, например: една в самия чипсет (управлява

вградените в чипсета контролери); една на дънната платка (управлява периферни схеми и външни устройства) и една за видеоконтролера, ако той е свързан към шина AGP (разширение на PCI). Друг недостатък на шина PCI е, че при нея се използва мултиплексиране на шини за данни и адреси (AD0-AD31). Това води до намаляване на общия брой сигнали, но влошава пропускателната способност на шината.

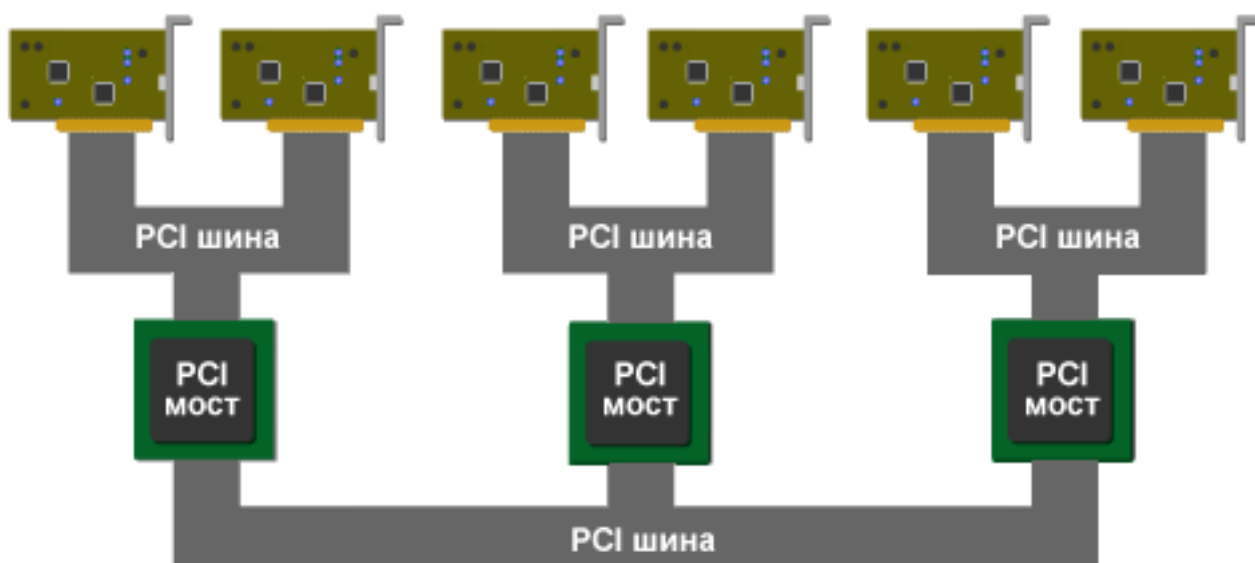


Фиг. 1. *Споделяне на шина PCI от няколко (3) контролера*

Поради факта, че една шина се използва от всички устройства, се налага да се осъществи някакъв арбитражен механизъм за това кой и как да поеме контрола над този общ ресурс. Веднъж, щом дадено устройство получи достъп до шината, то приема статут на водещо (bus master), т.е. поема контрола над управлението върху нея и може да обменя информация с микропроцесора, докато не се получи заявка с по-висок приоритет за прекъсване на това управление. Обменът по шината изцяло се управлява от чипсета (южния мост или ICH). Той управлява синхронизацията на обмена с всяко PCI устройство,

като по подразбиране приемника държи контрола над шината и раздава приоритетите. Предназначението на PCI шината е да осъществи физическата връзка между устройствата и чипсета, като последния упражнява контрола над споделяния ресурс между тях - шината. Основното предимство на топологията от типа обща шина е, че е лесна и евтина за вграждане и реализация. Когато изискванията за повече пропускателна способност и мащабируемост започнат да нарастват, тази топология рязко влошава своите качества и в някои случаи става неприложима.

От гледна точка на микропроцесора, PCI устройствата са достъпни посредством load-store механизъм. За целта всеки контролер комуникира през адресно пространство, специално заделено за PCI периферията. Вместо код и данни, в това адресно пространство се съдържат адресните обхвати на всяко PCI устройство. И така, по същия начин, по който микропроцесора осъществява достъп до оперативната памет, чрез операции четене и запис, той прави същите действия и при нужда да получи достъп до някое PCI устройство. Четенето от PCI адрес (load) води до четене от съответния PCI контролер. Записът в PCI адрес (store) води до предаване на данни към съответния PCI контролер. Когато компютърът се намира в началния етап на стартиране, цялата PCI система трябва да се инициализира, чрез присвояване на части от PCI адресното пространство за всяко PCI устройство. Когато всички PCI устройства имат присвоени адреси в паметта, те започват да „подслушват“ за наличието на команди и данни по шината, които са предназначени за тях. За целта всеки PCI контролер има адресен дешифратор, който генерира специален управляващ сигнал когато по адресната шина се предава адрес от адресното пространство на контролера. Този начин на комуникация работи добре когато към PCI шината са свързани само няколко устройства. Когато броят на тези устройства нарасне, шумът по шината може да доведе до грешно прочетени или предадени данни. Колкото повече устройства са свързани към шината, толкова повече се повишава нивото на електромагнитни смущения и това може да доведе и до неправилно разпознаване на предаваните адреси. Както вече споменахме по-горе проблемът частично се решава с ограничаване на броя на устройствата, свързани към шината, до 5 (виж Фиг. 2).



Фиг. 2. Увеличаване на броя на PCI контролерите чрез PCI-PCI мостове

При стартиране на системата чипсетът трябва да разпознае всички PCI устройства, свързани към шината, както и да ги настрои в необходимия комуникационен режим (линия за заявка за прекъсване, канал за директен достъп до паметта).

Трафикът по PCI шината е два основни типа:

- Адреси и данни.
- Команди.

Данните са информация, която се предава по шината от и към крайното PCI устройство, а адресът е местонахождението на това устройство. Командният трафик, съдържа определен тип конфигурационни или контролни параметри. Пример за команден трафик са инициализиращите инструкции за дадено PCI устройство, сигнал за рестартиране, конфигурационен параметър, който кара устройството да превключи в даден режим на работа и др. По-новите версии на PCI стандарта, определят наличието на допълнителна Side-Band (SB) шина. Тя се използва предаване на специфичен команден трафик, например информация от сензорите на дънната платка.

Версиите на шина PCI са множество. През 1993 г. се анонсира версия 2.0, през 1995 г. – версия 2.1, следва версия 2.2, а през 1999 г. се анонсира версия PCI-X. Към шина PCI се причислява и шина Accelerated Graphics Port (AGP). Тя се води като надстройка на шина PCI с цел бърз обмен с видеоконтролери (виж. Фиг. 1). За разлика от PCI видео-контролерите, AGP видеоконтролерите са свързани директно към северния мост (MCH). Първата версия на AGP (AGP-x1) се анонсира през 1996 г. В Табл. 1 са описани основните параметри на различните версии на шина AGP.

Табл. 1. Параметри на различните версии на шина AGP

Версия	Захранване, V	Тактова честота, MHz	Скорост на обмен, MiB/s
AGP-x1	3.3	66.66	266
AGP-x2	1.5 или 3.3	66.66	533
AGP-x4	1.5	66.66	1066
AGP-x8	0.8 или 1.5	66.66	2133

Всички версии на AGP използват една и съща тактова честота – 66.66MHz. Следователно, скоростта на обмен е 66.66×4 байта (32-битова шина) = 266.64 MiB/s. Скоростта на всяка следваща версия е 2 пъти по-висока от предходната. При версия AGP-x2 се използва синхронизация по преден и заден фронт на такта за синхронизация. При AGP-x4 се използва две синхронизиращи поредици: основната и една дефазирани на 90 градуса. При AGP-x8 се използват 4 синхронизиращи поредици – една основна и 3 дефазирани на 22.5 градуса.

Последният вариант PCI-X цели повишаване на пропускателната способност на шината до 1066 MiB/s. За целта шината е вече 64-битова, а тактът на синхронизация е 133.33MHz. Последната версия 2.0 на PCI-X позволява стартиране на обмен както по преден, така и по заден фронт на тактовия сигнал. По този начин скоростта на обмен се удвоява до 2133 MiB/s. Този вариант на шината не се характеризира с добра шумоустойчивост. Това налага изисквания за по-строг контрол на качеството при производство, по-скъпи материали и компоненти с цел намаляване на нивото на шума по шината. Повишената тактова честота

на PCI-X не е единствената причина за усилване на електромагнитните смущения. Понеже PCI-X е 64-битова, в резултат на опроводяването на допълнителните изводи, се увеличава електромагнитната индукция между съседните печатни писти. Това налага използване на специални методи за откриване и отстраняване на грешки чрез допълнителни ЕСС битове.

Основният недостатък на PCI шината – нейния споделен тип – е непреодолим недостатък за всички нейни версии. Алтернатива на тази шина е шина PCI експрес, която не е от споделен тип. При нея комуникацията между чипсета и периферните устройства е от тип point-to-point. Това означава, че се създава отделен комуникационен канал за всяко периферно устройство. Тъй като няма как да се създадат едновременно множество такива канали, то в даден момент функционира един канал, а каналите се превключват с висока честота. Комуникацията между устройствата в двата края на канала е синхронна, пълен дуплекс.

VI. Въпроси и задачи за самостоятелна работа

1. Кога започва да се използват чипсети с цел управление на обmena по системната шина? Как преди това се е реализирало управлението?
2. Защо тактовата честота при система шина PCI е 33.33 MHz, 66.66 MHz или 133.33MHz, а не 33.00 MHz, 66.00 MHz или 133.00 MHz?
3. Какво се разбира под арбитриране на системната шина? Като използвате специализирана литература опишете управляващите сигнали на шина PCI, които се използват с цел арбитриране на шината.
4. Коя е последната версия на шина AGP? Какви са нейните основни параметри.
5. Какво означава една шина да е от споделен тип? Защо тези шини вече не се използват?