

Multi-Objective Optimization and Multi-Criteria Decision Aid Applied to the Design of 3D-Stacked Integrated Circuits

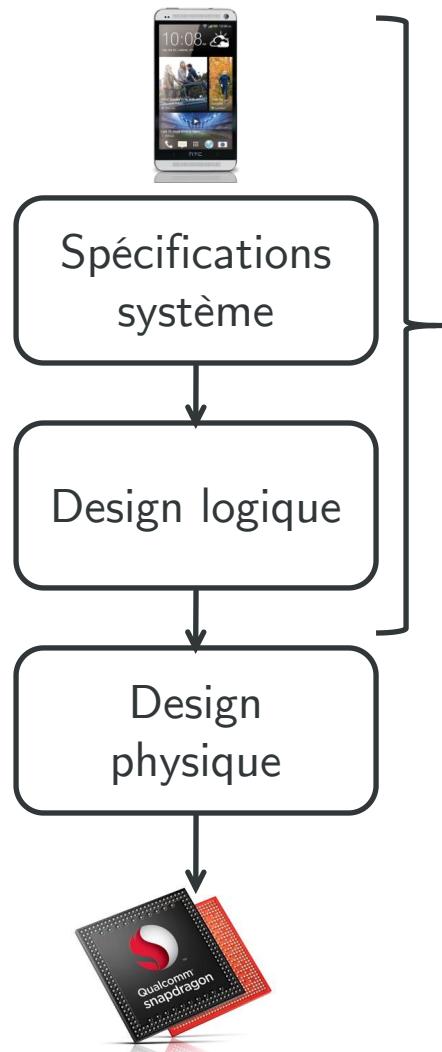
DOAN Nguyen Anh Vu

Supervisors: Yves DE SMET
Dragomir MILOJEVIC
Frédéric ROBERT

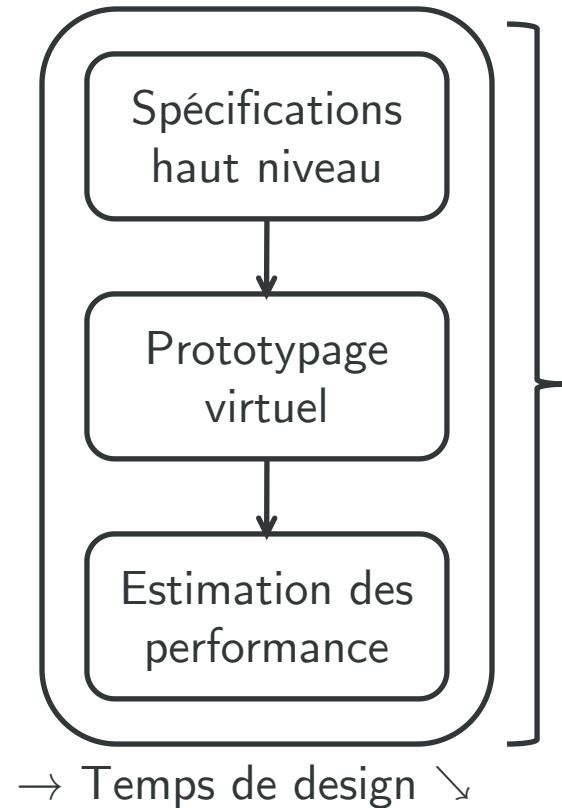
Étude de l'applicabilité d'un paradigme multicritère pour le design de circuits intégrés 3D

ULB

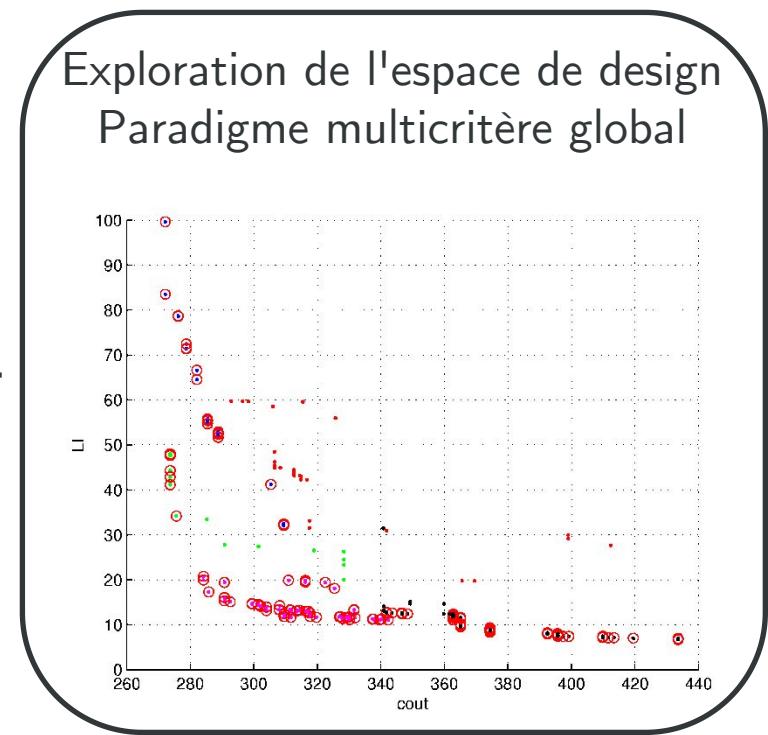
Flot de conception



Prototypage virtuel



Flot de conception multicritère

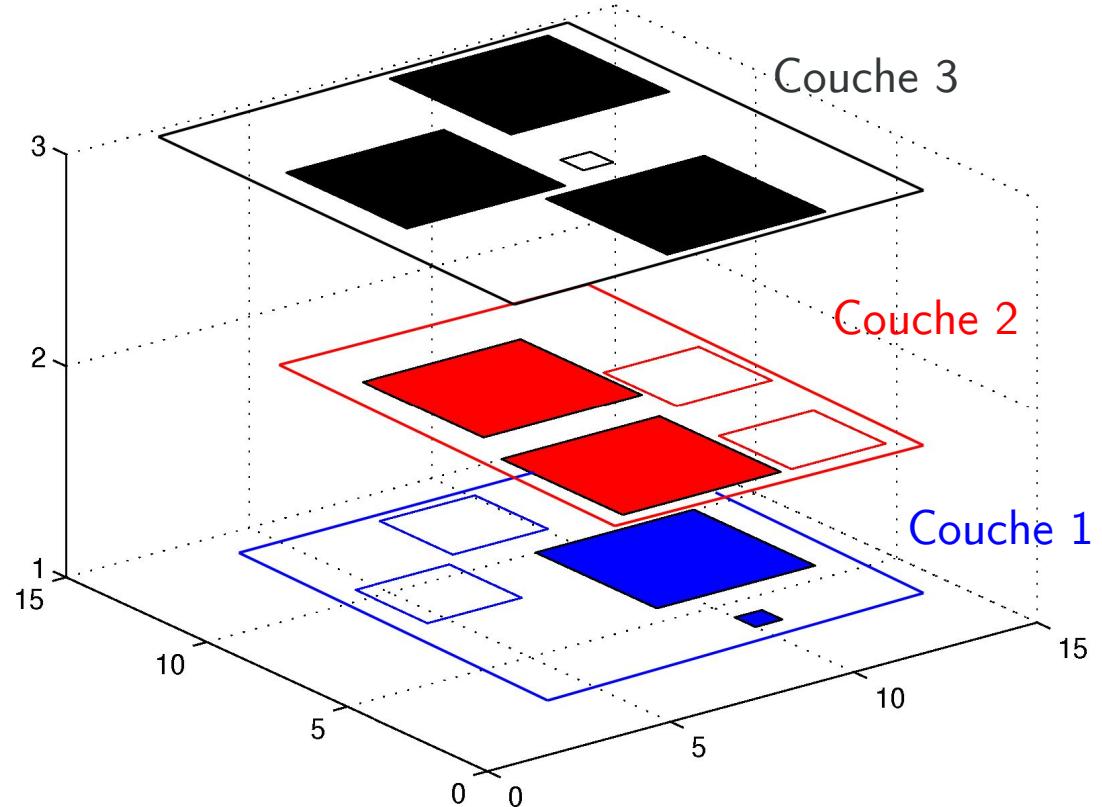
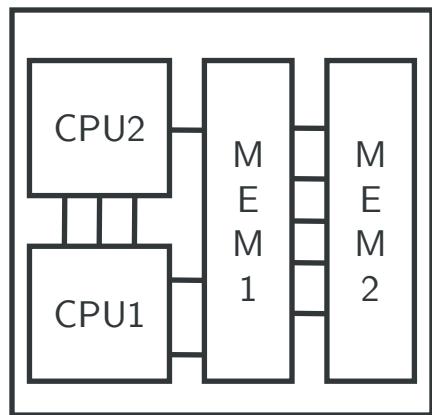
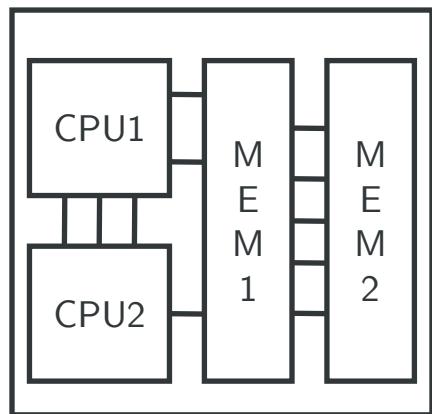


→ Temps de design ↴

Plan de la présentation

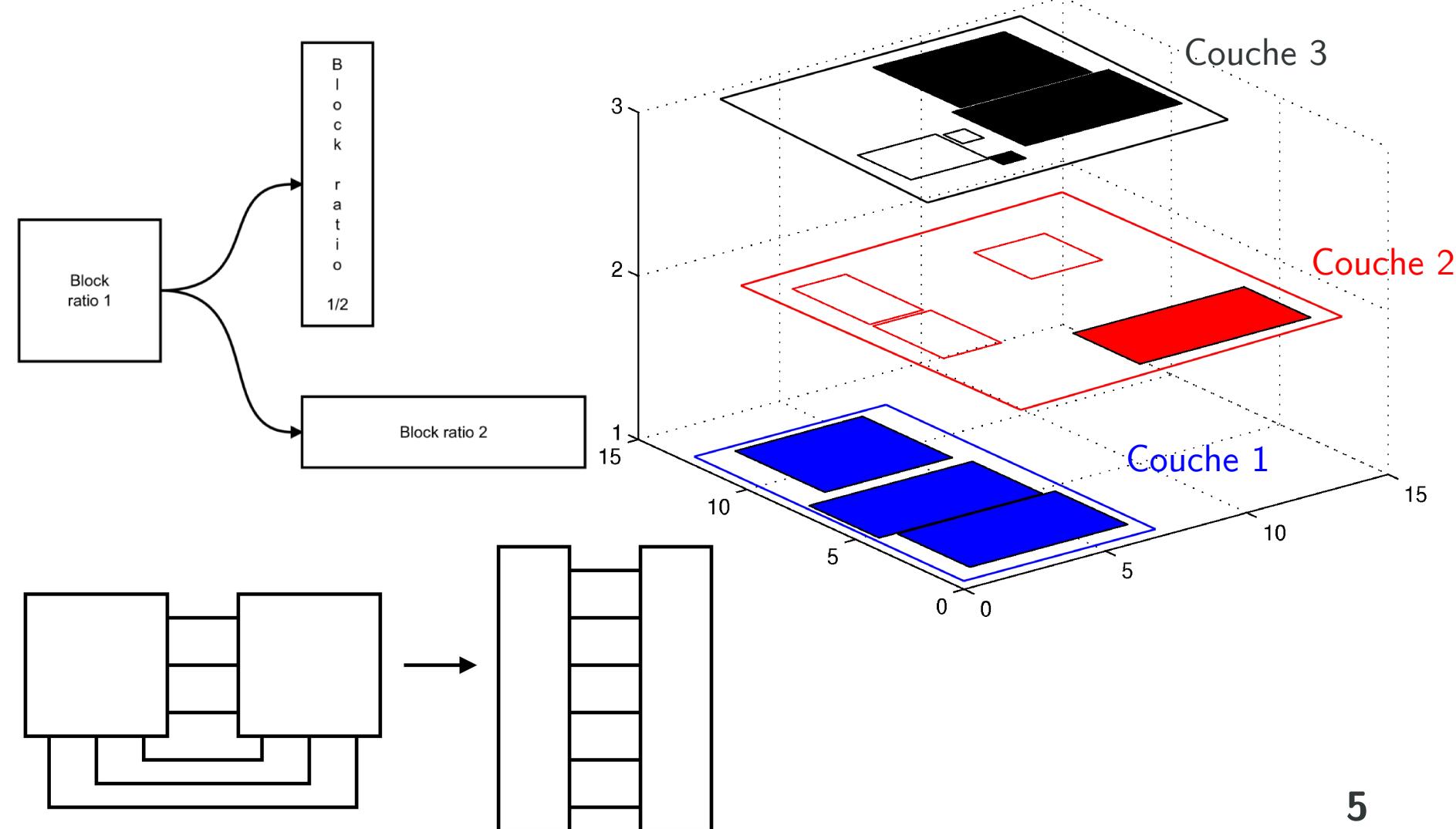
- Introduction et contexte
- Flot de conception multicritère
 - Modèle et critères
 - Méthodologie et résultats d'optimisation
 - Aide multicritère à la décision
- Conclusion et perspectives

Degrés de liberté du modèle Partitionnement/floorplanning

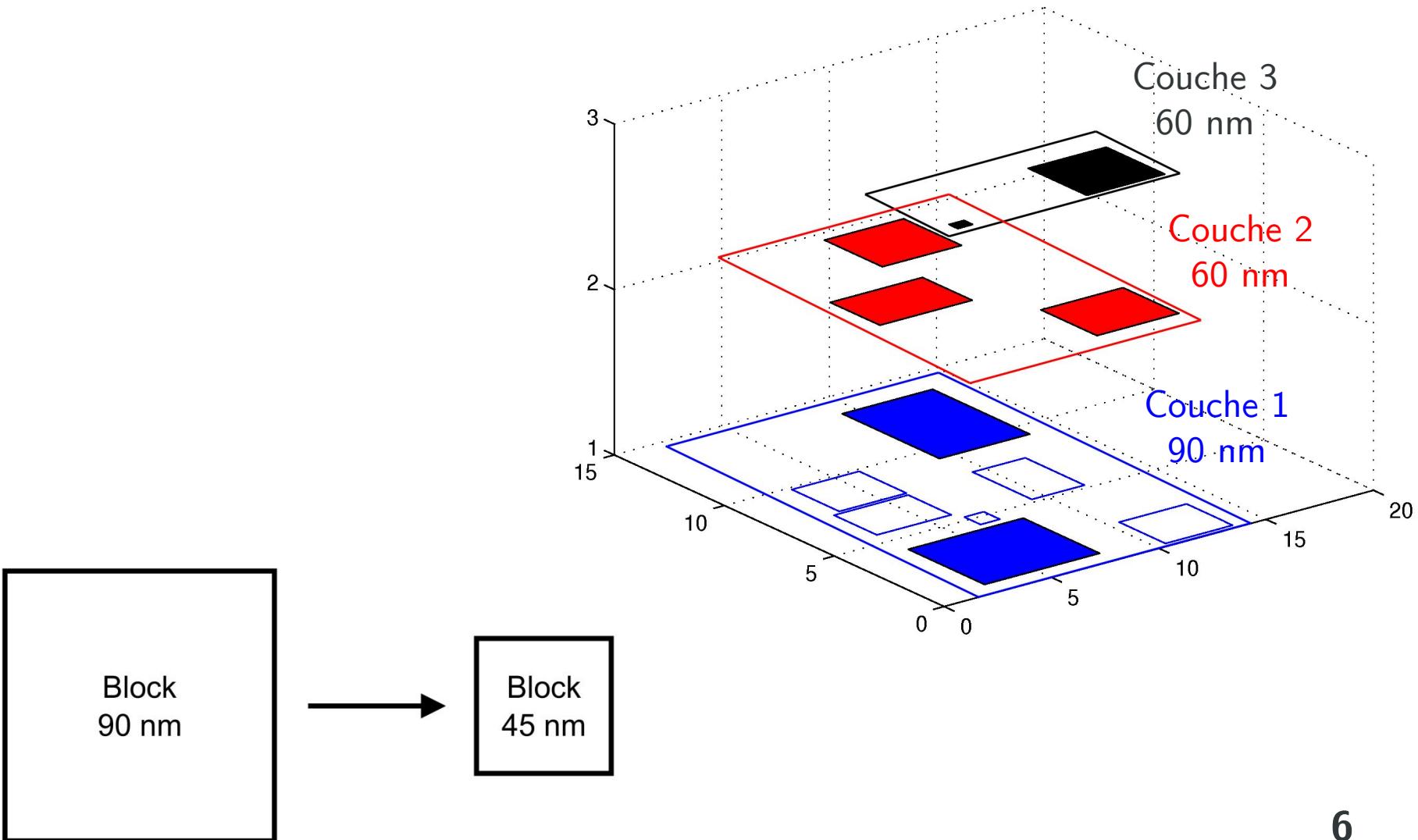


Degrés de liberté du modèle

Facteur de forme des blocs



Degrés de liberté du modèle Circuits hétérogènes



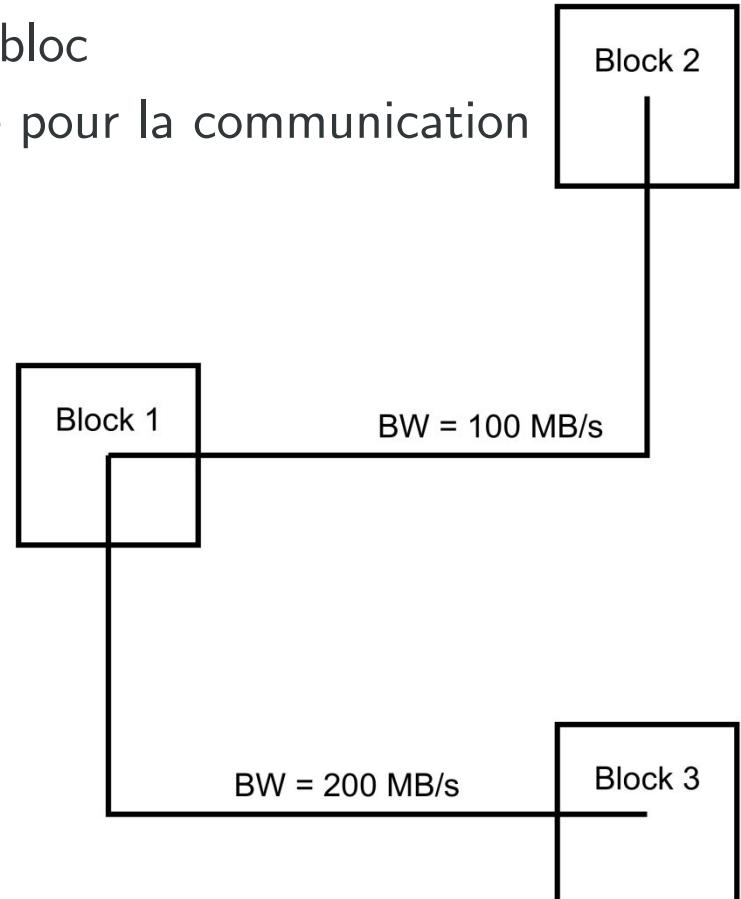
5 critères ont été établis pour le modèle

- Distance totale d'interconnections
- Coût
- Volume du package
- Position de l'horloge
- Dissipation thermique

Distance totale d'interconnections

- À minimiser
- Calcul avec la distance de Manhattan
- Point de référence : centre de chaque bloc
- Pondéré par la bande passante requise pour la communication

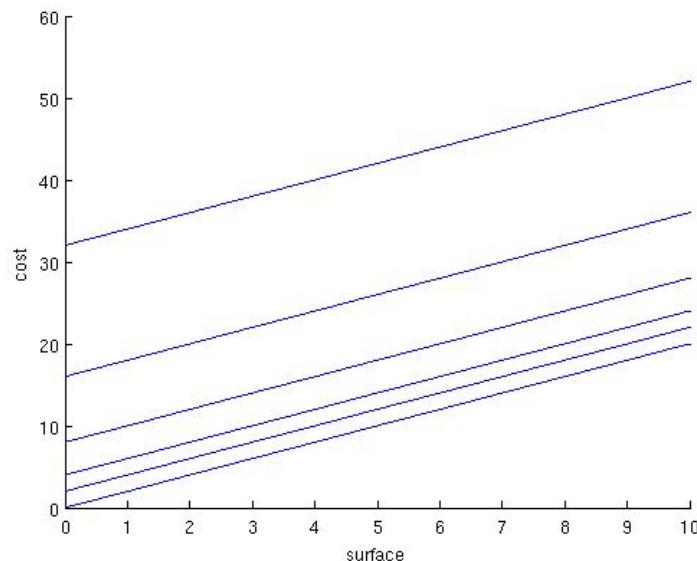
$$\sum_{comm(i,j)} \frac{|x_i - x_j| + |y_i - y_j|}{BW_{ij}}$$



Coût

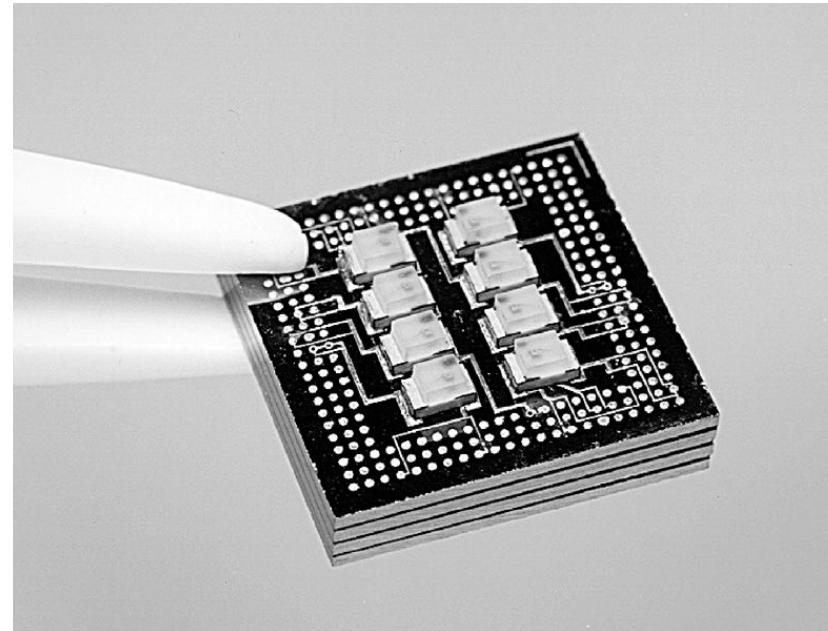
- À minimiser
- Données réelles confidentielles
- Modèle approximé
 - Proportionnel à la taille d'une couche
 - Exponentiel avec le nombre de couches
 - Dépend de la technologie utilisée

$$\text{cost} = a(\text{tech}).S + b(\text{tech})^{\text{number of layers}}$$



Volume du package

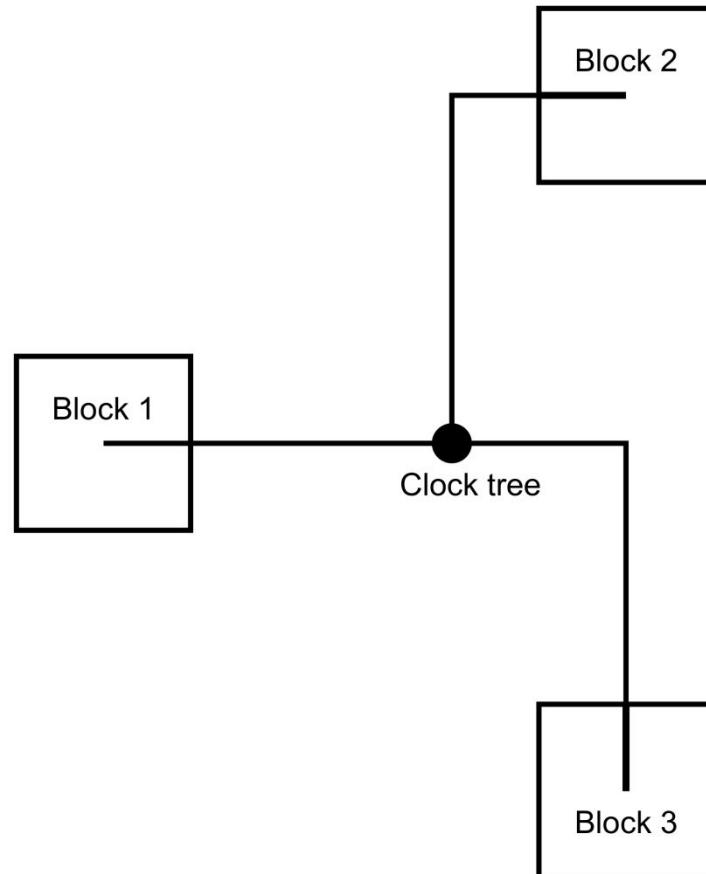
- À minimiser
- Critère important pour les systèmes embarqués
- En microélectronique: volume d'un parallélépipède



$$\text{volume} = \max(S_{layer}) \cdot \text{stack thickness}$$

Position de l'horloge

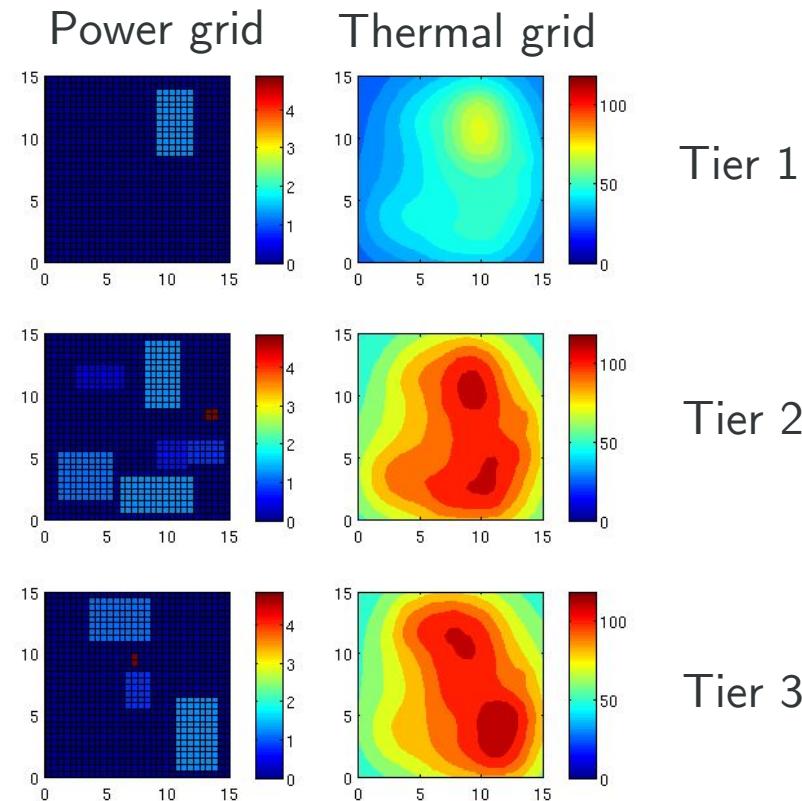
- Minimisation de la position de l'horloge par rapport aux autres blocs
- Requis pour la fréquence de travail
- Calcul avec la distance de Manhattan



Dissipation thermique

- À minimiser (doit satisfaire des contraintes)
- Modèle simple utilisant des résistances thermiques → long à calculer
- Calcul avec la puissance maximale

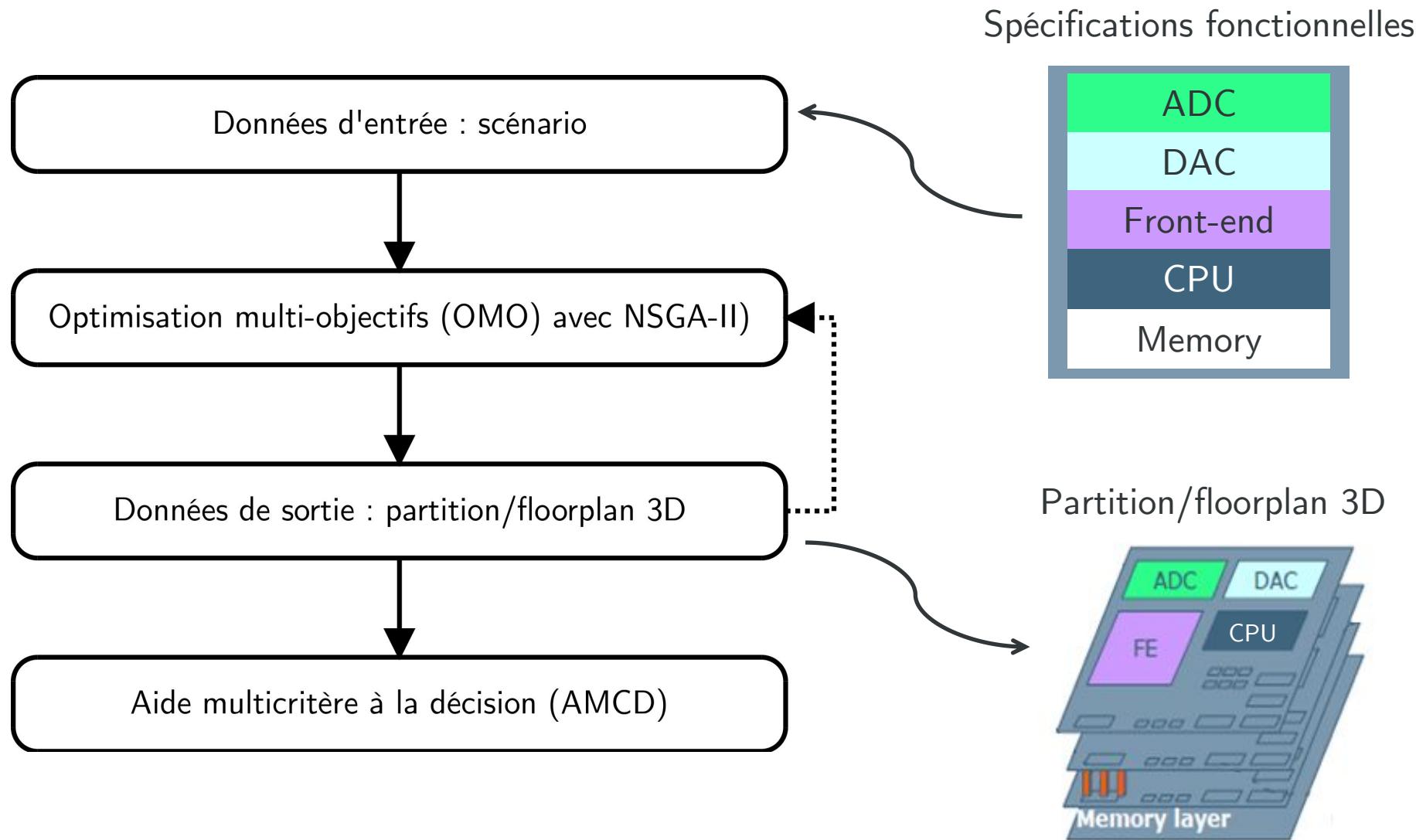
$$P_{diss} = P_{comp} \sum_{i=1}^n \frac{1}{R_{th,i} \cdot r}$$



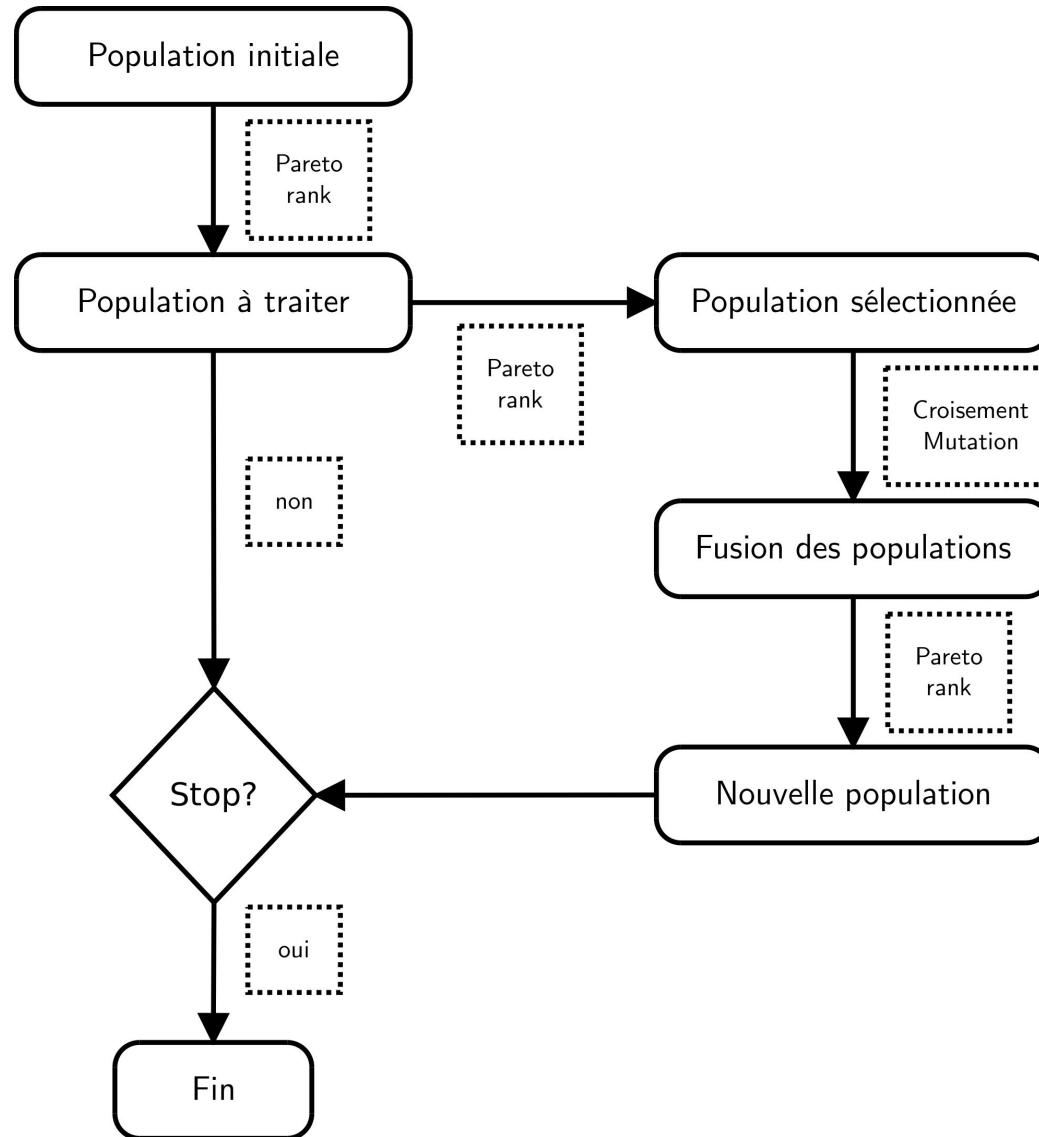
Plan de la présentation

- Introduction et contexte
- Flot de conception multicritère
 - Modèle et critères
 - Méthodologie et résultats d'optimisation
 - Aide multicritère à la décision
- Conclusion et perspectives

Méthodologie



Établissement de la frontière Paréto-optimale avec NSGA-II



Paradigme multicritère pour les 3D-SIC

1^e cas d'étude

ULB

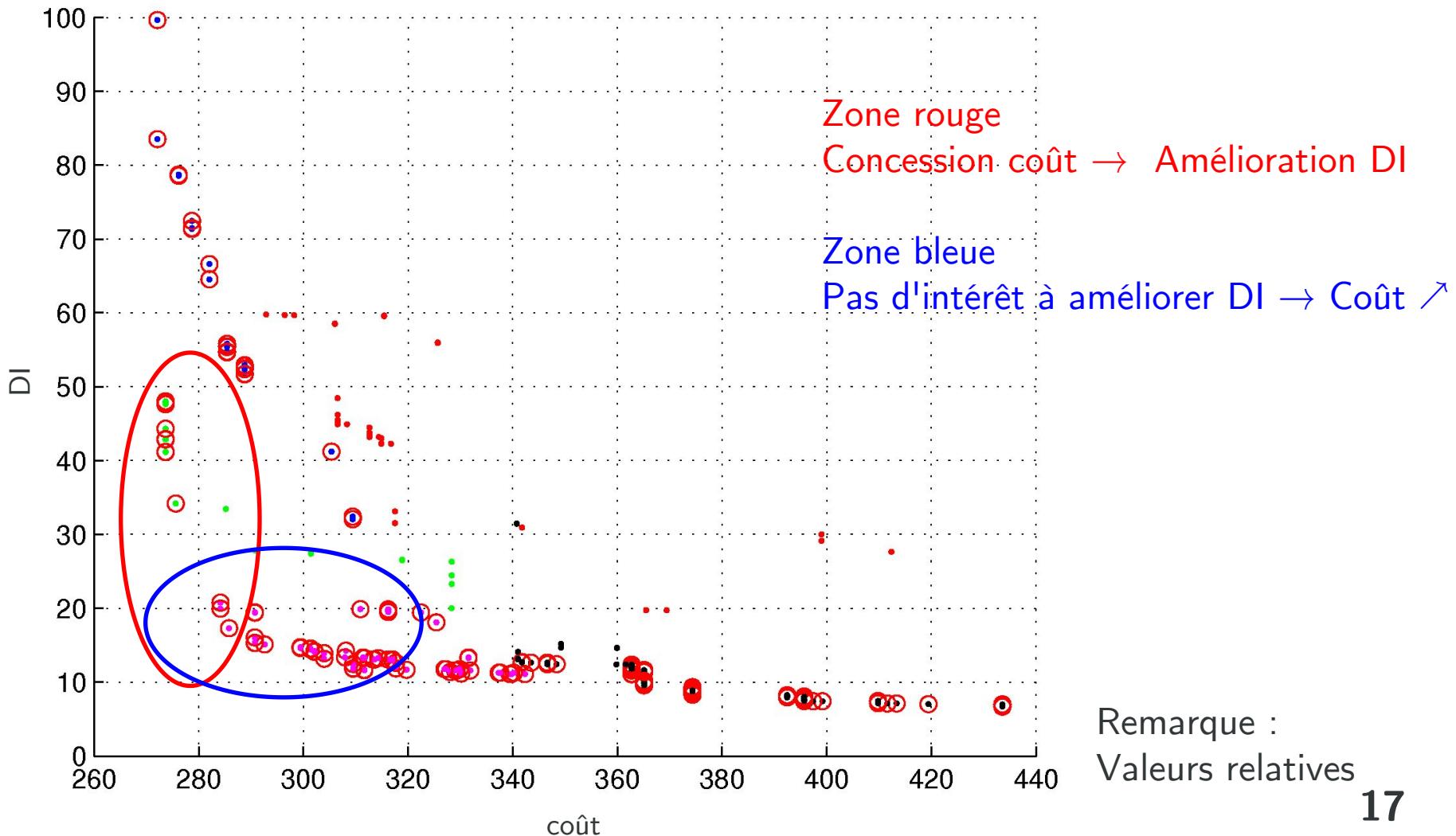
- 1^e cas d'étude : 12 blocs, 1 to 5 tiers
- 3 critères considérés : distance d'interconnection (DI), coût and volume
- D'abord, facteur de forme et hétérogénéité non considérés

Description fonctionnelle



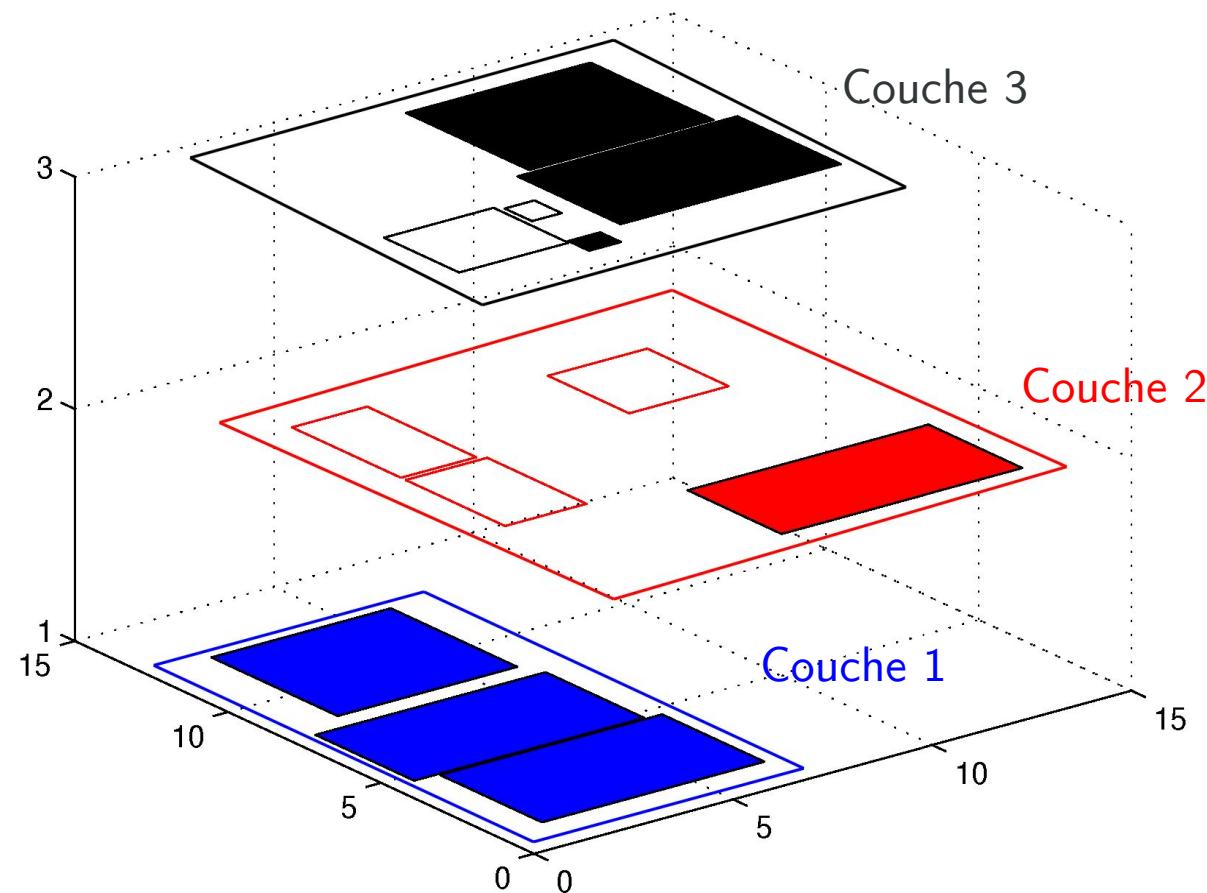
L'OMO peut fournir des informations intéressantes pour les designers

Projection bi-critère



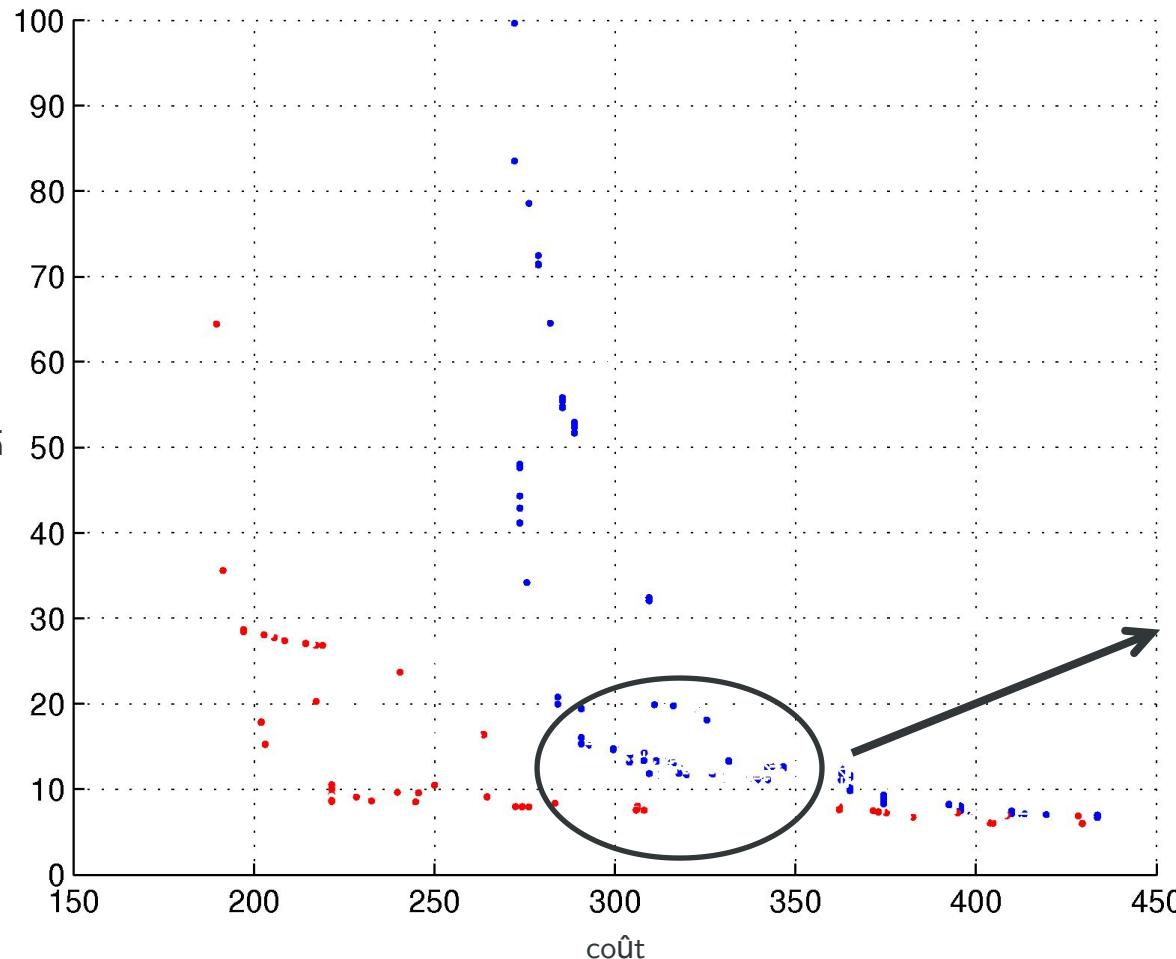
Espace de design moins constraint : Plus de liberté avec les solutions

Retrait d'une contrainte : facteur de forme des blocs



La flexibilité de l'optimisation multi-objectifs permet une analyse plus poussée

Comparaison des frontières de Paréto (projection bi-critère)



Bleu : sans facteur de forme

Rouge : avec facteur de forme

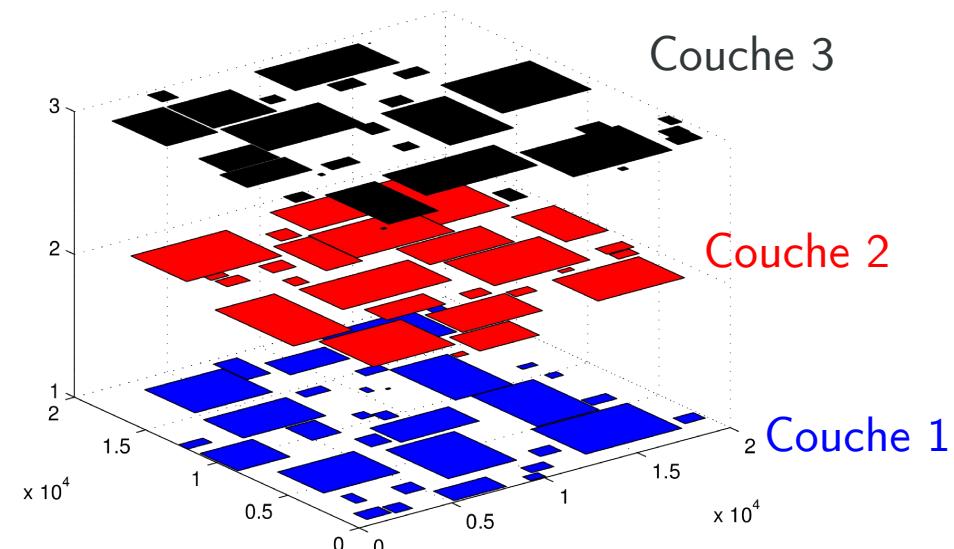
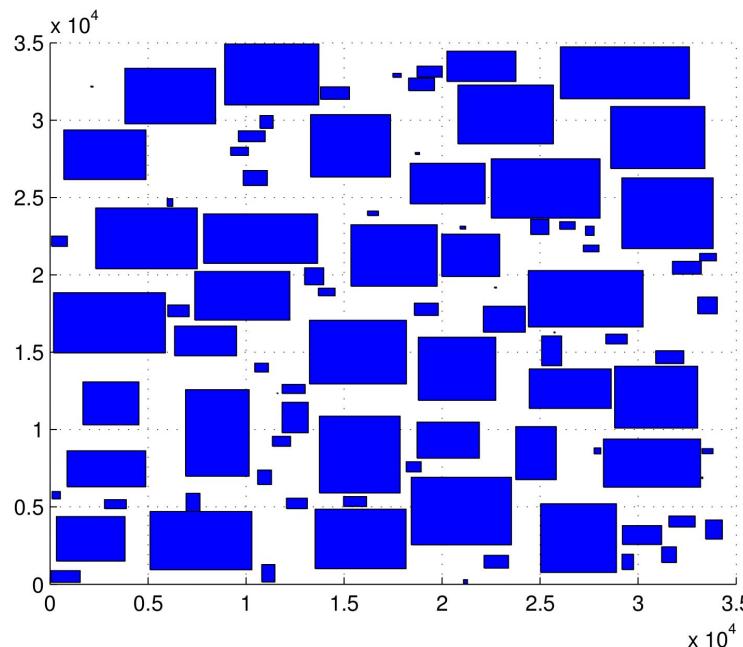
Pas nécessairement intéressant de prendre en compte les facteurs de forme

Remarque :
Valeurs relatives

Paradigme multicritère pour les 3D-SIC

2^e cas d'étude

- 2^e cas d'étude : effet d'échelle - 90 blocs, 1 to 5 tiers
- 5 critères considérés
- Facteur de forme et hétérogénéité fonctionnelle : taille variable



Analyse multicritère avancée

- Optimisation mono-objectif (DI)

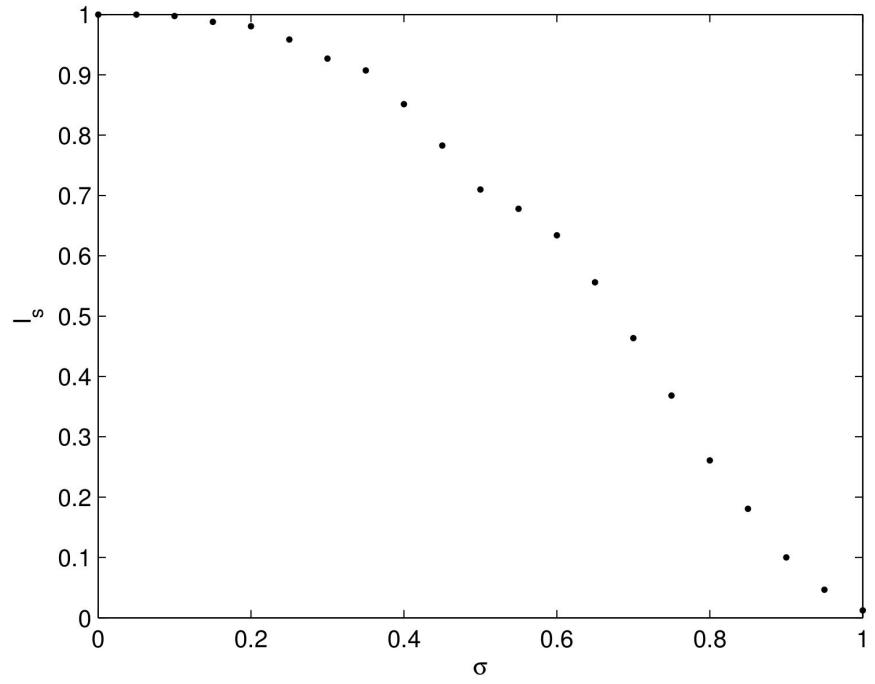
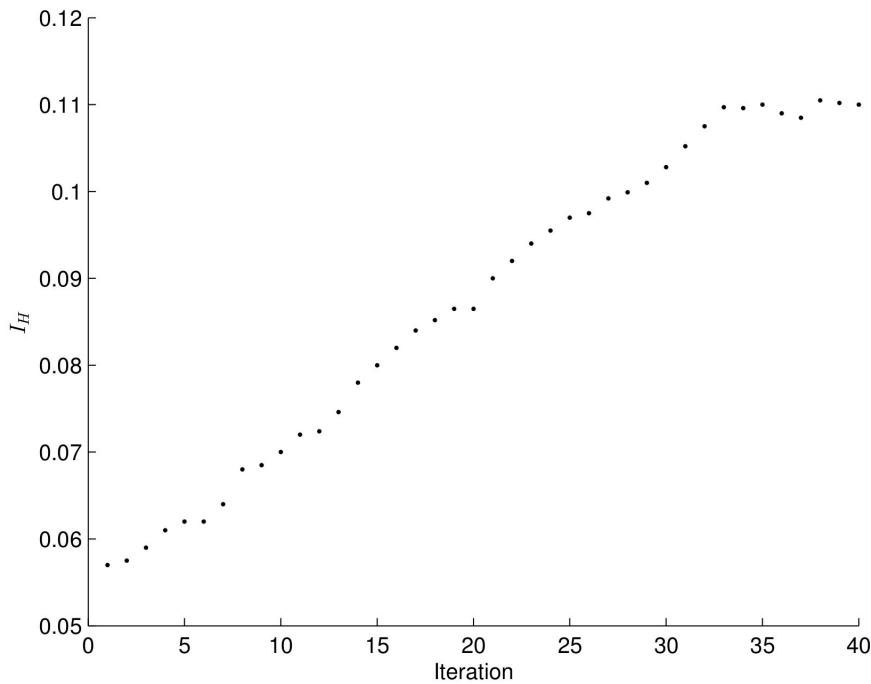
Alternative	Nombre de couches	DI
A	1	6.2737
B	2	5.2357
C	3	4.0438

- Optimisation multi-objectifs

Alt.	Couches	DI	Coût	Volume	Horloge	Therm.
A	1	6.2737	$1.2178 \cdot 10^9$	$2.4356 \cdot 10^7$	$3.3584 \cdot 10^4$	81
B	2	5.2357	$1.2267 \cdot 10^9$	$2.4914 \cdot 10^7$	$4.5687 \cdot 10^4$	351
C	3	4.0438	$1.1495 \cdot 10^9$	$2.3681 \cdot 10^7$	$6.7234 \cdot 10^4$	593
D	2	6.2099	$1.2304 \cdot 10^9$	$2.4877 \cdot 10^7$	$3.8250 \cdot 10^4$	280
E	3	6.2205	$1.1495 \cdot 10^9$	$2.3589 \cdot 10^7$	$3.1095 \cdot 10^4$	459

Méthodologie robuste

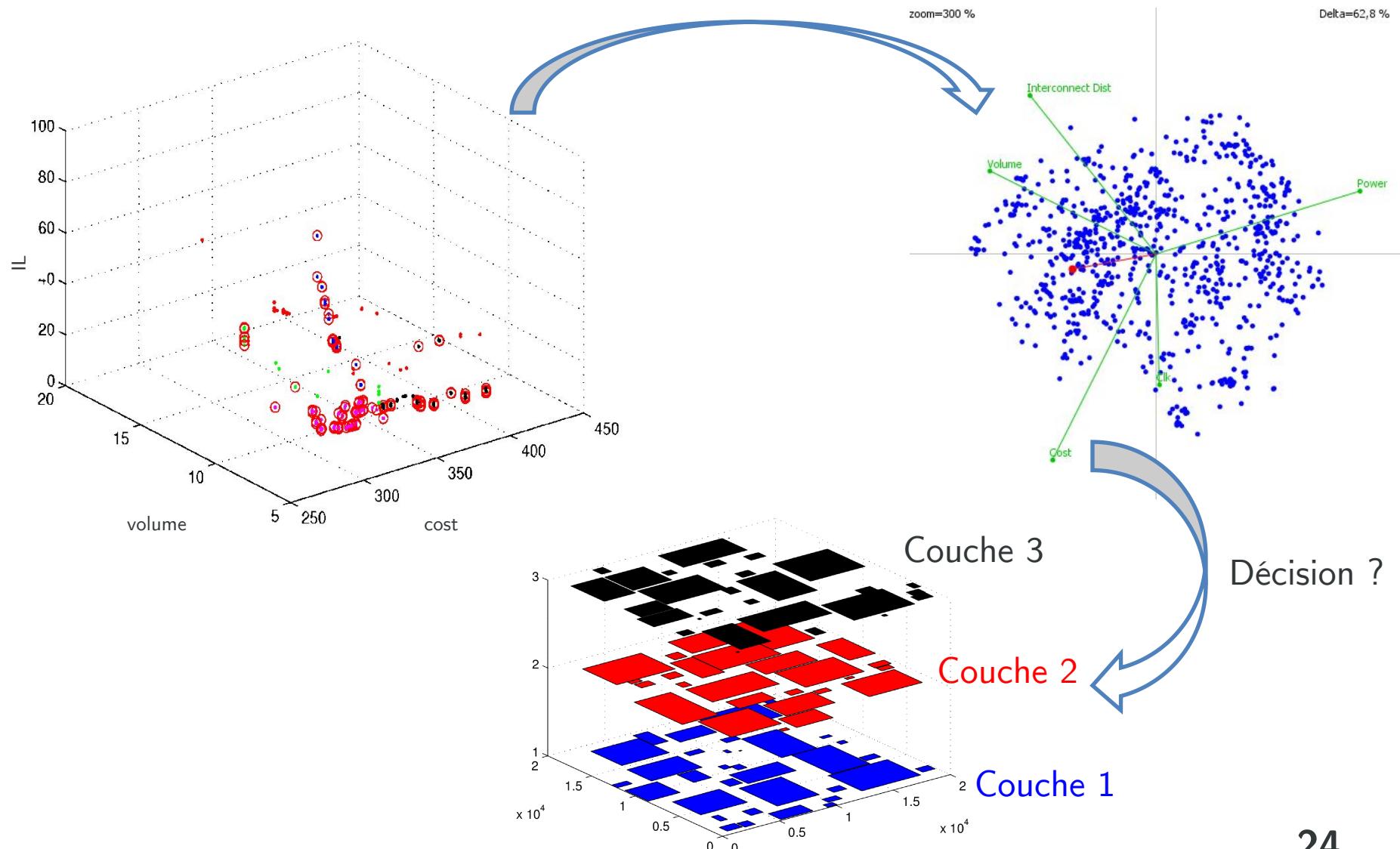
- Utilisation des indicateurs classiques du domaine
 - Contribution, dispersion, epsilon binaire, hypervolume, densité
- Bonnes propriétés de convergence et de diversité



Plan de la présentation

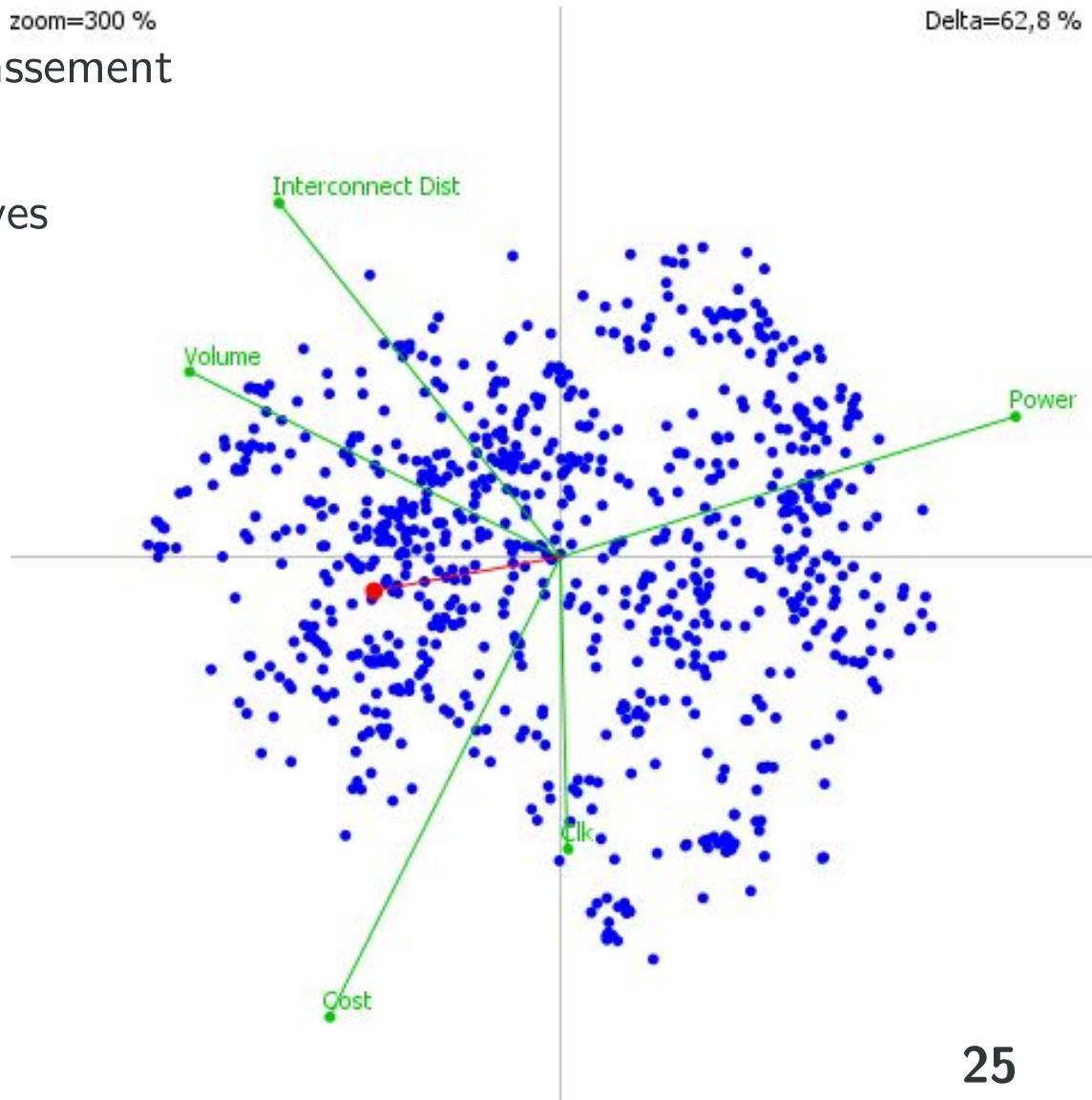
- Introduction et contexte
- Flot de conception multicritère
 - Modèle et critères
 - Méthodologie et résultats d'optimisation
 - Aide multicritère à la décision
- Conclusion et perspectives

L'AMCD peut aider à choisir les meilleures solutions de compromis

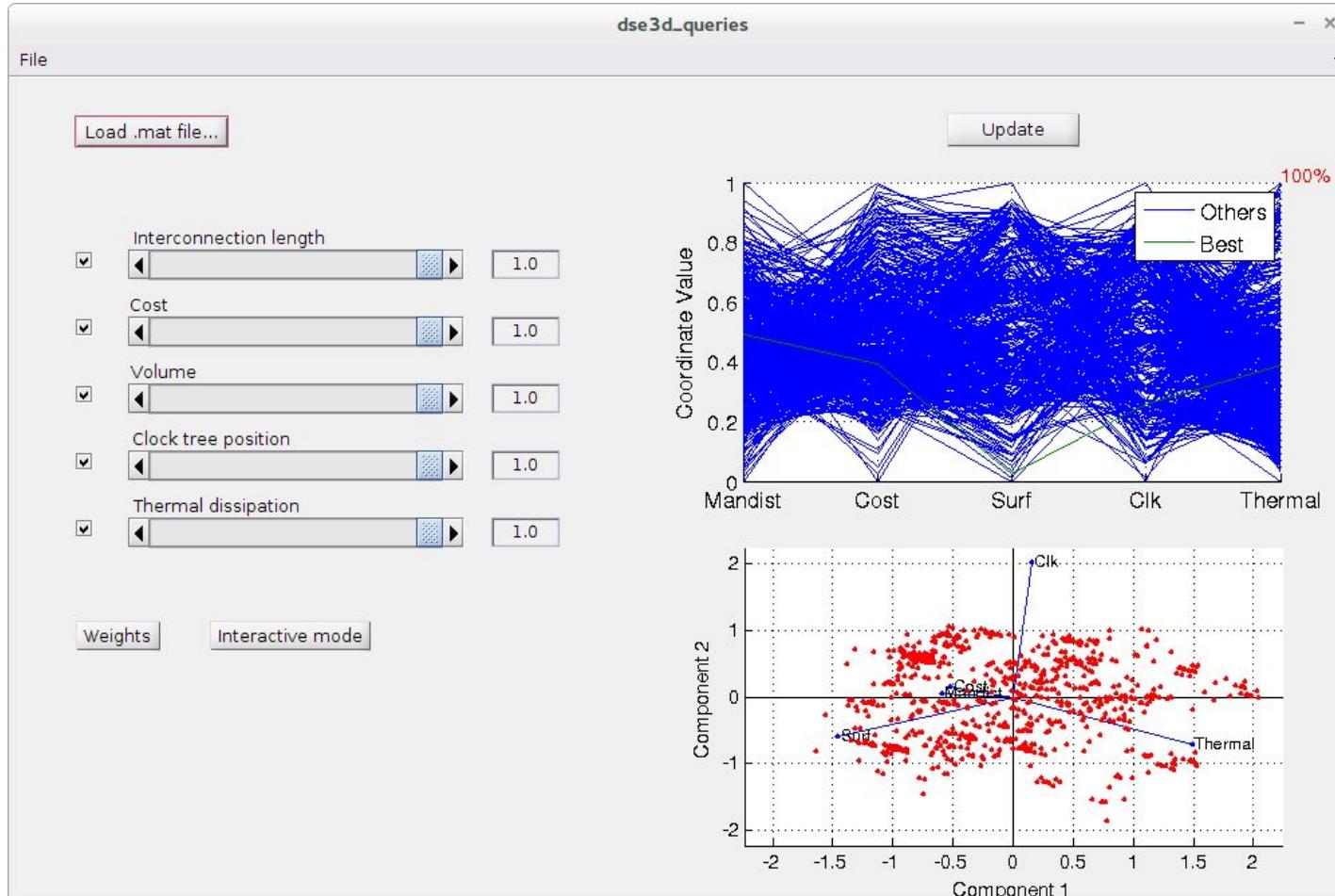


PROMETHEE-GAIA permet d'établir des rangements

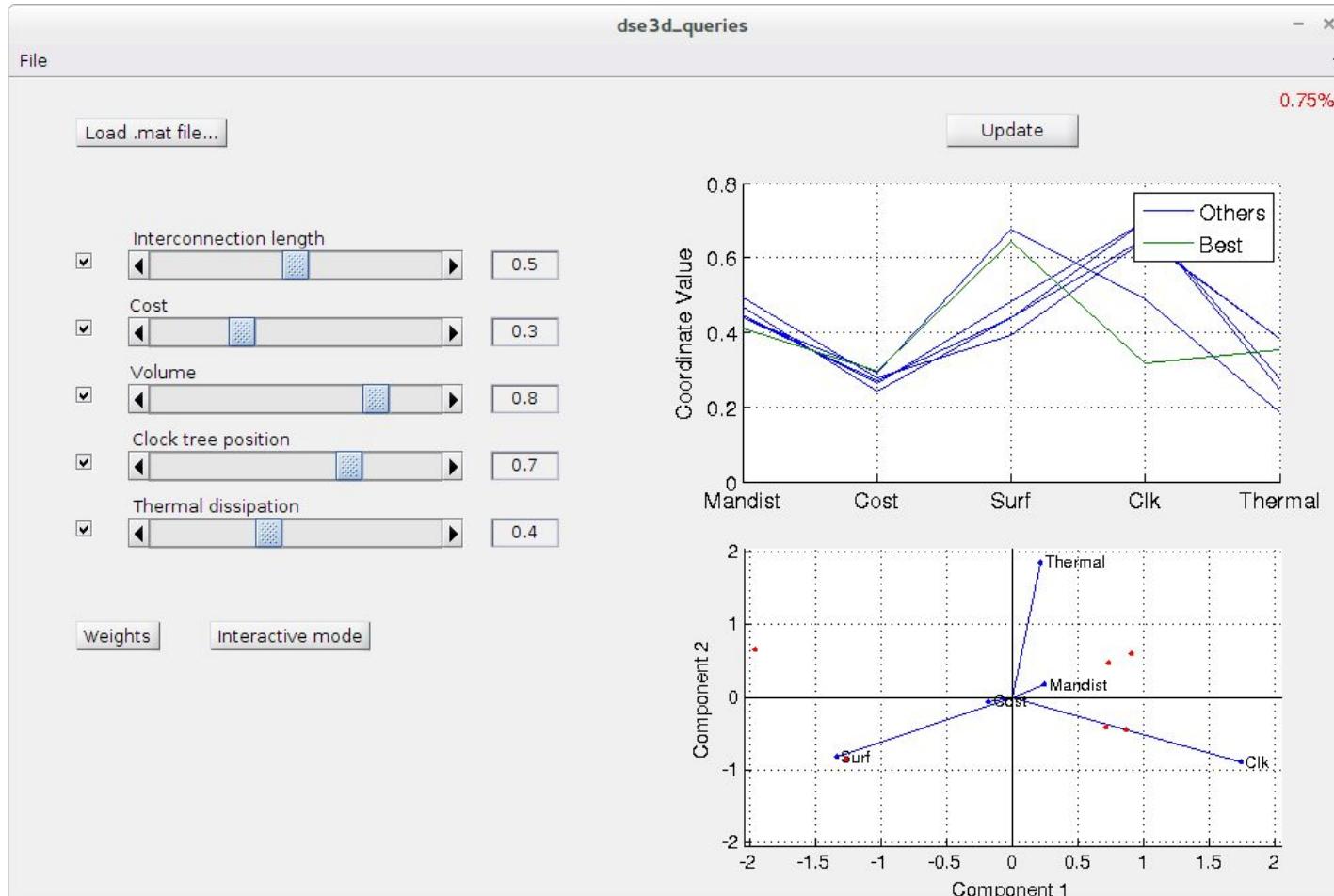
- Analyse de profiles et classement
- Comparaison d'alternatives
- Choix de compromis



La modélisation de contraintes peut simplifier le processus de décision



La modélisation de contraintes peut simplifier le processus de décision



L'utilisation de l'AMCD en électronique n'est cependant pas ais 

- Diff rences de m thodologie/d'approche
- Diff rences de "langage"
- Diff rences d'information

Plan de la présentation

- Introduction et contexte
- Flot de conception multicritère
 - Modèle et critères
 - Méthodologie et résultats d'optimisation
 - Aide multicritère à la décision
- Conclusion et perspectives

Conclusion

Utilisation d'un paradigme multicritère pour le design de 3D-SIC

- Développement d'un modèle de 3D-SIC pour l'optimisation multi-objectifs
 - 5 critères
 - Facteur de forme, hétérogénéité
- OMO : informations qualitatives/quantitatives non disponibles avec les outils actuels
- Comparaison multicritère avancée des solutions
- Méthodologie robuste (convergence/diversité)
- AMCD : choix parmi les meilleurs compromis

→ L'optimisation multi-objectifs et l'aide multicritère à la décision peuvent améliorer la conception de circuits intégrés

Perspectives

- Amélioration du modèle (estimations des critères)
- Transposition du paradigme multicritère à d'autres étapes de design
- Modélisation de la dissipation thermique
- Traduction du cahier des charges en électronique en modélisation multicritère
- Amélioration de l'algorithme d'exploration
- Extension au co-design HW/SW

Publications

- N.A.V. Doan, F. Robert, D. Milojevic, Y. De Smet, "A MOO-based Methodology for Designing 3D-Stacked Integrated Circuits", *Journal of Multi-Criteria Decision Analysis*, vol. 21, no. 1-2, pp. 43-63, January-April 2014
- N.A.V. Doan, F. Robert, Y. De Smet, D. Milojevic, "MCDA-based methodology for efficient 3D-design space exploration and decision", *International Symposium on System-on-Chip Proceedings (SoC 2010)*, pp. 76-83, September 2010. (5 citations - oct 2014)
- K. Lidouh, N.A.V. Doan, Y. De Smet, "PROMETHEE-compatible presentations of multicriteria evaluation tables", *International Journal of Multicriteria Decision Making*, to be published

Multi-Objective Optimization and Multi-Criteria Decision Aid Applied to the Design of 3D-Stacked Integrated Circuits

DOAN Nguyen Anh Vu

Supervisors: Yves DE SMET
Dragomir MILOJEVIC
Frédéric ROBERT

La conception électronique doit répondre à un cahier des charges de plus en plus exigeant



```
library IEEE;
use IEEE.std_logic_1164.all;

entity easyvhdl is
    port (
        DOOR: in STD_LOGIC;
        IGNITION: in STD_LOGIC;
        SBELT: in STD_LOGIC;
        BUZZER: out STD_LOGIC
    );
end easyvhdl;

architecture easyvhdl_arch of easyvhdl is
begin
    -- <><enter your statements here>>
    BUZZER <= IGNITION and ((not DOOR) or (not SBELT));
end easyvhdl_arch;
```

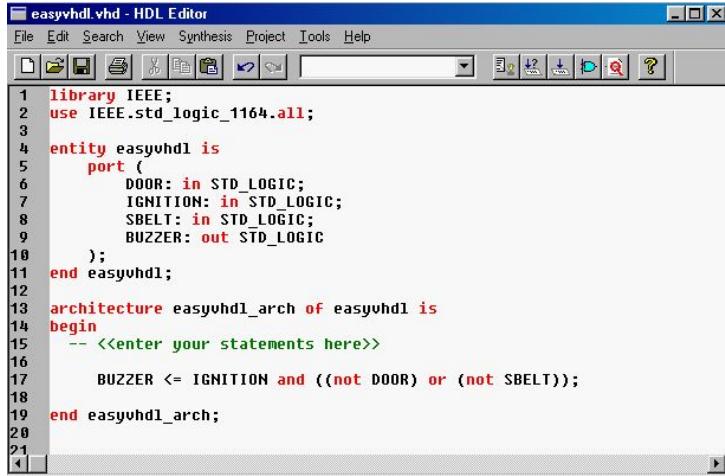
Critères de design

Autonomie : 18h/500h
Perf : 1.7 GHz quad-core
Mémoire: 2GB DDR2
GPS, BT4.0, NFC, etc.
Fonction multimédia

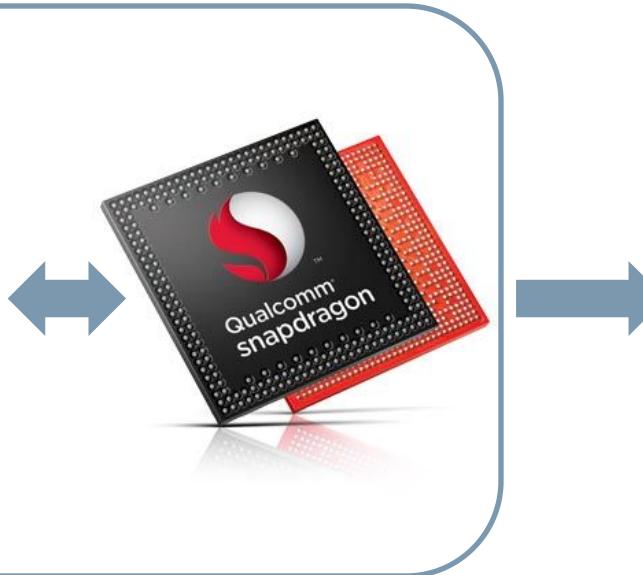
CPU Qualcomm:
1.7 GHz quad-core

Design haut niveau

Focalisons-nous sur les outils de conception



```
easyvhdl.vhd - HDL Editor
File Edit Search View Synthesis Project Tools Help
1 library IEEE;
2 use IEEE.std_logic_1164.all;
3
4 entity easyvhdl is
5     port (
6         DOOR: in STD_LOGIC;
7         IGNITION: in STD_LOGIC;
8         SBELT: in STD_LOGIC;
9         BUZZER: out STD_LOGIC
10    );
11 end easyvhdl;
12
13 architecture easyvhdl_arch of easyvhdl is
14 begin
15     -- <>Enter your statements here>>
16
17     BUZZER <= IGNITION and ((not DOOR) or (not SBELT));
18
19 end easyvhdl_arch;
20
21
```



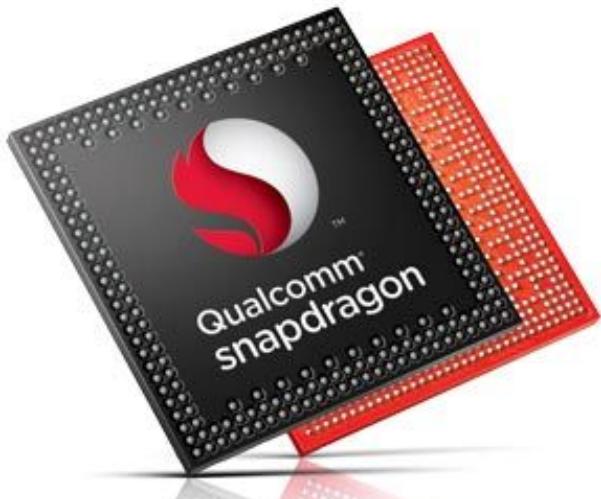
Design haut niveau

CPU Qualcomm:
1.7GHz quad-core

Critères de design

Autonomie : 18h/500h
Perf: 1.7GHz quad-core
Mémoire: 2GB DDR2
GPS, BT4.0, NFC, etc.
Fonction multimédia

Le problème est d'effectuer les bons choix de conception



Critères de design

- Performance
- Coût
- Consommation
- Dissipation thermique
- Taille

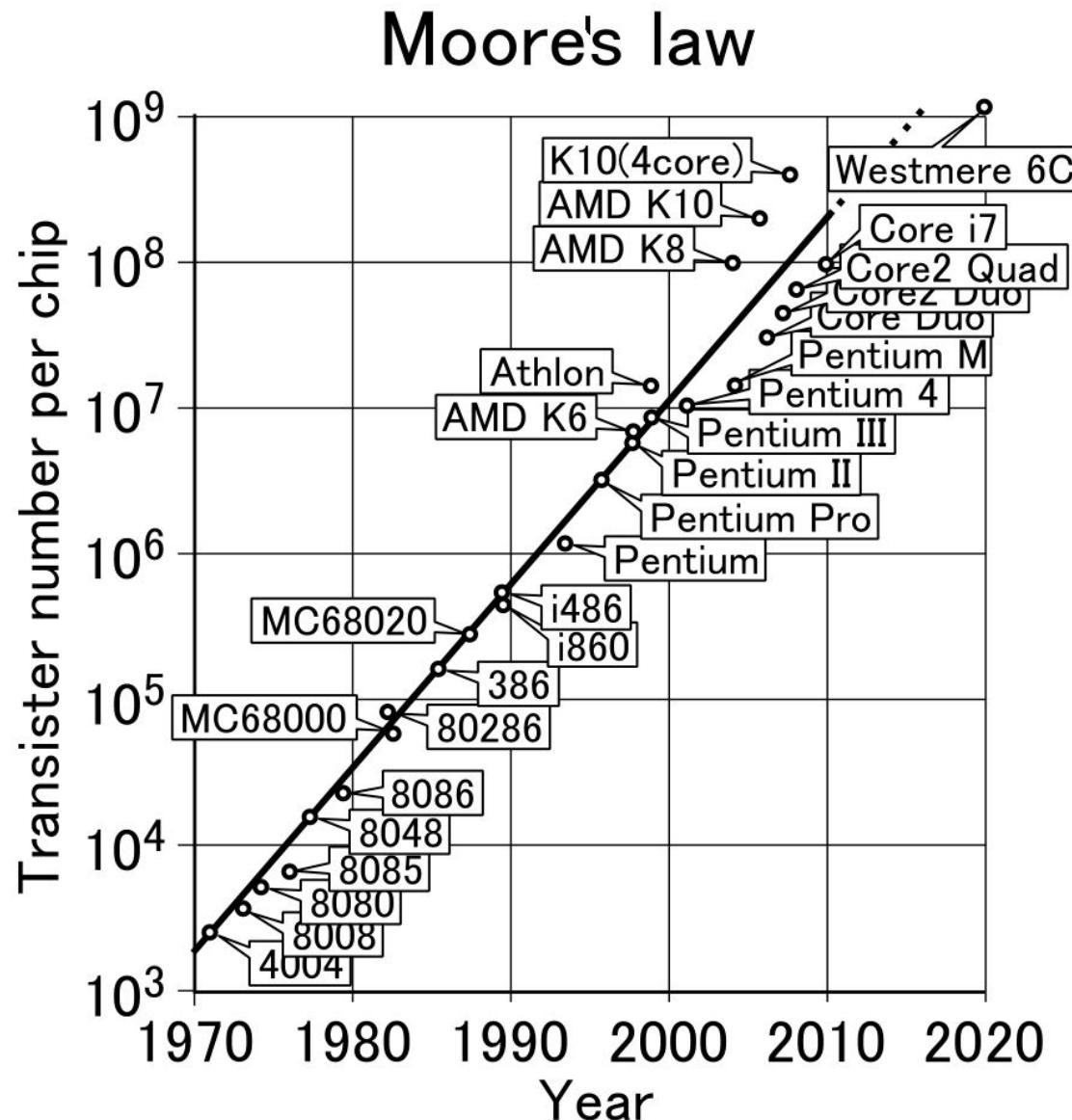
Considérations multicritères

Paramètres de design

- Options d'architectre
- Options de technologie
- Partitionnement/floorplanning
- Infrastructure de communication

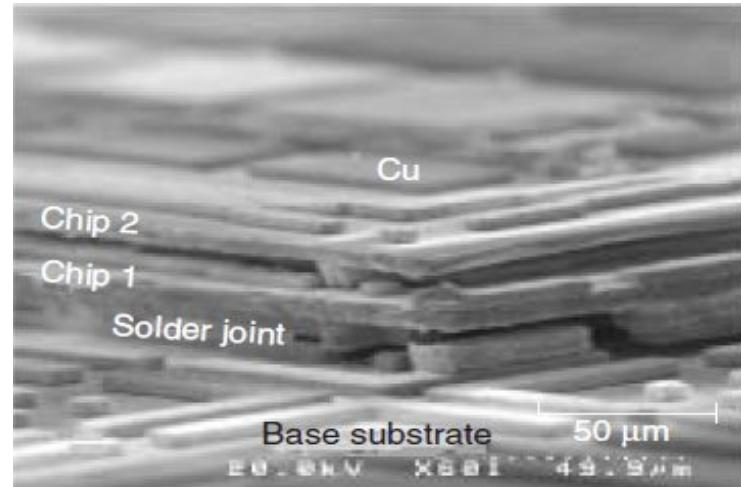
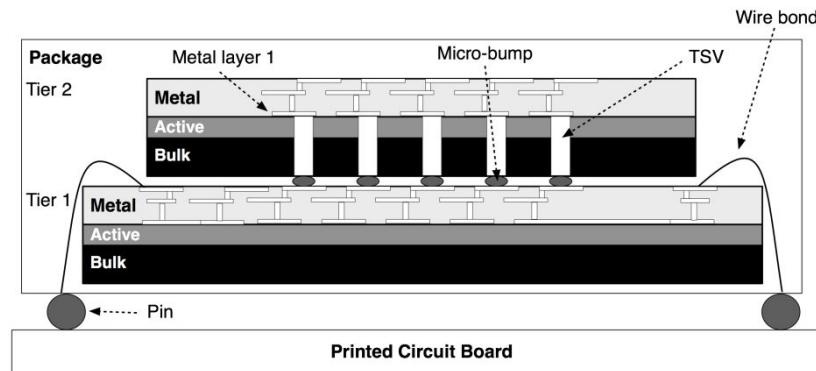
Aspects combinatoires

Des limitations physiques du silicium vont limiter l'évolution des circuits intégrés



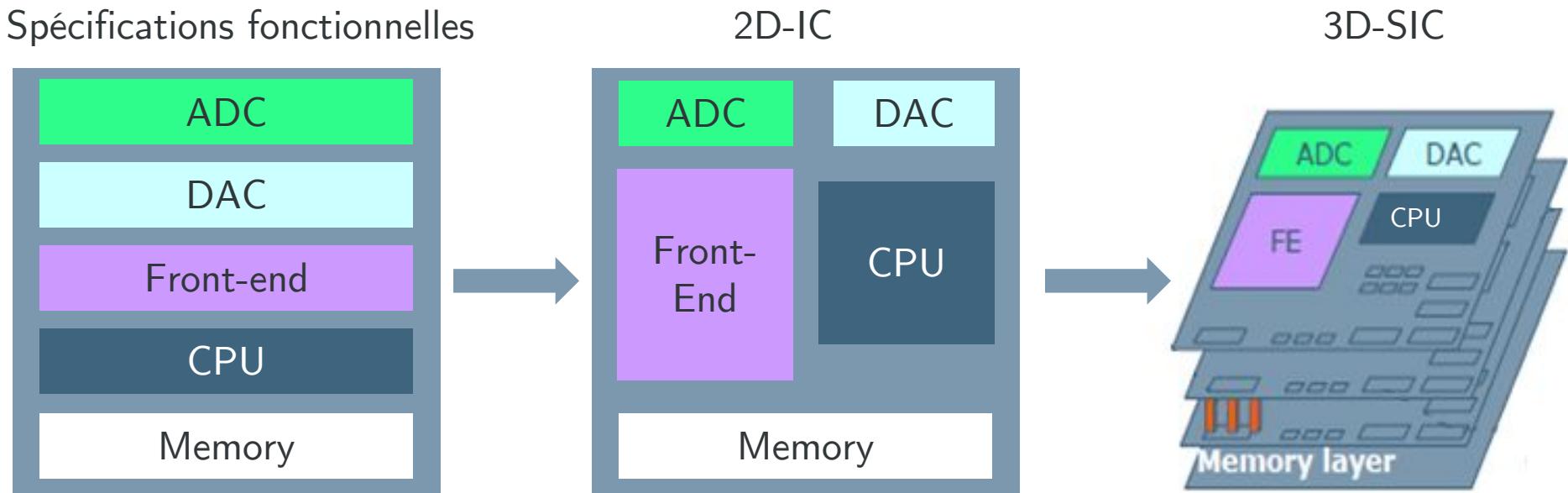
Besoin de nouvelles technologies pour concevoir des circuits plus performants

3D-Stacked Integrated Circuit (3D-SIC)



- Interconnexions plus courtes
- Large bande passante
- Efficacité du silicium
- Packaging plus compact
- Circuits hétérogènes

Les 3D-SIC introduisent plus d'options de design ULB



Critères et options de design

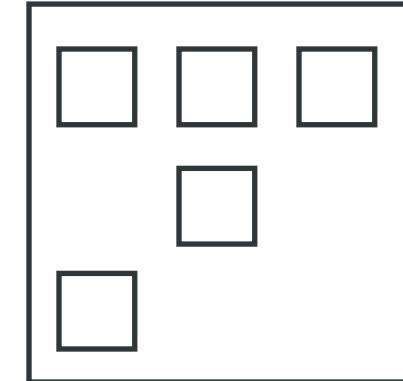
- Performance
- Consommation
- Coût
- Options d'architecture 2D
- Options de technologie 2D
- Nombre de couches
- Partitionnement/floorplanning 3D
- Options d'architecture 3D
- Options de technologie 3D

La taille de l'espace de design est significativement agrandie

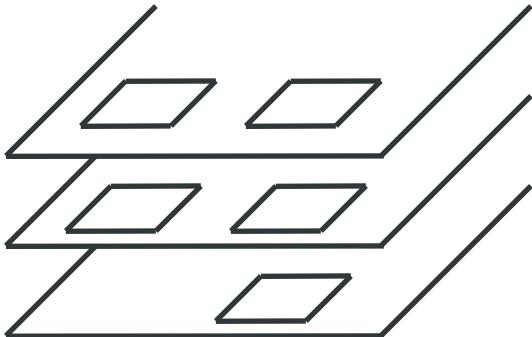
Description fonctionnelle

5 blocs à placer : $2 \times 2 \text{ mm}^2$
Surface max: $10 \times 10 \text{ mm}^2$
. 25 places

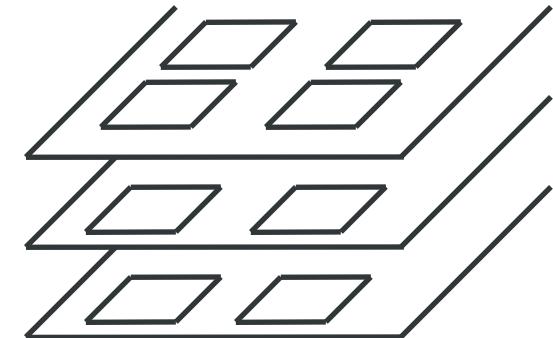
2D-IC
6 375 600 possibilités



3D-SIC, 3 couches
2 071 126 800 possibilités

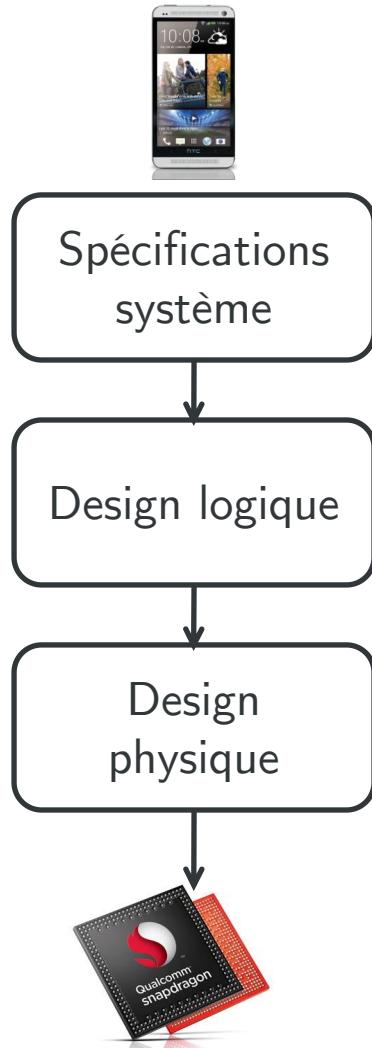


10 blocs, 3D-SIC, 3 couches
More than $3 \cdot 10^{18}$ possibilités



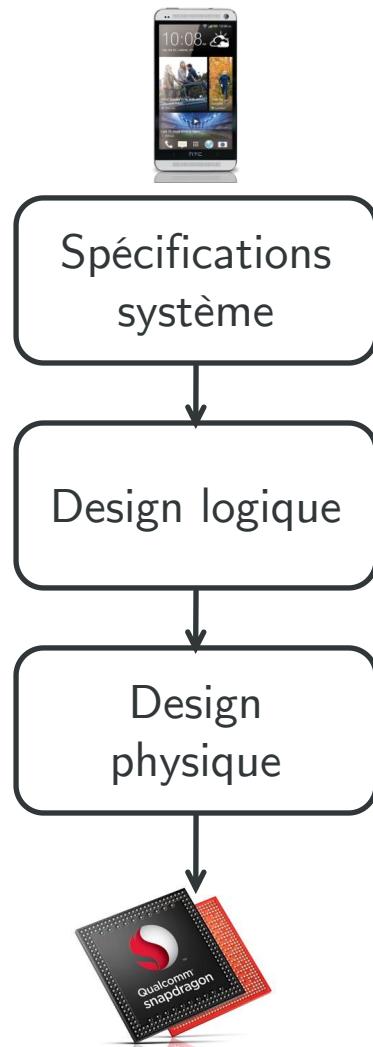
Les flots de conception actuels sont séquentiels et limitent les solutions

Flot de conception



Les flots de conception actuels sont séquentiels et limitent les solutions

Flot de conception



Désavantages

- Limitation de l'exploration de l'espace de design
- Optimisation locale et unicritère à chaque étape
- En pratique : de nombreux retours en arrière
→ Paradigme multicritère peu habituel

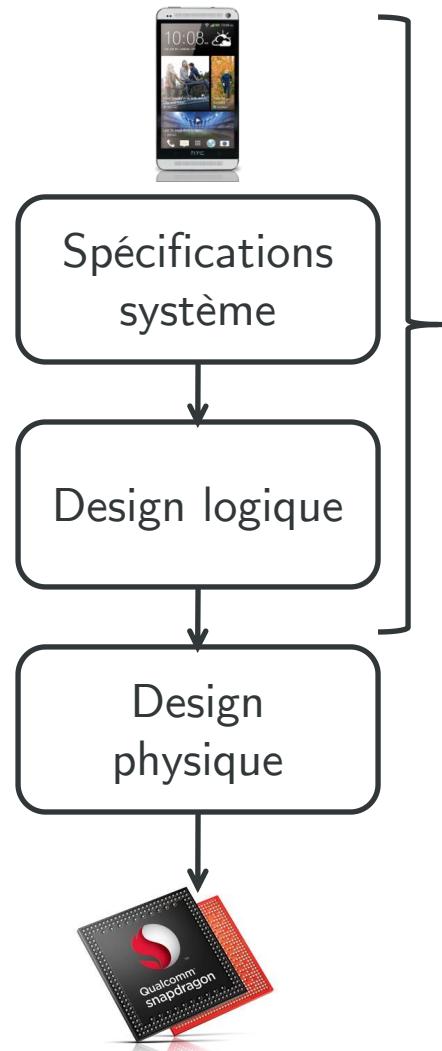


1 an
1 M\$

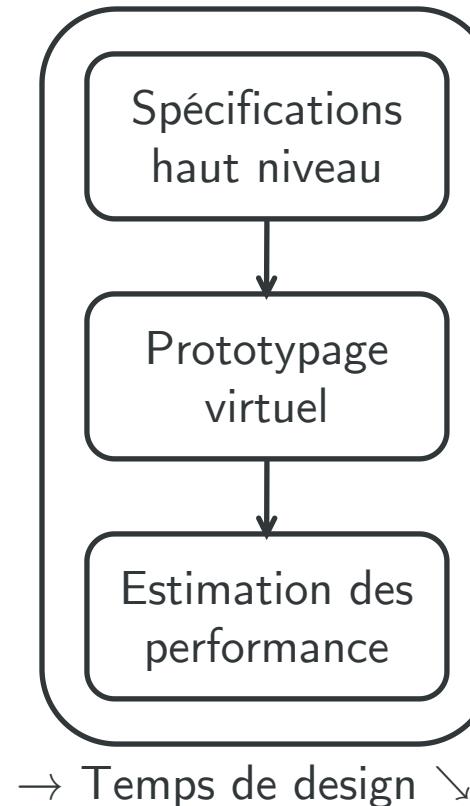


La tendance actuelle est de développer des outils de prototypage virtuel

Flot de conception

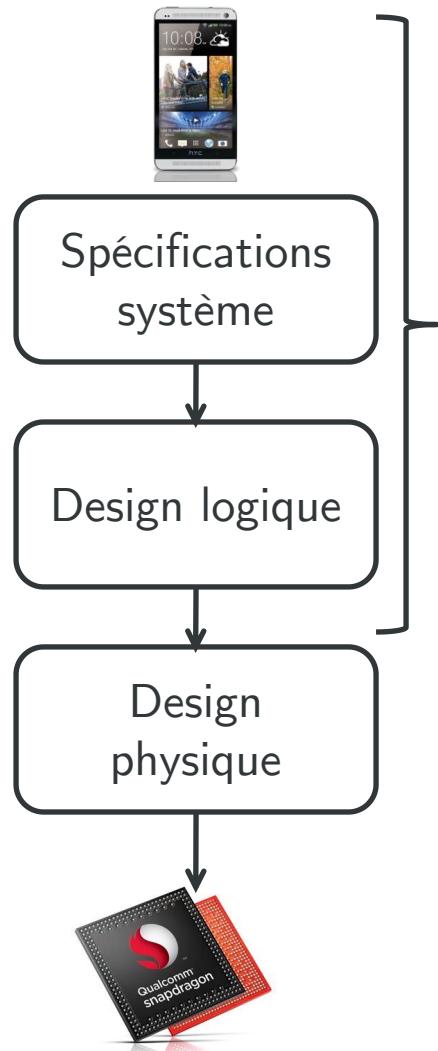


Prototypage virtuel

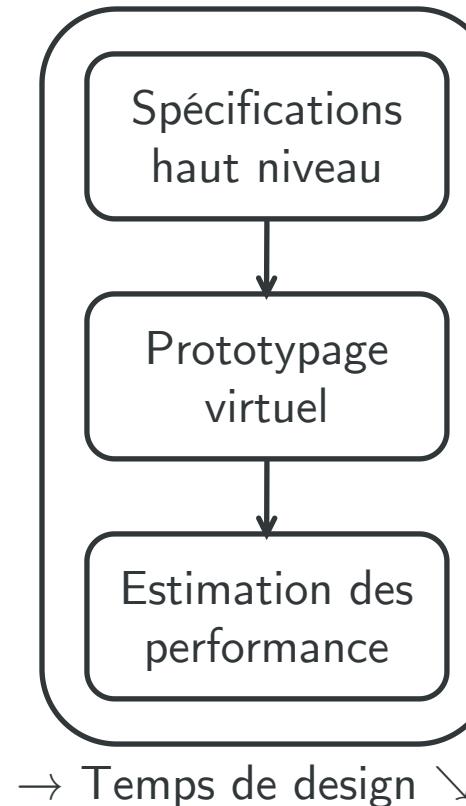


La tendance actuelle est de développer des outils de prototypage virtuel

Flot de conception



Prototypage virtuel



Désavantages restants

- Limitation de l'exploration de l'espace de design
- Optimisation locale et unicritère à chaque étape
- + Pas d'outil spécifique aux 3D-SIC