RĪGAS TEHNISKĀ UNIVERSITTĀTE

ELEKTRONIKAS UN TELEKOMUNIKĀCIJU FAKULTĀTE

[](https://www.google.com/url?sa=i&rct=j&q=&esrc=s&source=images&cd=&cad=rja&uact=8&ved=2ahUKEwj9zKXEs6fgAhWF1iwKHceJAlAQjRx6BAgBEAU&url=https://lv.wikipedia.org/wiki/Att%C4%93ls:RTU_logo_2017.svg&psig=AOvVaw2YftzNrZHl3gHZWIEXy3Ih&ust=1549552627423236)

Funkcionālo un loģisko shēmu modelēšana, RTR532

Laboratorijas darbs Nr.2

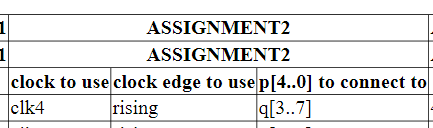
Bogdans Žukovskis

161REC020

Riga, 2021

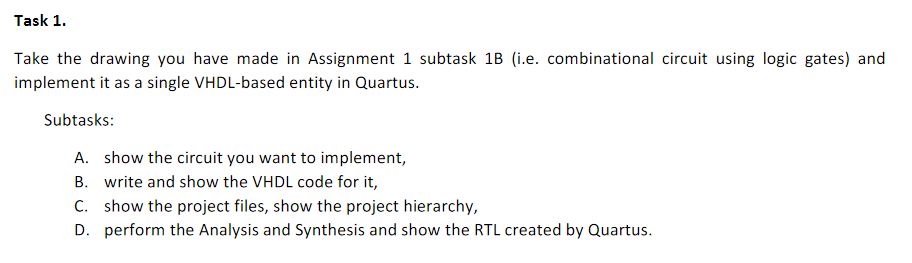
# Ievads

Variants:



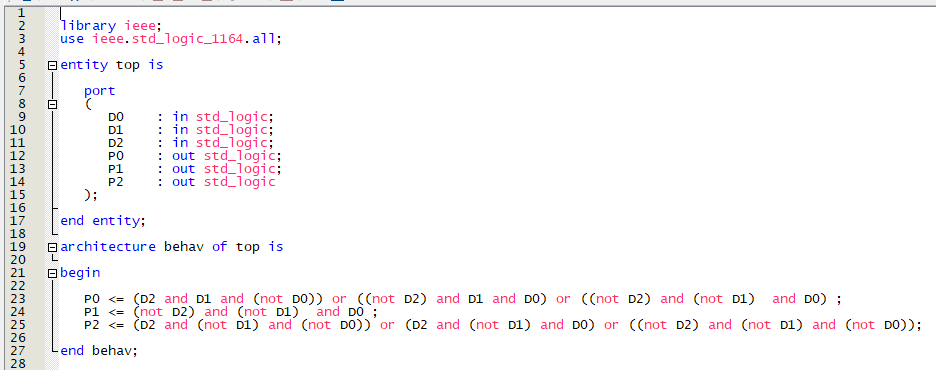
2. laboratorijas darbs ir veltīts vienkāršo kombinacionālo un secīgo shēmu sintēzei Quartus vidē, kur RTL shēma tiek ģenerēta gan no VHDL valodas apraksta, gan no grafiski uztaisīta elementu savienojuma. Kā arī būs izpētīta zemāka abstrakcijas līmeņa Quartus implementācijas instrumenta darbība – ar loģiska bloka manuāla konfigurācija priekš uzstādīta uzdevuma.

# Uzdevums



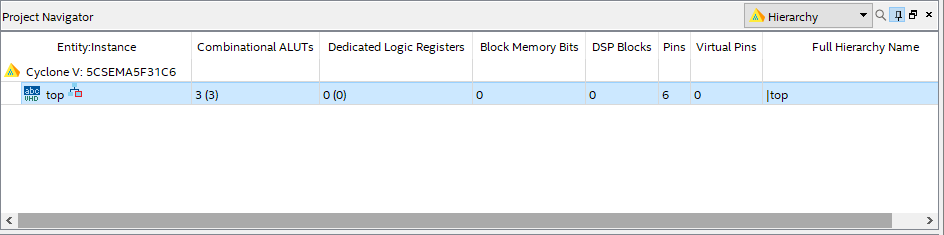
## B.

1 . uzdevuma kombinacionālai shēmai VHDL apraksts izskatas sekojoši :

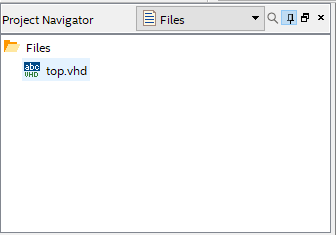


## C.

Projekta hierarhija ir visprimitīvākā – jo sastāv tikai no top moduļa un izskatās sekojoši:

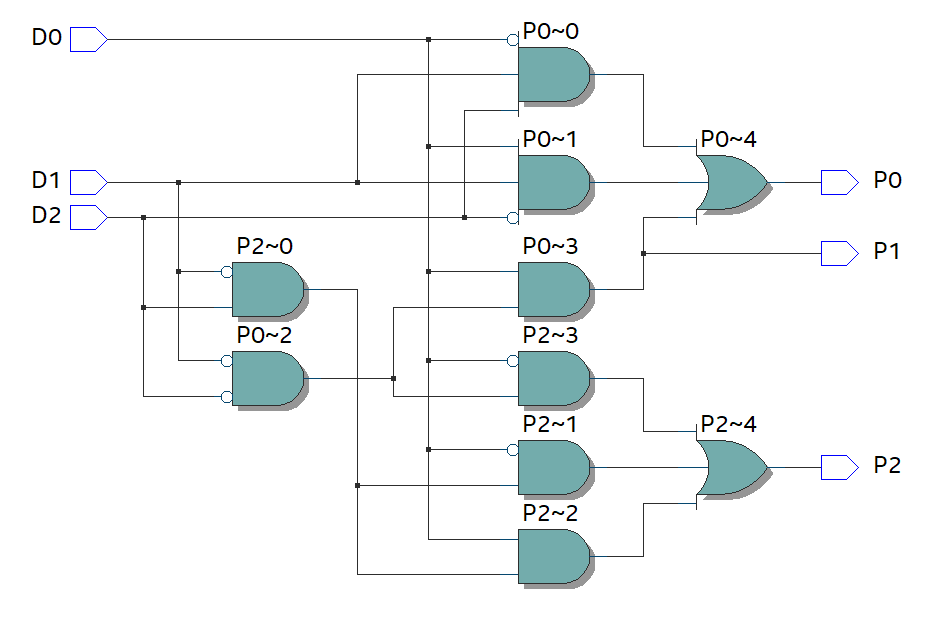


Failu menu izskatās tā:

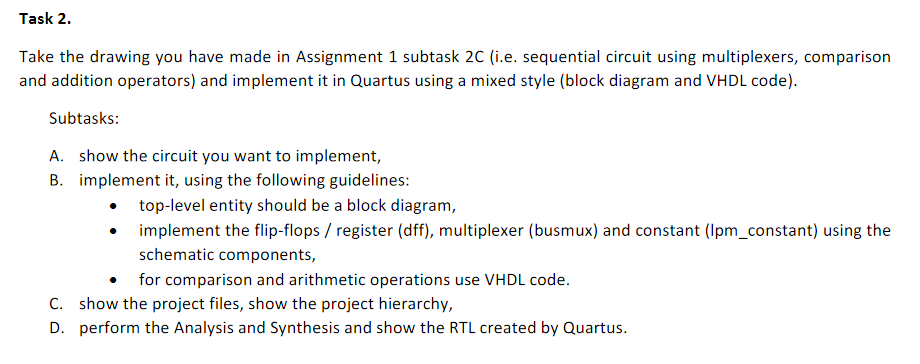


## D.

RTL shēma atkārto uzzīmēto 1. laboratorijas darbā uzdevumā.

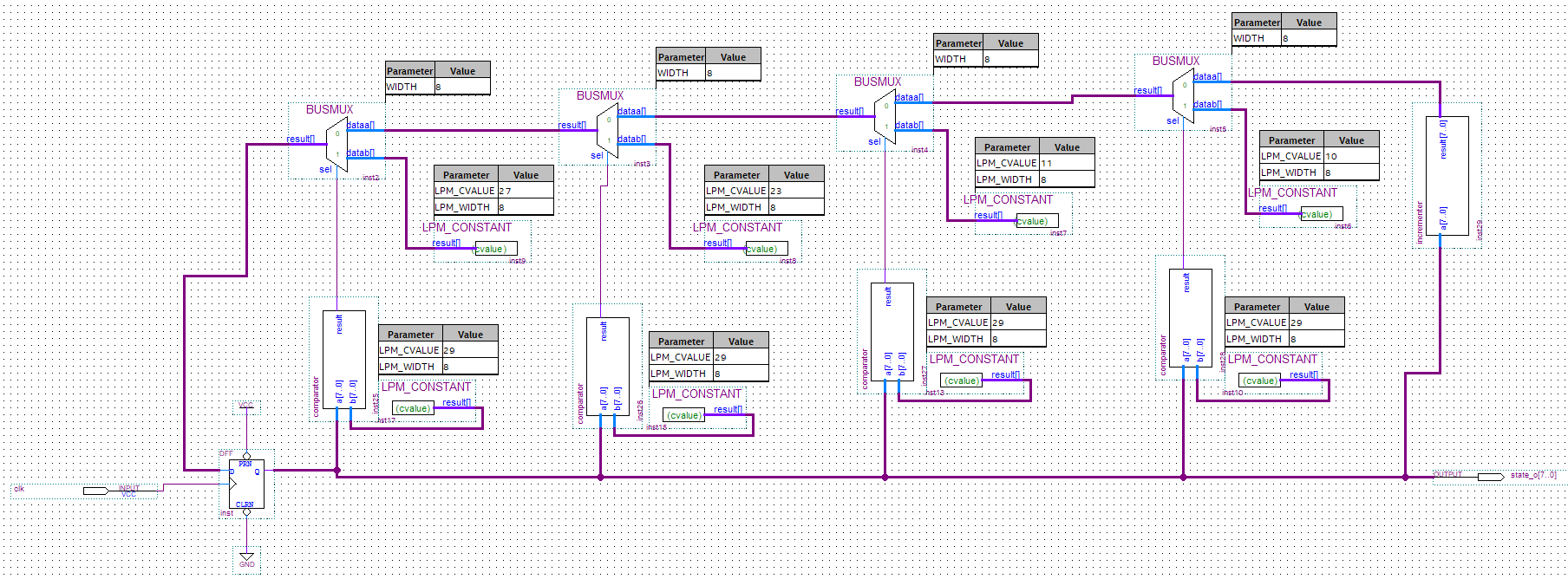


# Uzdevums

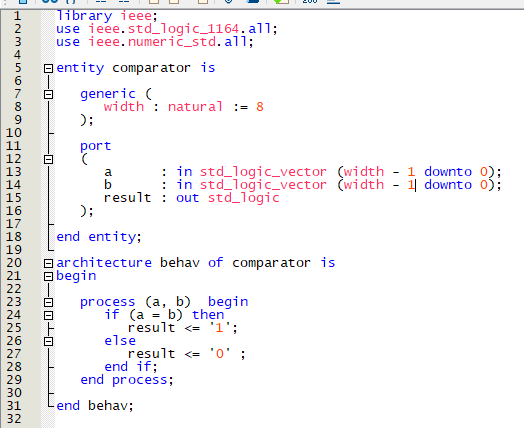


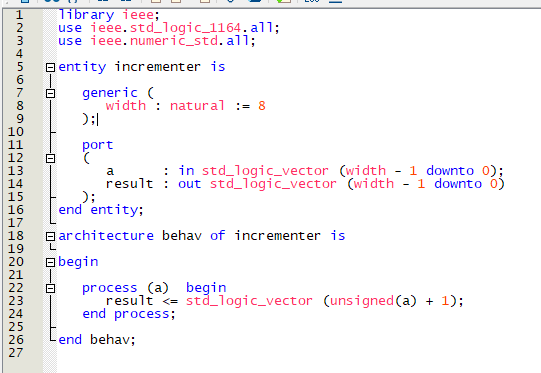
## B. un C.

1. laboratorijas darba secīga shēma ir sintezēta Quartus vidē sekojoši –

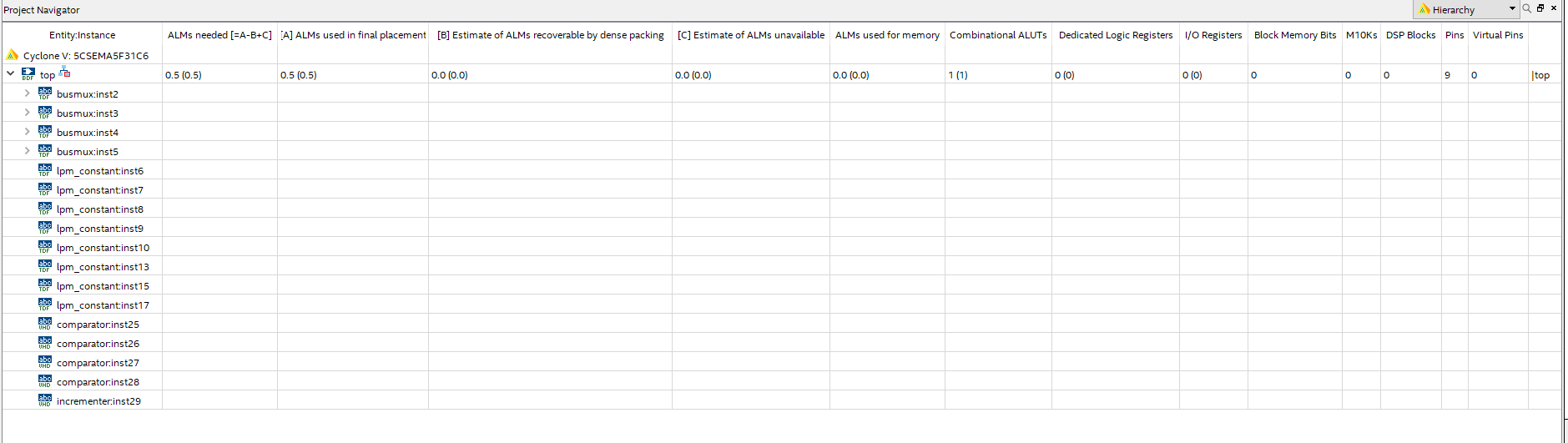


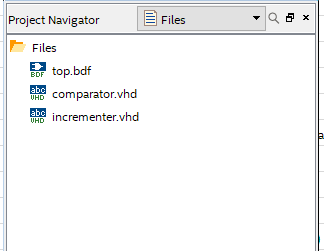
Top level module - .bdf veidā. D-trigeru reģistrs , mukši un konstantes ir realizēti ka shēmas komponenti. Komparators un inkrementators ir aprakstīti VHDL kodā sekojoši -



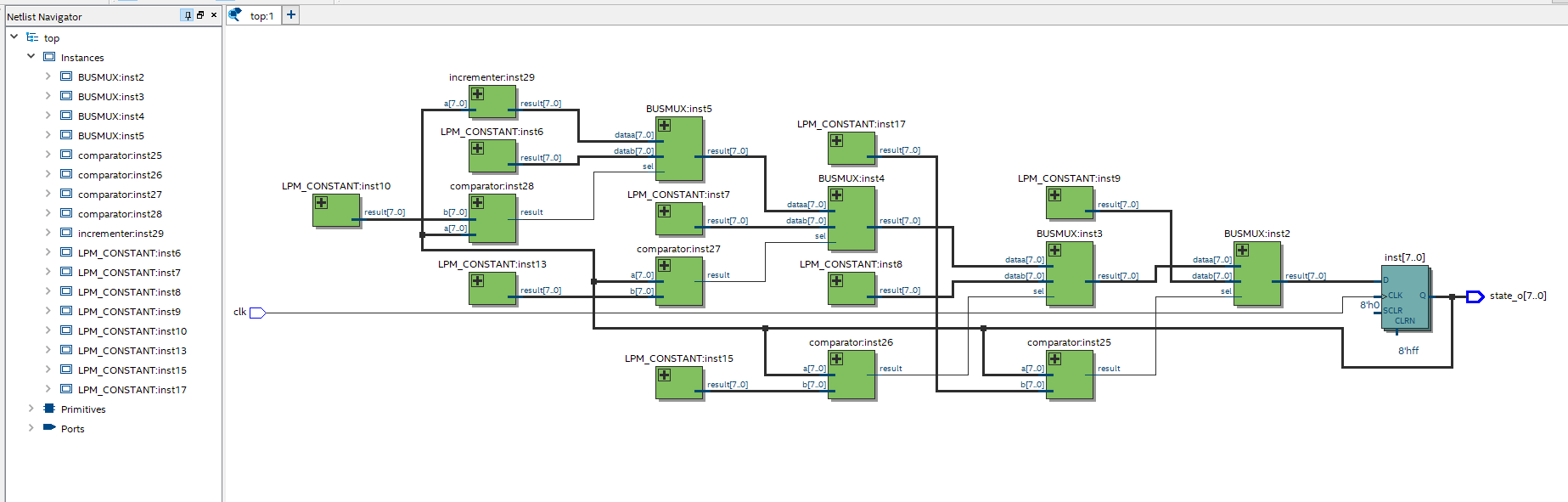


Projekta hierarhija un failu menu izskatās sekojoši:

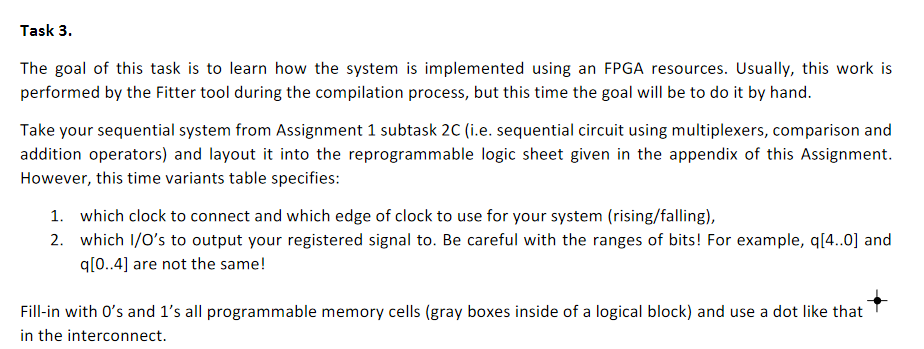




## D. Quartus bija saģenerējis sekojošo RTL shēmu:

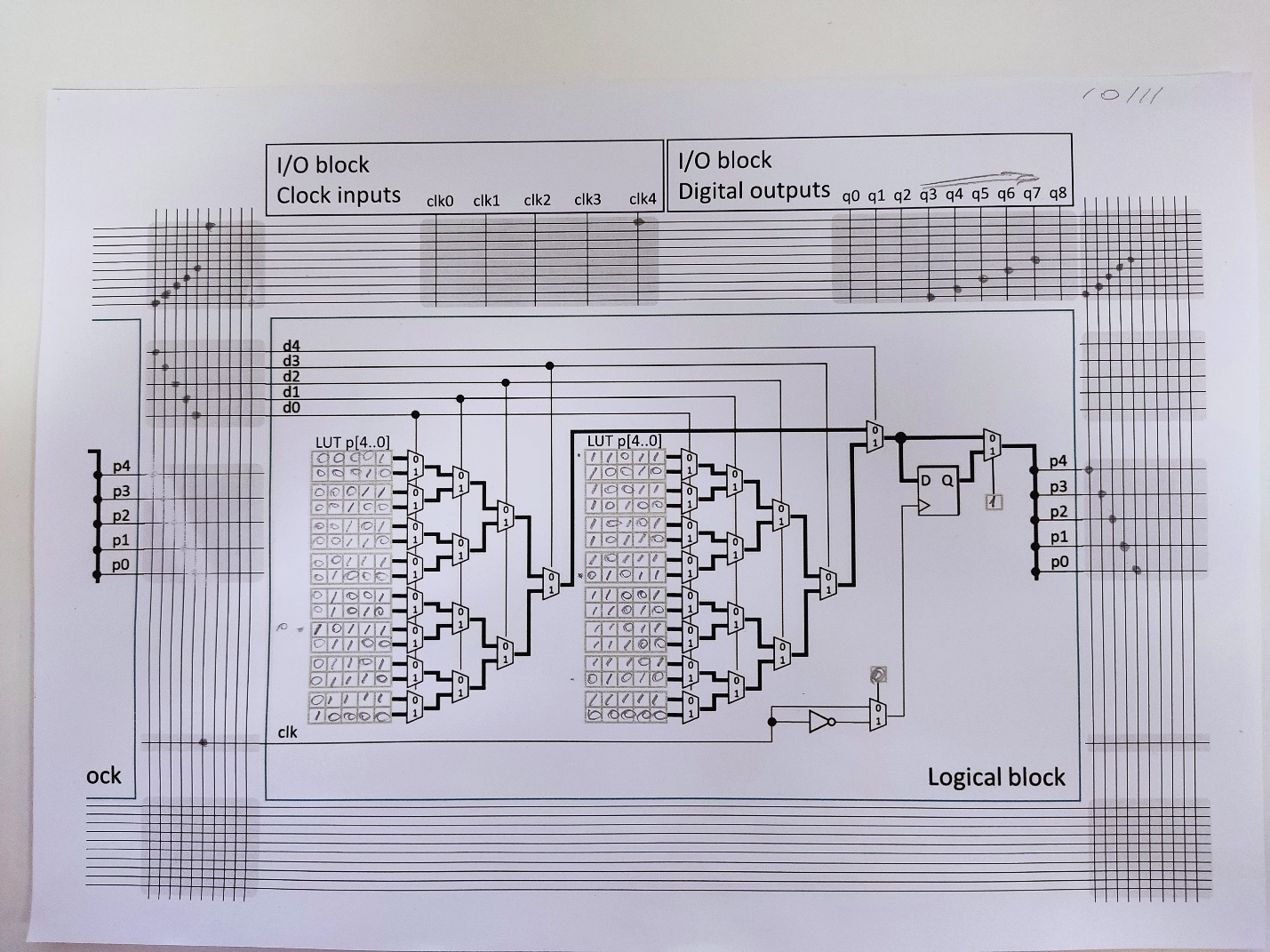


# Uzdevums



Iegūtais rezultāts izskatās sekojoši:

d4 downto d0 ir reģistra vērtība ,kuras katra iespējama vērtība nosaka konkrēto next state logikas vērtību LUT p[4..0]. Tāda veidā realizējot secīgu shēmu no 1. laboratorijas darba



## Rezultātu analīze

Laboratorijas darba ietvaros bija izpētītas sintēžu iespējas Quartus vidē , gan kombinacionālam, gan secīgajiem shēmām, gan blok shēmas veidā , gan VHDL apraksta veidā.

Arī bija realizēta secīga shēma uz primitīva loģiska elementa.