RĪGAS TEHNISKĀ UNIVERSITTĀTE

ELEKTRONIKAS UN TELEKOMUNIKĀCIJU FAKULTĀTE

[](https://www.google.com/url?sa=i&rct=j&q=&esrc=s&source=images&cd=&cad=rja&uact=8&ved=2ahUKEwj9zKXEs6fgAhWF1iwKHceJAlAQjRx6BAgBEAU&url=https://lv.wikipedia.org/wiki/Att%C4%93ls:RTU_logo_2017.svg&psig=AOvVaw2YftzNrZHl3gHZWIEXy3Ih&ust=1549552627423236)

Funkcionālo un loģisko shēmu modelēšana, RTR532

Laboratorijas darbs Nr.3

Bogdans Žukovskis

161REC020

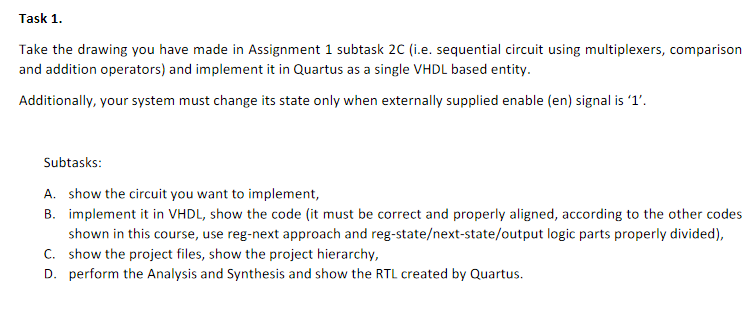
Riga, 2021

# Ievads

Variants:

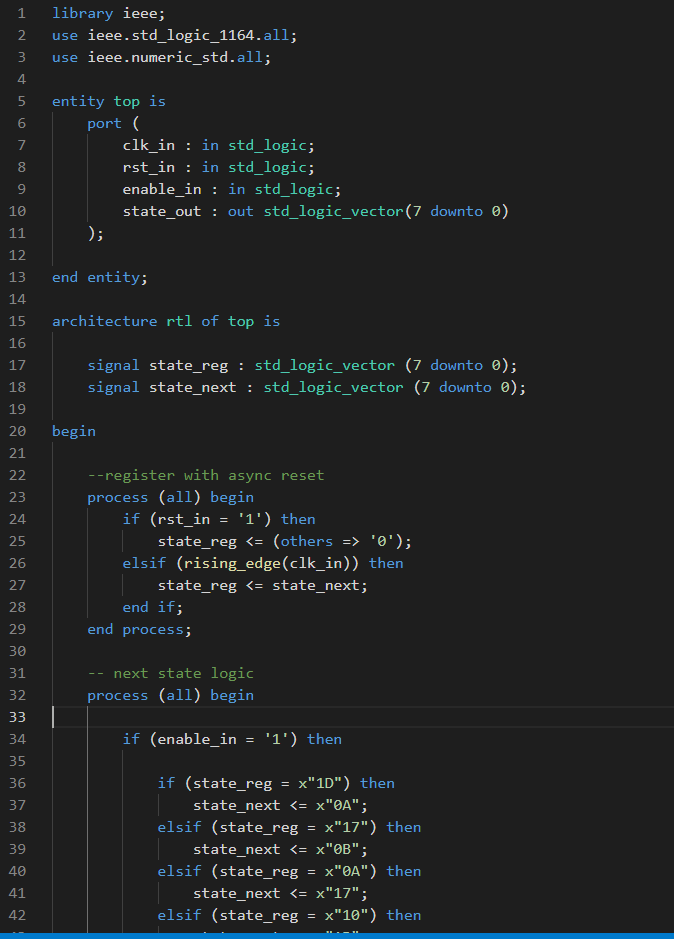
3. laboratorijas darbs ir veltīts secīgo shēmu sintēzei tikai ar VHDL valodas aprakstu. Bez blokshēmas komponentiem. Kā arī ir plānots papildināt sistēmu ar “en” signālu.

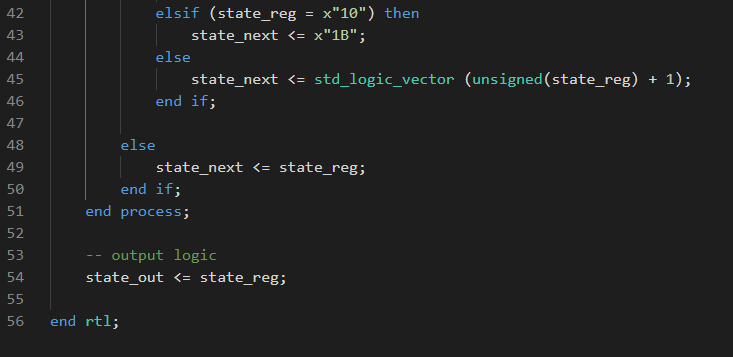
# Uzdevums



## B.

VHDL kods secīgai sistēmai no 1. lab. darba izskatās sekojoši:



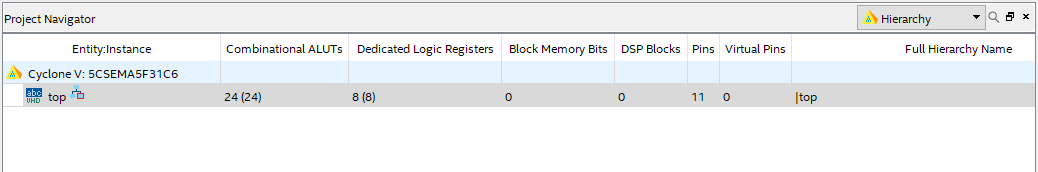


Kods ir rakstīts 3 grupu veidā – reģistra daļa , next state logic daļa un output logic daļā. Tas nav klasiskais FSM apraksts, šeit case konstrukcija ir aizvietota ar if sekojošo iemeslu dēļ:

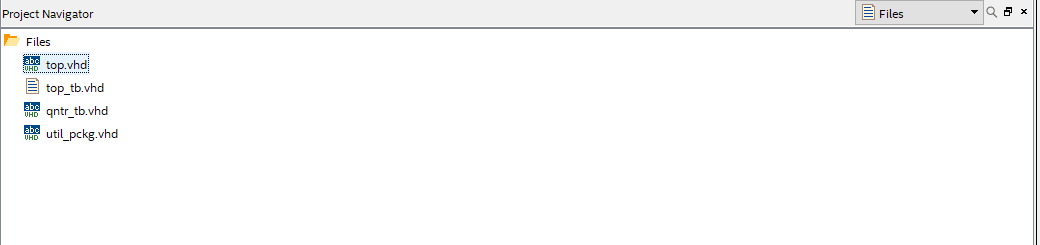
Kods aprakstīja jau gatavu uzzīmētu shēmu, kur bija 2 ieeju mukši, kas, savukārt, ir primitīvs, sintezējams pēc if konstrukcijas VHDL. Tāpēc bija dabiski translēt 2 ieeju mukšus uz if konstrukciju. Paņemot vērā to, ka next state logic dotā shēmā ir ļoti vienkārša konstrukcija , nebija iemeslu neiet pa dabisku ceļu.

## C.

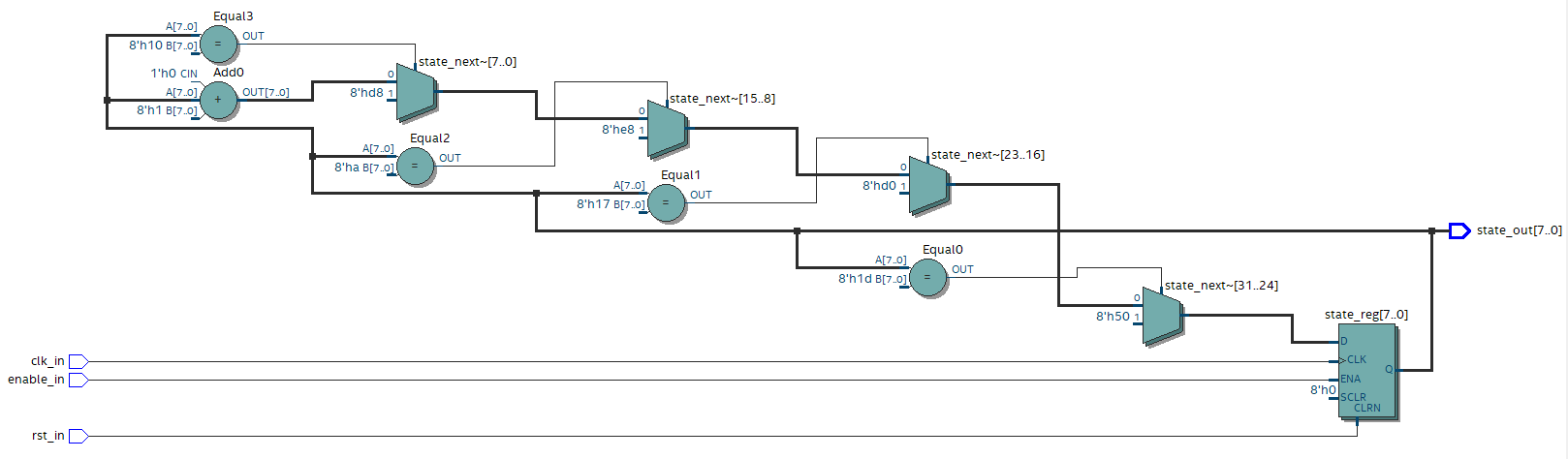
Hierarhija ietver sevī tikai top modulī.



Failu sarakstā ir arī testbench piemēroti faili:



## D.



RTL shēma gandrīz pilnīgi atkārto uzzīmētu shēmu no 1. lab. Darba. Parastais reģistrs tagad ir papildināts ar reģistru ar “ena” (enable) ieeju.

## Rezultātu analīze

Laboratorijas darba ietvaros bija izpētītas sintēžu iespējas Quartus vidē secīgajiem shēmām realizētajiem VHDL apraksta veidā. Secīga shēma bija aprakstīta FSM veida , tomēr , ne klasiskajā case veidā, bet šajā gadījumā dabiskājā if veidā.