

## Reporte de proyecto

# Proyecto 2 - Máquina de estados finitos en Verilog

Manuel Bojorge Araya, Ivan Campbell Tames, José Darío Arias Naranjo

## 1. Diagrama de estados

### 1.1. Diagrama

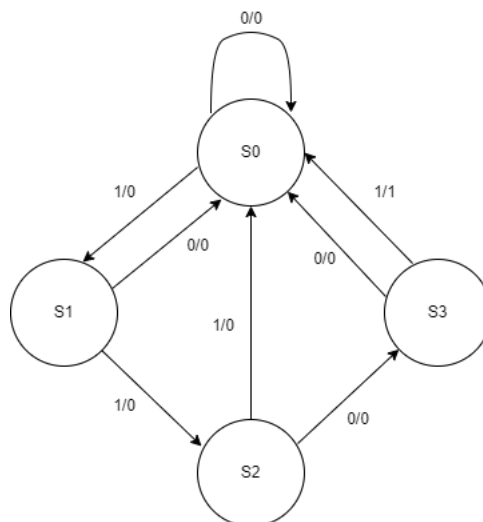


Figura 1: Diagrama de estados

### 1.2. Explicación

Se inician las transiciones en el estado cero ( S0 ), si la secuencia introducida es correcta el orden de los estados sigue este orden S0 - S1 - S2 - S3 - S0 completando un ciclo volviendo a llegar al

estado inicial. Si la secuencia es incorrecta se hará una transición de cual sea el estado actual al estado inicial S0.

La salida es 1 únicamente cuando se ha completado la secuencia correctamente, lo cual sucede cuando la entrada es 1 estando en el estado S3; en los demás casos la salida es cero.

- I) S0: Si la entrada es 1 pasa al estado S1, si la entrada es 0 se mantiene en el mismo estado S0; la salida es cero con cualquiera de las entradas
- II) S1: Si la entrada es 1 pasa al estado S2, si la entrada es 0 se regresa al estado inicial S0; la salida es cero con cualquiera de las entradas
- III) S2: Si la entrada es 0 pasa al estado S3, si la entrada es 1 se regresa al estado inicial S0; la salida es cero con cualquiera de las entradas
- IV) S3: Con cualquier entrada pasa al estado inicial S0 pero si la entrada es 1 su salida es 1, y si la entrada es 0 su salida es 0

## 2. Circuito secuencial

### 2.1. Tabla

Entrada	Q1	Q0	Q1+	Q0+	Salida	J1	K1	J0	K0
0	0	0	0	0	0	0	X	0	X
0	0	1	0	0	0	0	X	X	1
0	1	0	1	1	0	X	0	1	X
0	1	1	0	0	0	X	1	X	1
1	0	0	0	1	0	0	X	1	X
1	0	1	1	0	0	1	X	X	1
1	1	0	0	0	0	X	1	0	X
1	1	1	0	0	1	X	1	X	1

## 2.2. Mapas de Karnaugh

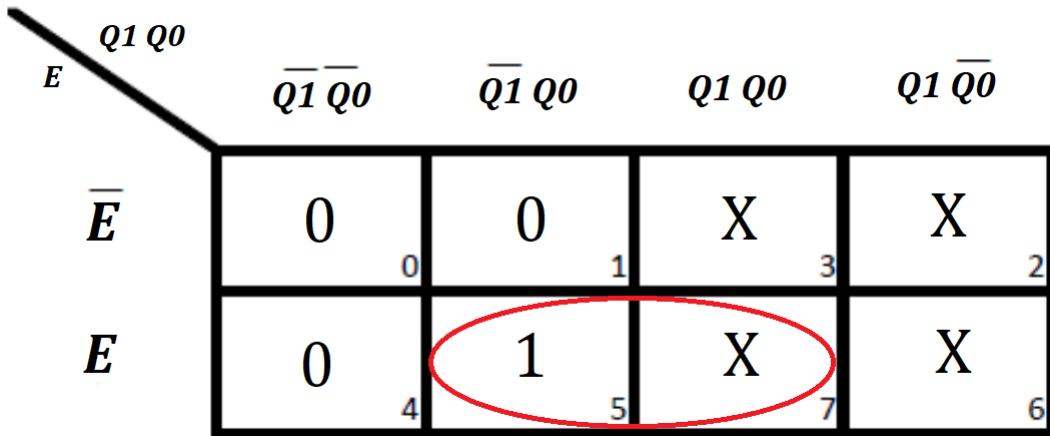


Figura 2: Mapa K para J1

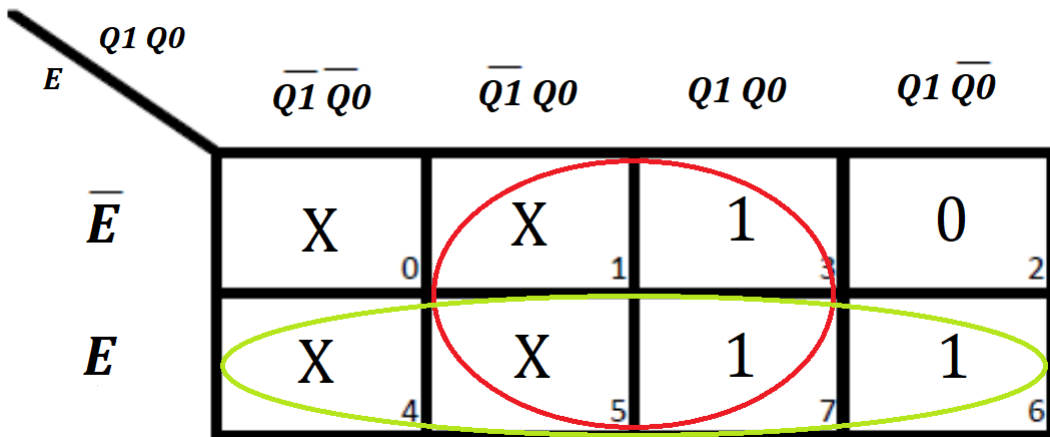


Figura 3: Mapa K para K1

$E$ $Q1\ Q0$		$\overline{Q1}\ \overline{Q0}$	$\overline{Q1}\ Q0$	$Q1\ Q0$	$Q1\ \overline{Q0}$
		$\overline{E}$			
		0	1	3	2
		0	1	3	2
		4	5	7	6

Figura 4: Mapa K para J0

$E$ $Q1\ Q0$		$\overline{Q1}\ \overline{Q0}$	$\overline{Q1}\ Q0$	$Q1\ Q0$	$Q1\ \overline{Q0}$
		$\overline{E}$			
		0	1	3	2
		4	5	7	6

Figura 5: Mapa K para K0

Con base en los mapas de Karnaugh:

$$J1 = Q0\ E$$

$$K1 = E + K0$$

$$J0 = E\ \overline{Q1} + \overline{E}Q1 = E \oplus Q1$$

$$K0 = 1$$

## 2.3. Circuito

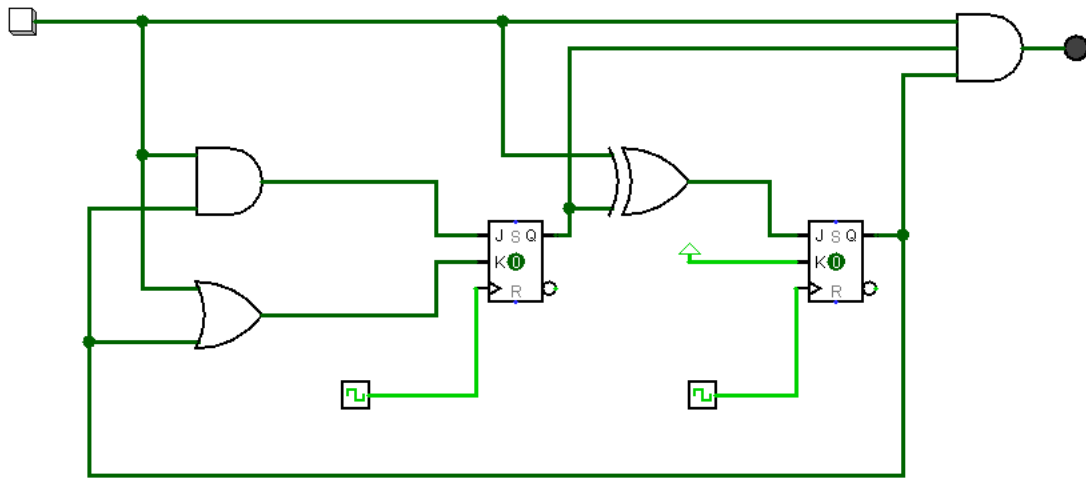


Figura 6: Circuito

## 3. Resultados de la implementación en Verilog

### 3.1. FSM

estructural

Esta máquina de estado finito (FMS) está conformada por 2 Flip Flop JK. En la figura 7 se muestra el circuito antes de hacer la síntesis y la figura 8 es el resultado de la síntesis en la tecnología de 15 nm.

El área de cada Flip Flop es de 1.769472

El área de la logica combinal es de 2.703360

El área total incluyendo 2 Flip Flop y la parte combinal es de 6.242304

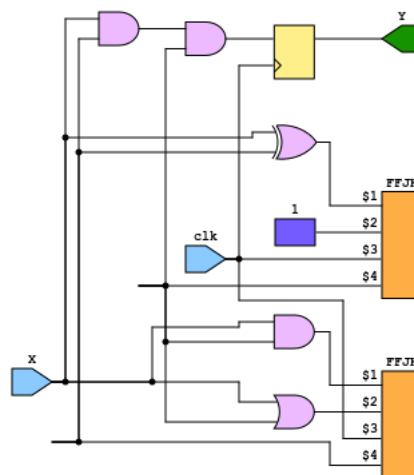


Figura 7: FSM estructural PRESINTESIS

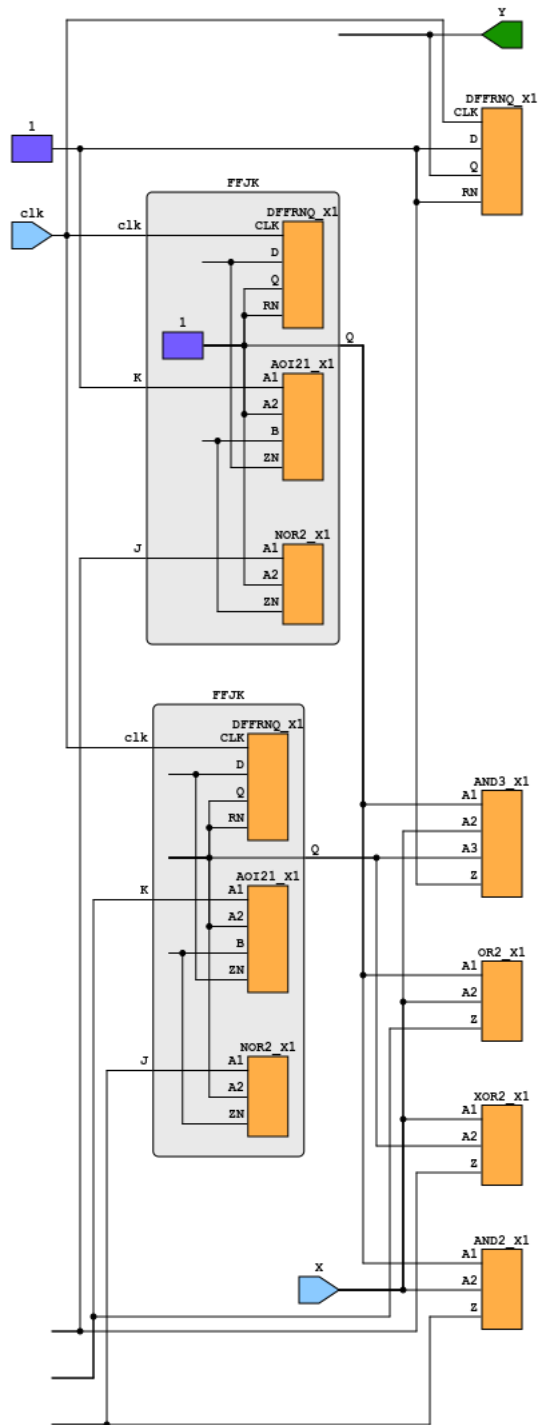


Figura 8: FSM estructural SYNTECH

### 3.2. FSM de comportamiento

Esta FSM está diseñada en forma procedural con base en el comportamiento del diagrama de estados

El área total de esta FSM es de 4.915200



### **3.3. Conclusión**

El área de la FSM diseñada de acuerdo al comportamiento es menor que el de la FSM conformada por Flip Flop's y elementos combinacionales  
Además de consumir menos área también es más simple su implementación en código con respecto al diseño con un circuito secuencial