МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ "ЛЬВІВСЬКА ПОЛІТЕХНІКА"

ІКНІ Кафедра **ПЗ**



3BIT

До лабораторної роботи №2 **на тему:** "МОДЕЛЮВАННЯ ТА ДОСЛІДЖЕННЯ ОСНОВНИХ ТИПІВ ТРИГЕРІВ В СИСТЕМІ PROTEUS"

з дисципліни: "Архітектура комп'ютера"

Лектор:

доцент кафедри ПЗ Крук О.Г.

Виконав:

студент групи ПЗ-24 Губик А. С.

Прийняв:

доцент кафедри ПЗ Задорожний I. M.

Тема роботи: моделювання та дослідження основних типів тригерів в системі Proteus

Мета роботи: закріпити практичні навики моделювання логічних схем в середовищі системи програм Proteus; поглибити знання про будову та функціонування основних типів тригерів; ввести їх схеми та виконати моделювання в системі програм Proteus; дослідити на основі отриманих часових діаграм їх роботу.

Індивідуальне завдання

Варіант	нт 3	
f_0 , К Γ ц	15	

Теоретичні відомості

Тригер – це електронний вузол з двома стійкими станами, зміна яких відбувається під дією вхідних сигналів. Якщо прийняти один стан тригера за логічний нуль, а інший – за логічну одиницю, то виходить, що тригер є елементом пам'яті, який може зберігати один біт інформації. Тригер є найпростішим представником послідовнісних пристроїв і водночас обов' язковим елементом всіх функціонально закінчених вузлів і блоків. У послідовнісних пристроях (цифрових автоматах з пам'яттю або скінченних автоматах) вихідні сигнали в кожний момент часу залежать не лише від поточних значень на входах, але й від внутрішнього стану, який є наслідком попередніх дій вхідних сигналів. На основі тригерів будують типові функціональні вузли комп'ютерів – регістри, лічильники, накопичувальні суматори, а також мікропрограмні автомати. Усі різновиди тригерів можна розглядати як елементарний автомат, що складається з власне елемента пам'яті (ЕП) та схеми керування (СхК), яка утворює вхідну логіку (рис. 3.1). Схема керування забезпечує записування, зчитування, стирання та індикацію двійкової інформації, яка зберігається в тригері. При позитивному кодуванні інформації високий рівень напруги на прямому виході відображає значення логічної 1 (стан Q = 1), а низький рівень – значення логічного 0 (стан Q = 0). Сигнали на виходах тригера в усталеному режимі завжди повинні бути протилежними: якщо на прямому виході є одиниця, то на інверсному - 0, або навпаки. Зміна стану тригера (його перемикання) забезпечується зовнішніми сигналами та сигналами зворотного зв'язку з виходу тригера, які поступають на входи СхК. Переважно зовнішні сигнали, як і входи тригера, позначають латинськими буквами R, S, T, C, V та іншими. В найпростіших схемах тригерів окрема СхК може бути відсутньою. Оскільки функціональні властивості тригерів визначаються їхньою СхК, то назви основних входів переносяться на всю схему тригера. Назва "RS-тригер" утворена від перших літер слів RESET (скинення – занесення нуля) і SET (установлення- занесення одиниці). Схема RS-тригера на двох послідовно з'єднаних логічних елементах АБО-НЕ наведена на рис. 3.2, а. Визначальним в роботі цього тригера є додатний зворотний зв'язок – сигнал з виходу другого (нижнього) елемента АБО-НЕ подається на вхід першого (верхнього) елемента АБО-НЕ. Саме завдяки додатному зворотному зв'язку тригер має два стійких стани. На рис 3.2, б наведено умовне графічне позначення RS-тригера на електричних схемах.

Хід роботи

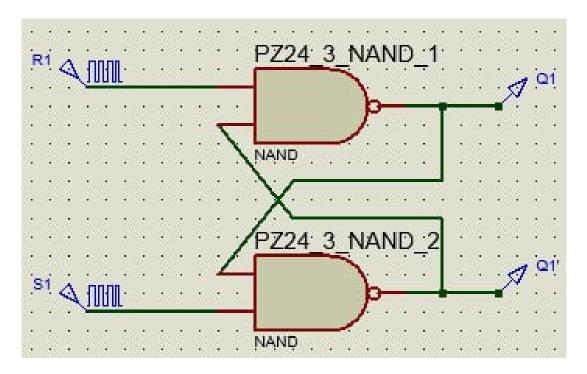


Рис. 1: RS-тригер на елементах NAND

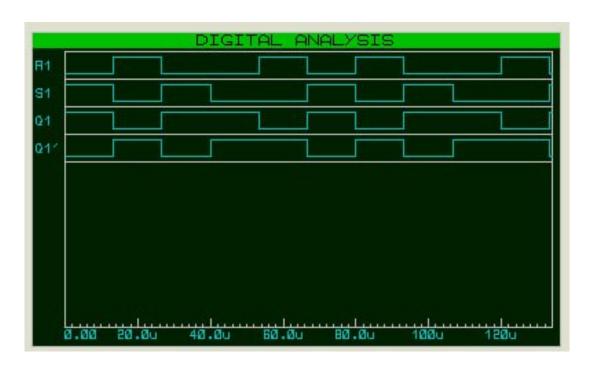


Рис. 2: Графік

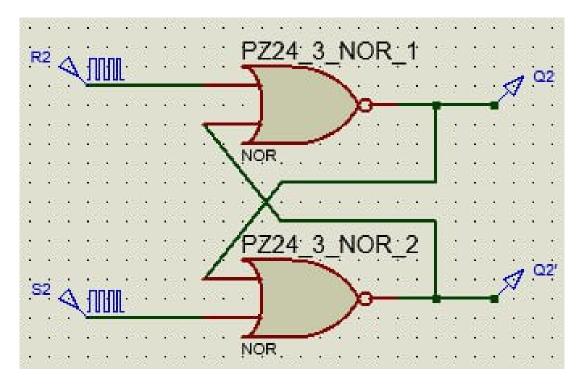


Рис. 3: RS-тригер на елементах NOR

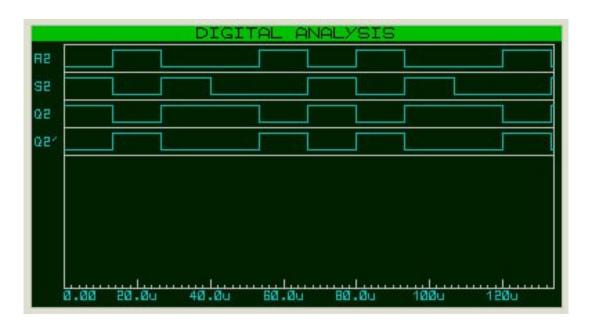


Рис. 4: Графік

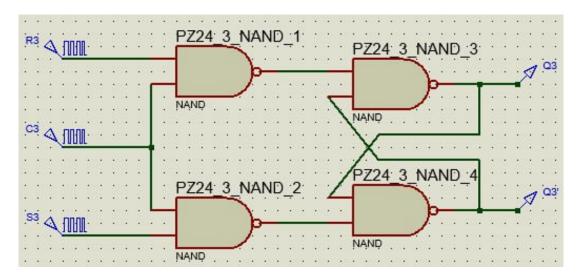


Рис. 5: Синхронний RS-тригер

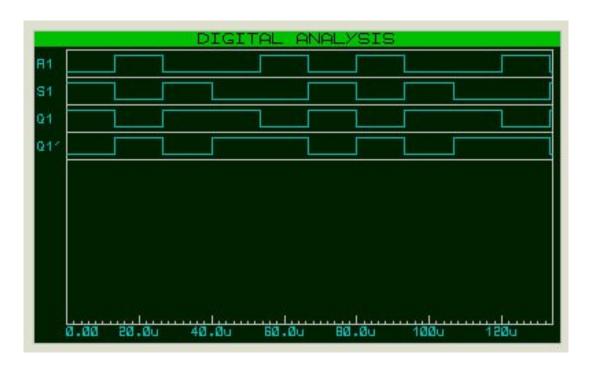


Рис. 6: Графік

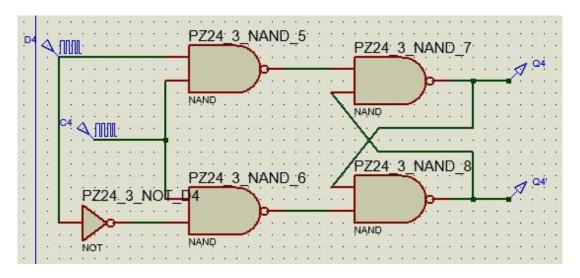


Рис. 7: Синхронний D-тригер

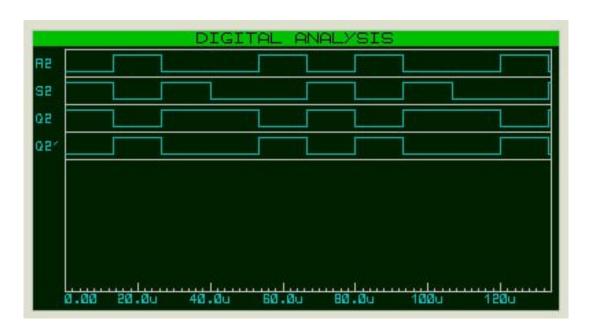


Рис. 8: Графік

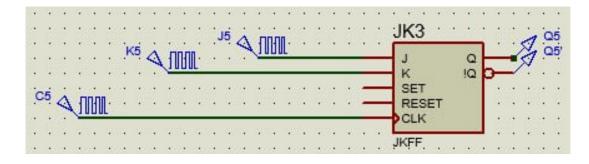


Рис. 9: Синхронний ЈК-тригер

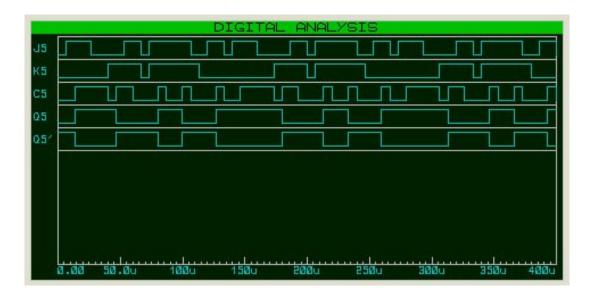


Рис. 10: Графік

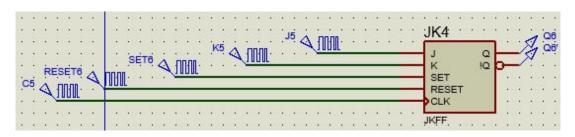


Рис. 11: D-тригер на основі ЈК-тригер

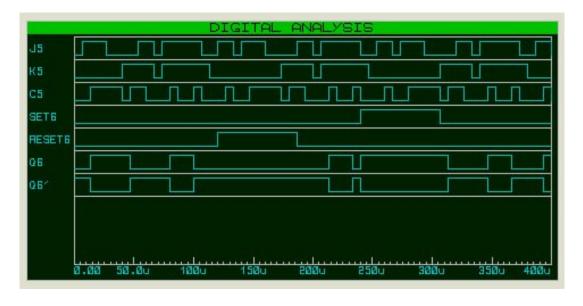


Рис. 12: Графік

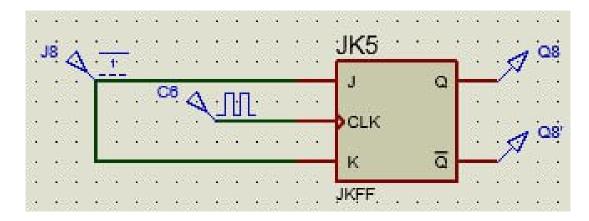


Рис. 13: Інший ЈК-тригер

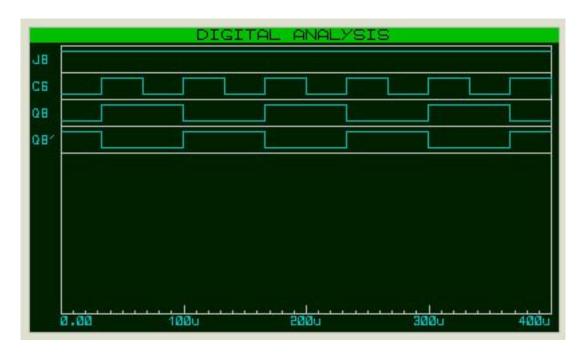


Рис. 14: Графік

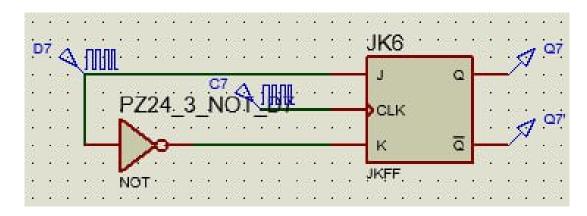


Рис. 15: D-тригер на основі ЈК-тригер

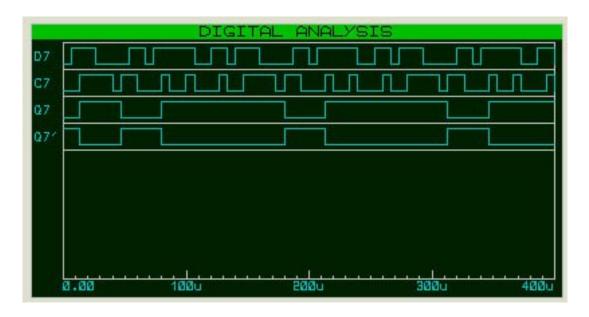


Рис. 16: Графік

Висновок: Я дізнався які є види тригерів і як вони працюють.