

**МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ НАЦІОНАЛЬНИЙ
УНІВЕРСИТЕТ "ЛЬВІВСЬКА ПОЛІТЕХНІКА"**

ІКНІ
Кафедра ПЗ



ЗВІТ

До лабораторної роботи №1

на тему: “Синтез та моделювання шифраторів і дешифраторів та мультиплексорів і
демультиплексорів у системі Proteus”
з дисципліни: “Архітектура комп’ютера”

Лектор:
доцент кафедри ПЗ
Крук О.Г.

Виконав:
студент групи ПЗ-24
Губик А. С.

Прийняв:
доцент кафедри ПЗ
Задорожний І. М.

Тема роботи

Синтез та моделювання шифраторів і дешифраторів та мультиплексорів і демультимплексорів у системі Proteus

Мета роботи

Закріпити практичні навички моделювання логічних схем в середовищі системи програм Proteus; поглибити знання про основні типи комбінаційних схем: шифратори, дешифратори, мультиплексори і демультимплексори; опанувати їх синтез; дослідити роботу синтезованих схем в системі програм Proteus

Індивідуальне завдання

N	a0/z0	0	1	0	1	0	1	0	1	f_0 , КГц	Пріоритет
	a1/z1	0	0	1	1	0	0	1	1		
	a2/z2	0	0	0	0	1	1	1	1		
3		0	0	d_0	d_1	d_2	d_3	d_4	0	7	$F_7, F_4, F_1, F_2, F_3, F_6, F_5$

Теоретичні відомості

Логічний елемент (вентиль) – це електронне коло в інтегральному виконанні, яке складається переважно з діодів та транзисторів різного типу і реалізує одну з елементарних логічних операцій. Логічна операція називається елементарною, якщо вона описується булевою функцією одного або двох аргументів.

Три наступні логічні елементи реалізують основні логічні операції, визначені аксіомами алгебри логіки, і відповідно називаються основними або базовими: інвертор (НЕ/NOT), диз'юнктор (АБО/OR), кон'юнктор (І/AND). Вони утворюють функціонально повну систему, оскільки дозволяють реалізувати довільну логічну функцію будь-якої складності.

Логічні елементи, крім, звичайно, інвертора, можуть мати до восьми входів. Найбільш наочно кожний логічний елемент описується таблицею істинності або відповідності, яка охоплює всі можливі комбінації входних сигналів і відповідні значення на виході.

Кожен логічний елемент має свою назву і стандартне умовне графічне позначення, на якому вхід/виходи завжди розміщені зліва, а вихід/виходи – справа.

На практиці широкого поширення набули й інші логічні елементи, які ще називають комбінаційними, оскільки кожен з них реалізує декілька основних логічних операцій: виняткове АБО (XOR), елемент еквівалентності (XNOR), елемент Пірса (АБО-НЕ/NOR), елемент Шеффера (І-НЕ/NAND).

З принципу двоїстості слідує, що в логічних виразах, які задають будь-яку логічну функцію, можна обійтись лише двома типами основних операцій, а саме: АБО та НЕ або ж І та НЕ. Таким чином, сукупність логічних елементів АБО та НЕ і аналогічно сукупність логічних елементів І та НЕ є функціонально повними системами. На практиці доцільніше замість логічних елементів АБО та НЕ використовувати елемент Пірса, що поєднує їх операції. З тих же міркувань замість логічних елементів І та НЕ використовують елемент Шеффера.

Хід роботи

1. За індивідуальним завдання пріоритети: $F_3, F_7, F_2, F_4, F_1, F_6, F_5$

Вирази для проміжних змінних пріоритетного шифратора:

$$H_7 = F_7$$

$$H_4 = \neg F_7 \wedge F_4$$

$$\begin{aligned}
H_1 &= \neg F_7 \wedge F_4 \wedge F_1 \\
H_2 &= \neg F_7 \wedge F_4 \wedge F_1 \wedge F_2 \\
H_3 &= \neg F_7 \wedge F_4 \wedge F_1 \wedge F_2 \wedge F_3 \\
H_6 &= \neg F_7 \wedge \neg F_4 \wedge \neg F_1 \wedge \neg F_2 \wedge \neg F_3 \wedge F_6 \\
H_5 &= \neg F_7 \wedge \neg F_4 \wedge \neg F_1 \wedge \neg F_2 \wedge \neg F_3 \wedge \neg F_6 \wedge F_5
\end{aligned}$$

Вихідні сигнали пріоритетного шифратора:

$$X_0 = H_1 \wedge H_3 \wedge H_5 \wedge H_7$$

$$X_1 = H_2 \wedge H_3 \wedge H_6 \wedge H_7$$

$$X_2 = H_4 \wedge H_5 \wedge H_6 \wedge H_7$$

Період цифрового сигналу:

$$T = 1/f = 1/7000 = 142.8 \text{ мкс}$$

Ширина елементарного імпульсу:

$$t = T / 8 = 142.8 / 8 = 17.9 \text{ мкс}$$

Схема шифратора і його графік:

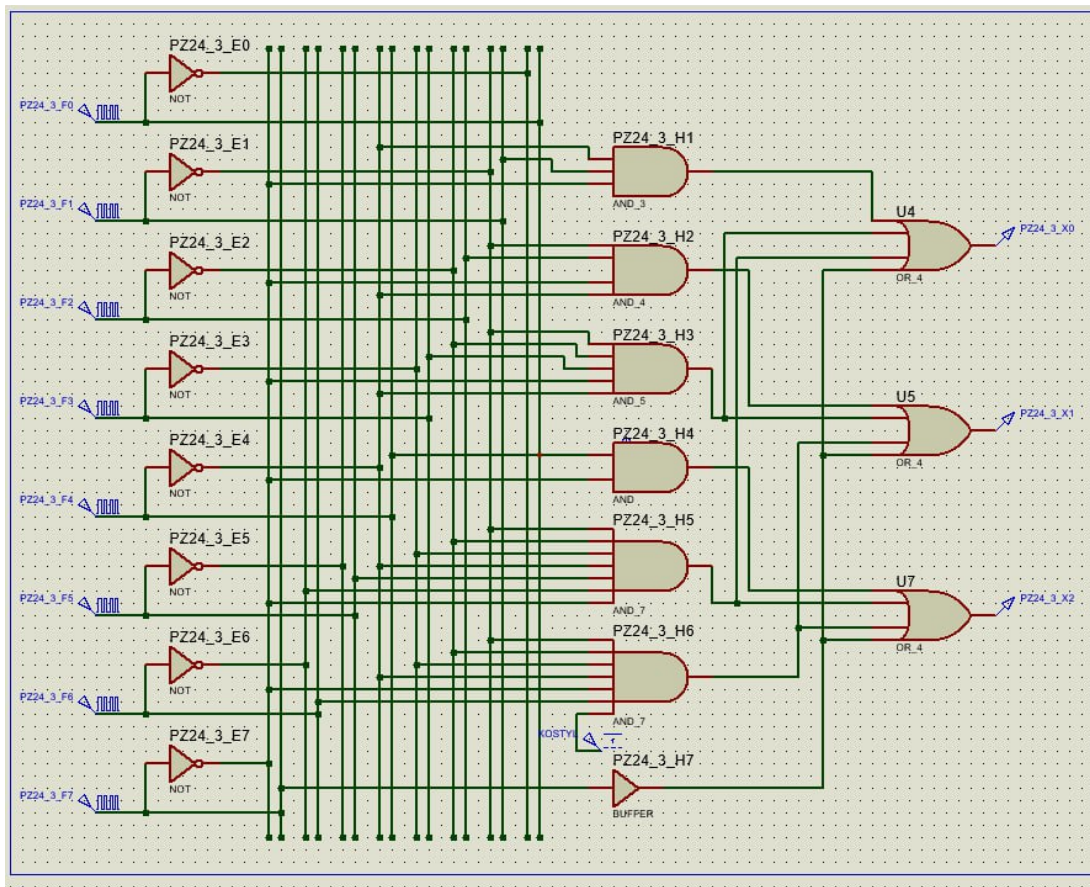


Рис. 1: Шифратор

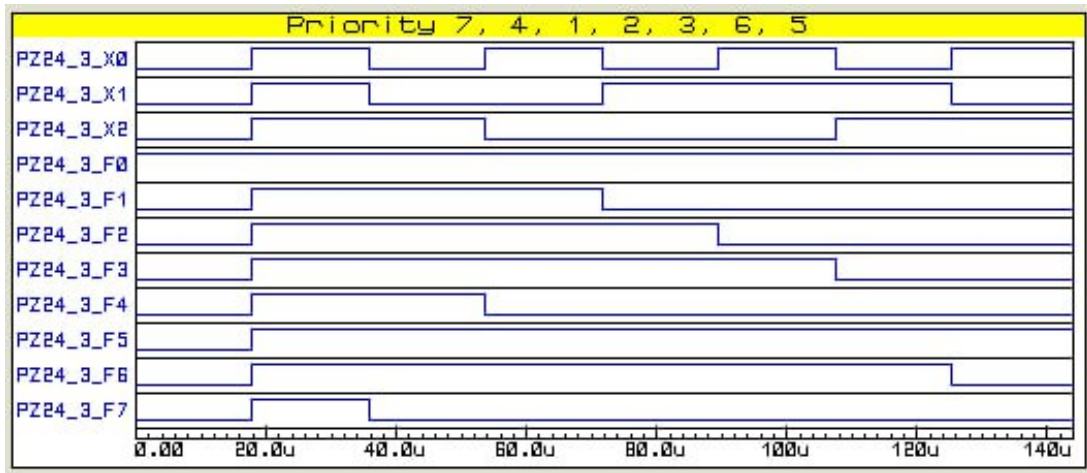


Рис. 2: Графік

2. Рівняння виходів дешифратора:

$$V_0 = \neg z_2 \wedge \neg z_1 \wedge \neg z_0$$

$$V_1 = \neg z_2 \wedge \neg z_1 \wedge z_0$$

$$V_2 = \neg z_2 \wedge z_1 \wedge \neg z_0$$

$$V_3 = \neg z_2 \wedge z_1 \wedge z_0$$

$$V_4 = z_2 \wedge \neg z_1 \wedge \neg z_0$$

$$V_5 = z_2 \wedge \neg z_1 \wedge z_0$$

$$V_6 = z_2 \wedge z_1 \wedge \neg z_0$$

$$V_7 = z_2 \wedge z_1 \wedge z_0$$

Частоти сигналів:

$$Z_0 = 4 * f_0 = 4 * 7000 = 28000$$

$$Z_1 = 2 * f_0 = 2 * 7000 = 14000$$

$$Z_2 = 1 * f_0 = 1 * 7000 = 7000$$

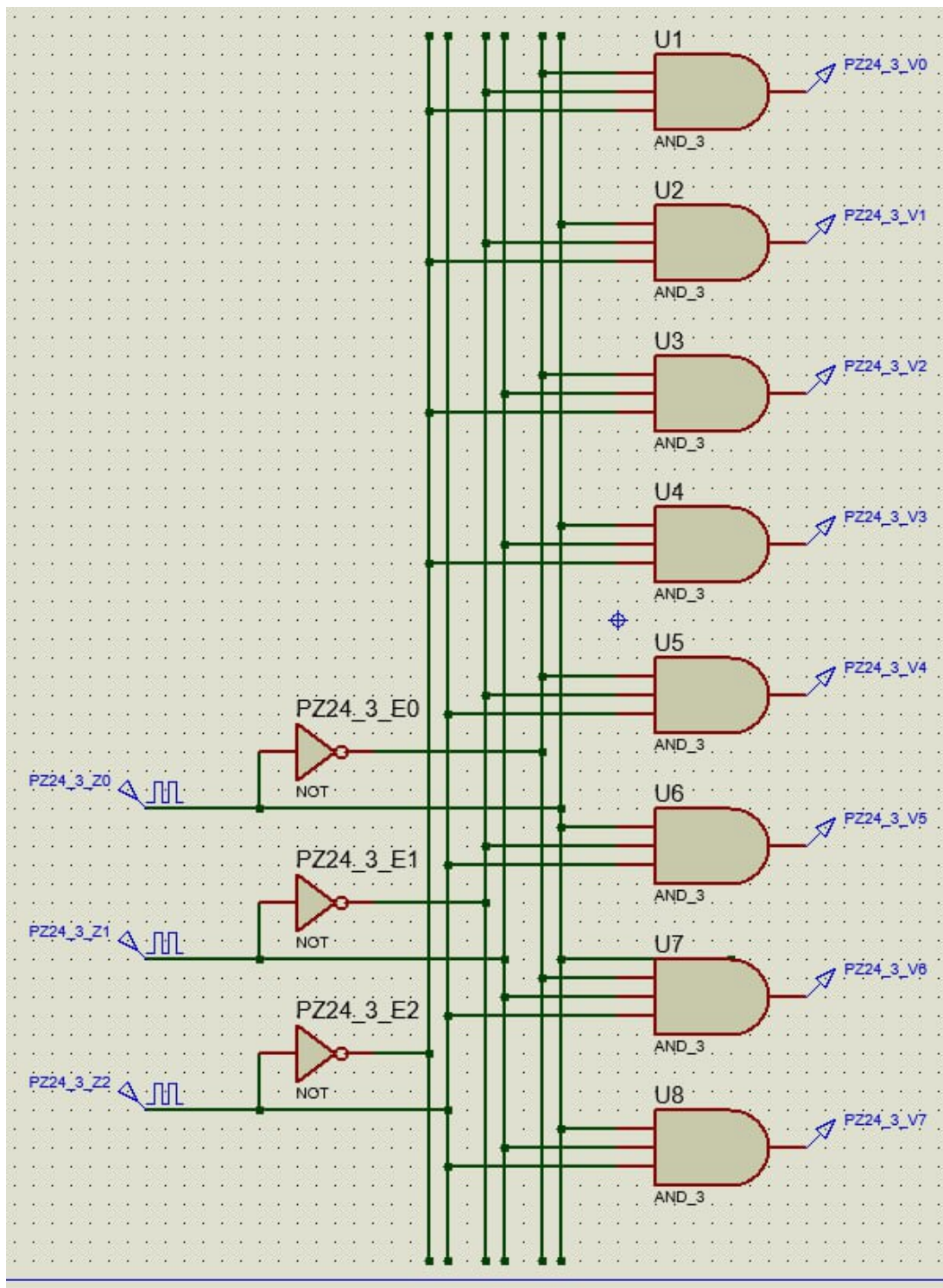


Рис. 3: Дешифратор

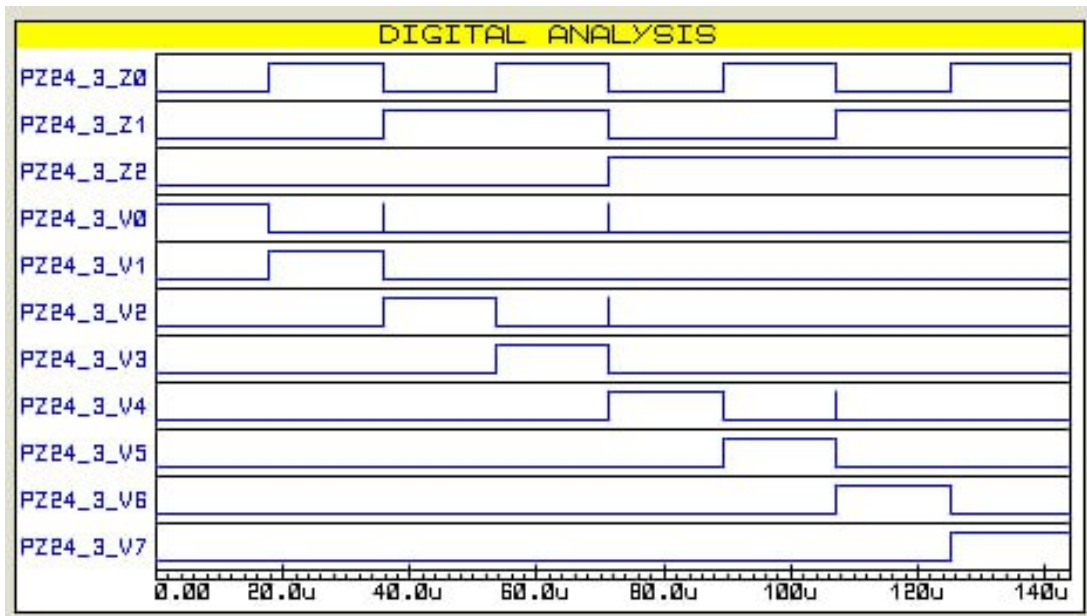


Рис. 4: Графік

3. Вихідний сигнал D у ДДНФ мультиплексора:

$$F = (\neg A_0 \wedge A_1 \wedge \neg A_2 \wedge D_0) \vee (\neg A_0 \wedge A_1 \wedge A_2 \wedge D_1) \vee (\neg A_0 \wedge A_1 \wedge A_2 \wedge D_2) \vee (\neg A_0 \wedge \neg A_1 \wedge A_2 \wedge D_3) \vee (A_0 \wedge A_1 \wedge \neg A_2 \wedge D_4)$$

Ширина елементарного імпульсу мультиплексора:

$$T/64 = 17.9/8 = 2.28 \text{ мкс}$$

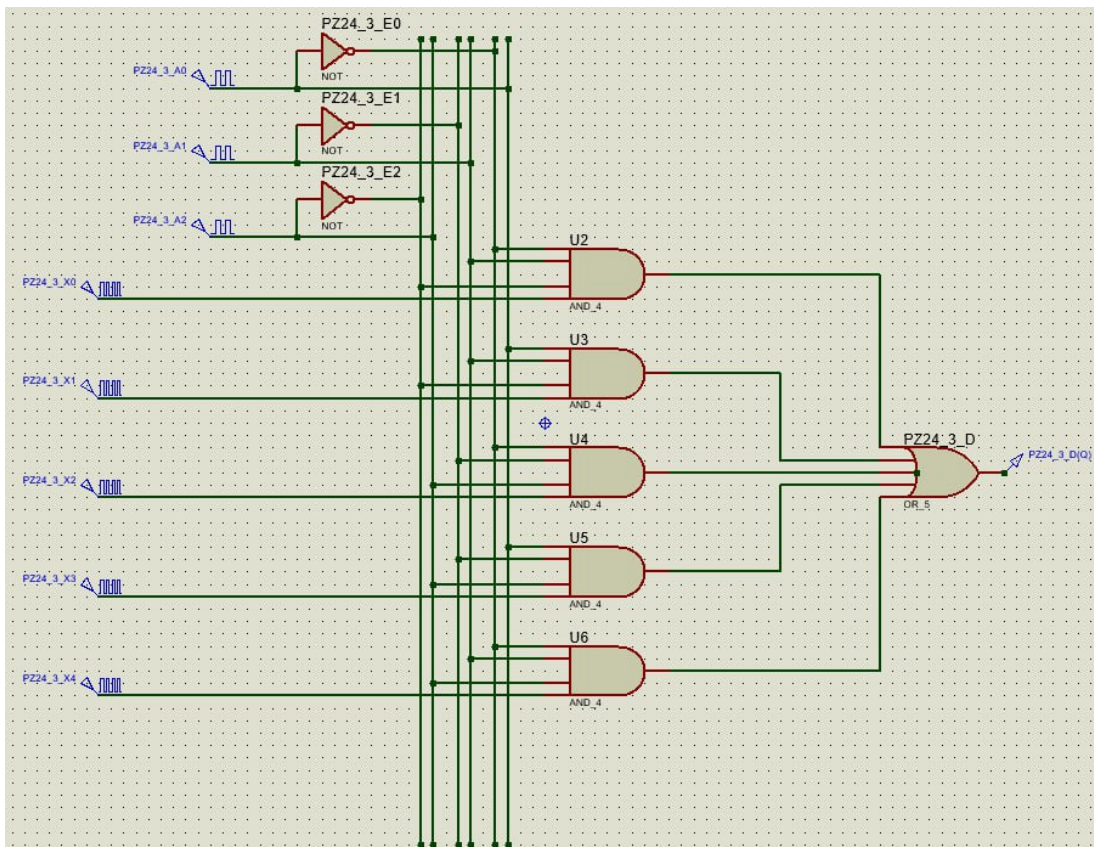


Рис. 5: Мультиплексор

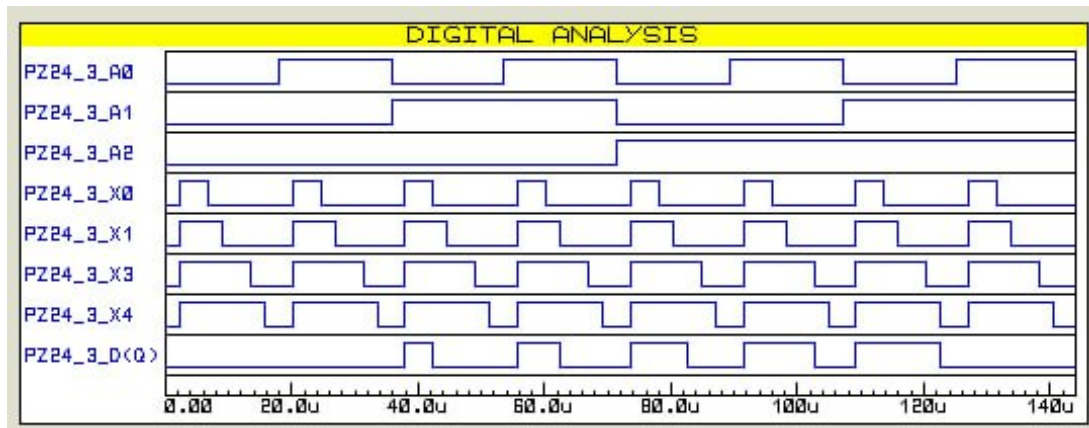


Рис. 6: Графік

a0	a1	a2	x0	x1	x2	x3	x4	D
0	1	0	1	0	0	0	0	x0
0	1	1	0	1	0	0	0	x1
1	0	0	0	0	1	0	0	x2
1	0	1	0	0	0	1	0	x3
1	1	0	0	0	0	0	1	x4

4. Рівняння до кожного з входів демультиплексора:

$$Y_0 = \neg A_0 \wedge A_1 \wedge \neg A_2 \wedge D$$

$$Y_1 = \neg A_0 \wedge A_1 \wedge A_2 \wedge D$$

$$Y_2 = A_0 \wedge \neg A_1 \wedge \neg A_2 \wedge D$$

$$Y_3 = A_0 \wedge \neg A_1 \wedge A_2 \wedge D$$

$$Y_4 = A_0 \wedge A_1 \wedge A_2 \wedge D$$

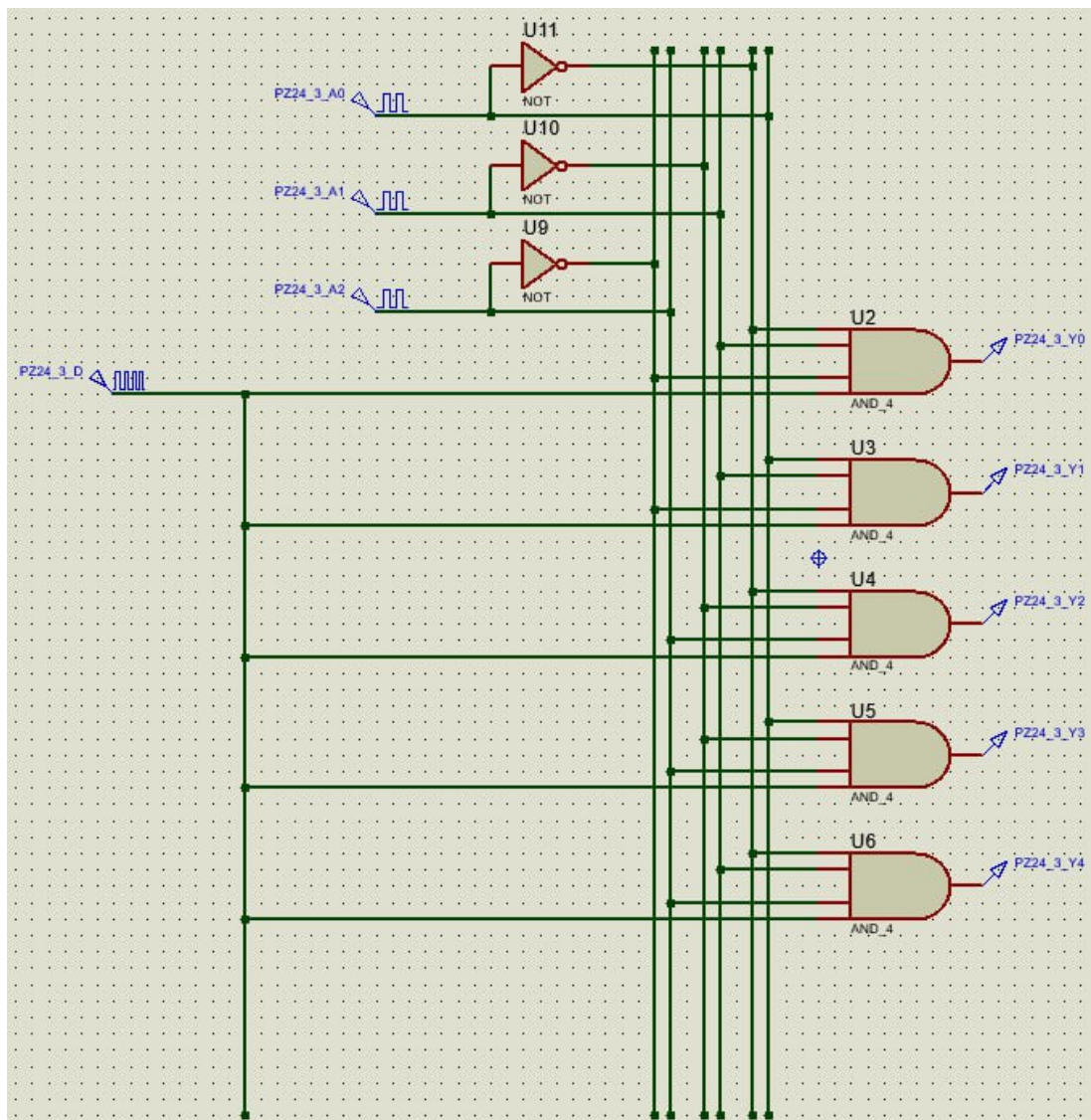


Рис. 7: Демультимплексор

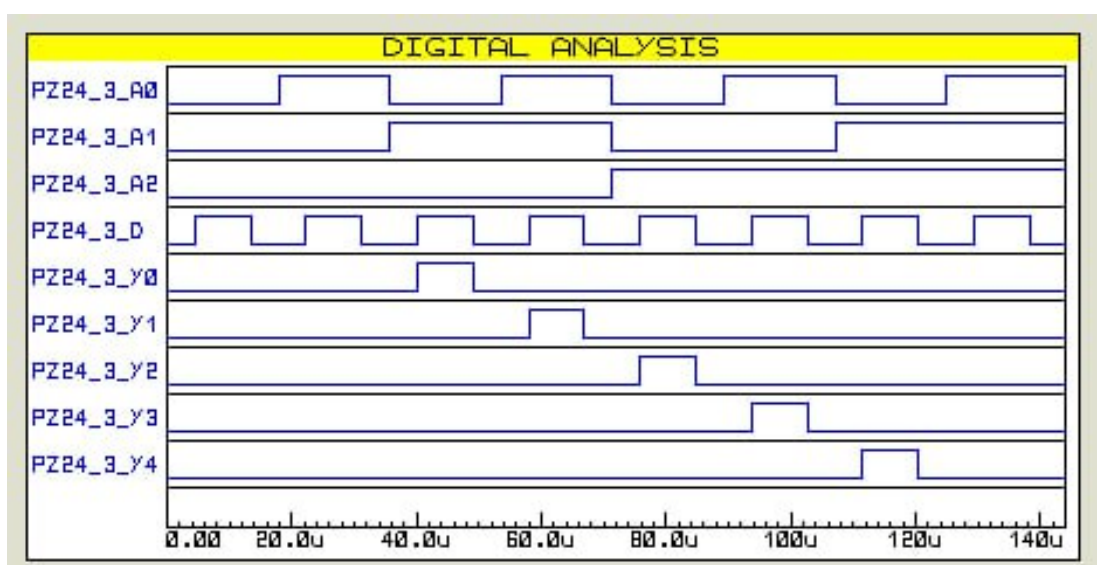


Рис. 8: Графік

Виснок

Я розібрався як працювати в Proteus, що таке шифратор, мультиплексор і обернені до них схеми.