一种神经元探索系统方法及装置

# 发明背景与现有技术

## 应用背景

深度学习已经在图像分类检测、游戏等诸多领域取得了突破性的成绩。由于人工神经网络计算量大，训练时间长。因此，相关的硬件加速平台也在百花齐放，包括基于英伟达的GPU、谷歌的TPU、以及FPGA实现的神经网络硬件平台。神经网络的结构复杂多样、计算量大的特点，给硬件设计带来了巨大挑战。

# 发明背景与现有技术

## 应用背景

深度学习已经在图像分类检测、游戏等诸多领域取得了突破性的成绩。由于人工神经网络计算量大，训练时间长。因此，相关的硬件加速平台也在百花齐放，包括基于英伟达的GPU、谷歌的TPU、以及FPGA实现的神经网络硬件平台。神经网络的结构复杂多样、计算量大的特点，给硬件设计带来了巨大挑战。

# 发明背景与现有技术

## 应用背景

深度学习已经在图像分类检测、游戏等诸多领域取得了突破性的成绩。由于人工神经网络计算量大，训练时间长。因此，相关的硬件加速平台也在百花齐放，包括基于英伟达的GPU、谷歌的TPU、以及FPGA实现的神经网络硬件平台。神经网络的结构复杂多样、计算量大的特点，给硬件设计带来了巨大挑战。

# 发明背景与现有技术

## 应用背景

深度学习已经在图像分类检测、游戏等诸多领域取得了突破性的成绩。由于人工神经网络计算量大，训练时间长。因此，相关的硬件加速平台也在百花齐放，包括基于英伟达的GPU、谷歌的TPU、以及FPGA实现的神经网络硬件平台。神经网络的结构复杂多样、计算量大的特点，给硬件设计带来了巨大挑战。

# 发明背景与现有技术

## 应用背景

深度学习已经在图像分类检测、游戏等诸多领域取得了突破性的成绩。由于人工神经网络计算量大，训练时间长。因此，相关的硬件加速平台也在百花齐放，包括基于英伟达的GPU、谷歌的TPU、以及FPGA实现的神经网络硬件平台。神经网络的结构复杂多样、计算量大的特点，给硬件设计带来了巨大挑战。

# 发明背景与现有技术

## 应用背景

深度学习已经在图像分类检测、游戏等诸多领域取得了突破性的成绩。由于人工神经网络计算量大，训练时间长。因此，相关的硬件加速平台也在百花齐放，包括基于英伟达的GPU、谷歌的TPU、以及FPGA实现的神经网络硬件平台。神经网络的结构复杂多样、计算量大的特点，给硬件设计带来了巨大挑战。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 本发明技术方案原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

## （2）硬件加速神经网原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 原有技术及问题

### （1）传统神经网络

基于传统的CPU完成运算，缺点是神经网路的神经元众多，由于单机的CPU个数限制，整个网络的并行计算性能不高。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

### 络（2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

### （2）硬件加速神经网络

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

通常基于FPGA 等可编程芯片，这样的神经网络运算能力强，并行性好。但是这样的神经网络，其硬件实现的底层神经元缺乏自适应学习和演化能力。

## 神经网络模型

如图1，

1. 红色的圆形结构称为一个数据存储单元（在本专利中简称存储器），每一个存储器能够记忆若干个浮点数。这些存储单元构成整个神经网络的记忆系统；
2. 绿色正方形称为一个神经处理单元（在本专利中简称处理器）。每一个处理器能够感知其周围的存储器的内容以及奖励反馈，并能改变存储器的内容。处理器可以看做是一个黑箱的运算函数，输入为其周围的存储器的内容以及奖励反馈信号，输出为起周围的存储器的内容。这些处理器构成整个神经网络的计算系统；
3. 蓝色的菱形为一个输入单元，黄色的菱形为一个输出单元；
4. 紫色的圆角矩形为奖励反馈单元；
5. 每一个处理器连接若干个存储器（示例中为4个）；
6. 每一个存储器连接若干个处理器（示例中为2个）；
7. 每一个输入单元连接一个存储器并能直接修改这个存储器的内容；
8. 每一个输出单元连接一个存储器并能直接读取这个存储器的内容并转化为相应的输出；
9. 奖励反馈单元跟所有的处理相连接。