附录1：总体结构图与各器件图

# 1、总体结构图

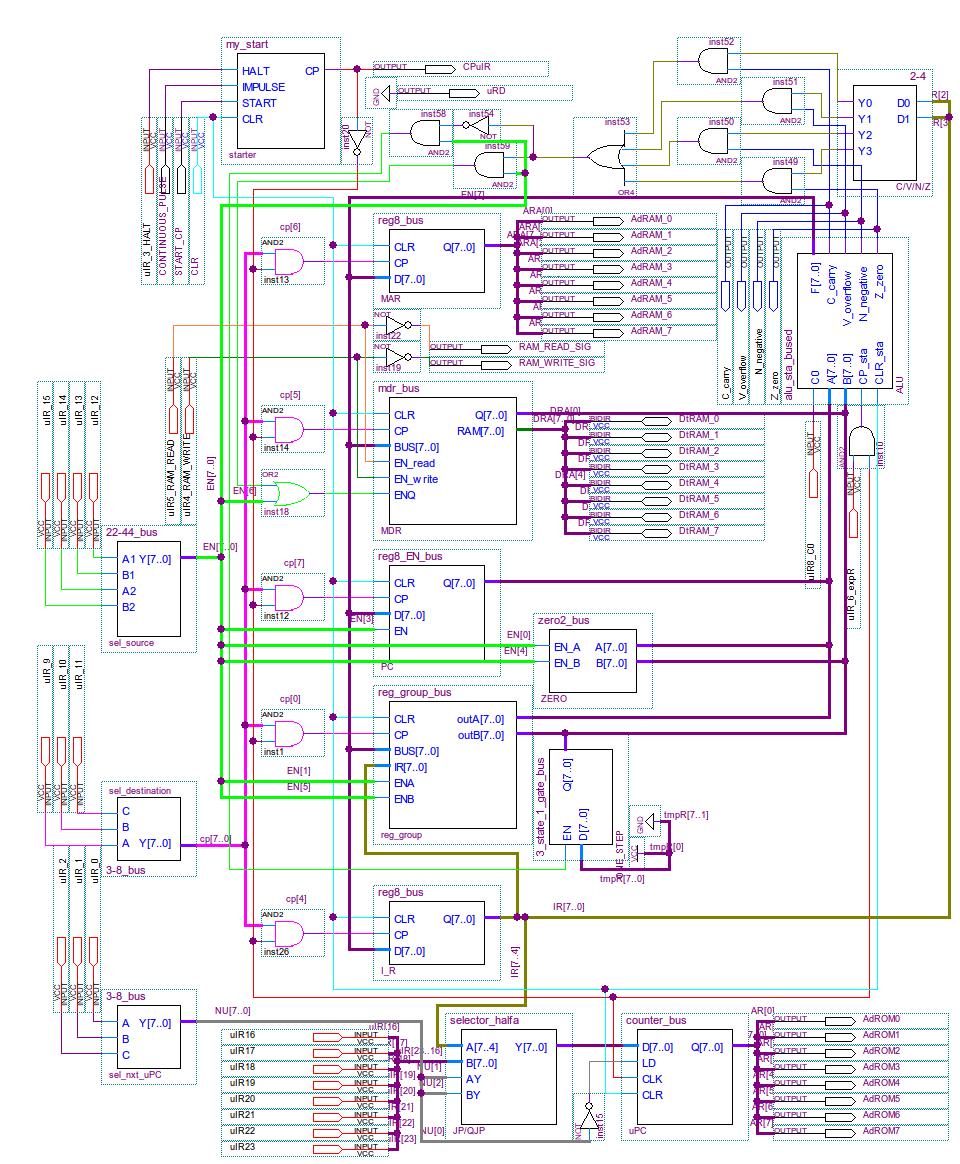


图1-1 总体结构图

# 八位寄存器

## (1)八位寄存器

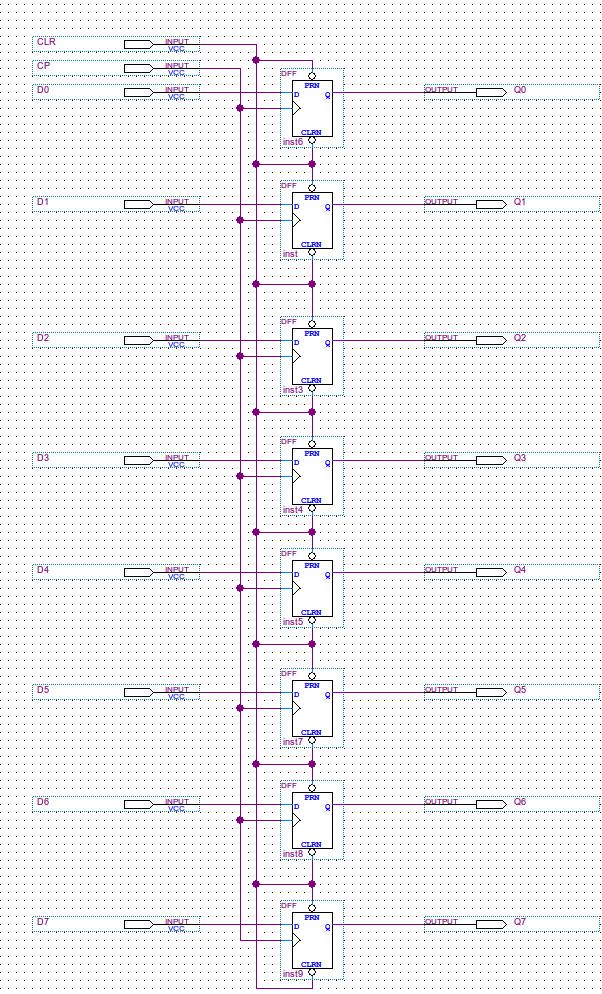


图1-2 八位寄存器

## (2)总线封装的八位寄存器

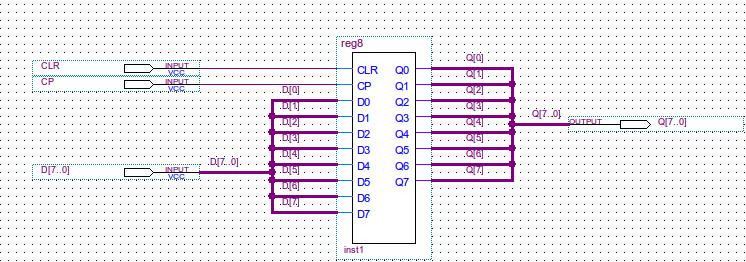


图1-3 总线封装的八位寄存器

# 计数器

## 模256增1计数器

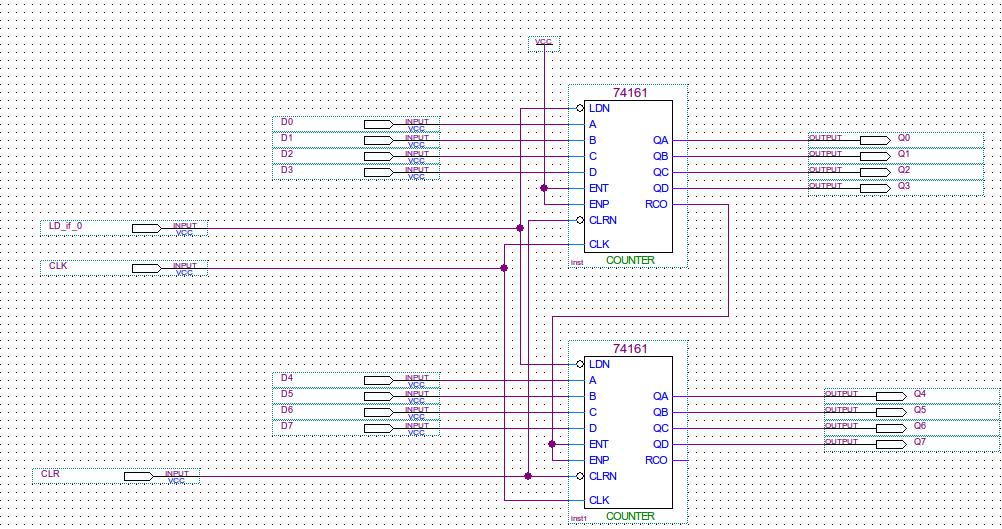


图1-4 计数器

## (2)总线封装的计数器

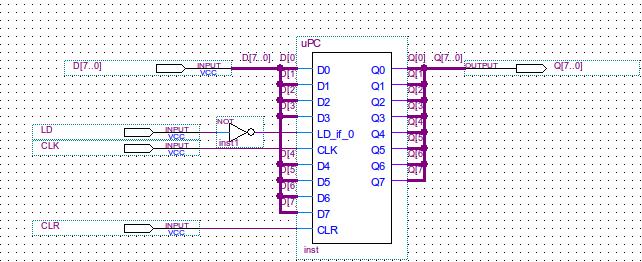


图1-5 总线封装的计数器

# 译码器

## (1)3-8译码器

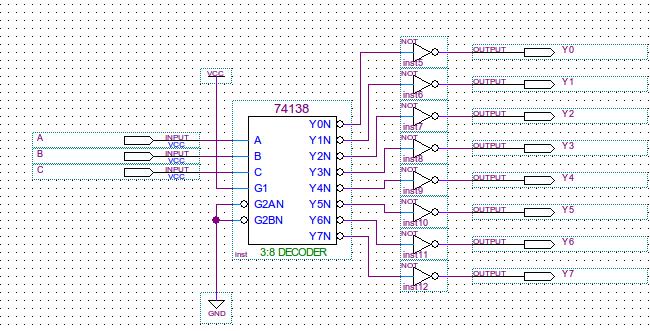


图1-6 3-8译码器

## 总线封装的3-8译码器

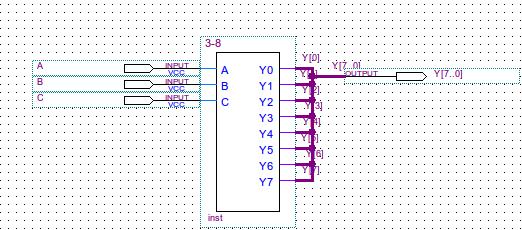


图1-7 总线封装的3-8译码器

## (3)2-4译码器

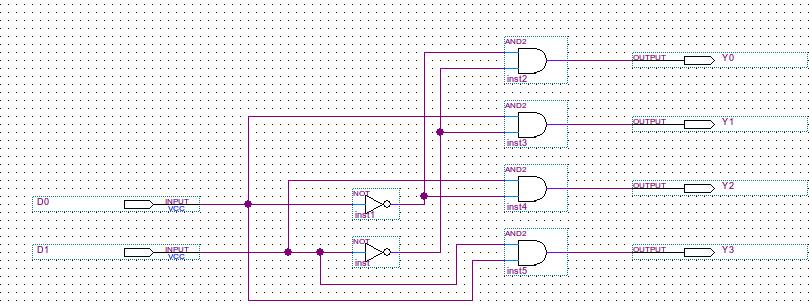


图1-8 2-4译码器

## (4)双2-4译码器

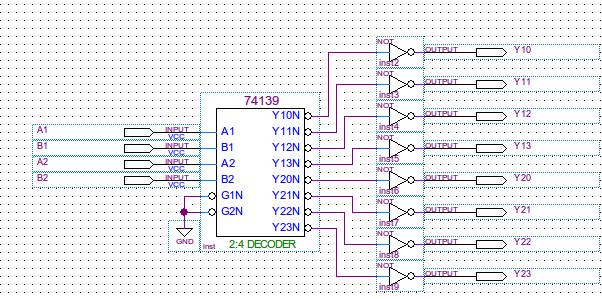


图1-9 双2-4译码器

## (5) 总线封装的双2-4译码器

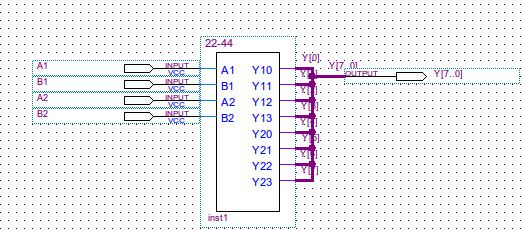


图1-10 总线封装的双2-4译码器

# 多路选择器

## (1)二路选择器

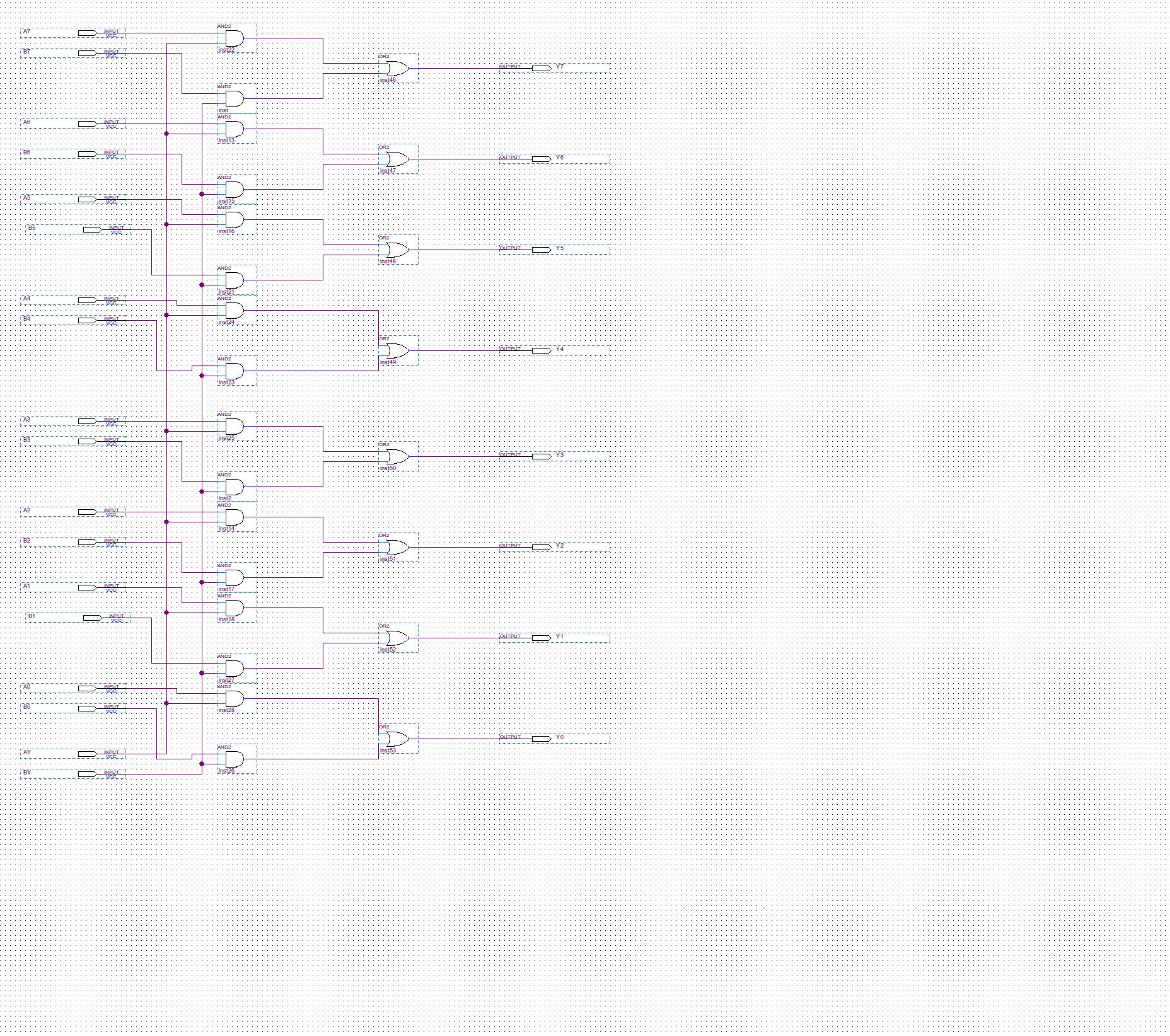


图1-11 二路选择器

## (2)总线封装的二路选择器

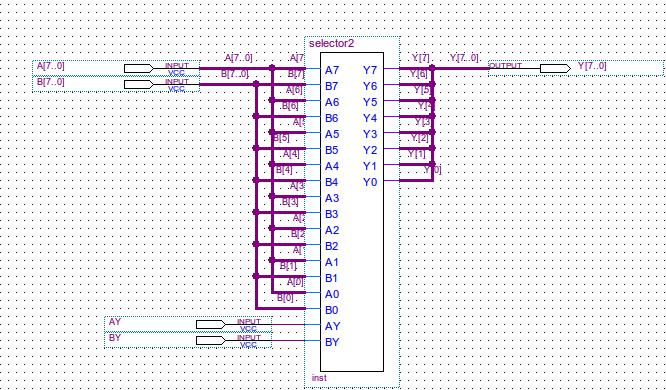


图1-12 总线封装的二路选择器

## 四路选择器

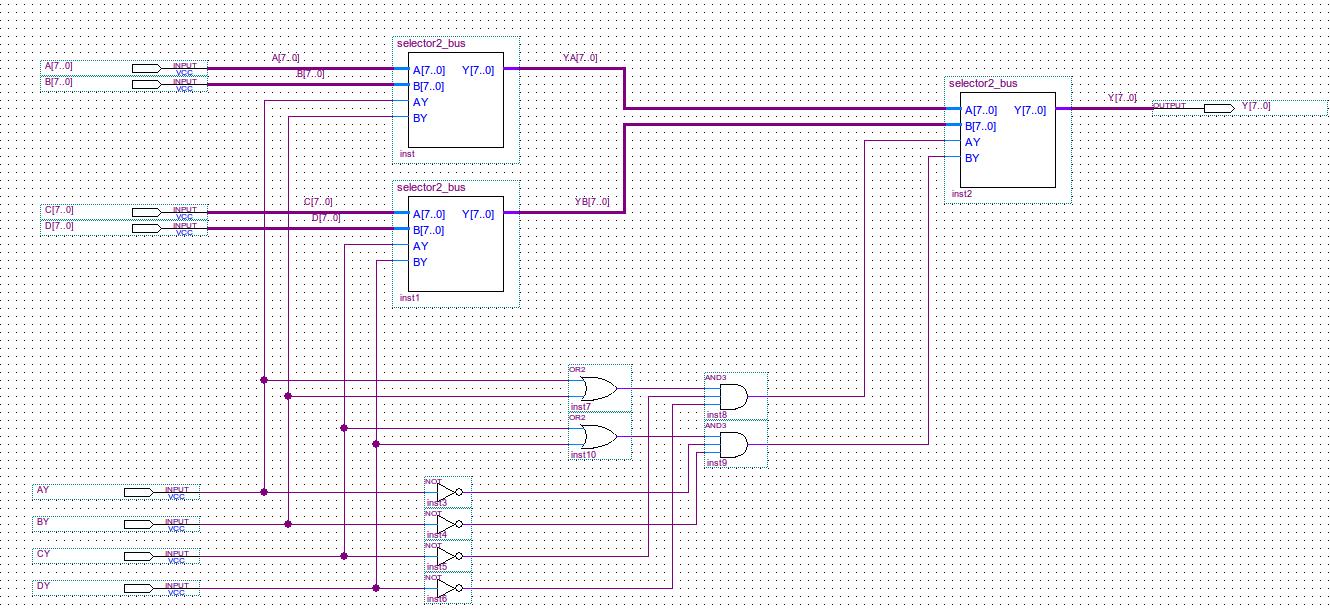


图1-13 四路选择器

# 运算器

## 加法器

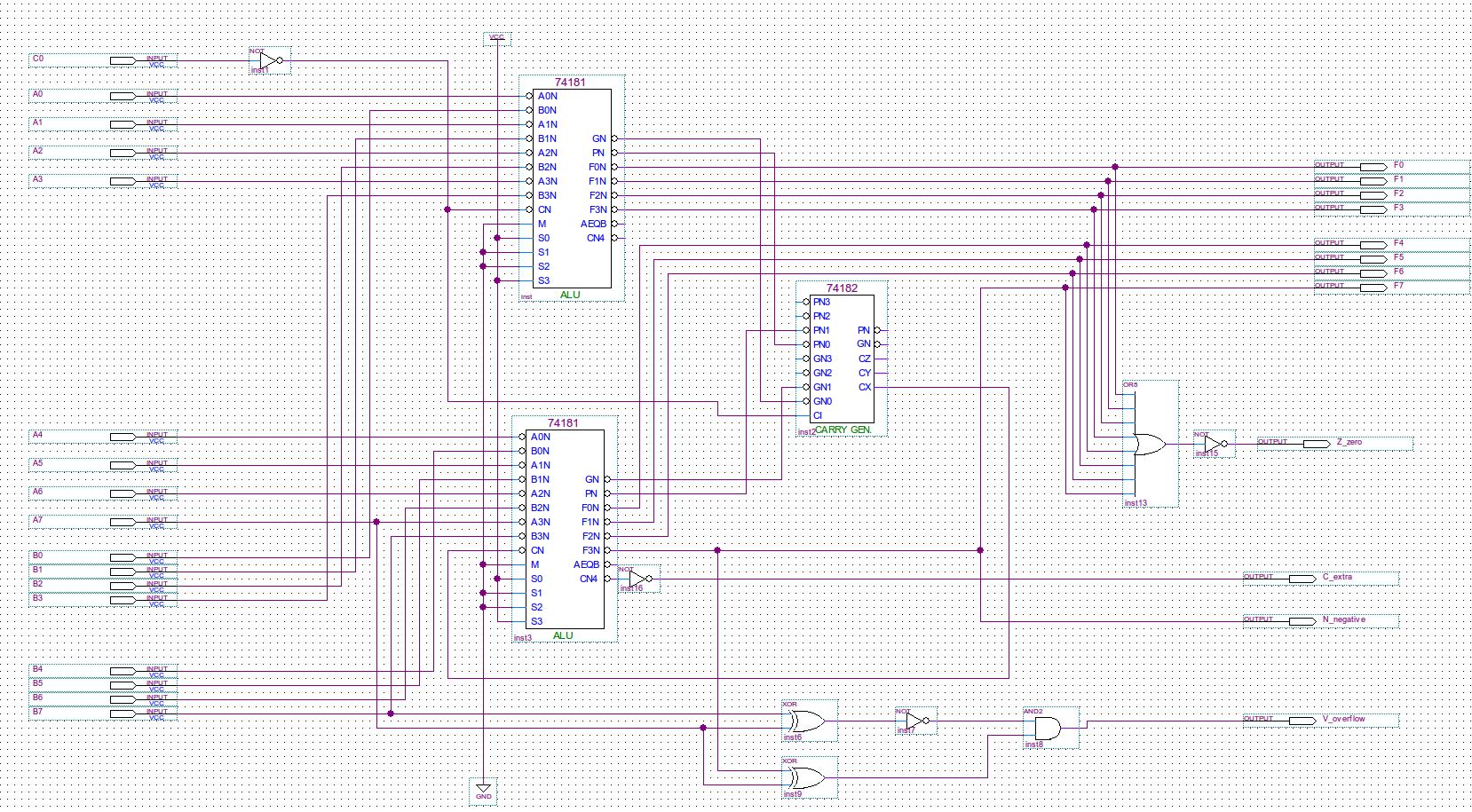


图1-14 加法器

## 总线封装的加法器

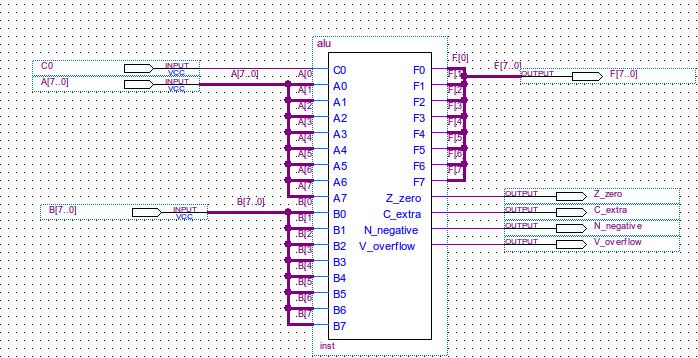


图1-15 总线封装的加法器

# 三态门

## 单向三态门

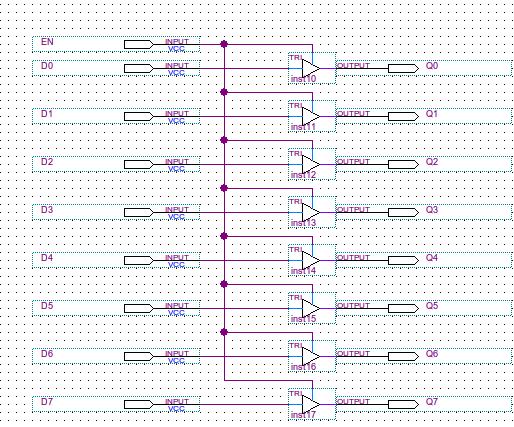


图1-16 单向三态门

## (2)总线封装的单向三态门

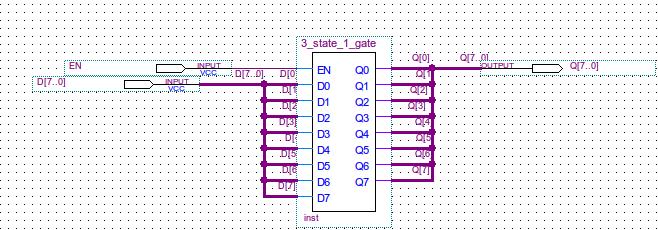


图1-17 总线封装的单向三态门

## （3）双向三态门

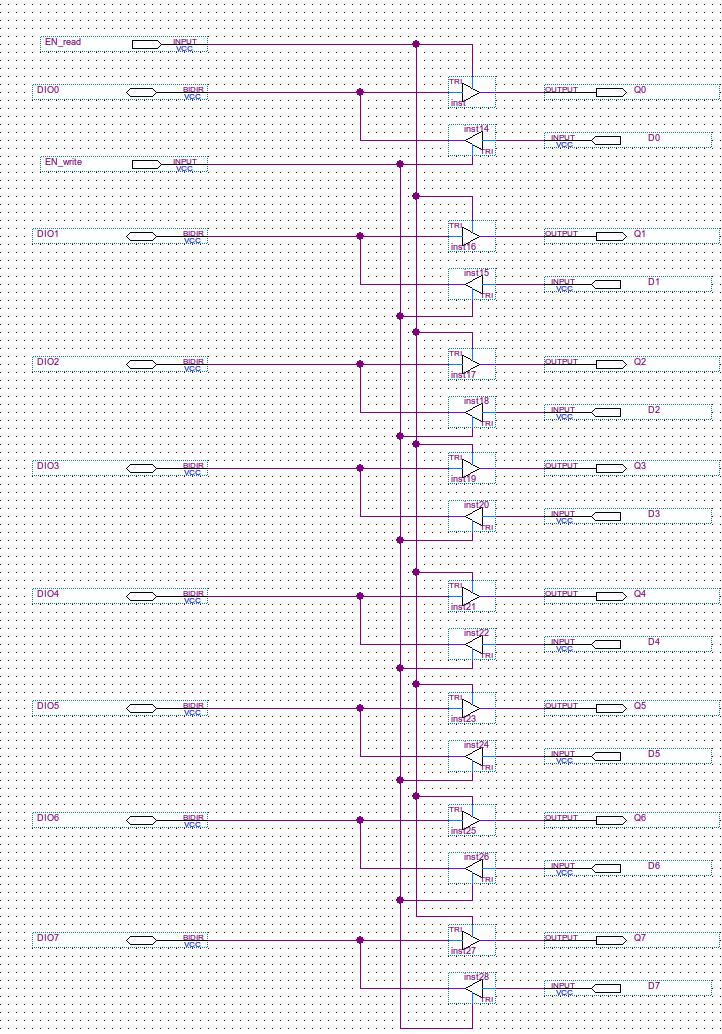


图1-18 双向三态门

# 个别单独封装的器件

## 输出GND的单向三态门



图1-20 输出GND的单向三态门

## 高位A地址截取选择器

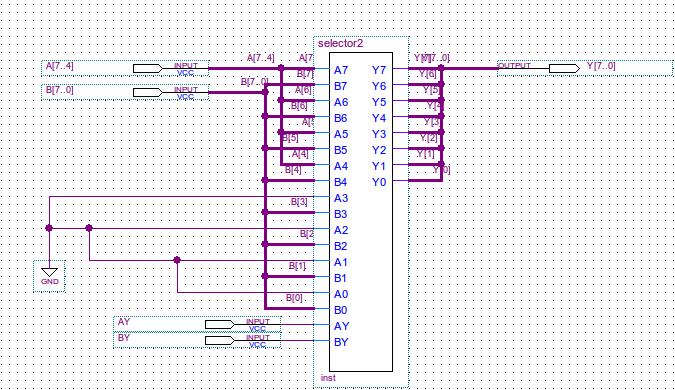


图1-21 高位A地址截取选择器

## 与状态寄存器封装的加法器

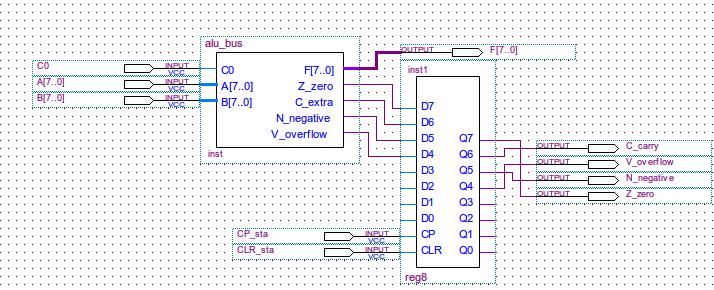


图1-22 与状态寄存器封装的加法器

## 启停器

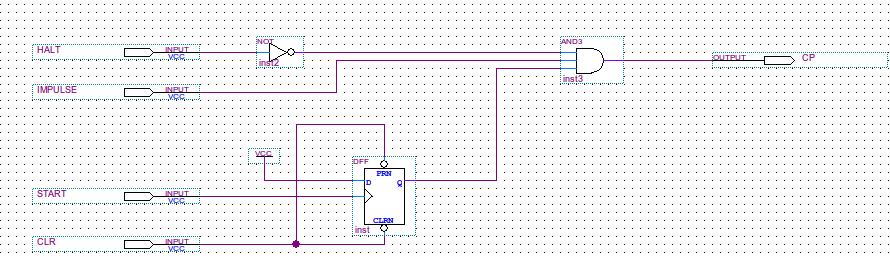


图1-23 启停器

## (5)内存数据寄存器MDR

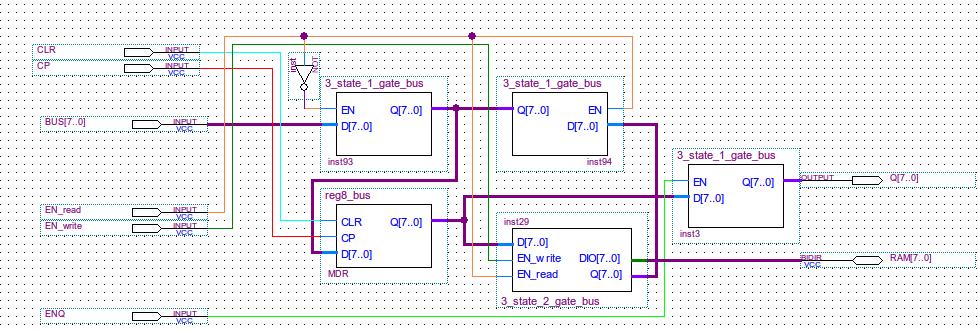


图1-24 内存数据寄存器MDR

## 寄存器组

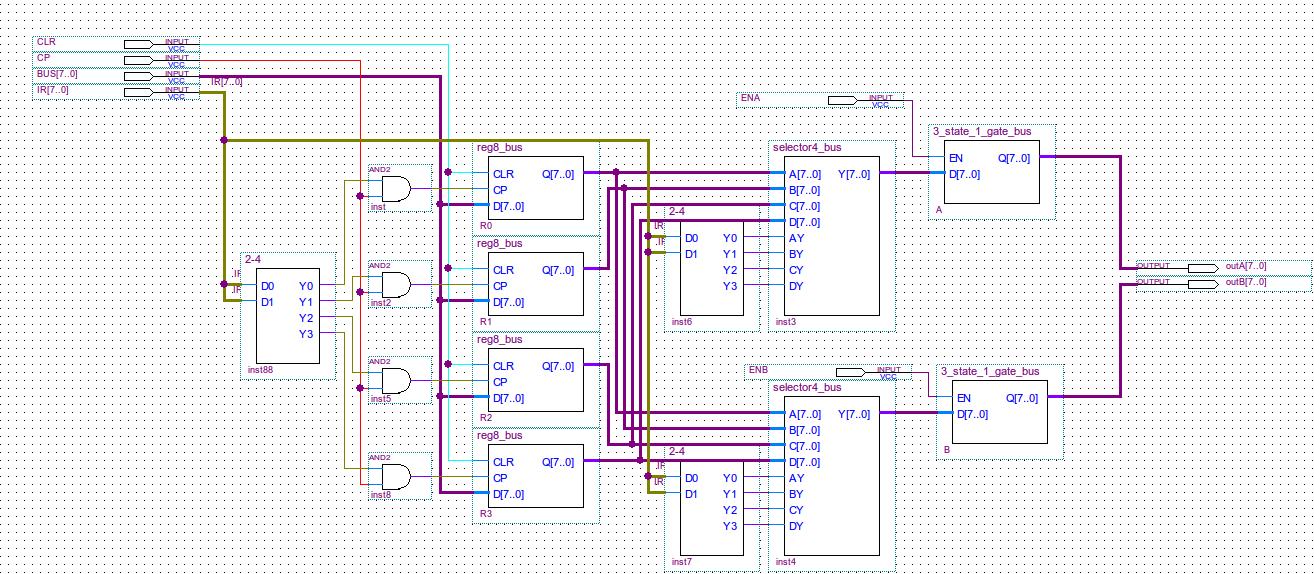


图1-25 寄存器组