附录1：总体结构图与各器件图

# 1、总体结构图

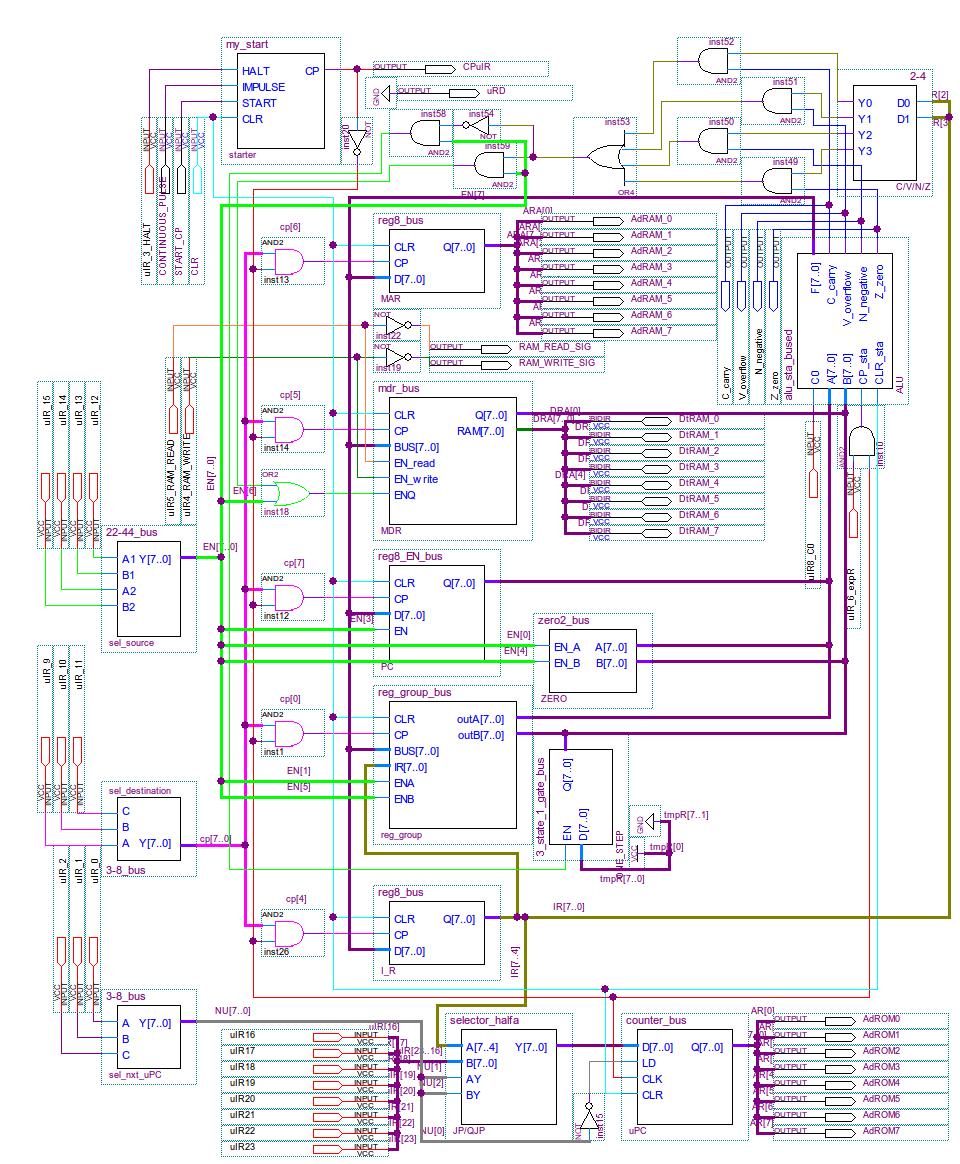


图1-1 总体结构图

# 八位寄存器

## (1)八位寄存器

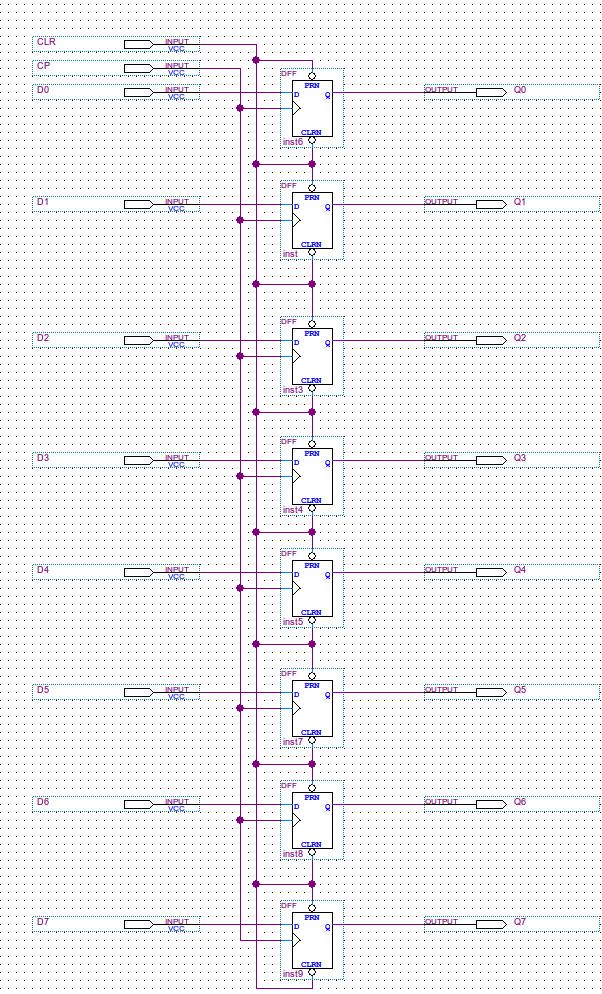


图1-2 八位寄存器

## (2)总线封装的八位寄存器

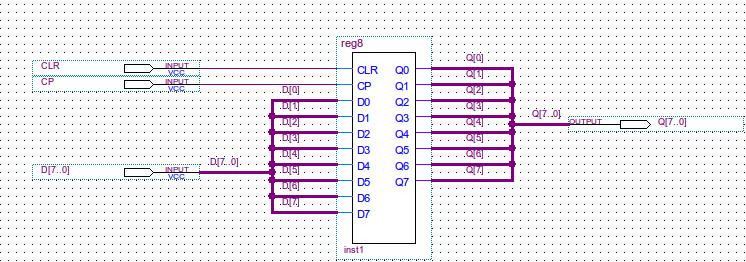


图1-3 总线封装的八位寄存器

# 计数器

## 模256增1计数器

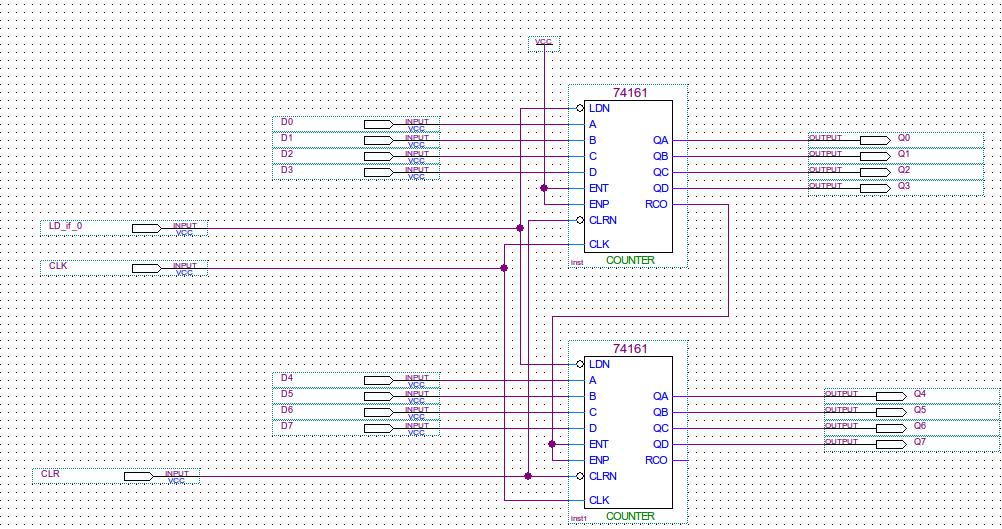


图1-4 计数器

## (2)总线封装的计数器

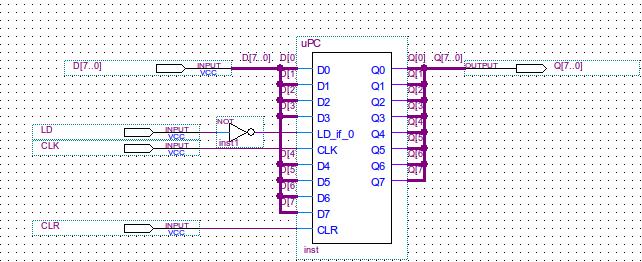


图1-5 总线封装的计数器

# 译码器

## (1)3-8译码器

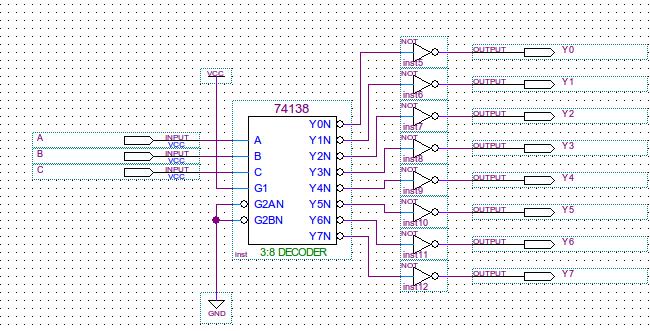


图1-6 3-8译码器

## 总线封装的3-8译码器

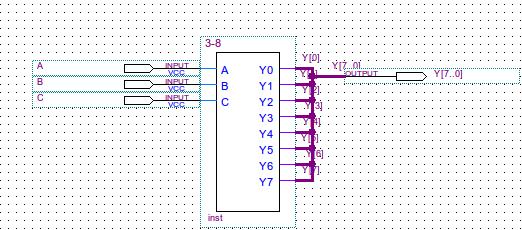


图1-7 总线封装的3-8译码器

## (3)2-4译码器

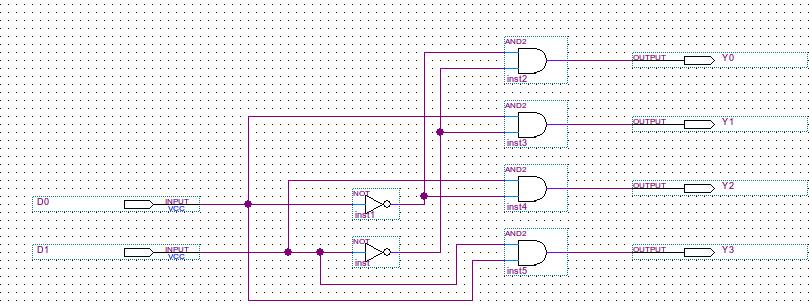


图1-8 2-4译码器

# 多路选择器

## (1)二路选择器

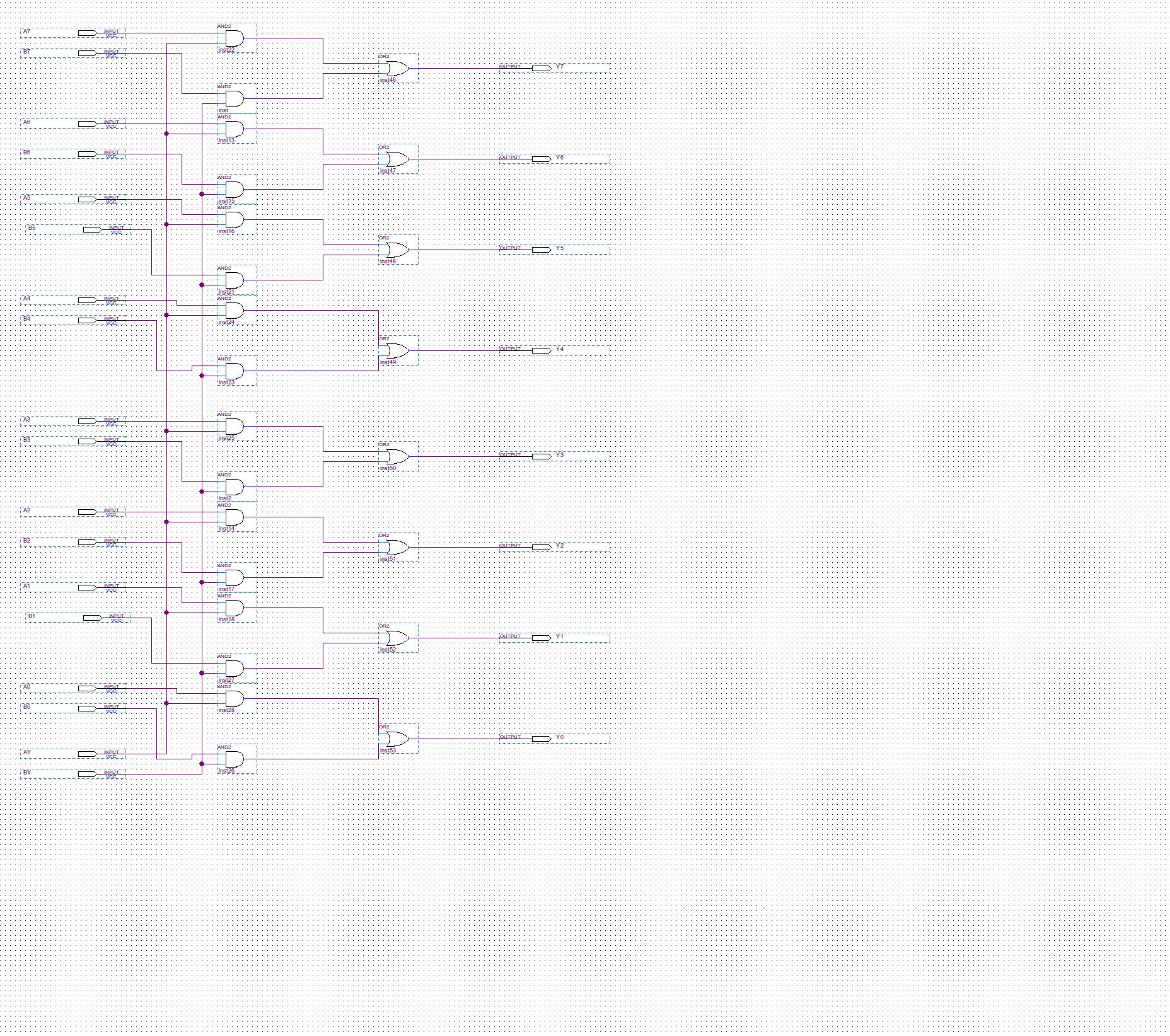


图1-9 二路选择器

## (2)总线封装的二路选择器

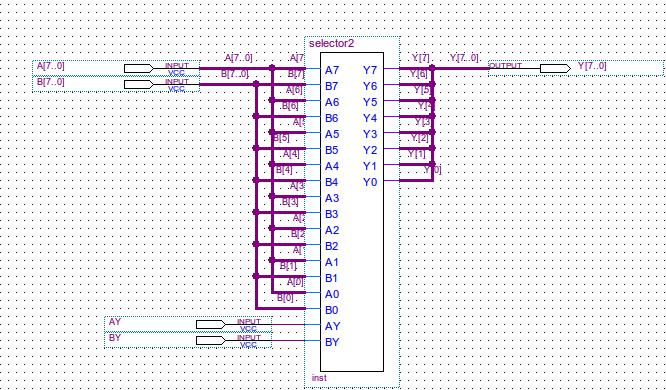


图1-10 总线封装的二路选择器

## 四路选择器

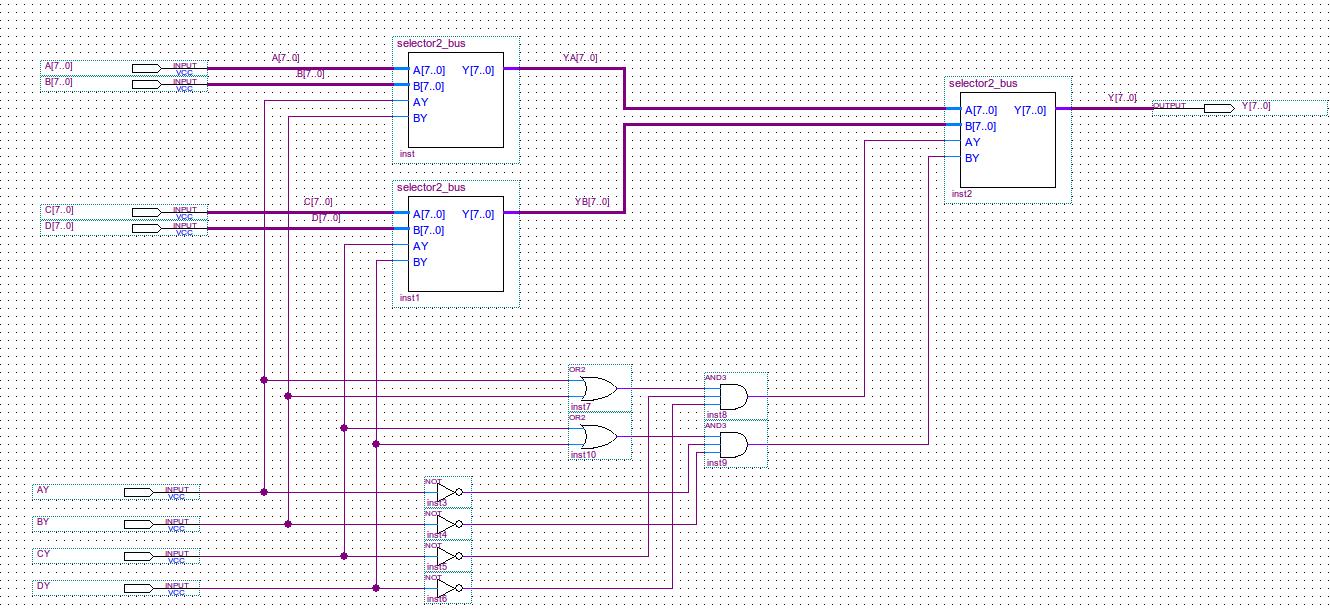


图1-11 四路选择器

# 运算器

## 加法器

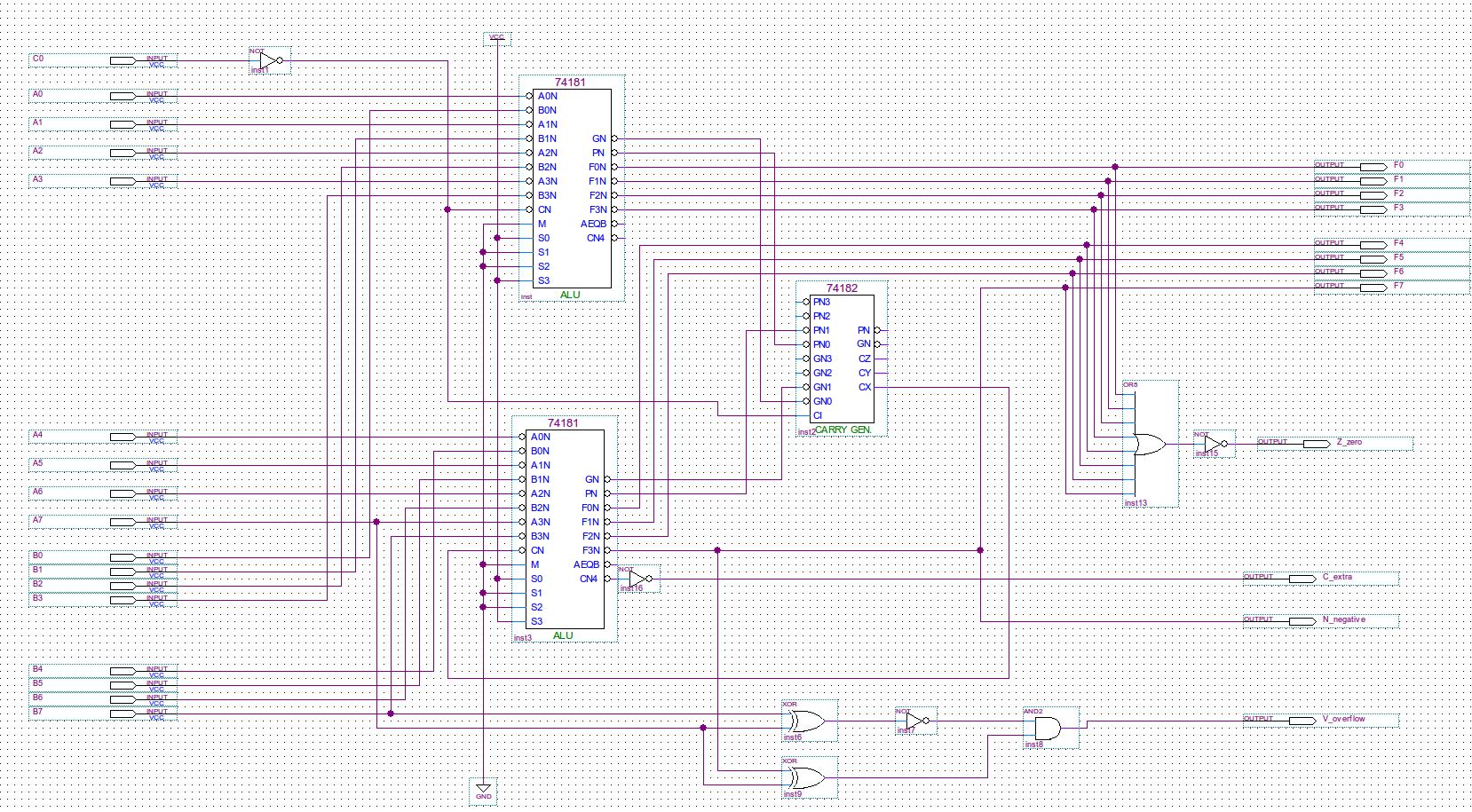


图1-12 加法器

## 总线封装的加法器

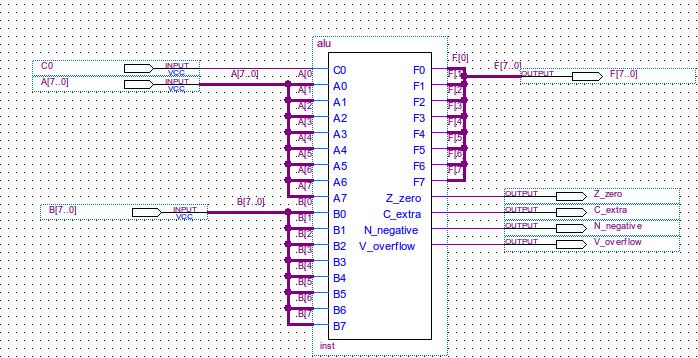


图1-13 总线封装的加法器

# 三态门

## 单向三态门

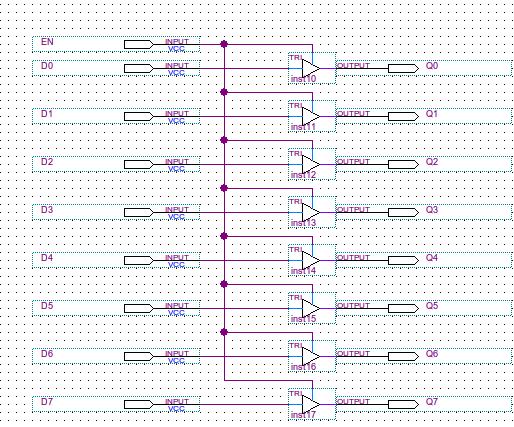


图1-14 单向三态门

## (2)总线封装的单向三态门

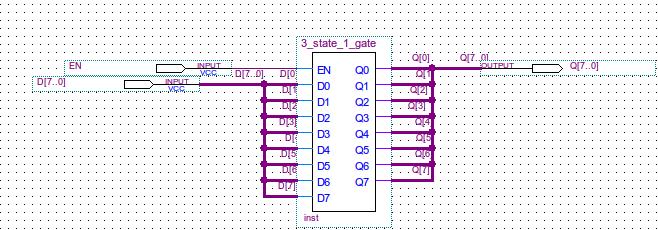


图1-15 总线封装的三态门