

## Vorwort

In diesem Dokument wird unsere Chipidee für den INVENT a CHIP Wettbewerb 2019 vorgestellt. Wir haben uns entschieden dieses Dokument in englischer Sprache zu verfassen, da unser Projekt nach Vollendung der Öffentlichkeit kostenfrei bereitgestellt werden soll. Die Open-Source-Community ist international vertreten und die üblich genutzte Sprache ist Englisch. Außerdem ist die RISC-V Spezifikation <sup>1</sup>, für die wir eine Erweiterung vorschlagen auf Englisch verfasst, weswegen unser Vorschlag auf Englisch formuliert ist.

Wir hoffen, dass diese Entscheidung ihnen keine Probleme bereitet.

---

<sup>1</sup><https://riscv.org/specifications/>

---

# AI acceleration on RISC-V using GEMM acceleration cores

---

Simon Klier ,      Sebastian Fritsch ,      Phillip Pelger  
and Jan-Niklas Weghorn

*Exzellenzcluster Robotik Hardenberg Gymnasium Fürth* <sup>†</sup>

February 22, 2019, Fürth

---

<sup>†</sup>robotik@hardenberg-gymnasium.de

# 1 Abstract

Recent breakthroughs in machine learning, especially in the field of multi layer convolutional networks(CNNs) have led to major improvements in the accuracy, speed and versatility of non-trivial image recognition. However the execution time on regular CPU architectures has proven to be a major roadblock for the wide adoption of CNN technology. We believe that a combination of a energy efficient RISC-V processor and our GEMM acceleration cores could yield a speed increase of multiple magnitudes while preserving a low energy budget which would even allow energy constrained applications like embedded devices to profit of state-of-the-art machine learning. The RISC-V processor would interface with the acceleration cores through our proposed RISC-V extension. This would enable hardware manufacturers to change the implementation of their accelerators while keeping compatibility with older software.