

Klasse D Audio Verstärker

Boris Jung, Jan Mohr, Johannes Wegener | Fachgebiet Sensorik und Aktuatorik |
Introduction to Spice-based Circuit Simulation

Inhalt

Die Präsentation wird sich in folgende Teile gliedern:

- Einleitung
- Überblick Verstärkerklassen, Funktionsprinzip Klasse D
- Modulator
- Gate Driver
- Power Stage
- Gesamtschaltung: Kennwerte
- Fazit und Ausblick

Einleitung

Projekt im Rahmen des Kurses „Introduction to SPICE-based Circuit Simulation“

Ziel: Entwicklung eines diskreten Klasse D Verstärkers für Audio Signale

- Line Pegel Input
- Ausgangsleistung: 200W @ 8Ω
- Bandbreite: 20 Hz – 20.000 Hz ; max. $\pm 3\text{dB}$
- Wirkungsgrad > 90%
- Full-Bridge Topologie
- Galvanisch isoliert durch Übertrager in der Treiberstufe

Verstärkerklassen - Übersicht

A-Betrieb

$\Theta = 180^\circ$

$\eta_{\max} = 50\%$

B-Betrieb

$\Theta = 90^\circ$

$\eta_{\max} = 78,5\%$

AB-Betrieb

$90^\circ < \Theta < 180^\circ$

$\eta_{\max} \leq 78,5\%$

C-Betrieb

$\Theta < 180^\circ$

$\eta_{\max} \leq 100\%$

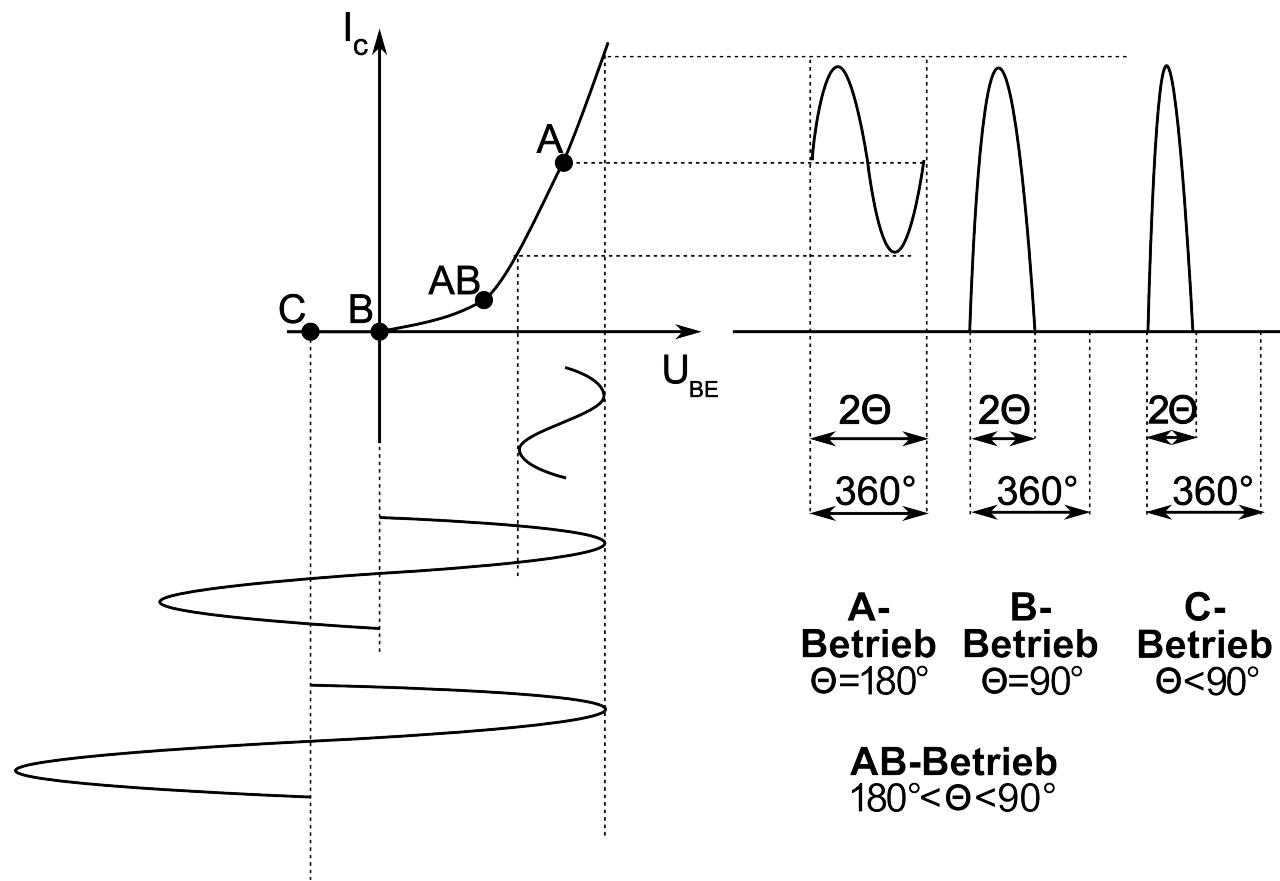


Abbildung 1: Arbeitspunkte der verschiedenen Verstärkerklassen

Quelle: [BOE]

Schaltverstärker – Klasse D

Weitere Erhöhung des Wirkungsgrads

- Schalten zwischen den beiden Zuständen $U_{BE}=0V$ oder $I_C=0A$ bzw. $G=\infty S$ oder $R=\infty\Omega$
 - Theoretisch keine Verluste am Transistor => $\eta_{max}=100\%$

Nicht-Linear

- Signal wird als (PWM) moduliertes Rechteck verstärkt
- Signalinformation im Tastverhältnis enthalten
- Signalwiederherstellung durch Filterung am Ausgang

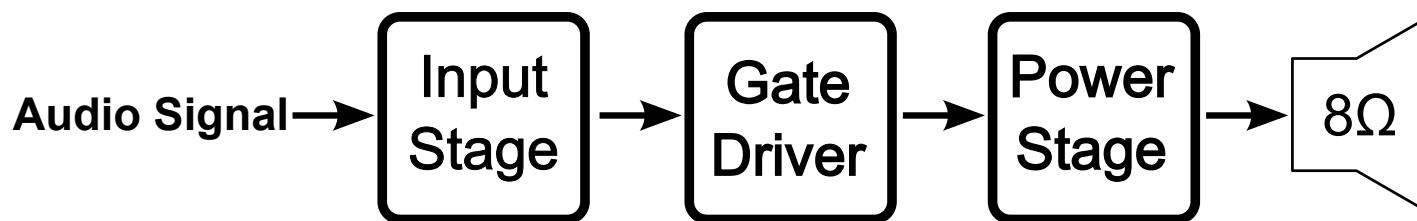


Abbildung 2: Schematische Funktionseinheiten eines Klasse D Verstärkers

Input Stage - Funktionsprinzip

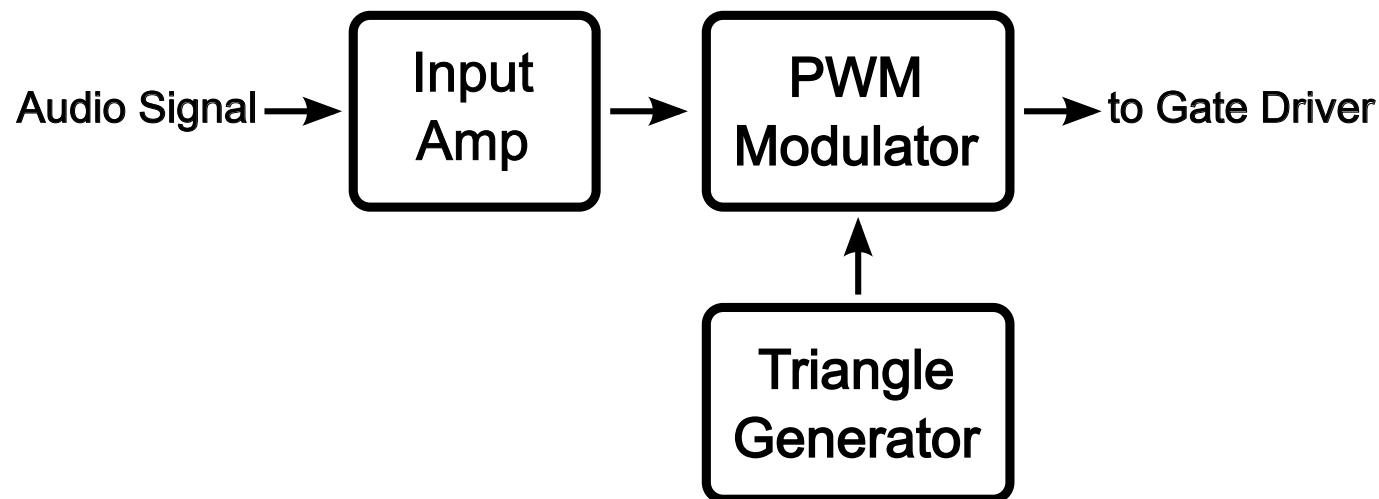


Abbildung 3: Funktionseinheiten der Eingangs- und Modulationsstufe

- Line-Signal als Eingang (1V – 1,2V Peak)
- Ausgang zwischen +5V und -5V

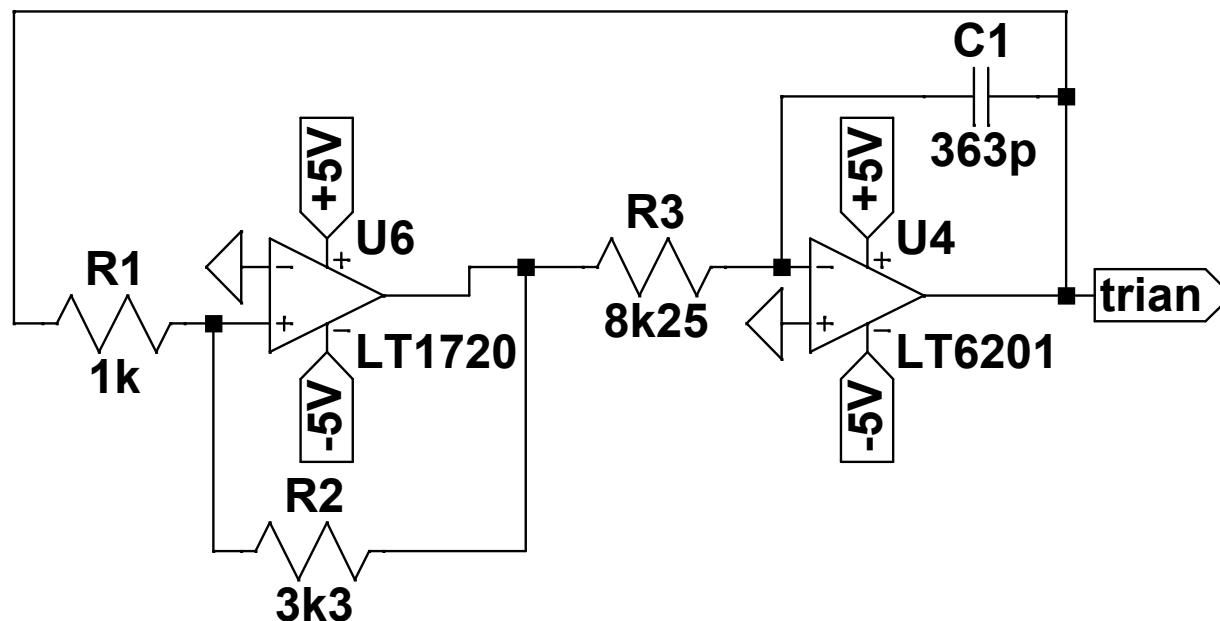
Input Stage - Dreiecksgenerator

$$T_{Int} = 4 \cdot R_1 \cdot R_3 \cdot \frac{C_1}{R_2}$$

$$V_{Triang} = \pm U_B \cdot \frac{R_1}{R_2} = 1,5V$$

$$f_{mod} = \frac{1}{T_{Int}} \approx 275 \text{ kHz}$$

Simulation: $f_{mod} = 273,17 \text{ kHz}$
 $V_{Triang} = 1,45 \text{ V}$



Seite 7 Abbildung 4: Schaltplan Dreieck-Rechteck-Generator

Input Stage - Dreiecksgenerator

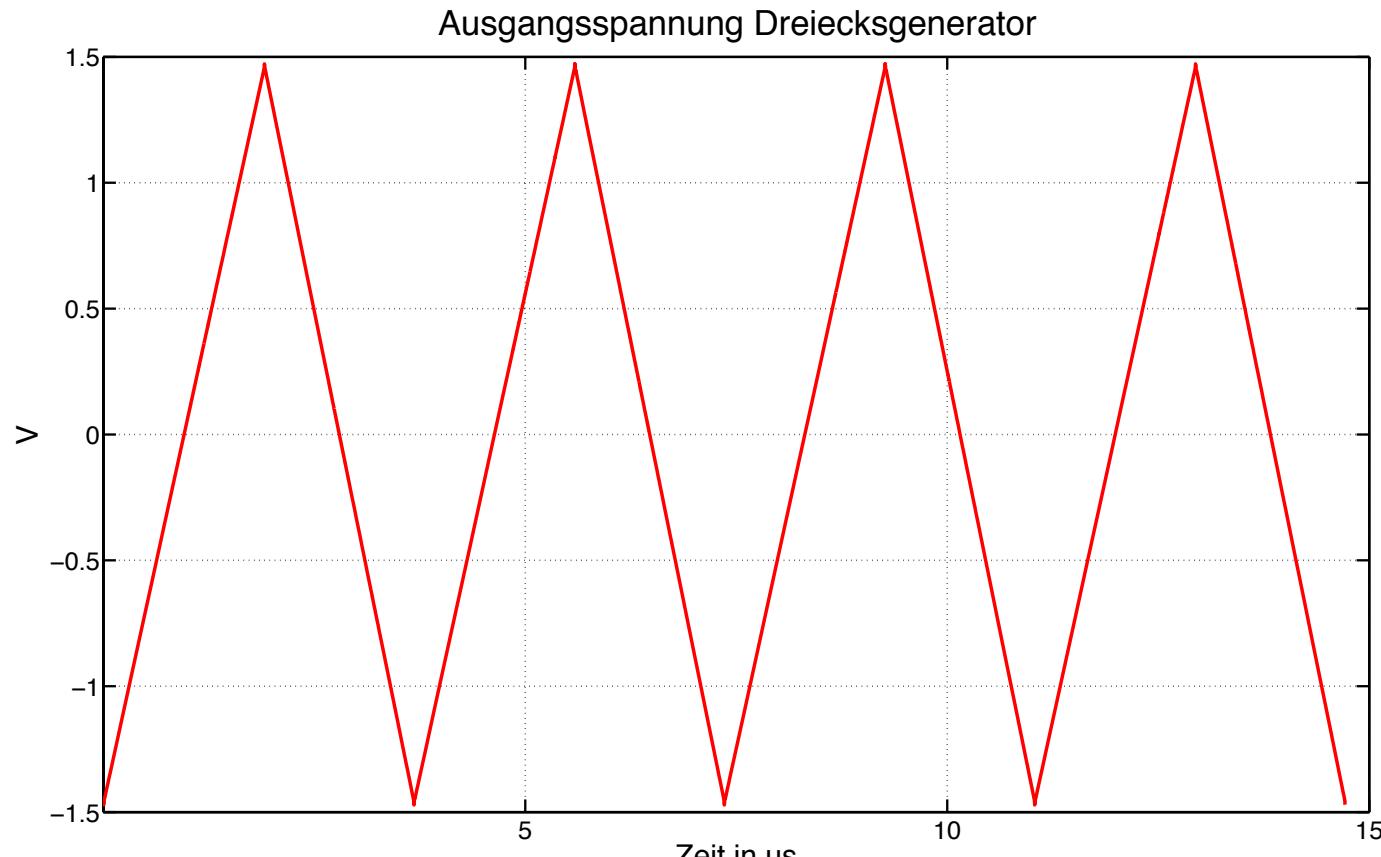


Abbildung 5: Ausgangssignal Dreiecksgenerator

Input Stage - Dreiecksgenerator

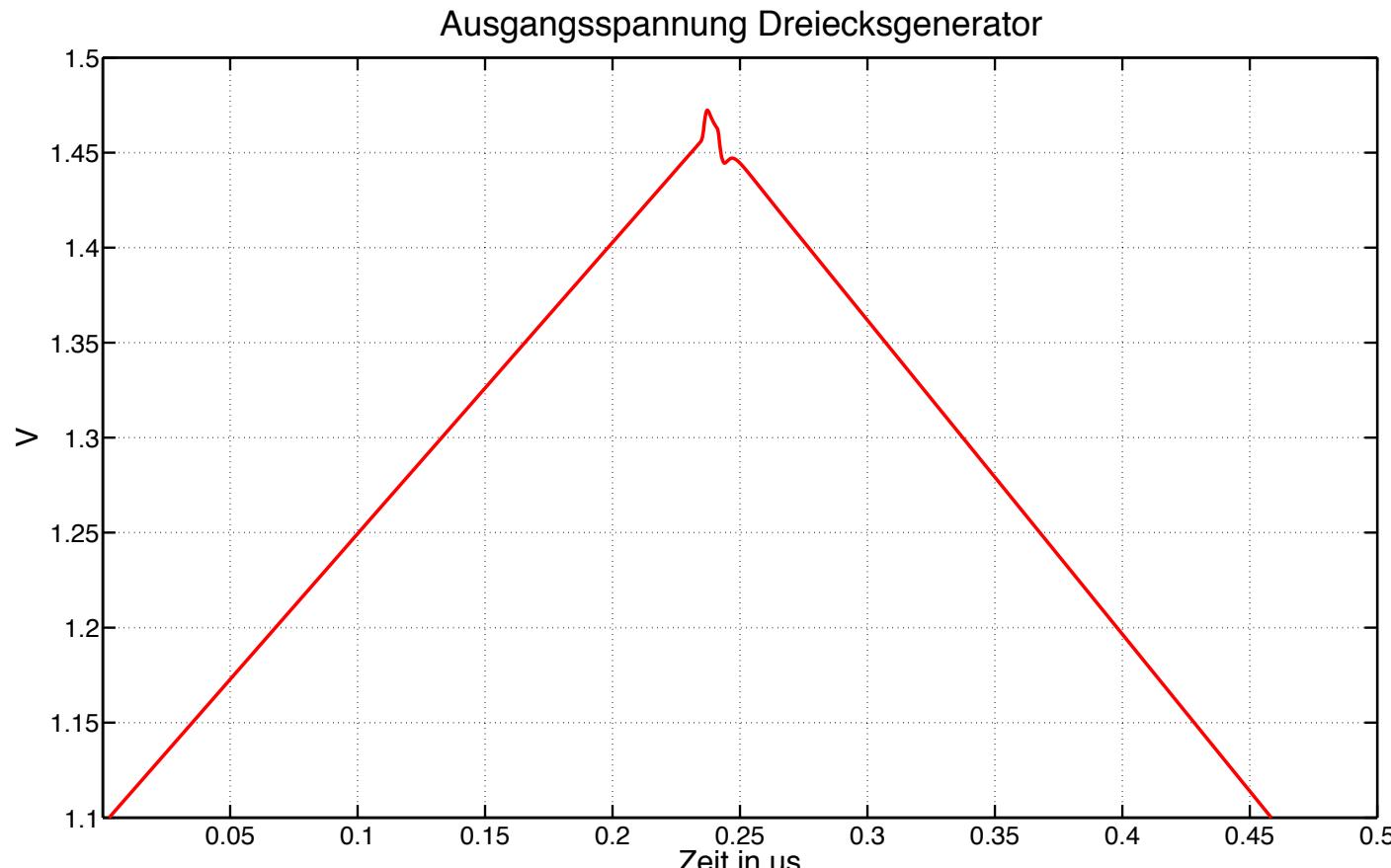


Abbildung 6: Spitzen des Dreiecksgenerators

Input Stage - Dreiecksgenerator

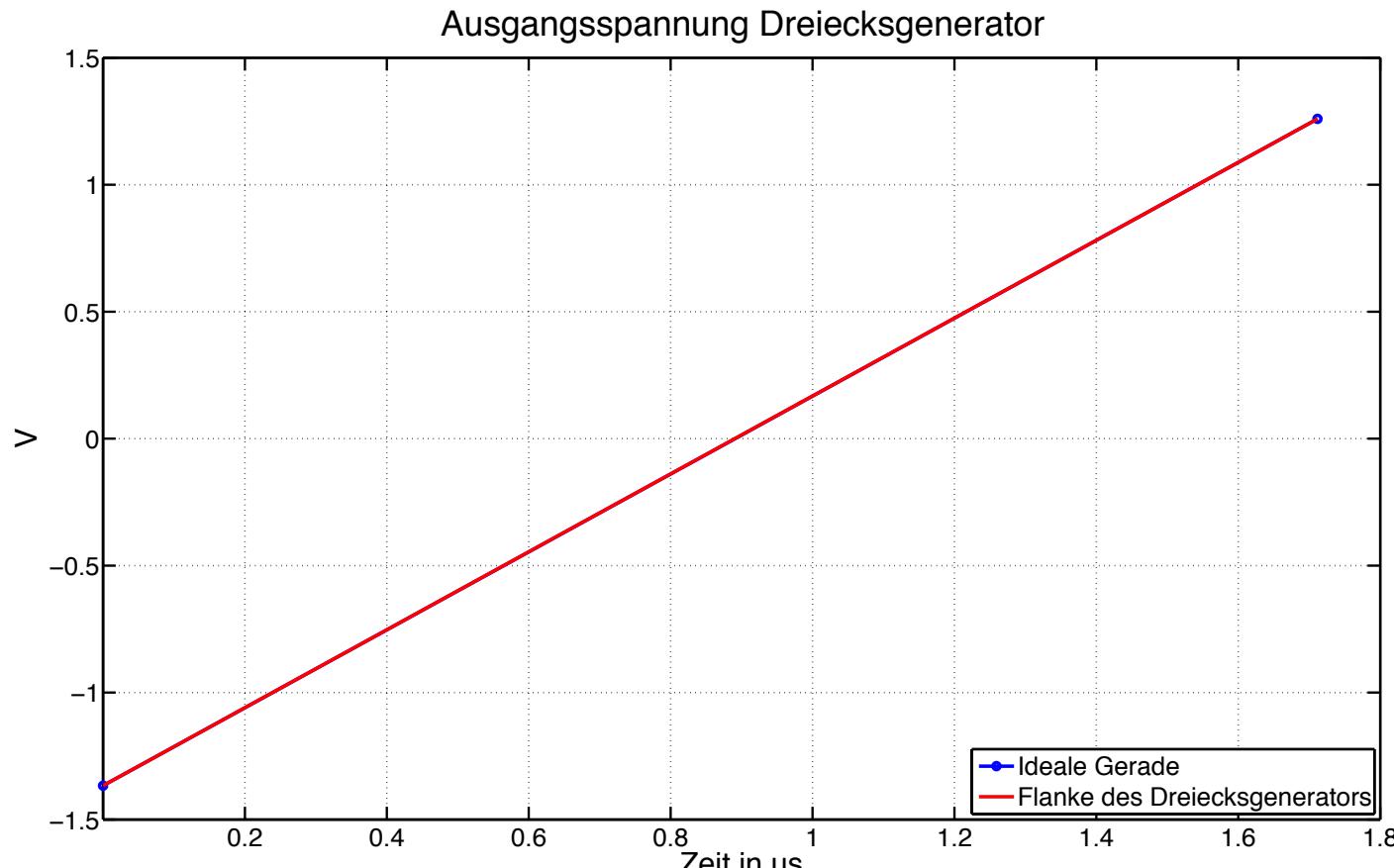


Abbildung 6a: Linearität der Flanke des Dreiecksgenerators

Input Stage – PWM Modulator

- Komparator vergleicht Signal mit Dreieck
- PWM-Signale für High-Side und Low-Side
- PWM zwischen +5V und -5V

Modulationsindex:

$$M = \frac{V_{Signal}}{V_{TRIAN}} = \frac{1V}{1,45V} = 0,69$$

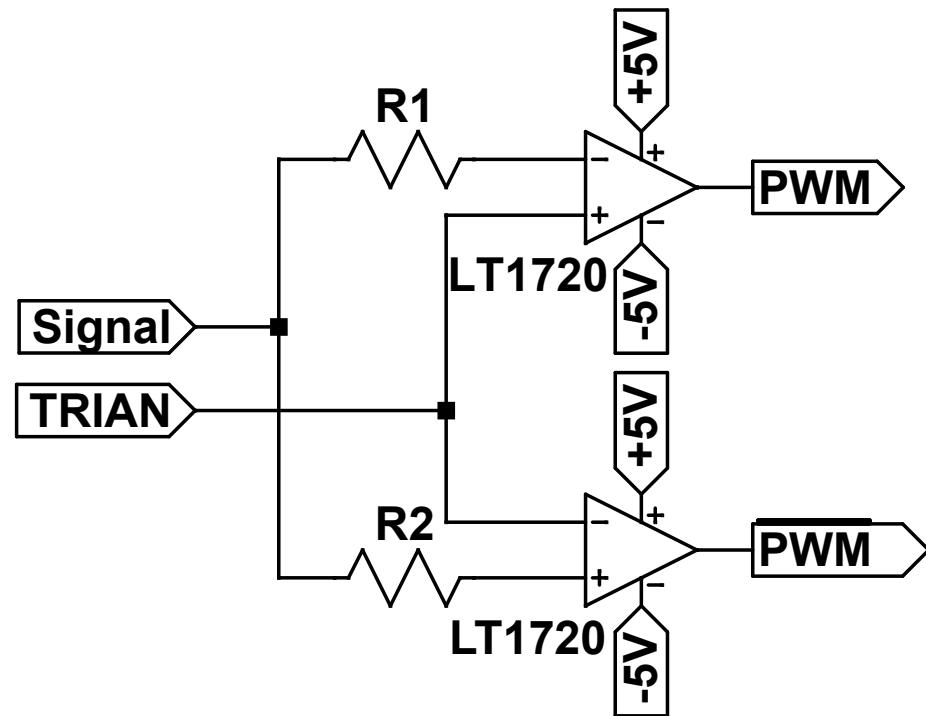


Abbildung 7: Schaltplan PWM Modulator

Input Stage – PWM Signal

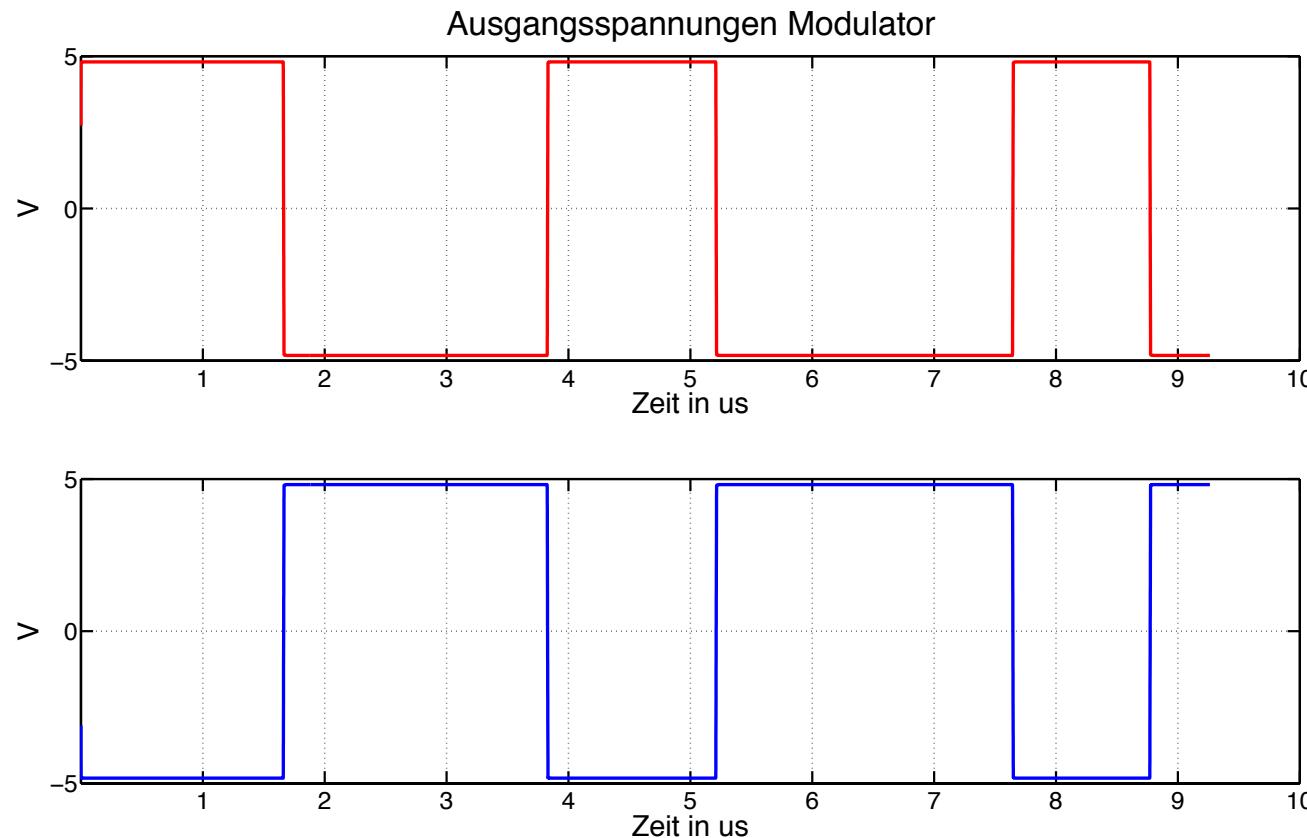


Abbildung 8: Ausgangssignal des PWM-Modulators

Input Stage – Signale

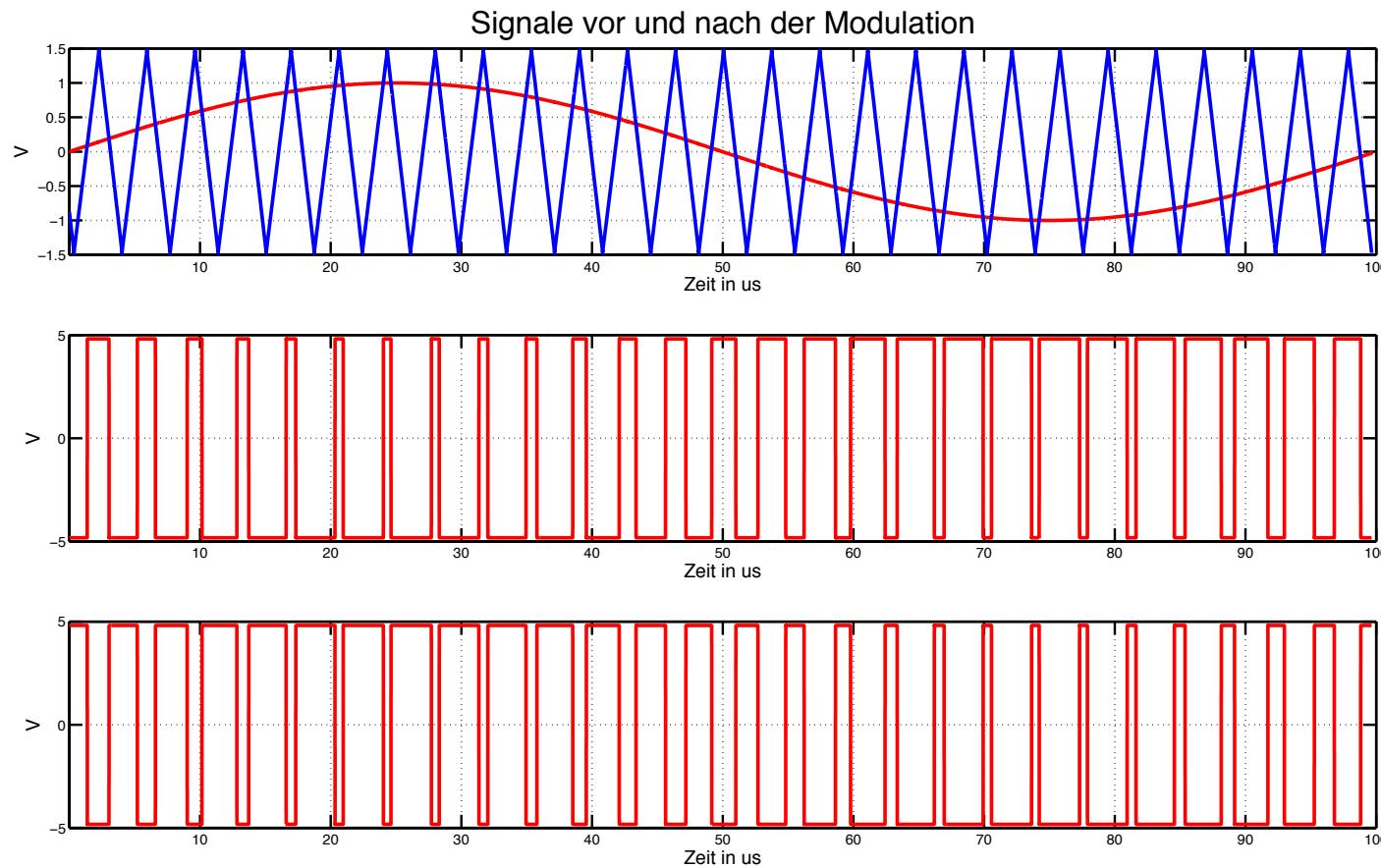


Abbildung 9: Ein- und Ausgangs-Signale der Eingangsstufe

Power Stage – Topologie

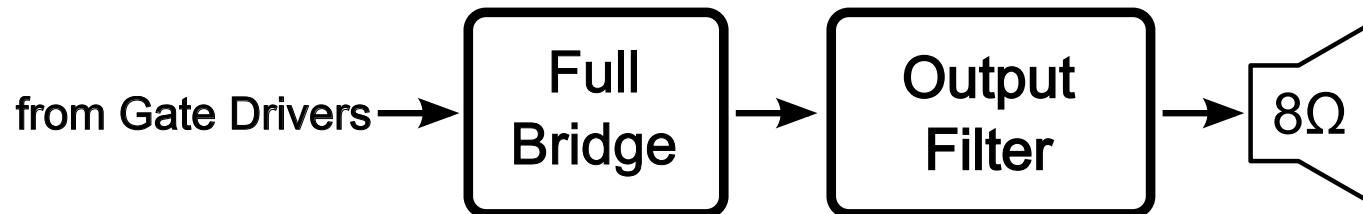


Abbildung 10: Funktionseinheiten der Ausgangsstufe

- Full-Bridge
 - $U_{DD} = 80V$
- Power MOSFET: IRF540N
- Filter:
 - „Hybridfilter“: Common Mode und Differential Mode
 - Grenzfrequenz 25kHz

Power Stage – Half Bridge vs. Full Bridge

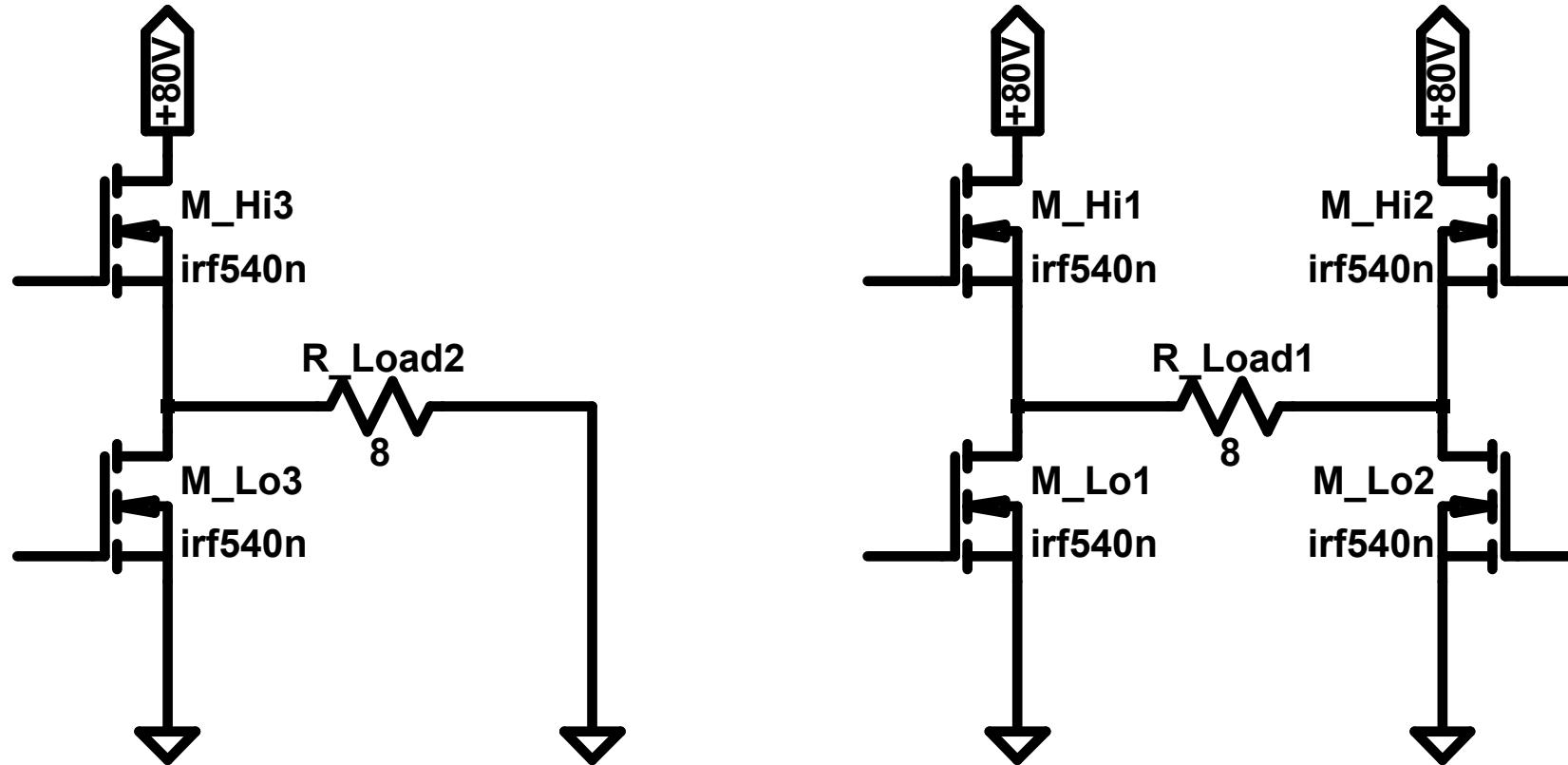


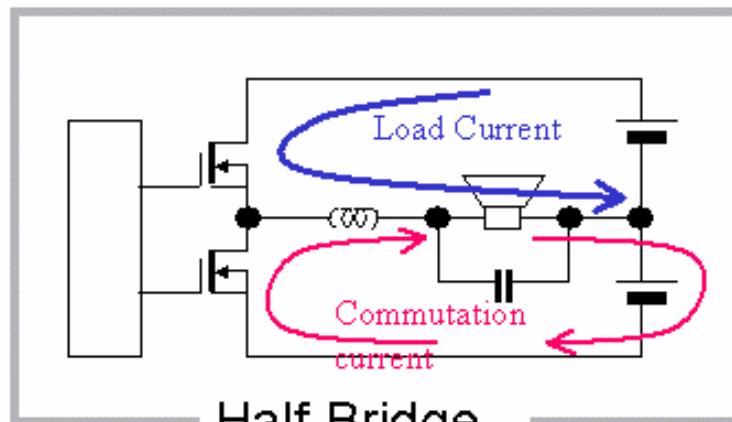
Abbildung 11: Half Bridge und Full Bridge Konfiguration

Power Stage – Full Bridge vs. Half Bridge

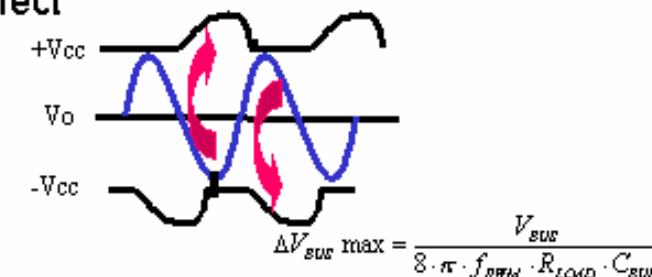
	Half Bridge	Full Bridge
Benötigte MOSFETs	2 / Kanal	4 / Kanal
DC Blocking	Notwendig	Nicht notwendig
Leistung	Einfach	Viermal so viel wie Half Bridge
Bus “pumpen”	Anfällig	Weniger anfällig
THD	-	Keine geraden Harmonischen durch symmetrischen Aufbau
PWM	2 Level	3 Level möglich

Power Stage – Bus Pumpen

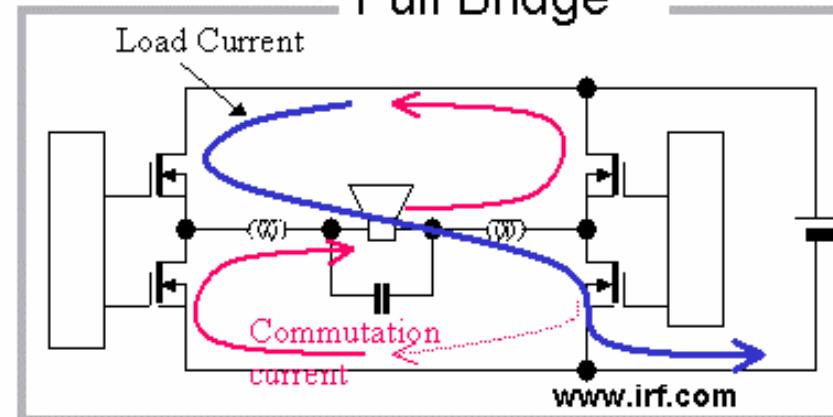
Power Supply Pumping



Supply voltage Pumping effect



Full Bridge



- Significant at low frequency output
- Significant at low load impedance
- Significant at small bus capacitors
- Largest at Duty = 25%, and 75%

Power Stage – IRF540n Power MOSFET

- $V_{DS,max} = 100V$
- $V_{GS,Th} = 2V...4V$
- Bei $V_{GS} = 10V$:
 - $R_{DS} = 44m\Omega$
 - $I_D = 33A$
- „HEXFET“:
 - Markenname für IRF Power MOSFETs

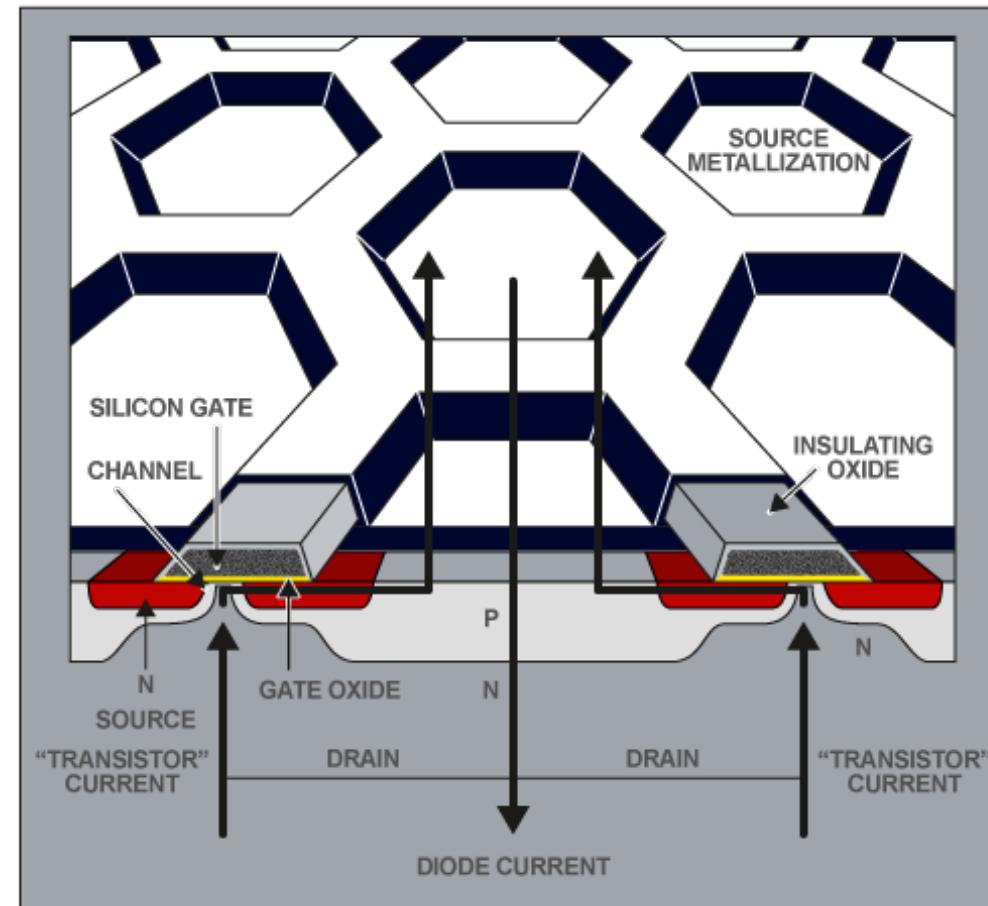


Abbildung 12: HexFET Aufbau

Quelle: [IRF4]

Power Stage – IRF540n Kennlinien

- $V_{DS,max} = 100V$
- $V_{GS,Th} = 2V...4V$
- Bei $V_{GS} = 10V$:
 - $R_{DS} = 44m\Omega$
 - $I_D = 33A$
- „HEXFET“:
 - Markenname für IRF Power MOSFETs

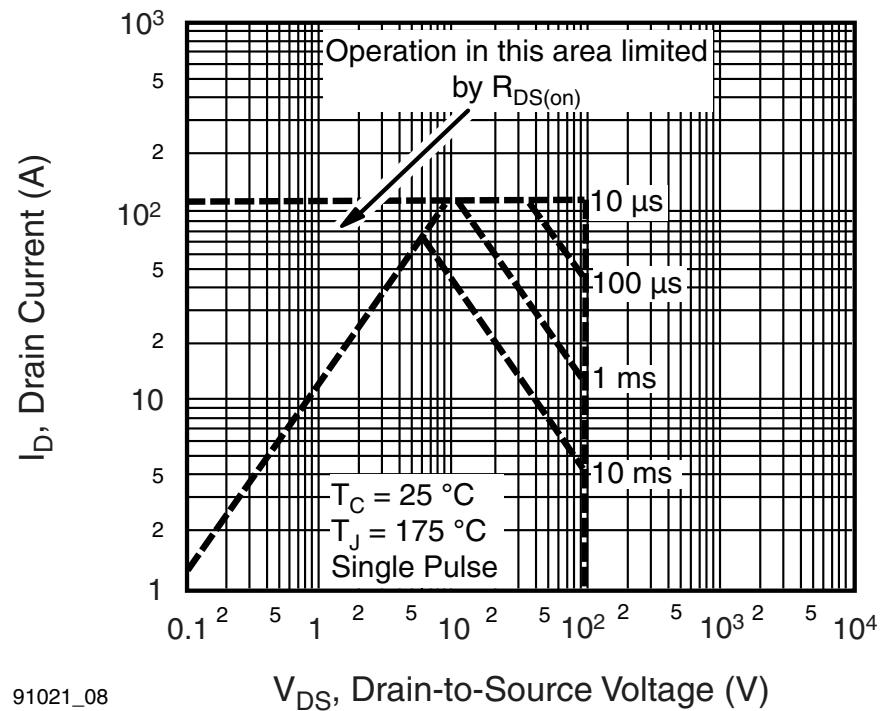


Abbildung 13: Safe Operating Area des IRF540n

Quelle: [IRF3]

Power Stage – Ausgangsfilter Halfbridge

$$U_{OUT} = \frac{Z_c || R}{Z_L + Z_c || R} \cdot U \Rightarrow H = \frac{U_{OUT}}{U} = \frac{Z_c || R}{Z_L + Z_c || R} = \dots = \frac{1}{S^2 LC + S \frac{L}{R} + 1}$$

$$H_{Butter} = \frac{1}{b_1 S^2 + a_1 S + 1} = \frac{1}{S^2 + \sqrt{2} \cdot S + 1} = \frac{1}{\frac{s^2}{\omega_g^2} + \sqrt{2} \frac{s}{\omega_g}}$$

$$\Rightarrow LC = \frac{1}{\omega_g^2} \Rightarrow C = \frac{1}{L \omega_g^2}$$

$$\frac{L}{R} = \frac{\sqrt{2}}{\omega_g} \Rightarrow L = \frac{R \sqrt{2}}{\omega_g} \Rightarrow C = \frac{1}{R \sqrt{2} \omega_g}$$

Güte:

$$Q_{Pol} = \frac{\sqrt{b_1}}{a_1} = \frac{\sqrt{LC}}{R} = R \sqrt{\frac{C}{L}} = \frac{1}{\sqrt{2}} \approx 0,707$$

Werte:

$$\omega_g = 2\pi \cdot 25\text{kHz}$$

$$R = 4\Omega$$

$$C \approx 1,13\mu F$$

$$L \approx 36,01\mu H$$

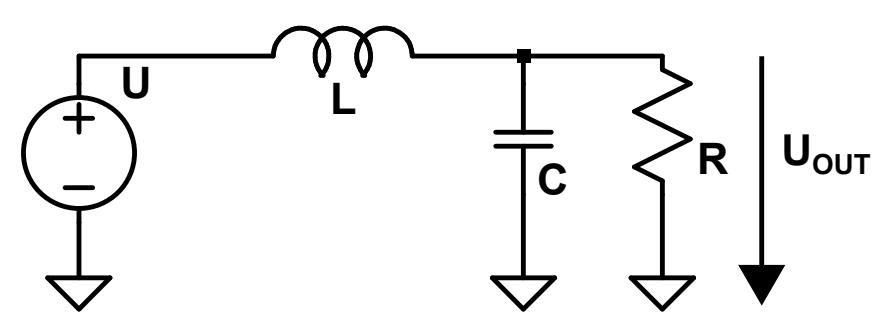


Abbildung 14: Einfacher L-C Tiefpassfilter mit Last

Power Stage – Ausgangsfilter Fullbridge

Analog zur Halfbridge:

$$H = \frac{1}{2LCs^2 + 2\frac{L}{R}s + 1} = \dots$$

$$\Rightarrow L = \frac{\sqrt{2}R}{2L\omega_g^2}$$

$$\Rightarrow C = \frac{1}{\sqrt{2}R\omega_g}$$

Güte bleibt gleich!

Werte:

$$\omega_g = 2\pi \cdot 25\text{kHz}$$

$$R = 8\Omega$$

$$C \approx 562,07\text{nF}$$

$$L \approx 36,01\mu\text{H}$$

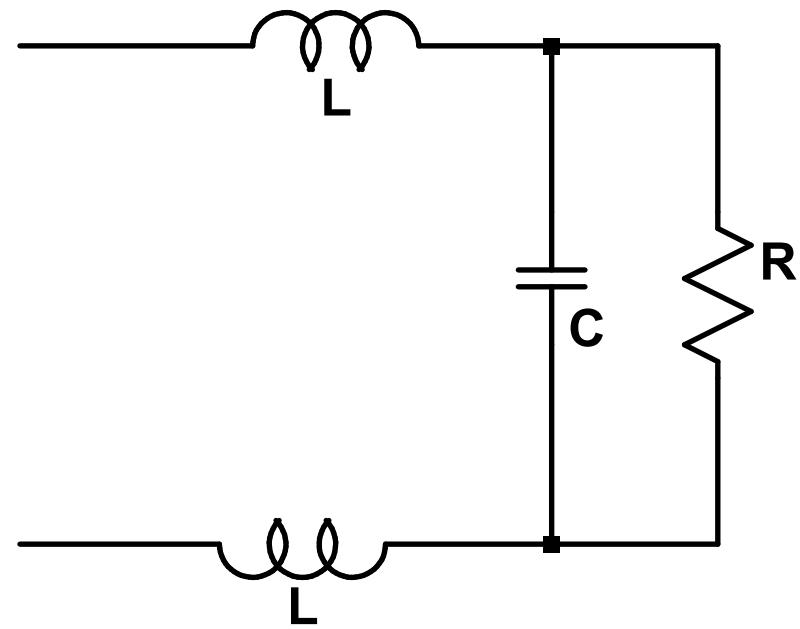


Abbildung 15: Differential-Mode Filter

Power Stage – Ausgangsfilter Modes

Bei Fullbridge → Differentieller Filter

Common Mode Filter

- Störungen / Einkopplungen entfernen
("Bypass Kondensatoren")

Verwendeter Filter ist ein "Hybrid"

- Frequenzgang etwas beeinflusst
 - Grenzfrequenz etwas niedriger
(WERTE!)
 - Q etwas höher
- Common Mode bei höherer Frequenz
 - Metal Film Kondensatoren für Diff. Mode
 - X7R MLCC für Common Mode (Kosten)

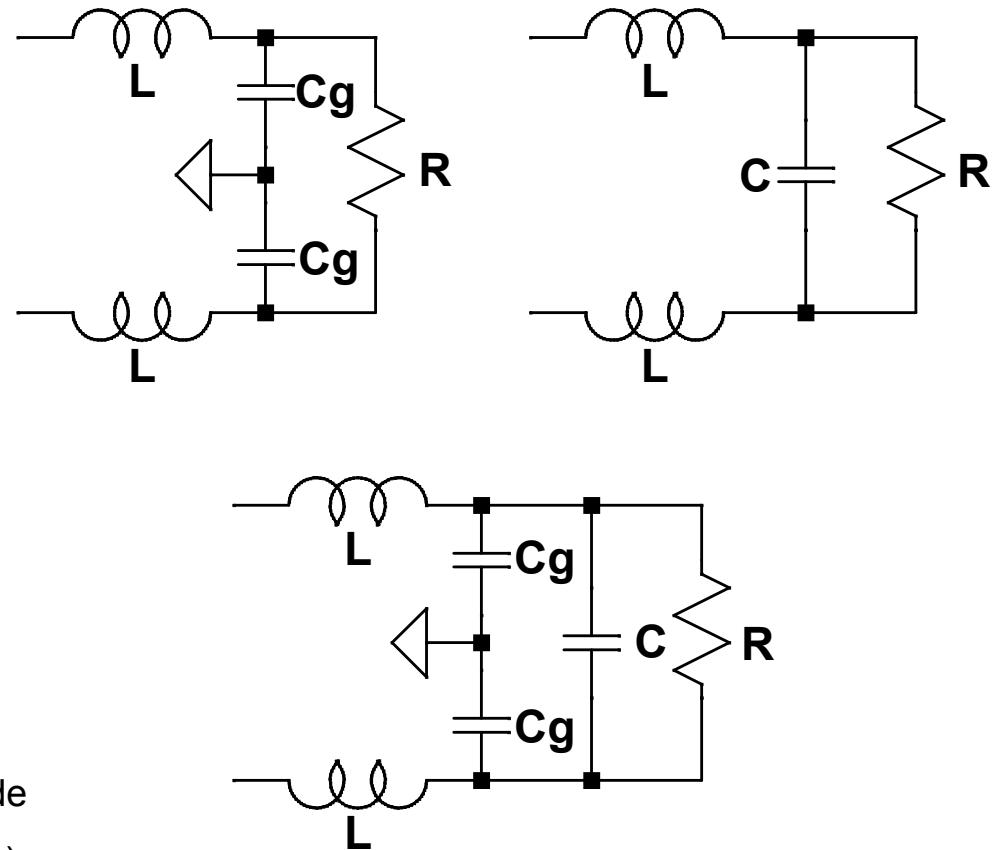


Abbildung 16: Unterschiedliche Filter Modes:
 Common Mode (o.I.), Differential Mode (o.r.),
 Hybrid Filter (unten)

Power Stage – Ausgangsfilter Frequenzgang

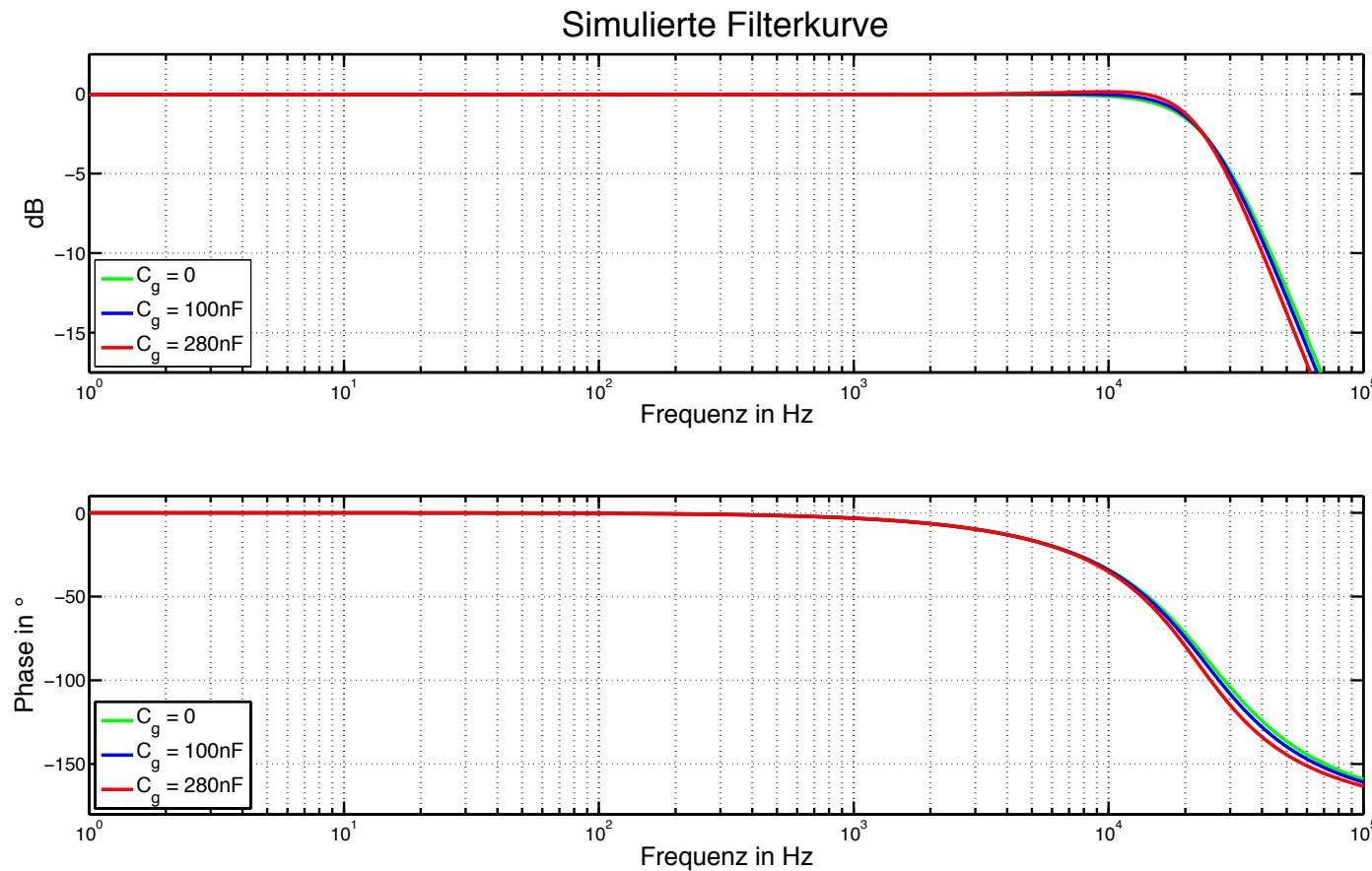


Abbildung 17: Frequenz- und Phasengang des Filters

Gate Driver - Topologie

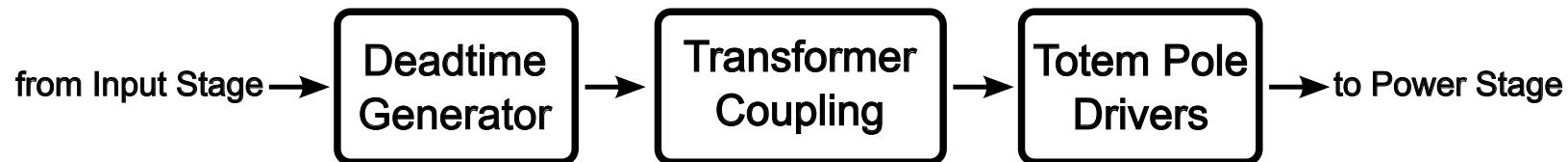


Abbildung 18: Funktionseinheiten der Gate Treiber Stufe

Deadtime Generator

- Hinzufügen einer Totzeit zur PWM / Gate Drive Signal um shoot-through zu vermeiden

Transformer Coupling

- Galvanische Trennung von Input und Power Stage
- Level Shift für High-Side Driver

Totem Pole Driver

- Treiber Schaltung zum schnellen Schalten von V_{GS}

Gate Driver – MOSFET Gate

Verschiedene FET Modelle:

- Wichtigste parasitäre Elemente für Schaltbetrieb: C_{GS} und C_{GD}
 - C_{GS} und C_{GD} anhängig von der Geometrie
 - C_{GS} durch Überlappung von Gate-Elektrode und Source/Kanal
 - Konstant (/linear) in verschiedenen Arbeitspunkten
 - C_{GD} abhängig von zwei Effekten
 - Überlappung Gate-Elektrode und JFET region
 - Kapazität der Verarmungszone -> abhängig von V_{DS}
- C_{DS} durch Kapazität der Basis-Kollektor-Diode des parasitären bipolar Transistors (Body Diode)

Schalten des FETs: (Ent-)Laden von C_{GS} und C_{GD}

Notwendige Ladungsmenge: Total Gate Charge $Q_G = Q_{GS} + Q_{GD}$

$$I_G = Q_G / t \quad \text{mit } t: \text{Schaltzeit } t_{on} \text{ oder } t_{off}$$

$$\text{IRF540n: } Q_G = 71\text{nC} \text{ also } I_G = 3,55\text{A für } t_{on} = 20\text{ns}$$

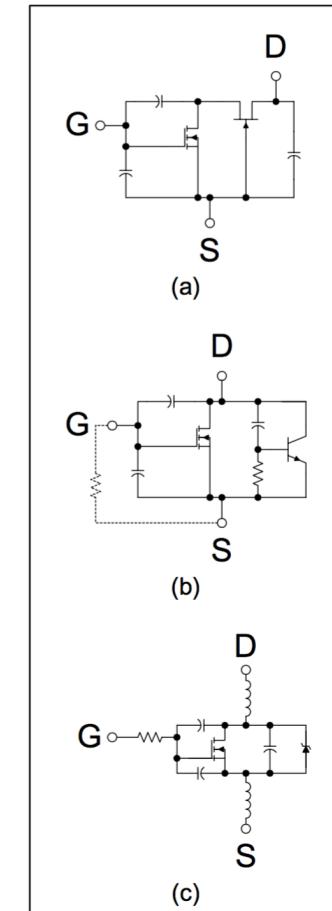


Abbildung 19: MOSFET Modelle
 Quelle: [BAL]

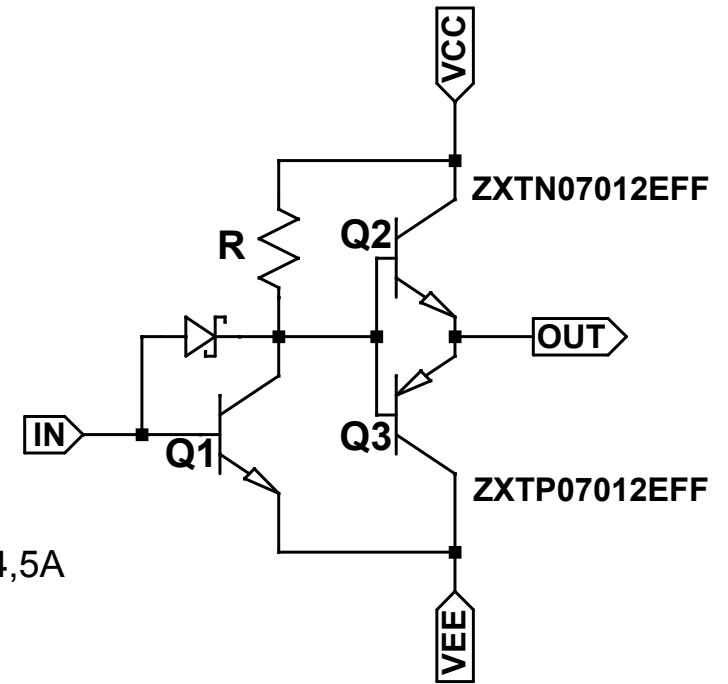
Gate Driver – BJT Totem Pole Treiber

Bipolarer invertierender Totem Pole Treiber mit Levelshift

- Q1: Level-Shifter / Inverter
 - R definiert den Ausgangsstrom über:

$$I_{out} = \frac{V_{cc}}{R} * (1 + h_{FE}(Q2))$$

- Q2,Q3: Totem Pole
 - Hohe Stromverstärkung β / h_{FE} : min 330 @ $I_c=4,5A$



Basis-Emitter-Dioden von Q2 und Q3 schützen gegenseitig vor
 Rückwärtsdurchbruch des komplementären Transistors¹

Abbildung 20: Totem Pole Treiber

¹: [TI2]

Gate Driver – Deadtime Generator

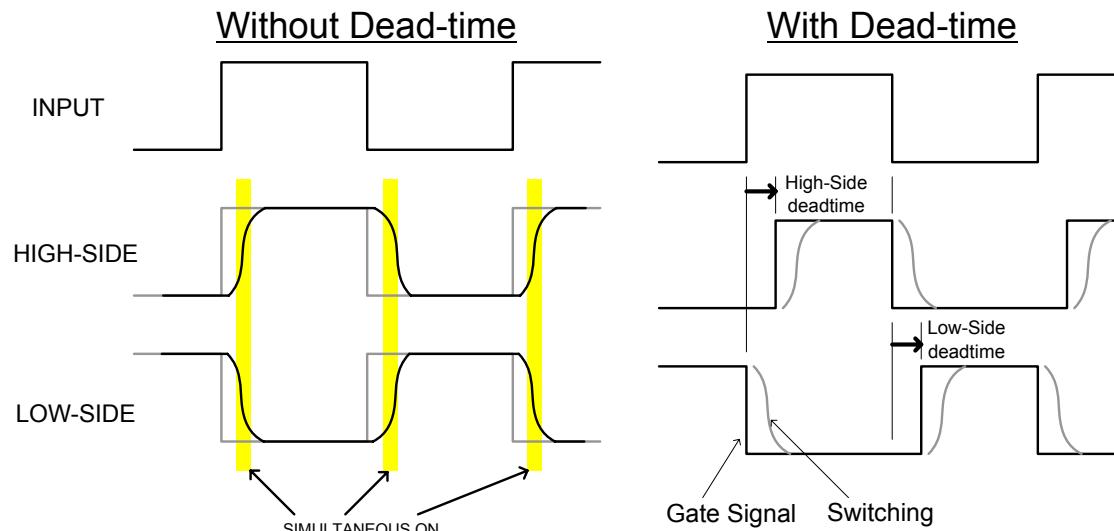


Abbildung 21: Ideale und reale Schaltflanken und Totzeit Quelle: [IRF2]

Reale Signalflanken haben endliche Steigung wodurch bei invertierten Signalen Überlappungen entstehen können. (gelbe Bereiche)

- Verminderung des Wirkungsgrads durch Shoot-Through Ströme durch das Transistorpaar einer Seite der H-Brücke

Durch Verzögerung der steigenden Flanken der Drive Signale wird vor jedem Schaltvorgang ein Zustand hergestellt in dem sowohl für High-Side als auch Low-Side $V_{GS}=0$ gilt

Gate Driver - Deadtime und Wirkungsgrad

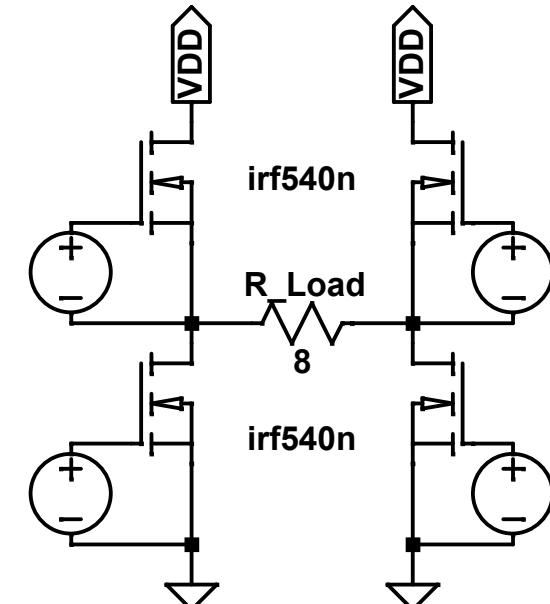
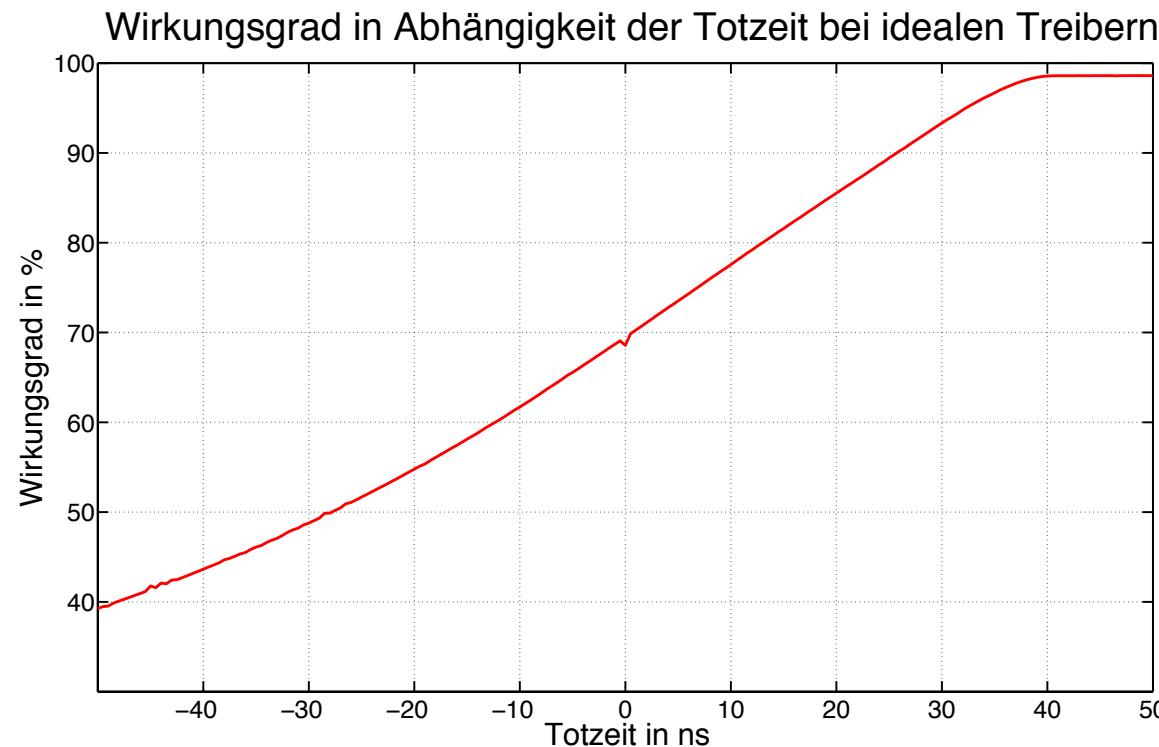
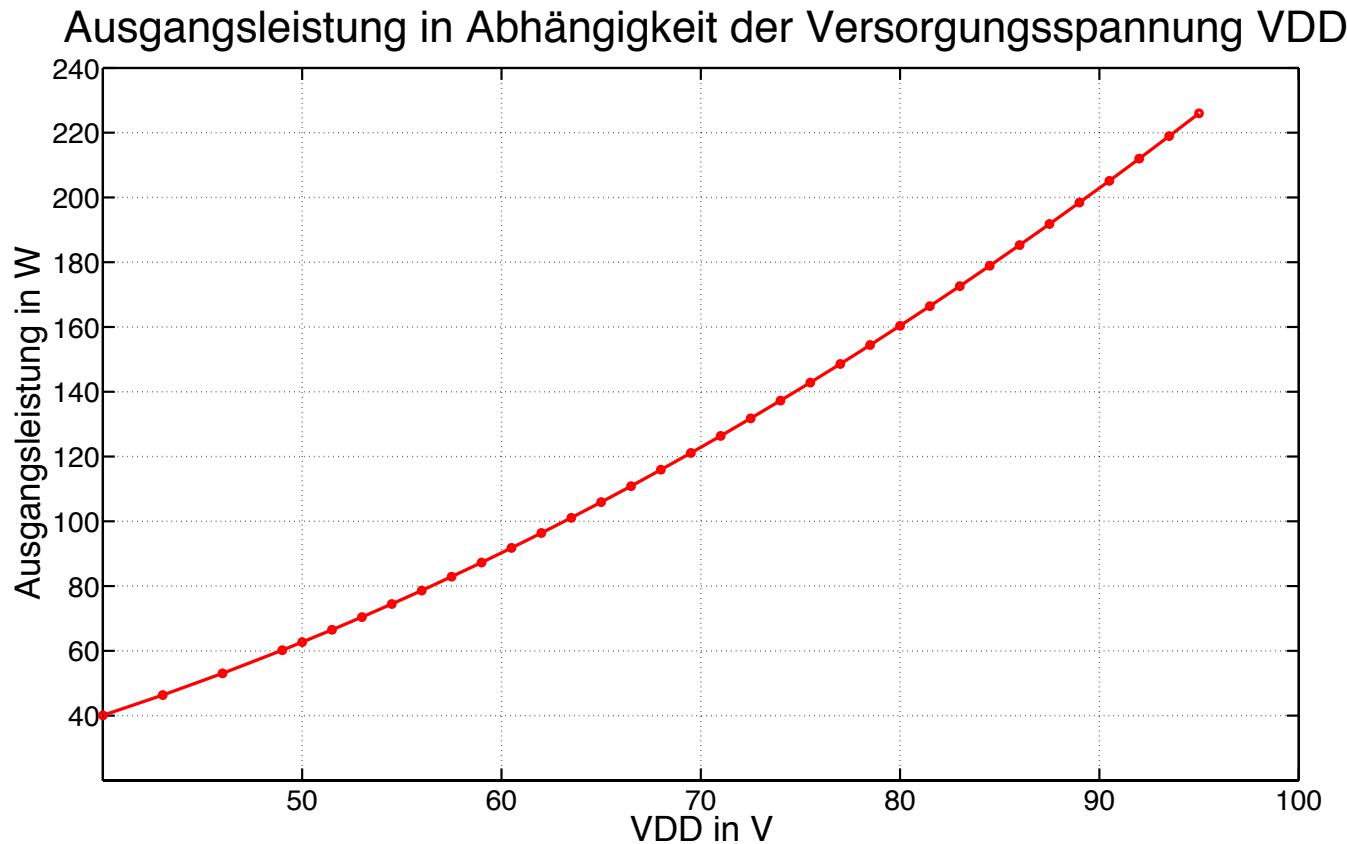


Abbildung 22: Maximal erreichbarer Wirkungsgrad für das IRF540n Spice Modell: 98,6%

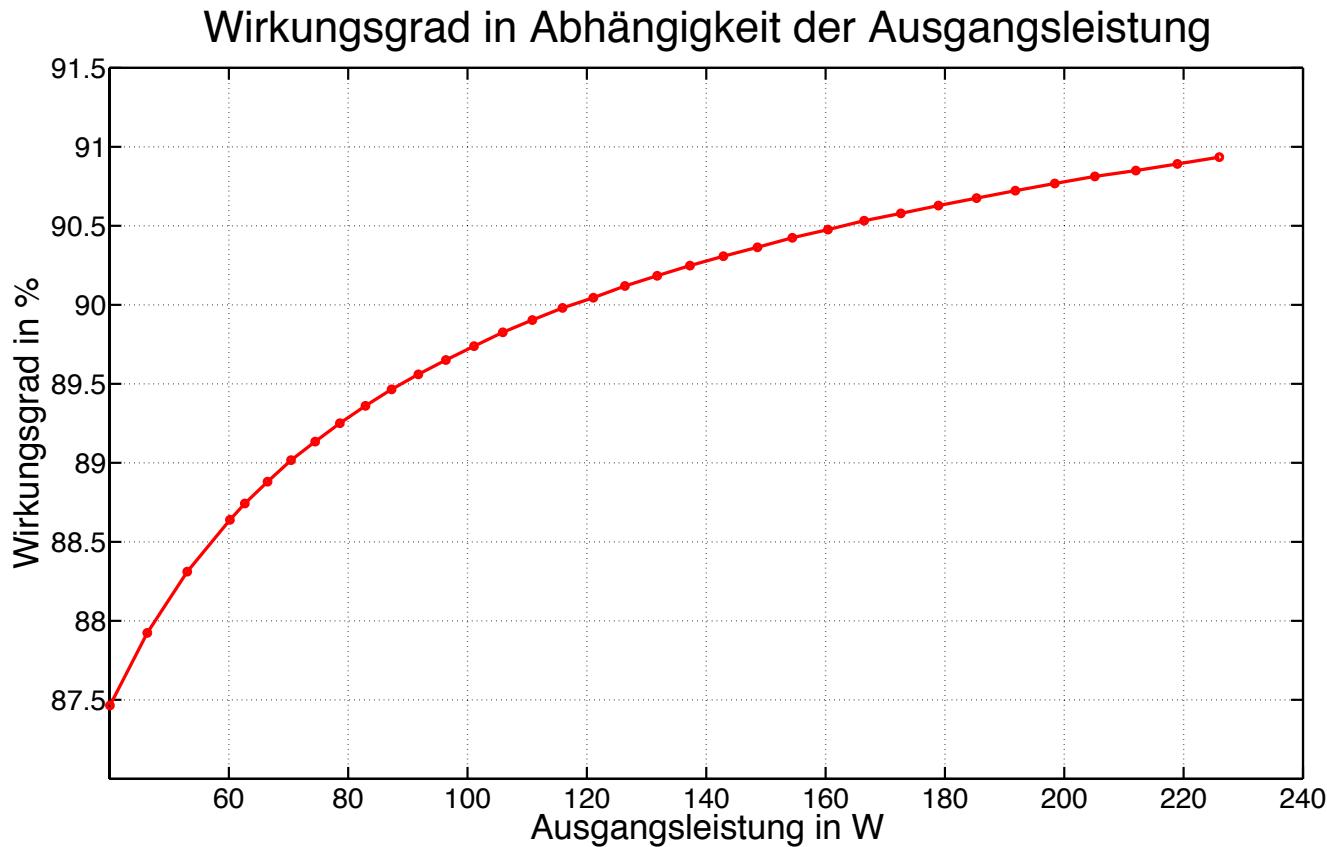
Kennwerte - Ausgangsleistung



Simulations-Setup:
 $f=1\text{kHz}$, $R_{\text{Load}}=8\Omega$, 10ms(/Perioden) Einschwingzeit

Abbildung 23: Verstärkerkennlinie 1:
 P_{OUT} vs V_{DD}

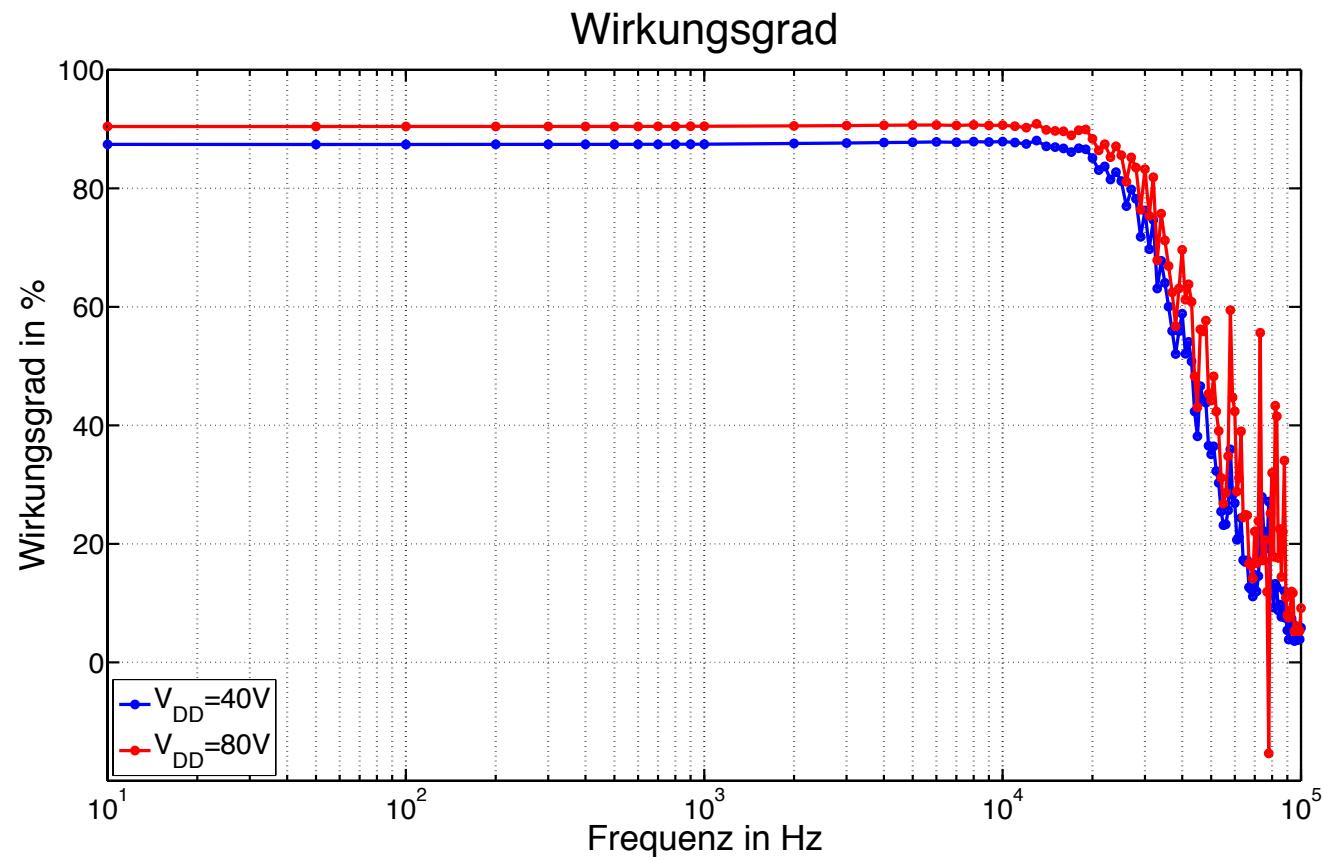
Kennwerte – Wirkungsgrad



Simulations-Setup:
 $f=1\text{kHz}$, $R_{\text{Load}}=8\Omega$, 10ms(/Perioden) Einschwingzeit

Abbildung 24: Verstärkerkennlinie 2:
 η vs P_{OUT}

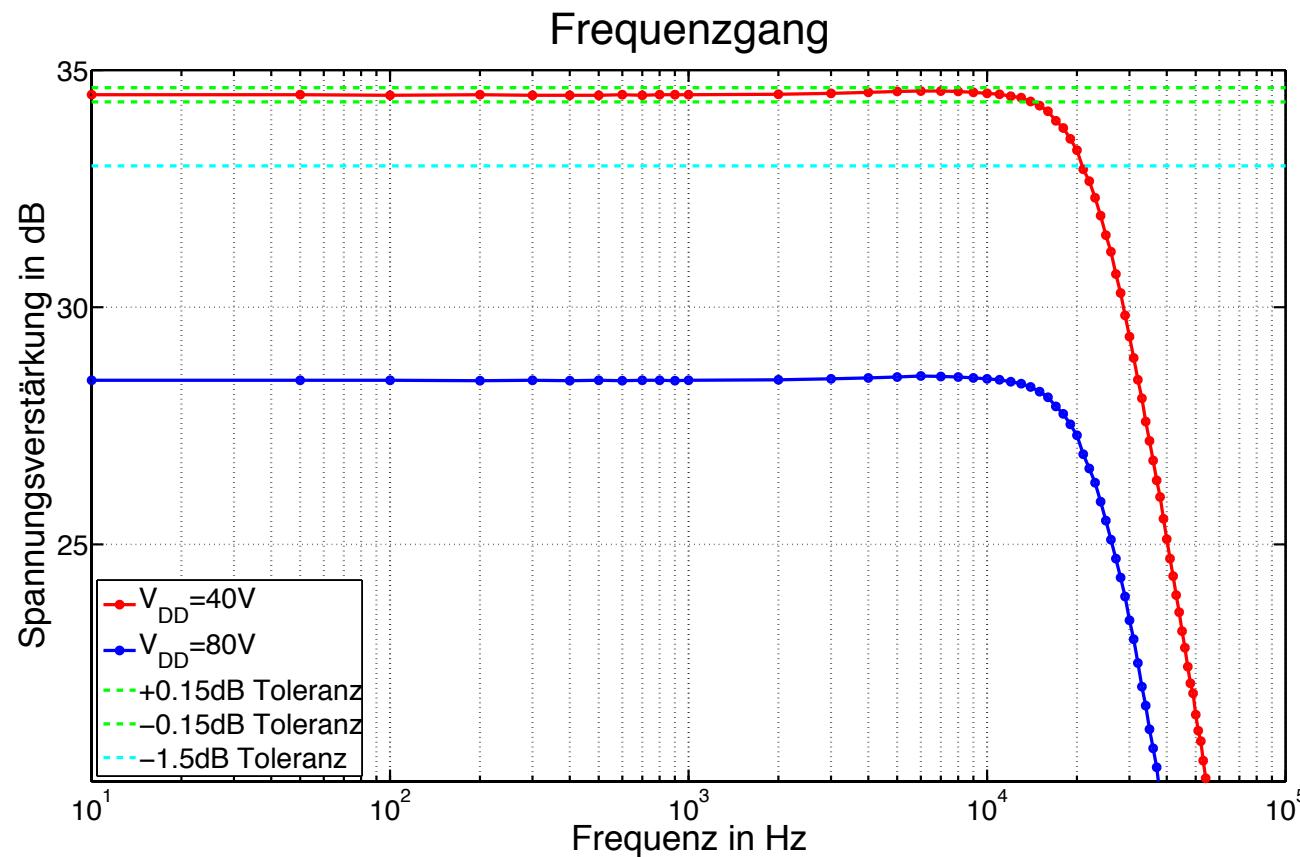
Kennwerte – Wirkungsgrad



Simulations-Setup:
 $R_{Load}=8\Omega$, 10 Perioden Einschwingzeit

Abbildung 25: Verstärkerkennlinie 3:
 η vs Frequenz

Kennwerte – Frequenzgang



Simulations-Setup:
 $R_{Load}=8\Omega$, 10 Perioden Einschwingzeit

Abbildung 26: Verstärkerkennlinie 4:
 Frequenzgang

Kennwerte – THD Kennlinien

Elektor Klasse D Verstärker

Audio Precision

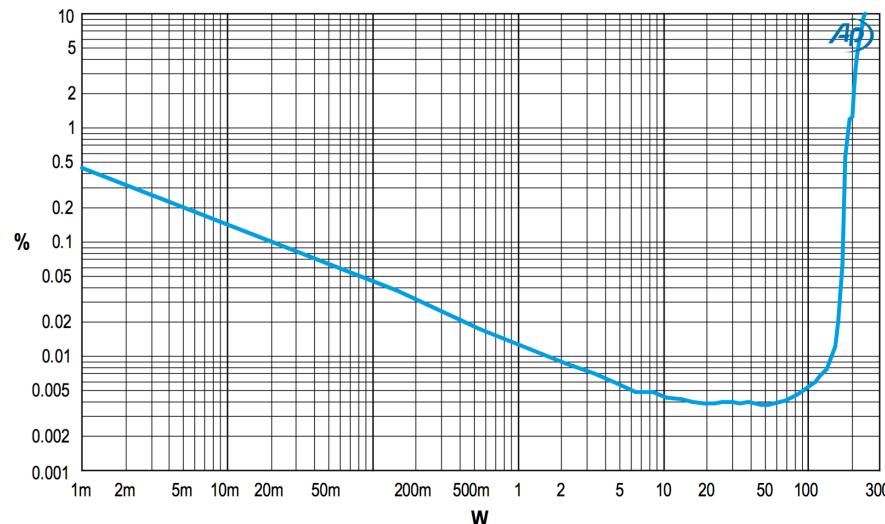


Abbildung 27: Vergleichskennlinie 1

Signalfrequenz $f = 1\text{kHz}$

Lastimpedanz $R_{\text{Load}} = 8\Omega$

Messbandbreite $B=22\text{kHz}$

Wirkungsgrad: 93%

Quelle: [ELE]

IRF Design Example

THD+N v.s. Output Power

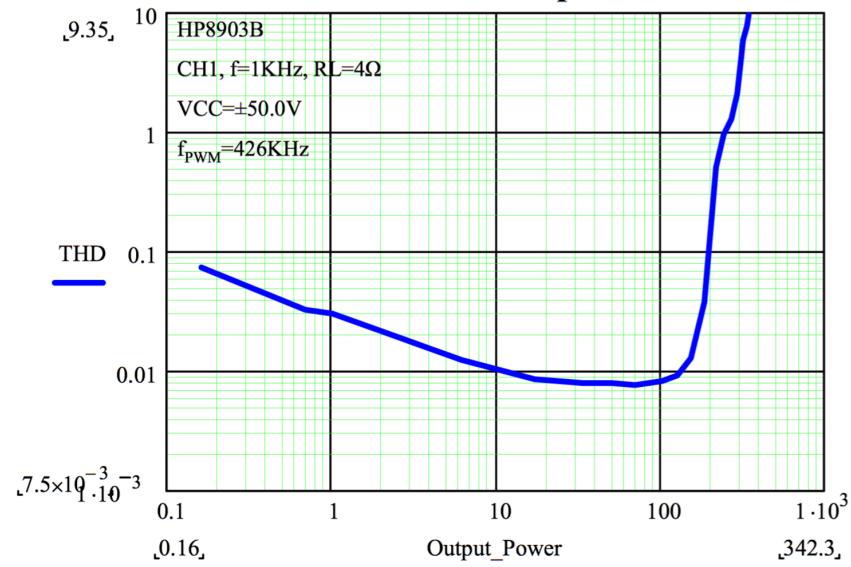


Abbildung 28: Vergleichskennlinie 2

Output Power ($f=1\text{kHz}$)

120W / 8Ω , THD=1%

180W / 8Ω , THD=10%

245W / 4Ω , THD=1%

344W / 4Ω , THD=10%

Quelle: [IRF1]

Fazit

Die Entwicklung eines Klasse D Leistungs-Verstärkers mit einem diskreten Gate Driver war ein interessantes Projektthema.

- Umfangreich und vielseitig durch die Kombination von großen und kleinen Parametern (zB Totzeit: ns vs. Signalperiode: ms, Gate Charge: nC vs. Ausgangsstrom A=C/s, ...)
- Großsignalverhalten
- LTSpice bietet eine große Auswahl an Möglichkeiten zur Schaltungsanalyse / -Design
- Ziele in der Simulation erreicht ≠ reale Schaltung funktioniert in der Praxis

Ausblick

Zur weiteren Optimierung des Verstärkers könnten in Zukunft folgende Themen näher untersucht werden:

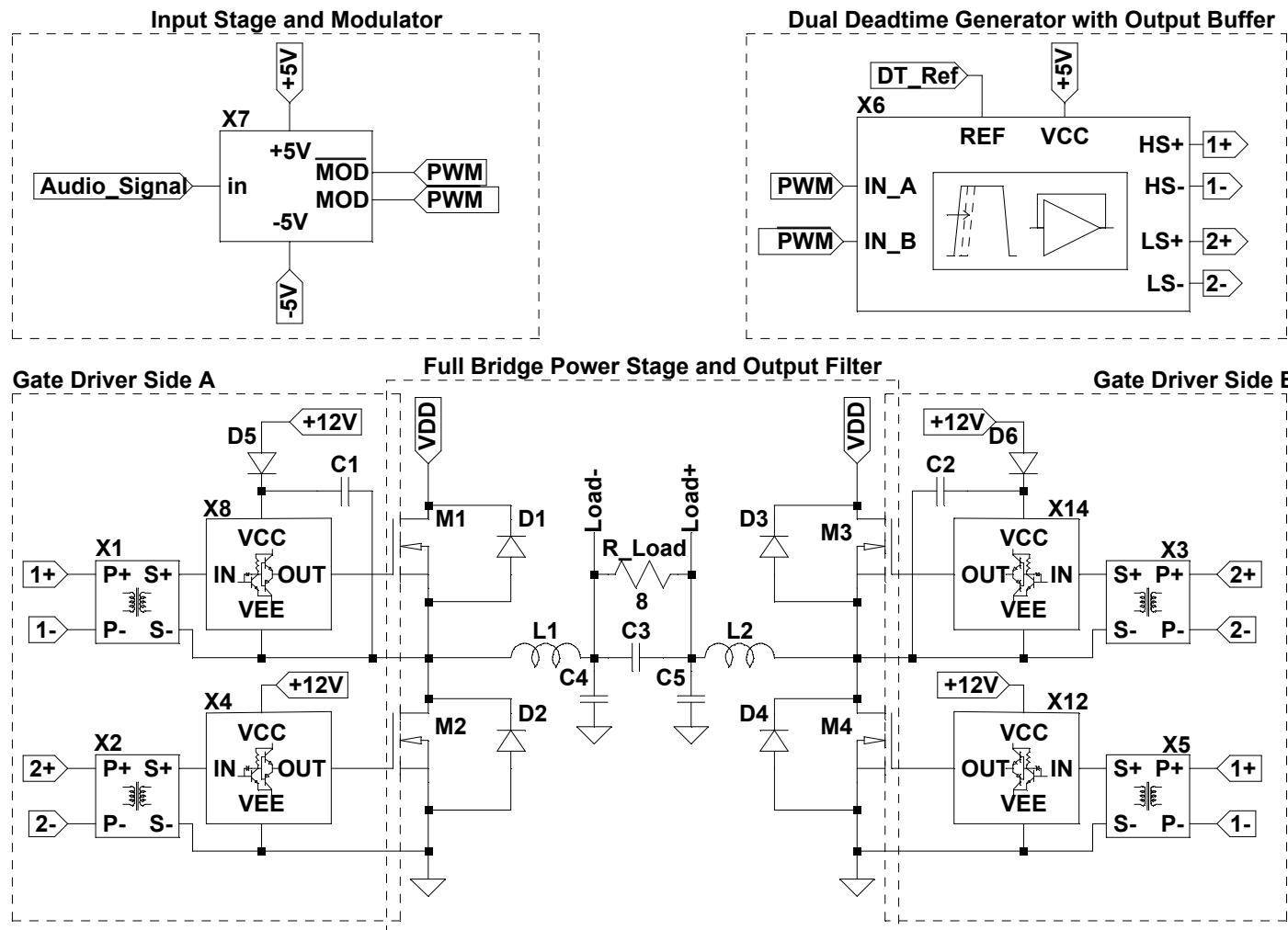
- Snubber Circuits im Ausgangsfilter
- Dämpfung für den Betrieb ohne Last
- Genaue Berechnung Gate Charge, Zeitkonstanten, Impedanzen
- Realistische Gate Drive Transformer
- Vergleich Transformer – Optokoppler
- Optimierung von Totzeit, Modulations Index und Modulationsfrequenz
- Erhöhung der Ausgangsleistung durch Parallelisierung der FETs
- Realistisches Lautsprechermodell
- Alternative Gate Drive Schaltungen (MOS, BJT, ...)
- Alternative Modulationsarten

Quellen

[BOE]:	200x	Boeck, Georg	Skript Hochfrequenzelektronik II	MWT, TU Berlin
[BAL]:	2006	Balogh, Laszlo	Design And Application Guide For High Speed MOSFET Gate Drive Circuits	http://www.radio-sensors.se/download/gate-driver2.pdf
[IRF1]:	2003	Honda, J.; Cerezo, J.	Class D Audio Amplifier Design	http://www.irf.com/product-info/audio/classdtutorial.pdf
[IRF2]:	2009	International Rectifier	Class D Amplifier Design Basics II	http://www.irf.com/product-info/audio/classdtutorial2.pdf
[IRF3]:	2013	International Rectifier	IRF540n Datasheet	https://www.infineon.com/
[ELE]:	2016	Giesberts, Ton	D-Watt – Kompakte Audio Endstufe Klasse D	Elektor Magazin, Dezember 2016
[TI1]:	2017	Texas Instruments	TPA3221 Datasheet	http://www.ti.com/lit/ds/symlink/tpa3221.pdf
[TI2]:	2017	Texas Instruments	Fundamentals of MOSFET and IGBT Gate Driver Circuits	http://www.ti.com/lit/ml/slua618/slua618.pdf
[TI3]:	1999	Texas Instruments	Design Considerations for Class-D Audio Power Amplifiers	http://www.ti.com/lit/an/sloa031/sloa031.pdf
[COR]:	2011	Bob Cordell	Designing Audio Power Amplifiers	McGraw-Hill
[EDN]:	2008	Widder, J.; Zhao, Y.T.	Understanding Output Filters for Class-D Amplifiers	https://www.edn.com/design/...

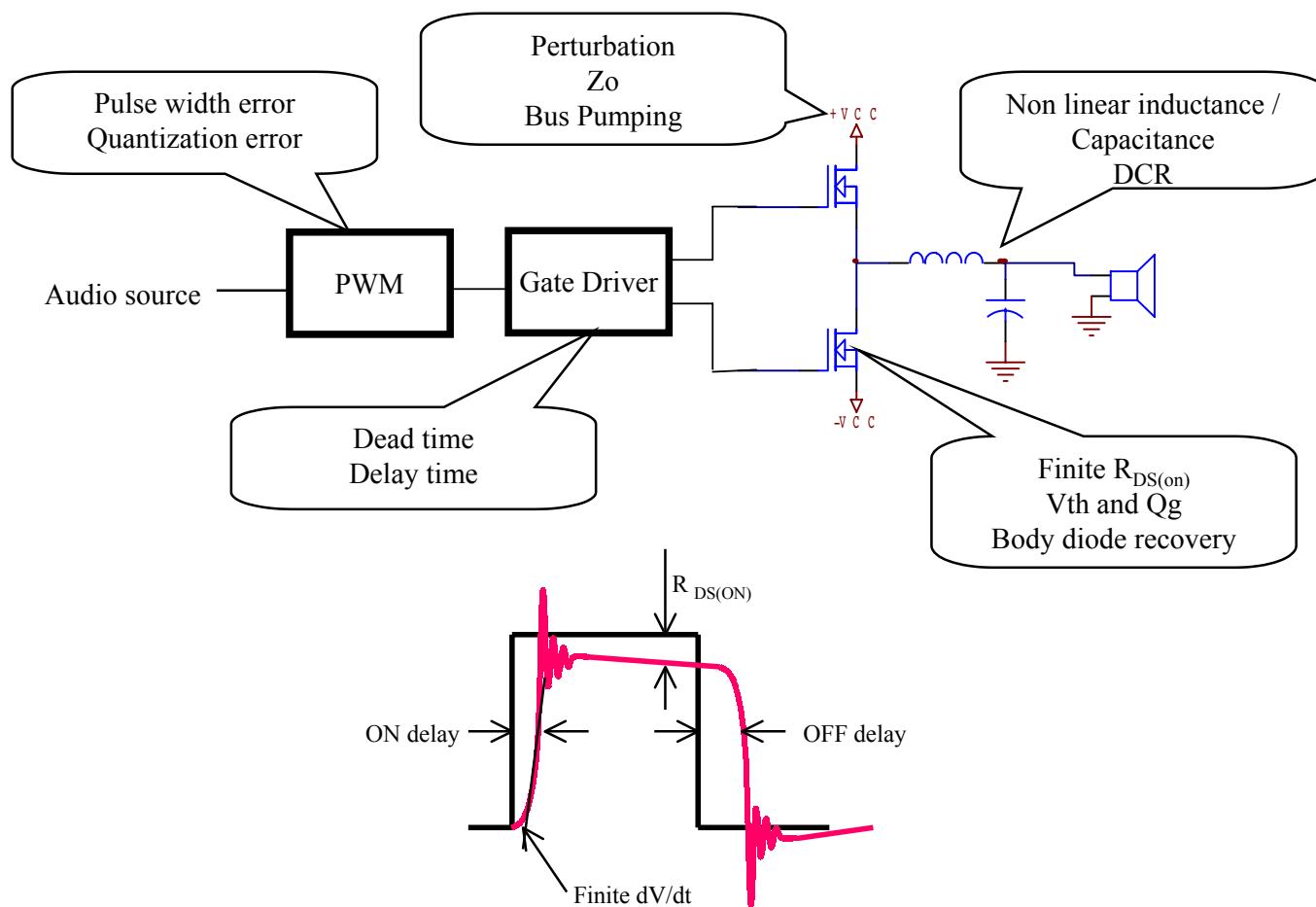
Vielen Dank für Ihre Aufmerksamkeit!

200W Klasse D Audio Verstärker



Zusätzliche Folien...

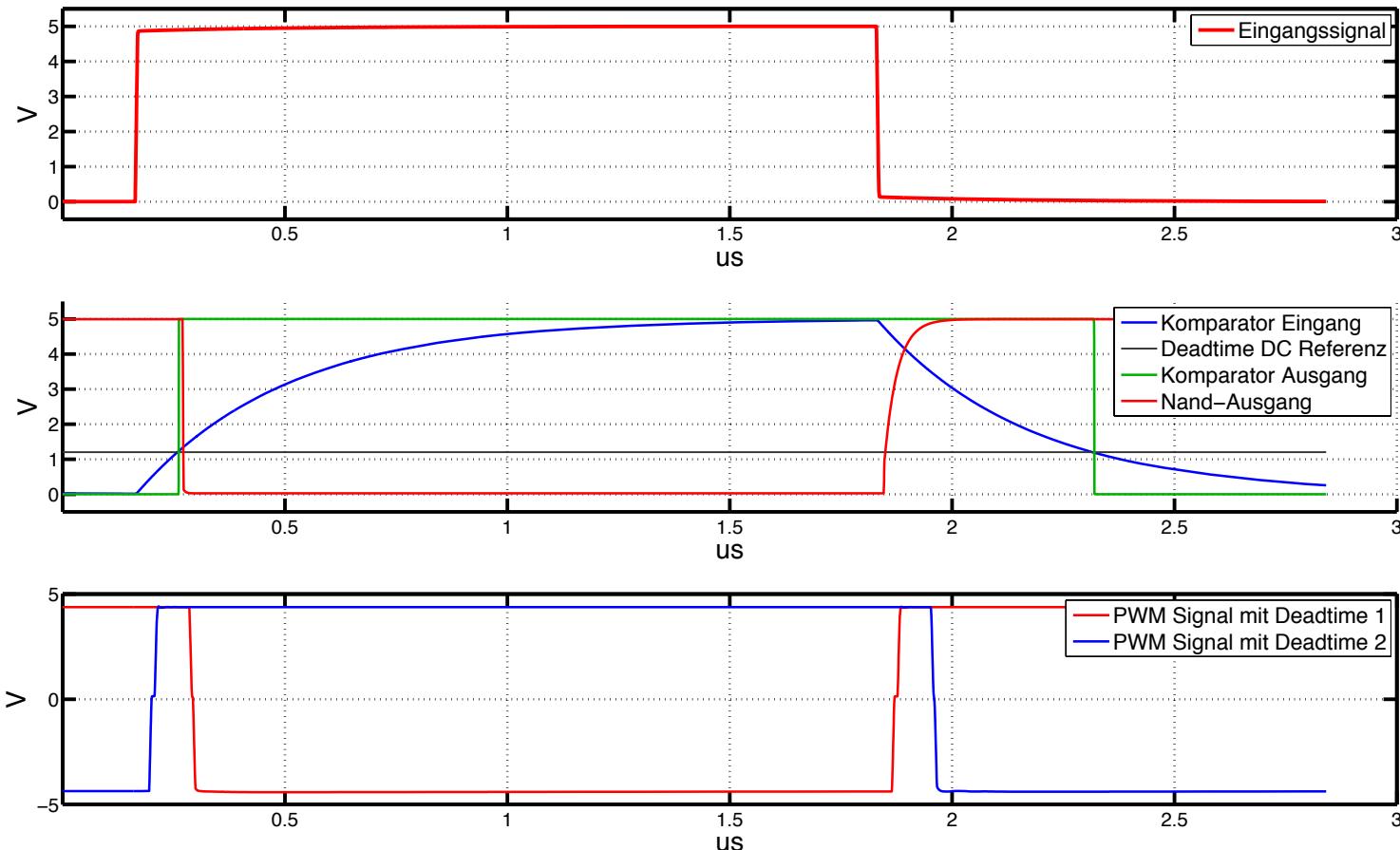
Überblick - Potentielle Fehlerquellen



www.irf.com Quelle: [IRF1]

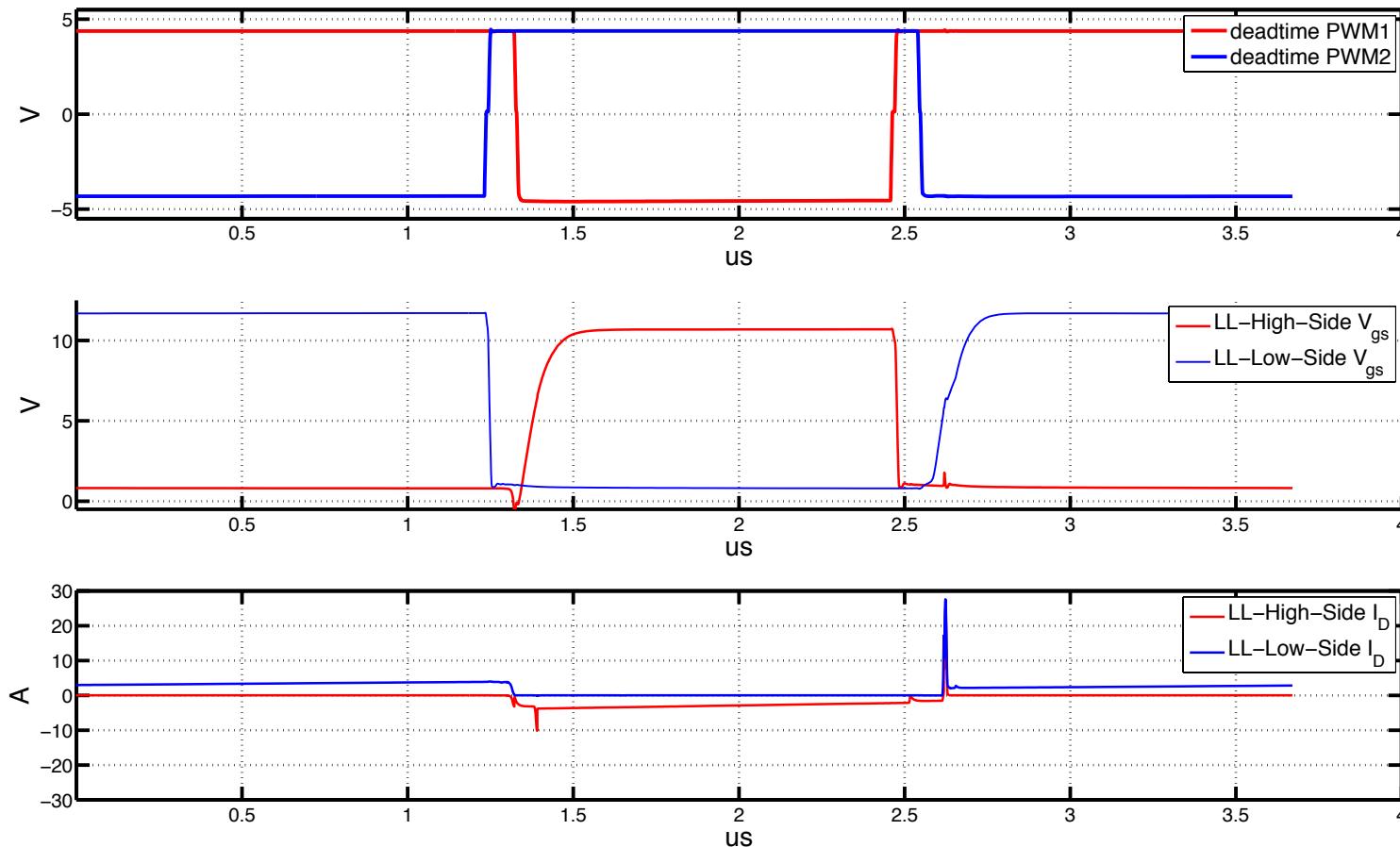
Signalverläufe

Signale am Delay Generator



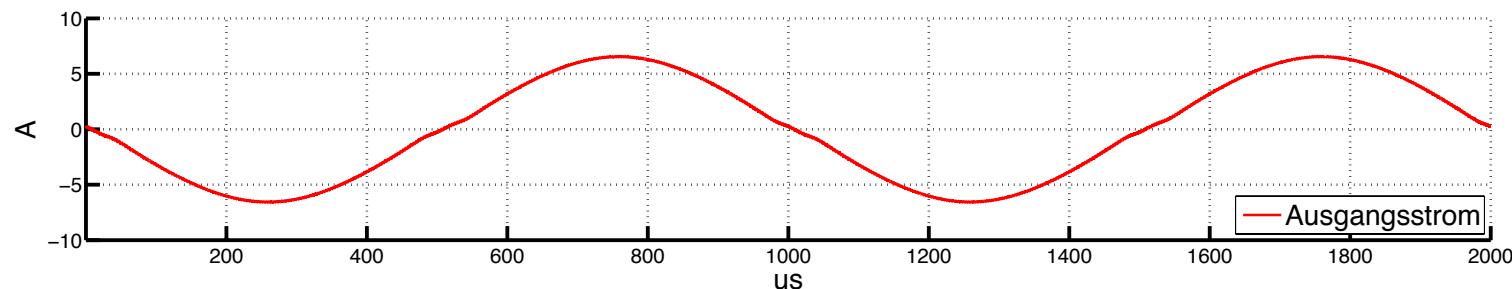
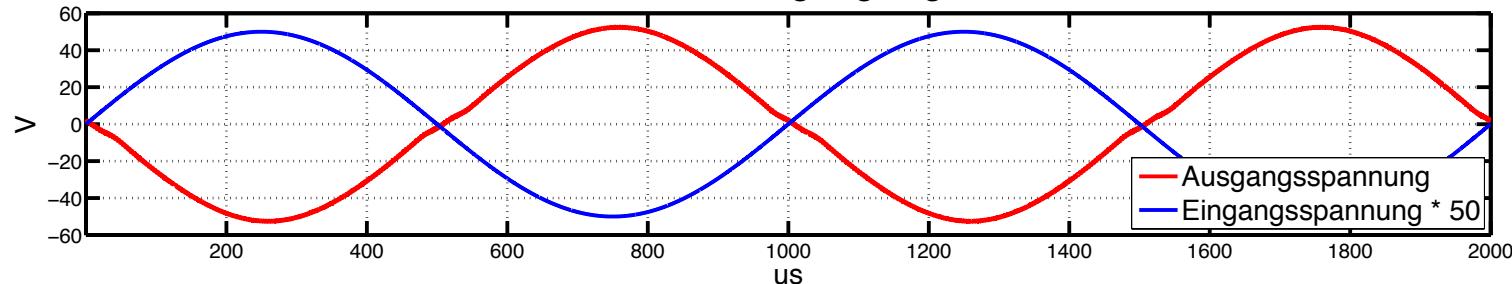
Signalverläufe

Signale am FET

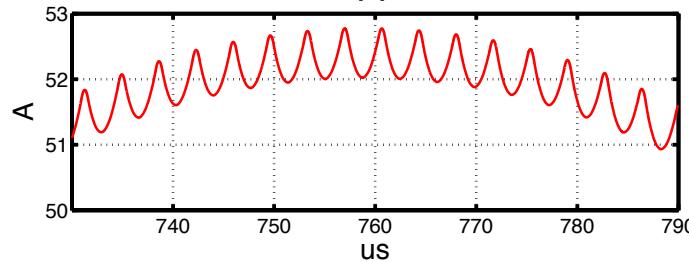


Signalverläufe

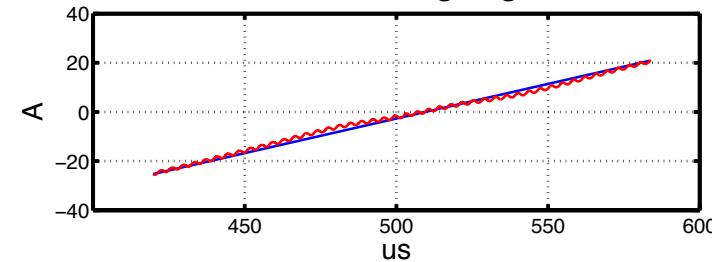
Ein- und Ausgangssignale



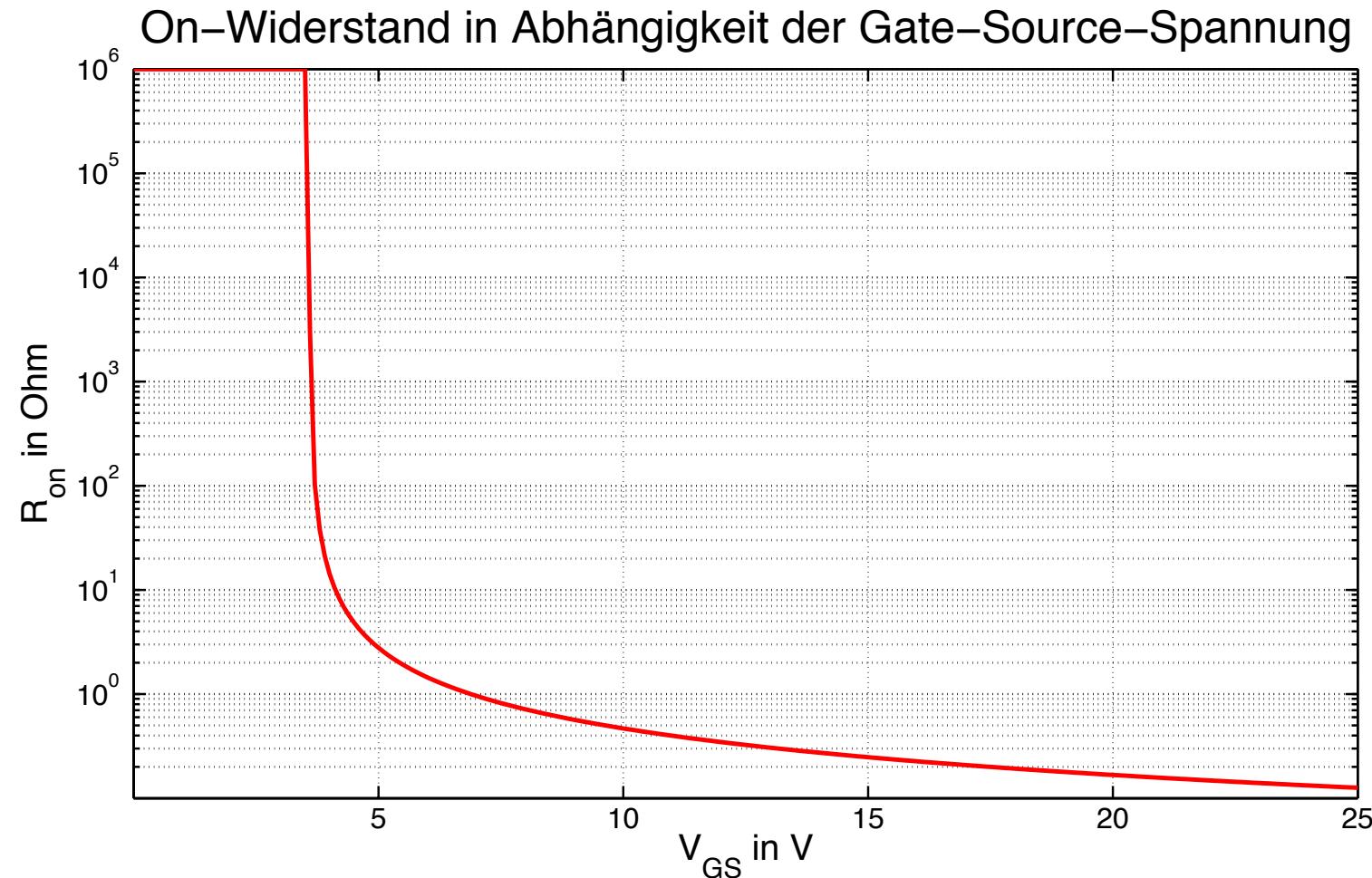
Ripple



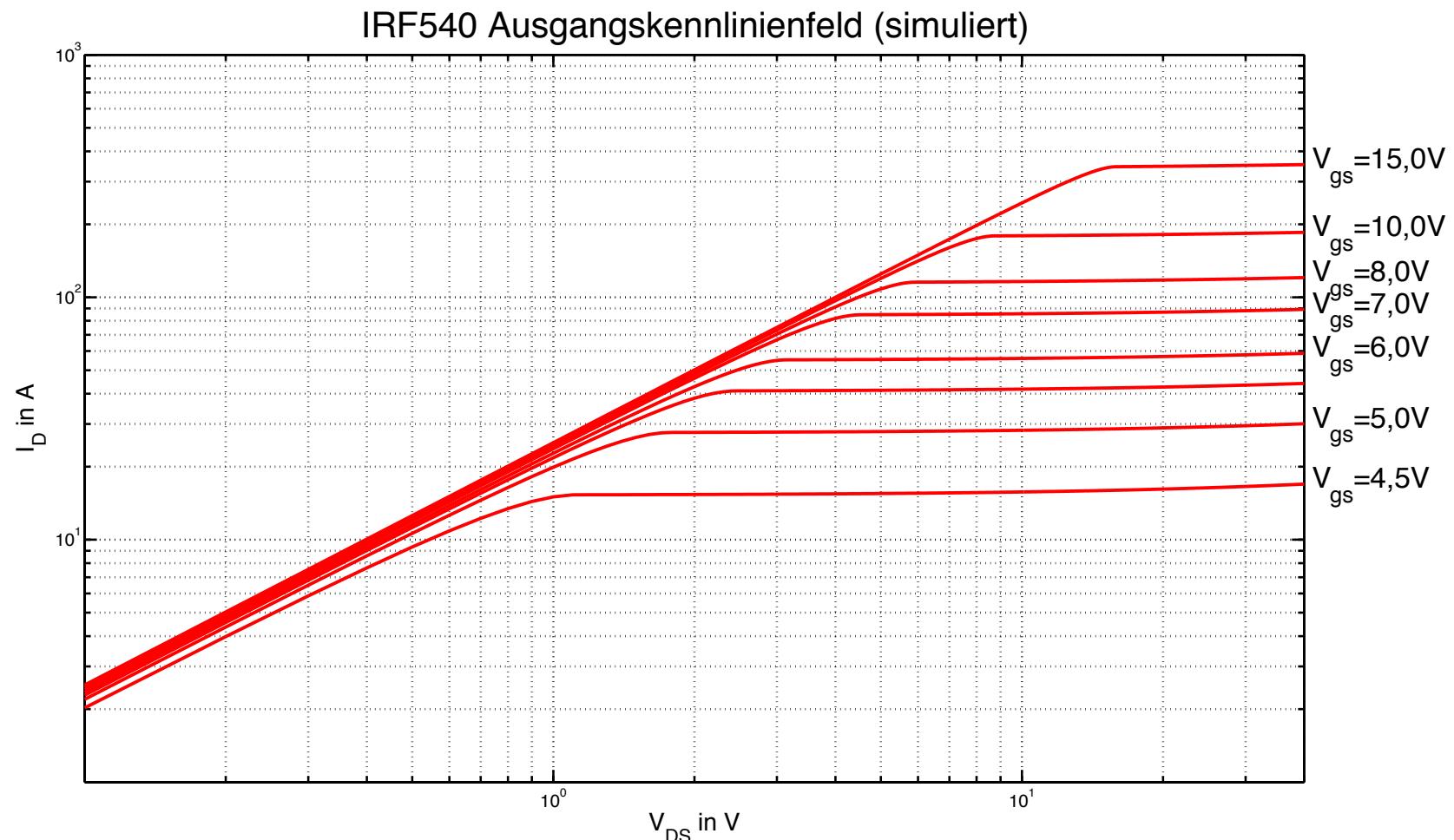
Nulldurchgang



IRF540n Ausgangskennlinienfeld



IRF540n Ausgangskennlinienfeld



IRF540n Ausgangskennlinienfeld

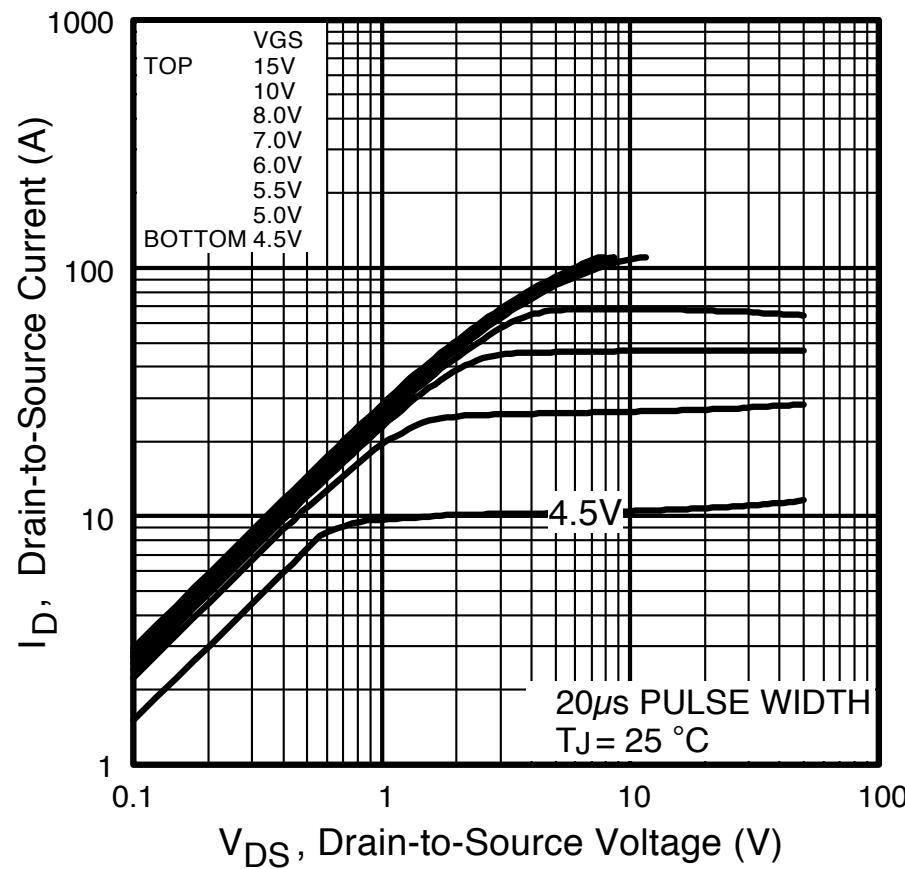
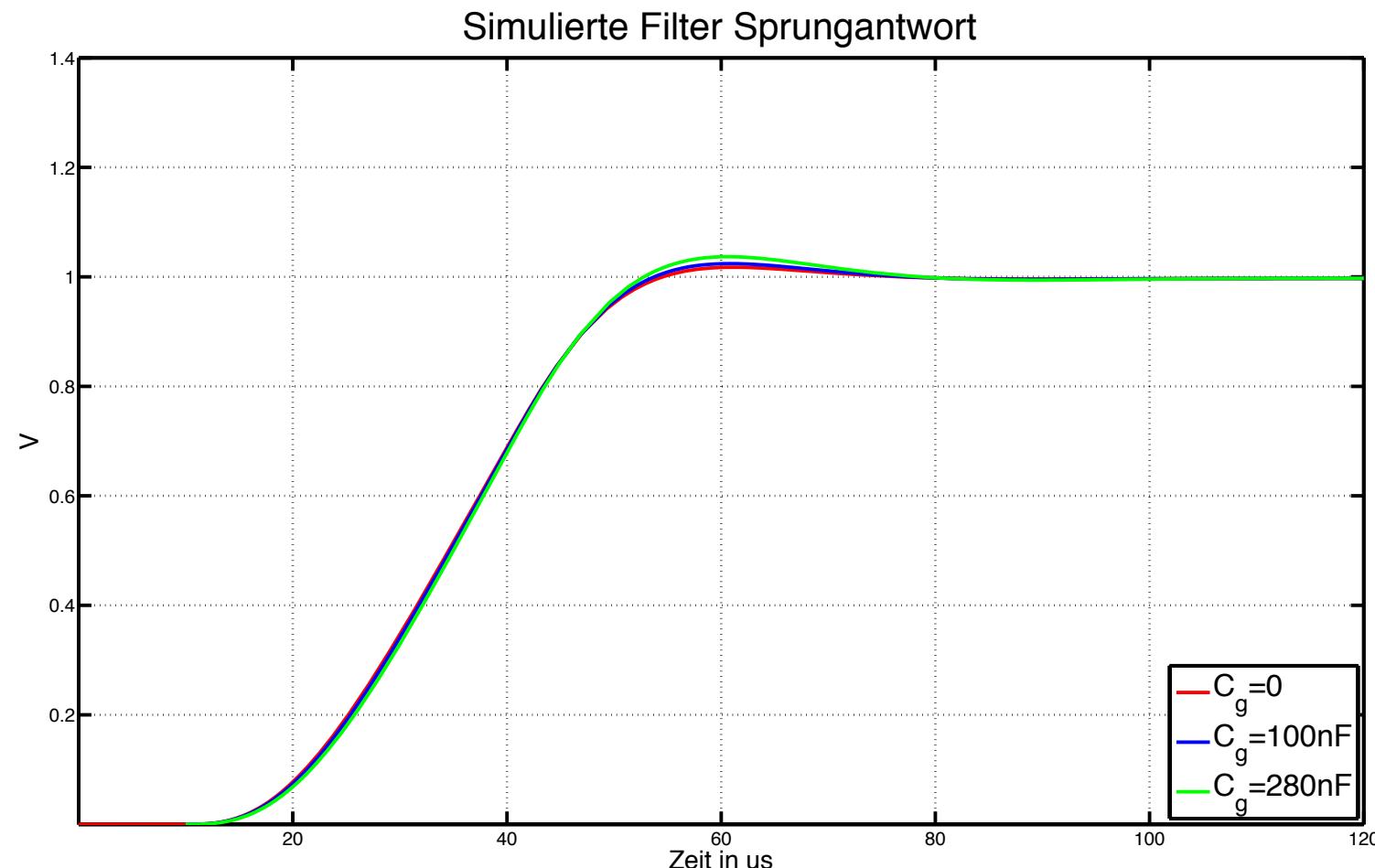
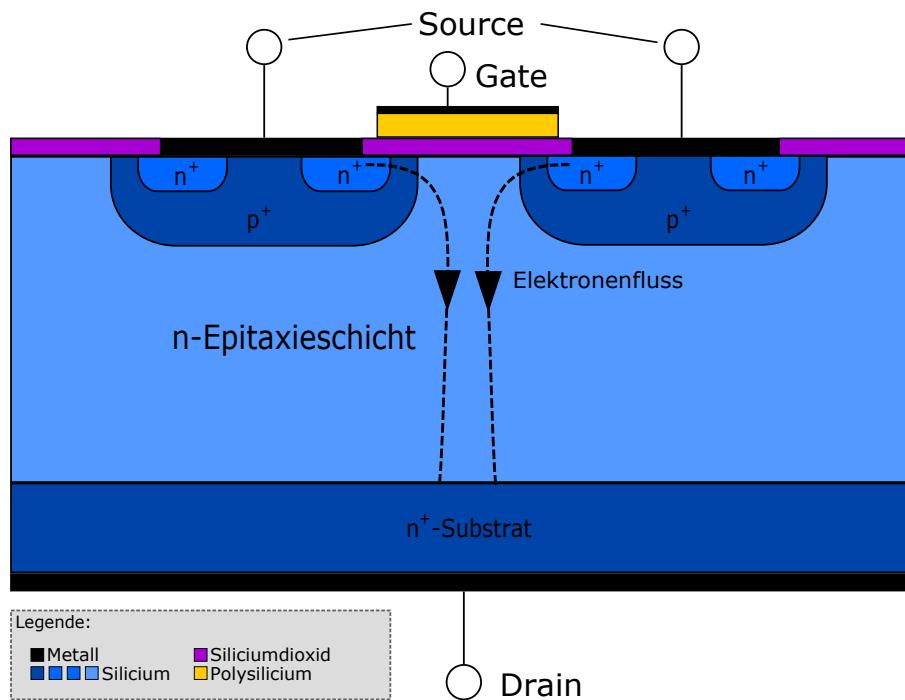


Fig 1. Typical Output Characteristics

Signalverläufe



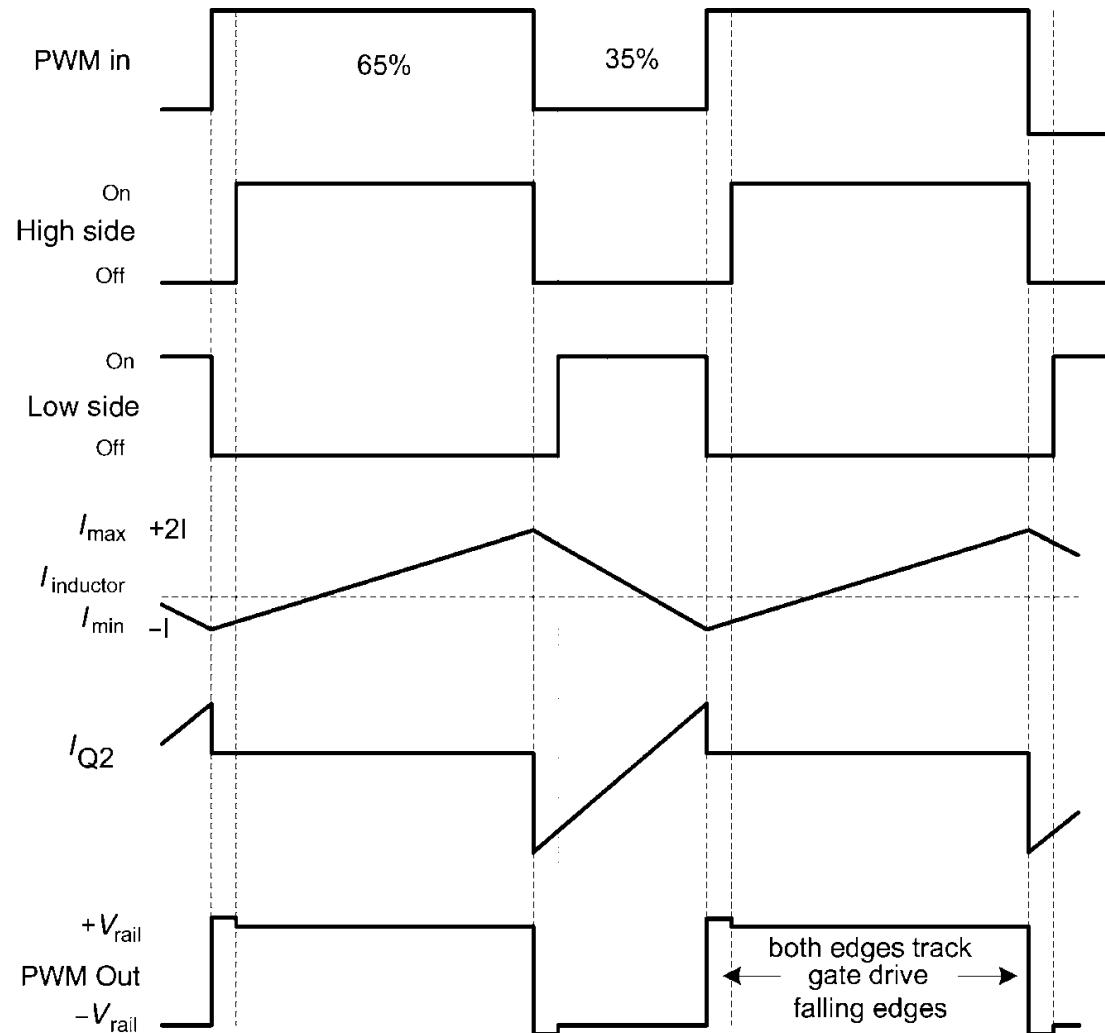
Signalverläufe



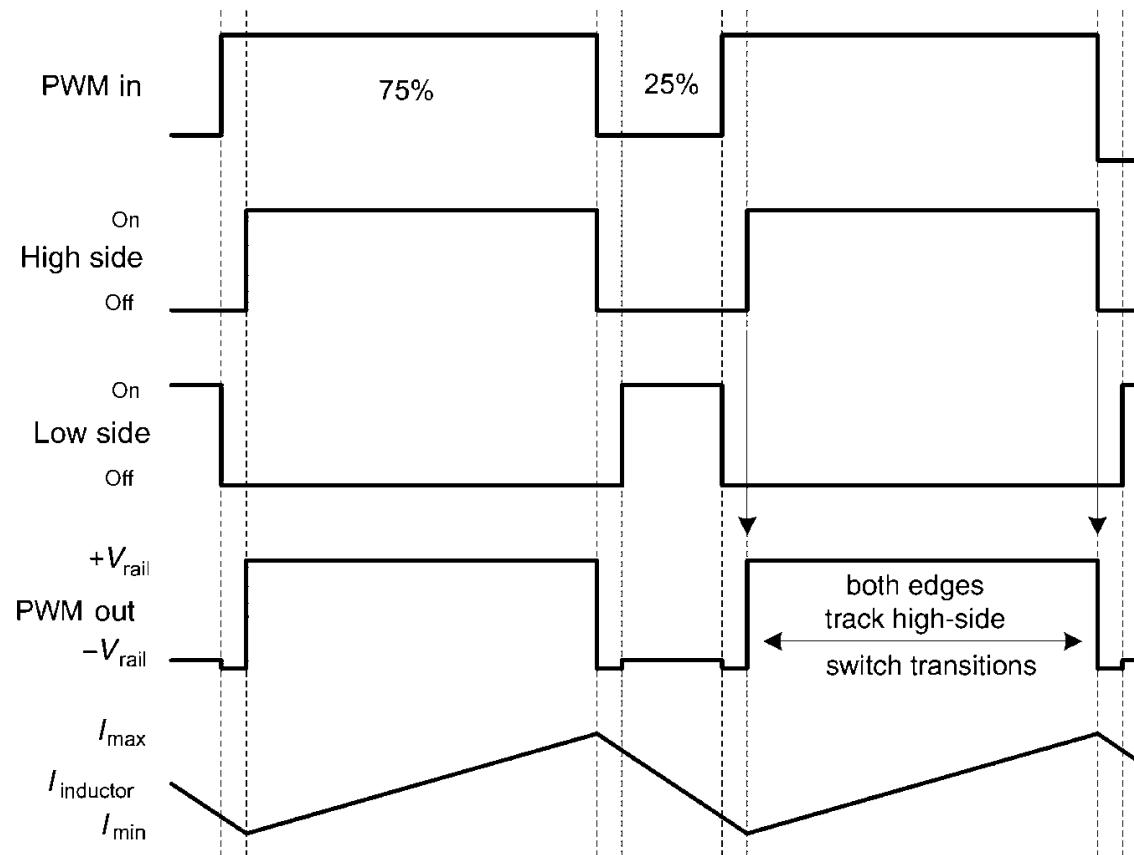
Schottky (/Fast Switching) Dioden von Drain nach Source

- Freilaufdiode
- Schutzdiode
- Umladen der Minoritätsträger gegenüber der Body Diode verbessert → weniger EMI

Signalverläufe



Signalverläufe



Gate Driver – Bootstrapping High-Side Drivers

Source der High-Side FETs floatet zwischen 0 und V_{DD}

Bootstrap C speichert Ladung und hält $V_{CCDriver}$ relativ zu V_{source} stabil

Diode verhindert Abfließen der Ladung aus C_{boot}

Power Stage – MOSFET Vergleich

Modell	Typ	V_{DS,max} [V]	I_D [A]	R_{DSon}	Q_g [nC]	FOM [ΩnC]
Si7431DP	P-trench	200	3,8	0,18	135	24,3
IRF9640	P-conv	200	11	0,5	44	24,2
IRFP9240	P-conv	200	12	0,5	44	22,0
27N20-78	N-trench	200	27	0,08	60	4,8
IRF640	N-trench	200	16	0,18	63	11,3
IRFP240	N-conv	200	20	0,18	70	12,6
IRFB23N15D	N-conv	150	23	0,09	56	5,0
IRF540n	N-conv	100	33	0,044	71	3,124