

碲镉汞 e-APD 焦平面数字化读出电路设计

陈国强^{1,2}, 张君玲¹, 王攀^{1,2}, 周杰^{1,2}, 高磊^{1,2}, 丁瑞军¹

(1. 中国科学院上海技术物理研究所 中国科学院红外成像材料与器件重点实验室, 上海 200083;

2. 中国科学院大学, 北京 100049)

摘要: HgCdTe e-APD 工作于线性模式, 通过内雪崩倍增效应将一个微弱的信号放大多个数量级。介绍了一个具有列共用 ADC 制冷型(77 K)数字化混成式 HgCdTe e-APD FPA 读出电路, 可以应用于门控 3D-LADAR 成像, 有主被动双模式成像功能。Sigma-delta 转换器比较适合于中规模 128×128 焦平面列共用 ADC。调制器采用 2-1 MASH 单比特结构, 开关电容电路实现, 数字抽取滤波器采用 CIC 级联梳状滤波器。采用 GLOBALFOUNDRIES 0.35 μm CMOS 工艺, 中心距 100 μm。设计了量化噪声抵消逻辑消除第一级调制器量化噪声, 采用数字电路实现。CIC 抽取滤波器的每一级寄存器长度以方差为指标截尾, 以降低硬件消耗。并且数字抽取滤波器工作电压降低到 1.5 V, 可以进一步降低功耗。仿真显示 sigma-delta 转换器精度大于 13 bit, 功耗小于 2.4 mW, 转换速率 7.7 k Samples/s。

关键词: 碲镉汞 e-APD; 读出电路; 主被动双模式成像; sigma-delta ADC; 制冷型红外焦平面

中图分类号: TN21 **文献标志码:** A **文章编号:** 1007-2276(2014)09-2798-07

Design of digital ROIC for HgCdTe e-APD FPA

Chen Guoqiang^{1,2}, Zhang Junling¹, Wang Pan^{1,2}, Zhou Jie^{1,2}, Gao Lei^{1,2}, Ding Ruijun¹

(1. Key Laboratory of Infrared Imaging Materials and Detectors, Shanghai Institute of Technical Physics, Chinese Academy of Sciences, Shanghai 200083, China; 2. University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: HgCdTe electron injection avalanche photodiodes(e-APDs) work in linear mode. A weak optical current signal is amplified orders of magnitude due to the internal avalanche mechanism. The design of digital ROIC with a column-shared ADC for cooled (77 K) hybrid e-APDs FPA was presented in this paper. Sigma-delta conversion was a promising solution for high-performance and medium size FPA as 128×128. A multistage noise shaping (MASH) 2-1 single bit architecture sigma-delta ADC with switched-capacitor circuits was designed for column-shared ADC. A cascaded integrator-comb (CIC) filter was designed as the digital decimator filter. The circuit was implemented in the GLOBALFOUNDRIES 0.35 μm CMOS process on the basis of a 100 μm pixel pitch. A quantization noise subtraction circuit in modulator was designed to subtract the quantization noise of first-stage modulator. The register word length of the filter in each stage was carefully dimensioned in order to minimize the required hardware. Furthermore, the digital filters operate with a reduced supply voltage to 1.5 V. Simulation results showed that the sigma-delta conversion achieved the resolution higher than 13 bits and 2.4 mW power

收稿日期: 2014-01-05; 修订日期: 2014-02-10

作者简介: 陈国强(1987-), 男, 博士生, 主要从事红外焦平面读出电路和片上 ADC 方面的研究。

导师简介: 丁瑞军(1964-), 男, 研究员, 博士生导师, 主要从事集成电路设计、红外光电器件及物理、分析和评价技术等方面的研究。

consumption per ADC at 7.7 k Samples/s rate.

Key words: HgCdTe e-APD; ROIC; passive/active imaging; sigma-delta ADC; cooled infrared FPA

0 引言

APD 广泛应用于卫星(TOF)激光测距,深空间激光通信,光纤通信^[1],超低光照度成像^[2-3]和主被动双模式成像。在 APDs,微弱的光学电流信号通过内部雪崩机制被放大数个量级,将光子信号线性地转化为电流信号。

近年来,HgCdTe e-APD 发展迅速。e-APD 只有电子发生了雪崩效应而空穴并没有发生雪崩效应。HgCdTe e-APD 的空穴的电离系数 α_h 和电子的电离系数 α_e 的比值 $\kappa=\alpha_h/\alpha_e$ 远远大于 1 或者远远小于 1^[4],这一特点使闪烁噪声因子接近 1。低的噪声因子,低的偏置电压(-5~-15 V)和高的增益因子^[5-6],这些优良特性使之有广阔的发展前景。

数字化的焦平面可以降低电路噪声和互联噪声对信号的干扰,降低系统的复杂度和成本。并且它可以进一步集成像图像校正等数字信号处理的功能。制冷型(77 K)焦平面要求 ADC 有高的分辨率,低的功耗,小的面积。Sigma-delta 转换器的性能基于过采样技术和噪声整形技术而不是取决于模拟电路的精度。这使得其非常灵活和很好的鲁棒性,并且具有高的分辨率,市场适合制冷型焦平面列共用 ADC 的设计。

文中介绍了一个数字化混成式 HgCdTe e-APD FPA 读出电路,可以应用于门控 3D-LADAR 成像,有主被动双模式成像功能。读出电路工作于 77 K,阵列中规模 128×128,中心距 100 μm ,帧频 60 Hz。列共用 ADC 采用 sigma-delta ADC。Sigma-delta ADC 由调制器和数字抽取滤波器两部分构成,调制器采用 3 阶 2-1 MASH 结构,数字抽取滤波器采用 4 级 sinc 平均滤波器,实现采用 CIC 级联梳状滤波器结构,精度大于 13 bit。

1 单元电路

1.1 e-APD 探测器

HgCdTe e-APD 探测器是基于平面 PIN 结构(plane PIN structure)以及基于高密度垂直集成的光电二极管结构(Highly Successful Highdensity Vertically Integrated

Photodiode,HDVIP)。分别如图 1(a)和图 1(b)所示。

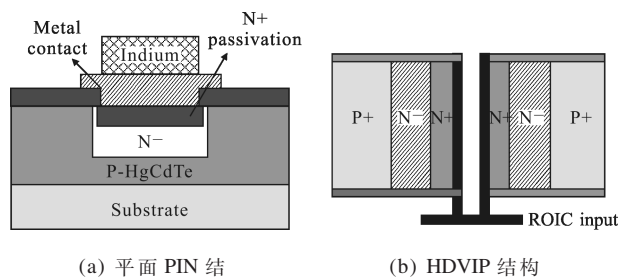


图 1 APD 器件结构侧视图

Fig.1 Side view of APD structure

雪崩光电二极管工作于反向偏置电压下,并且在 77 K 温度,雪崩光电二极管的暗电流随着偏置电压的增大而成指数增大。传统的探测器小信号模型不再适合 APD 探测器。文中设计了一种可以适用于 APD 的改进模型。考虑到雪崩光电二极管在关心的偏置电压下暗电流与反偏置电压成指数关系,文中应用折线模型对探测器雪崩光电二极管暗电流建立小信号模型,如图 2(a)实线所示。暗电流折线模型采用一个直流电压串联一个电阻用来模拟探测器暗电流。

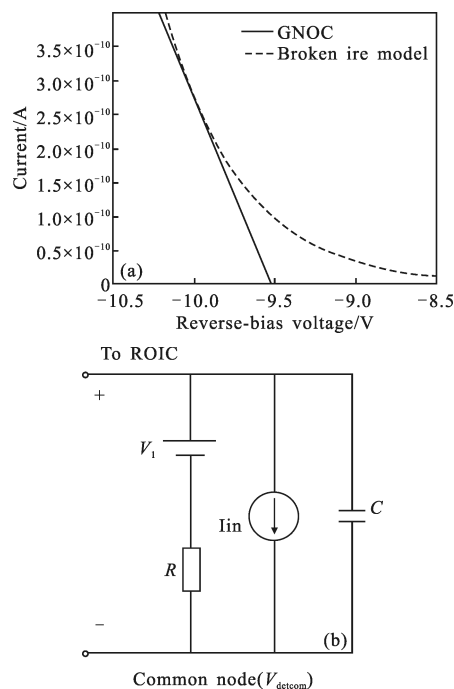


图 2 小信号等效模型

Fig.2 Equivalent small signal model

1.2 单元电路设计

ROIC 是红外焦平面一个重要的组成部分,其性能的好坏对于红外焦平面成像起着至关重要的作用。读出电路整体电路机构如图 3 所示,读出电路链路图如图 4 所示,包括单元电路,列共用电路,视频输出驱动,其中单元包括前置放大器,相关双采样,单元输出驱动级。

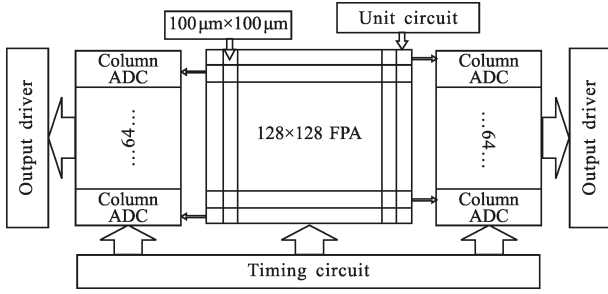


图 3 整体电路结构框图

Fig.3 Overall structure of ROIC

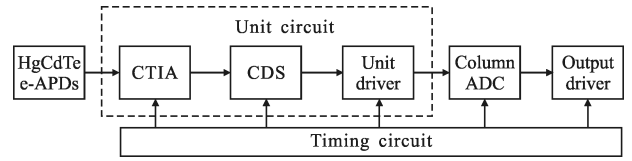


图 4 读出电路链路图

Fig.4 Structure of unit cell circuit of ROIC

图 5 为单元电路晶体管实现电路图,前置放大器采用 CTIA 结构,将光电流信号积分输出电压信号。单元电路晶体管级设计需要考虑两个重要的限制因素,面积限制和功耗限制。因此 CTIA 结构中放大器采用套筒式共源共栅结构。读出电路的设计目标是可实现主被动双模式探测,单元电路中集成了 2 个积分电容, $C_0=300$ fF, $C_1=800$ fF。其中 C_1 有模拟开关控制是否导通。主动探测采用 300 fF 的积分电容,被动探测,信号比较微弱,需要低的噪声, C_1

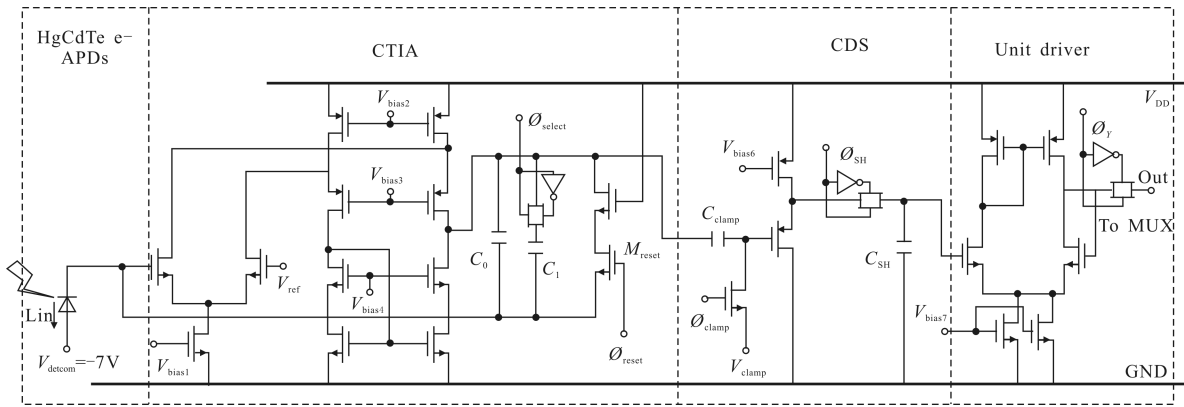


图 5 单元电路晶体管级设计

Fig.5 Transistor-level design of unit cell circuit of ROIC

选通,积分电容 1 100 fF。

CTIA 噪声电流传输函数与光电流相同,单位冲击响应及其拉普拉斯变换如公式(1)、(2)所示,单位冲击响应是一个窗口函数,传输函数幅频特性具有 sinc 滤波特性。

$$V_{out} = \frac{t_{int}}{C_{int}} \int_0^{t_{int}} I_{ph}(t) dt \quad (1)$$

$$H(f) = \frac{t_{int}}{C_{int}} \frac{\sin(\pi f t_{int})}{\pi f t_{int}} \quad (2)$$

相关双采样对每个像素要进行两次采样过程,一次在每帧图像的开始,另一次在每帧图像的结束并得到一差值。由于两次采样均在很短时间内进行,

两次采样中的漂移和低频噪声没有大的变化,所以在相减处理中,这些项被消除^[7]。

CTIA 的输出接一个箝位电容,一个箝位开关,中间一个缓冲器,然后接一个采样开关和采样电容,箝位电容和箝位开关的作用是去掉输出波形的初始电压,最终积分的光信号起伏依然不变。在开始积分时的低频噪声电压和漂移都从最终结果中被消除。单位冲击响应及其拉普拉斯变换变化如公式(3)、(4)所示。

$$V_{out}(t) = A_v h(t) = A_v [\delta(t) - \delta(t - t_{int})] \quad (3)$$

$$V_{out}(\omega) = A_v (1 - e^{-j\omega t_{int}}) \quad (4)$$

由于源随高的非线性, 高的增益误差以及差的噪声特性, 单元输出驱动级采用单位增益放大器做输出驱动。表 1 为读出电路设计参数。

表 1 门控 ROIC 设计参数

Tab.1 Gated ROIC design parameters

Parameter	Value
Format	128×128
Cell pitch/ μm	100
Operating temperature/K	77
Frame rate/Hz	60
Linear signal swing/V	2.2
Well capacity	—
Active mode	$4 \times 10^6 (300 \text{ fF})$
Passive mode	$15 \times 10^6 (1 \text{ } 100 \text{ fF})$
Minimum integration step/ns	10
Minimum integration/ns	50
Nonlinearity	<1%

2 列共用 Sigma-delta ADC

制冷型 FPA, 考虑到功耗, 象元面积, 高性能 FPA 所需要的 ADC 的分辨率等因素, 设计选择了列共用 ADC^[9]。Sigma-delta converters 可以提供高的分辨率适合列共用 ADC。Sigma-delta 转换器主要有调制器和数字滤波器两部分组成, 制冷型 FPA 中主要的设计困难是面积和功耗的限制。

FPA 工作于 77 K, 中等规模 128×128, 中心距 100 μm , 60 Hz 的帧频。帧频和阵列规模决定了转换速率, 针对上述参数列共用 ADC 转换速率 7.7 kS/s。高性能 FPA 要求分辨率至少 13 bit。转换误差小于 250 $\mu\text{Vp-p}$ 。在这个项目中, 设计目标是 13 bit 有效分辨率, 输出 15 bit (采用 2 的补码有 16 bit)。

2.1 调制器设计

调制器高的阶数可以降低放大器带宽的限制, 降低数字滤波器工作速率, 可以得到较低的功耗。综合考虑分辨率, 功耗, 面积等因素, 调制器采用 3 阶 2-1 MASH 结构, 数字滤波器选用 4 级 sinc 平均滤波器。

对于三阶调制器, 单环结构往往具有稳定性问题, 工程实现中有诸多困难, 尤其低温集成电路稳定性更加严重。因此该项目采用两级级联 2-1 MASH 结构, 第一级采用 2 阶调制器, 第二级采用 1 阶调制器, 然后通过误差抵消逻辑后求和得到输出如图 6 所示。两级输出经过量化误差抵消逻辑后总输出如公式(5)所示:

$$Y(z) = z^{-2}X(z) + (1 - z^{-1})^3 E_2(z) / h_2 \quad (5)$$

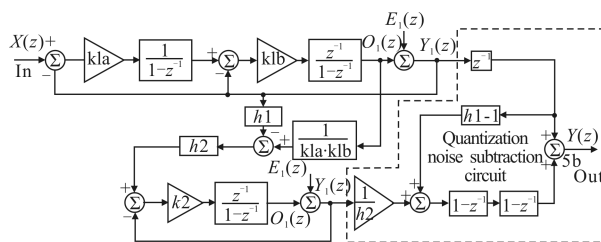


图 6 三阶 2-1 MASH sigma-delta 调制器

Fig.6 Third-order 2-1 MASH sigma-delta modulator

ADC 时钟频率有转换速率决定, 选择 3 MHz。电容 800 fF 可以得到一个足够低的 kT/C 噪声 (36 μV RMS at 77 K)。用开关电容实现的 2-1 MASH sigma-delta 调制器如图 7 所示。误差抵消逻辑由数字电路实现。

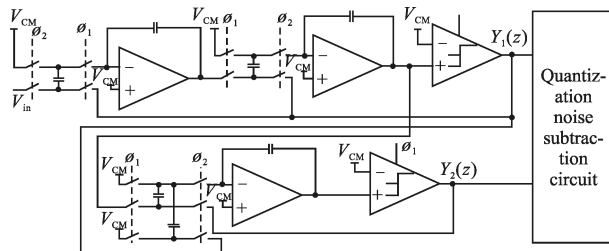


图 7 3 阶 2-1 MASH 开关电容电路实现调制器

Fig.7 Switched-capacitor third-order 2-1 MASH incremental sigma-delta modulator

Sigma-delta 调制器中放大器采用如图 8(a)所示的折叠式共源共栅结构, 该结构可以提供高的直流增益并且较小的功耗。放大器工作于 3.3 V, 40 μA 静态工作电流, 增益 73 dB, 66 M 单位增益带宽。尾电流可以从外面加以控制提高灵活性。

积分器的高增益可以降低比较器噪声和失调对调制器输入信号的影响, 因此设计了一个简单的没有失调抵消电路的比较器如图 8(b)所示, 锁存比较器基于双稳态原理, 其有一个时钟来控制。

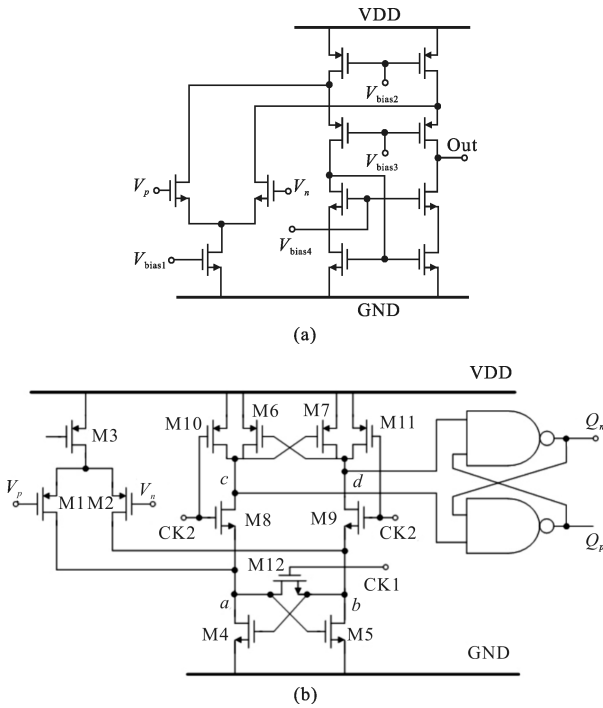


图 8 OTA 电路和比较器电路

Fig.8 OTA circuit and comparator circuit

图 9 为调制器仿真结果, 仿真显示有效位数大于 13 bit。

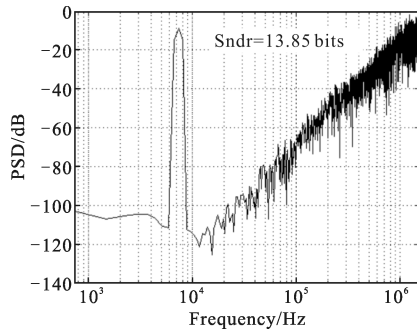


图 9 三阶 2-1 MASH sigma-delta 调制器功率谱仿真

Fig.9 PSD simulation of third-order 2-1 MASH sigma-delta modulator

2.2 数字抽取滤波器设计

N 级 sinc 平均抽取滤波器传输函数由公式(6)给出,其幅频响应由公式(7)所示,式中 $\text{Sa}(x)=\sin(x)/x$ 。在此项目中, $N=4$,抽取因子 $M=64$ 。由幅频特性可得 4 级 sinc 平均滤波器旁瓣抑制为 $5 \times 13.5 = 67.5 \text{ dB}$ 。4 级 sinc 平均滤波器传统实现如图 8 所示,该项目针对功耗和面积限制,实现时采用 CIC 结构如图 9 所示^[8],大幅度降低了功耗和面积的消耗,CIC 结构将

4 个积分器放到前面,然后抽取再进入 4 个微分器。

$$H(z) = \frac{(1-z^{-M})^N}{(1-z^{-1})^N} \quad (6)$$

$$|H(e^{j\omega})| = \left| M \cdot \text{Sa}\left(\frac{\omega M}{2}\right) \cdot \text{Sa}\left(\frac{\omega}{2}\right) \right|^N \quad (7)$$

$$\left| \frac{\text{Main lobe}}{\text{First sidelobe}} \right| = M \cdot \sin\left(\frac{1.5\pi}{M}\right) \approx 13.5 \text{ dB} \quad (8)$$

CIC 级联梳状滤波器在功能上和 N 级 sinc 平均滤波器级联一致。常规实现如图 10 所示,4 级 sinc 平均滤波器需要 132 个寄存器和 8 个加法器,并且所以的电路工作于高频。采用 CIC 级联结构优化如图 11 所示,CIC 结构仅需要 8 个寄存器和 8 个加法器,并且微分器部分工作于低频。面积和功耗得到十分可观的优化。

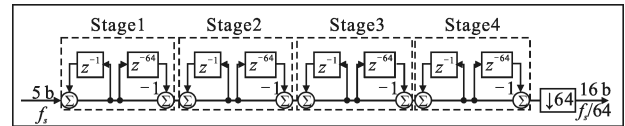


图 10 常规平均抽取数字滤波器结构

Fig.10 Conventional sinc decimation filter structure

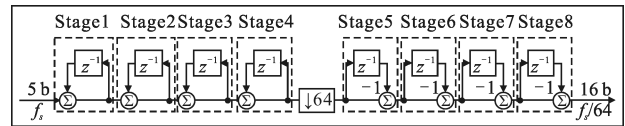


图 11 CIC 数字抽滤波器结构

Fig.11 CIC decimation filter structure

CIC 级联梳状滤波器实现方法之所以可以节约这么多的资源是因以下因素:(1) 不需要乘法器;(2) 不要存储系数;(3) 将积分器部分工作于高频微分器部分工作于低频可以大量节约寄存器;(4) CIC 级联梳状滤波器的实现结构非常规则,仅包括两种基本结构,微分器和积分器。

调制器输出直接连接至数字抽取滤波器。调制器的输出是 5 bit(其中 1 比特为符号位),因此数字抽取滤波器的输入为 5 bit,输出 16 bit(其中 1 比特为符号位)。4 级 sinc 平均滤波器采用 CIC 结构实现需要 9 个寄存器(包括一个输出寄存器)。可以采取截尾方法缩短寄存器的长度进一步节约资源,截尾后剩余的位数单调逐级增加。该设计采用截尾产生的方差作为设计衡量参数。前 $2N$ 级寄存器在输出端产生的方差之和不大于输出寄存器截尾产生的方差作为截尾的约束。

CIC 级联梳状滤波器第 j 级到最后一级的系统传输函数由公式(9)给出, 这个式子按 z^{-1} 多项式展开, 其中 $h_j(k)$ 为 k 次项系数。

$$H_j(z) = \frac{(1+z^{-M})^N}{(1-z^{-1})^{N+j+1}} = \sum_{k=0}^{(M-1)N+j-1} h_j(k)z^{-k} \quad (9)$$

把滤波器滤波过程中寄存器最大长度定义为最大幅度输入情况下的最大输出幅度。寄存器的最大长度保证不会因为寄存器的溢出而产生任何数据丢失。寄存器最大长度由公式(10)给出, $[x]$ 是指不小于 x 的最小整数, 经计算 $B_{\max}=29$ 。

$$B_{\max} = \lceil N \log_2 M + B_{\text{in}} \rceil \quad (10)$$

B_{\max} 不仅是滤波器输出的最大可能的位数, 也是每一级滤波器的最大可能位数。 B_{\max} 非常大导致寄存器位数过宽, 消耗极多资源, 需要截尾处理。先确定每一级因截尾产生的方差, 然后利用统计特性将 $2N+1$ 个误差源在输出端的响应求和可以得到总的方差。 $2N+1$ 个误差源包括 CIC 中 $2N$ 级和输出寄存器。

$$\delta_j^2 = \frac{1}{12} 2^{2B_j} \quad (11)$$

$$\delta_{T_j}^2 = \delta_j^2 F_j \quad (12)$$

$$F_j = \begin{cases} \sum_k h_j^2(k), & j=1, 2, \dots, 2N \\ 1, & j=2N+1 \end{cases} \quad (13)$$

$$\delta_T^2 = \sum_j^{2N+1} \delta_{T_j}^2 \quad (14)$$

$$\delta_{T_j}^2 \leq \frac{1}{2N} \delta_{T(2N+1)}^2 \quad (15)$$

$$B_{j(2N+1)} = B_{\max} - B_{\text{out}} \quad (16)$$

每一级误差源都是与输入信号和其他误差源不相关的白噪声, 并且服从均匀概率分布。对于第 j 级误差源, 误差函数 δ_j^2 由公式(11)给出。第 j 级误差源在输出端所产生的方差 $\delta_{T_j}^2$ 由公式(12)给出。因寄存器截尾在输出端产生的总方差由公式(14)给出。一个合理的设计要求前 $2N$ 级在输出端产生的方差之和不大于输出寄存器因截尾产生的误差见公式(15)。

需要截取的位数有 MATLAB 运算得出。数字抽取滤波器输入 5 bit, 输出 16 bit。截取和保留的位数由表 2 给出。为进一步降低功耗, 数字抽取滤波器可以工作于更低的电压, 因此将电源电压从 3.3 V 降低到 1.5 V。数字抽取滤波器占整个版图面积的 70% 左右。

表 2 对数字滤波器采取截尾

Tab.2 Truncation applied to digital filter's stages

Stage	Max bits	Register widths	Truncation bits
1st integrator	29	29	0
2nd integrator	29	29	0
3rd integrator	29	28	1
4th integrator	29	23	6
1st differentiator	29	21	8
2nd differentiator	29	20	9
3rd differentiator	29	19	10
4th differentiator	29	18	11
Output register	29	16	13

单个 sigma-delta ADC 电路, 调制器的功耗 0.9 mW, 数字抽取滤波器的功耗 1.5 mW, 总的功耗为 2.4 mW。

3 结论

在这个工程中, 设计了一个制冷型数字化混成式 HgCdTe e-APD FPA 读出电路, 可以应用门控 3D-LARDAR 成像, 有主被动双模式成像功能。读出电路工作于 77 K, 阵列中规模 128×128 , 中心距 $100 \mu\text{m}$, 帧频 60 Hz。单元电路中, 集成 300 fF, 500 fF 两个电容, 主动模式提供 4×10^6 (300 fF) 电荷容量, 最短积分时间 80 ns, 积分电流 200 nA~4 μA 具有良好的线性度, 非线性小于 1%。被动模式提供 15×10^6 (1 100 fF) 电荷容量, 积分时间 150 ns, 积分电流从 1~20 nA 具有良好的线性度非线性小于 1%。

列共用 ADC 采用 sigma-delta ADC, 包括调制器和数字抽取滤波器, 调制器采用 3 阶 2-1 MASH 结构, 数字抽取滤波器采用 4 级 sinc 平均滤波器, 实现采用 CIC 结构。ADC 转换速率 7.7 kS/s。64 倍过采样率, 过采样时钟 3 MHz。仿真显示有效位数大于 13 bit, 实现时保留 16 位数字输出。CIC 结构有 9 个寄存器, 每个寄存器的长度都通过截尾处理最小化以节约硬件资源。调制器功耗 0.9 mW, 数字抽取滤波器工作电压 1.5 V, 功耗 1.5 mW, sigma-delta ADC 功耗小于 2.4 mW。

参考文献:

- [1] Cova S, Ghioni M, Lotito A, et al. Evolution and prospects

- for single-photon avalanche diodes and quenching circuits[J]. *Journal of Modern Optics*, 2004, 51(9): 1267–1288.
- [2] Das B, Liu F, Alfano R, et al. Time-resolved fluorescence and photon migration studies in biomedical and model random media[J]. *Reports on Progress in Physics*, 1997, 60: 227.
- [3] Cova S, Zappa F, Tosi A, et al. Avalanche diodes and circuits for infrared photon counting and timing: Retrospect and prospect[C]//LEOS Summer Topical Meetings, 2006: 7–8.
- [4] Williams G M, Compton M A, Huntington A S, et al. High-speed photon counting with linear-mode APD receivers[C]//Proceedings of SPIE, 2009, 7320: 732012.
- [5] Gwladys P, Olivier G, Jacques B, et al. Gain and dark current characteristics of planar HgCdTe avalanche photo diodes[J]. *Journal of Electronic Materials*, 2007, 36, 8.
- [6] Johnson J F, Lomheim T S. Focal-Plane signal and noise model –CTIA ROIC [J]. *IEEE Transactions on Electron Devices*, 2009, 56: 11.
- [7] Johan Rothman, Gwladys Perrais, Borniol De, et al. HgCdTe APD–focal plane array development at CEA leti-minatoc[C]//SPIE, 2008, 6940: 69402N.
- [8] Eugene B Hogenauer. An economical class of digital filters for decimation and interpolation [J]. *IEEE Transactions on Acoustics Speech and Signal Processing*, 1981, 29: 2.
- [9] Guellec F, Villard P, Ritgab F, et al. Sigma-delta column-wise A/D conversion for cooled ROIC [C]//Proceedings of SPIE, 2007, 6542: 65423N–1.