

# ADDA 课程项目

组员：冯俊杰、贾梓越、陈江华、陈畅

# 目录

<b>1</b>	<b>设计目标</b>	<b>4</b>
<b>2</b>	<b>电路结构及原理</b>	<b>5</b>
2.1	Pipeline SAR ADC 建模原理	5
2.2	Time-Interleaved ADC 建模原理	6
2.2.1	失调失配	7
2.2.2	增益失配	7
2.2.3	时钟偏差	8
2.2.4	带宽失配（但这个在本模型中未体现）	8
2.3	时间交织失配误差总结	8
2.4	关于电荷重分配	9
2.4.1	基本原理	9
2.4.2	工作阶段	9
2.4.3	设计注意事项	10
2.5	关于差分结构	10
2.5.1	结构特点	10
2.5.2	在 Flip-Around T/H 中的应用	10
2.5.3	非理想性考虑	11
2.5.4	扩展应用	11
<b>3</b>	<b>MATLAB 建模和仿真</b>	<b>12</b>
3.1	模型介绍	12
3.2	仿真参数	13
3.2.1	模型参数	13
3.2.2	采样与输入信号参数	13
3.3	仿真结果	14
3.3.1	理想情况	14
3.3.2	TI mismatch	16
3.3.3	pipelined-SAR ADC 级间运放误差	20
3.3.4	SAR ADC 非理想	24
3.3.5		28
3.3.6	所有非理想叠加	30
<b>4</b>	<b>Timing skew 校正</b>	<b>33</b>
4.1	时间校正方法一	33
4.1.1	校正原理	33

4.1.2	四通道校正 . . . . .	35
4.1.3	MATLAB 实现代码（节选） . . . . .	36
4.1.4	校正效果分析 . . . . .	37
4.1.5	迭代次数分析 . . . . .	39
4.2	时间校正方法二：基于自相关函数的校正 . . . . .	40
4.2.1	校正原理 . . . . .	40
4.2.2	MATLAB 实现代码 . . . . .	41
4.2.3	校正结果 . . . . .	42
4.2.4	迭代次数分析 . . . . .	43
5	项目感想与需要注意的点 . . . . .	45
5.1	时间校正方法的选取 . . . . .	45
5.2	项目过程中需要注意的点 . . . . .	45
	参考文献 . . . . .	48

## 1 设计目标

研究内容:

通过 matlab 建模或者 cadence (MOS 管级/verilogA 级, 工艺不限) 构建一个时钟交织 Pipelined-SAR ADC, pipelined 级数不限, 时钟校准通道数 4 条, 精度 12 位, TI-ADC 总采样率 2GS/s, 自己手动添加以下误差和失配, 例如采样时钟 jitter 范围 100fs 5ps, timing skew 范围 200fs 5ps, inter-stage gain error $\pm 10$  数仅供参考), 通过静态分析方法和动态分析方法分析: TI mismatch (gain mismatch, offset mismatch and timing skew), pipelined-SAR ADC 级间增益误差 (inter-stage gain error), 第一级 SAR ADC 电容失配 (capacitor-DAC mismatch), 比较器失调, 时钟 jitter 等的影响。选择一种 time skew 校准方法进行 timing skew 误差检测并分析。建模、仿真验证、撰写完整分析报告, 在 cadence 里面完成仿真验证的有额外 bonus 分数。

分析方法:

静态特性分析: 转移特性曲线/统计方法; 动态特性分析: FFT

最终实现:

用 matlab 构建了一个理想精度为 15bit 的四通道时钟交织两级流水 SAR ADC。并自行引入了时钟抖动、时序偏差、增益误差等影响因素, 并通过静态分析方法和动态分析方法分析了其对 ADC 性能的影响。最后对 timing skew 进行了校准。

## 2 电路结构及原理

### 2.1 Pipeline SAR ADC 建模原理

基本架构：如图2.1所示，两级 SAR 级间插入一个余量放大器。

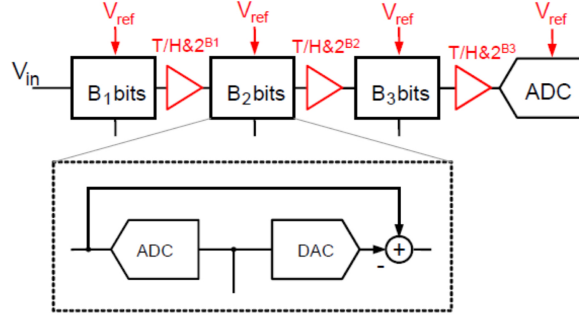


图 2.1: pipeline 级联原理图

总位数为

$$N = N_1 + N_2 + \dots - R \quad (2.1)$$

N 为总位数，其中 R 为冗余位。

在设计时需要注意以下几点：

- **时序设计基本原则：**  $fs = 1/Ts$ , 其中  $Ts = \min\{Ts_1, Ts_2, \dots\}$ , 由于采样率取决于最慢的周期，设计时尽量让每级周期近似相等，避免时序浪费。
- **余量传输：** 如图2.2所示，正常需要将数字量经过 DAC 转回模拟域，但考虑 SAR 采用电容开关阵列，可以加一位电容，利用 SAR 本身开关阵列实现 DAC，得到余差。即纯 SAR ADC 的开关阵列正常需要 N-2 位电容，但若利用电容开关阵列实现 DAC 功能，应当考虑 N-1 位电容，这就造成了前后级的结构不同，因为最后一级只需实现纯 SAR ADC，无需再转换回模拟域。

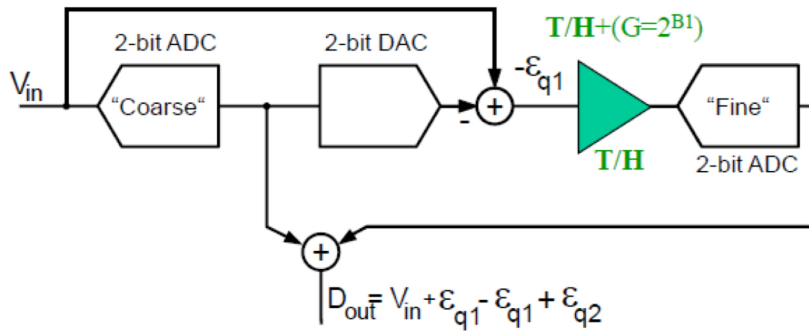


图 2.2: 余量放大传输原理图

以 2 级流水线为例，若第一级 M1 位，第二级 M2 位，则实际第一级的 ADC 需要 M1-1 位电容，而第二级即只需要 M2-2 位电容。

- 放大倍数：

$$G = 2^{M1-R-K} = 2^{M1-R} \cdot \frac{Vref2}{Vref1} \quad (2.2)$$

M1 为前级 ADC 的位数。

R 为冗余位的位数——引入冗余的目的是为了采用冗余位校正算法来校正比较器失调和 DAC 建立误差，同时也能降低系统对比较器噪声的要求。

k 为两级间的缩减系数——例如第一级量化范围为  $[0, Vref]$ ，第二级量化范围就可以表示为  $[0, 2^{-k} \cdot Vref]$ ，可以转化为两级参考电压之比。

- 冗余：希望超出量化范围的信息也可以被后级 SAR ADC 量化。

具体实现：余量放大器倍数减半并保持第二级 SAR ADC 量化范围不变，就可以实现 1 位冗余校正。

模拟域和数字域对应：前级最高位和次级首位对齐，并减去失调。

- 运放误差：运放非理想，实际情况需要考虑以下几方面的误差

- 有限增益误差
- 有限带宽误差
- 噪声和失调

## 2.2 Time-Interleaved ADC 建模原理

基本架构：如图2.3所示，多路时间交织可以将等效采样率提高到但通道的 m 倍。

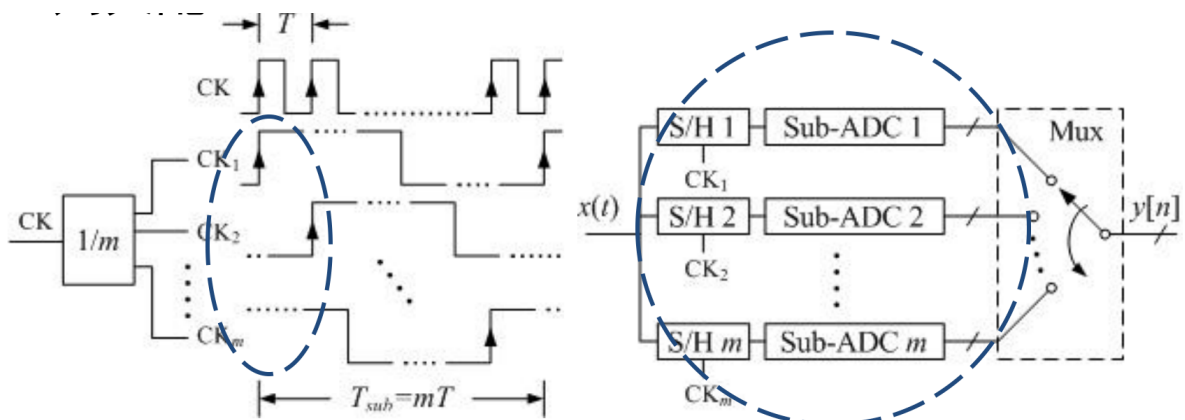


图 2.3: 时间交织原理及时序图

同样，注意建模设计要点：不同的通道间误差及其各自与频谱的对应关系在此，我们会首先回顾课上以两通道为例的失配，再将其推广到多通道，并研究不同通道间误差与频谱各自的对应关系。

### 2.2.1 失调失配

以 2 通道为例，输入为  $x(t) = \cos(\omega t + \phi)$

- 失调失配：  $x(t) = \cos(\omega t + \phi) + OS$

- 存在失调失配，  $\Delta OS = OS_A - OS_B \neq 0$

- 量化结果：

$$y[n] = \cos(\omega nT + \phi) + OS + \frac{\Delta OS}{2} \cos\left(\frac{\omega_s}{2} nT\right)$$

接下来，推广到多通道失调失配：

$$\begin{aligned} x_s(t) &= x(t) + O(t) \\ f_{IL} &= kf_s/M \quad \text{where } k = 0, 1, 2, 3, \dots, M-1 \\ P_N &= \frac{1}{M} \sum_{i=0}^{M-1} |O_i|^2 \end{aligned} \tag{2.3}$$

### 2.2.2 增益失配

增益失配：  $x(t) = G \cdot \cos(\omega t + \phi)$

- 存在增益失配，  $\Delta G = G_A - G_B \neq 0$

- 量化结果：

$$y[n] = G \cos(\omega nT + \phi) + \frac{\Delta G}{2} \cos\left[\left(\omega - \frac{\omega_s}{2}\right) nT + \phi\right]$$

接下来，推广到多通道增益失配：

$$\begin{aligned} x_s(t) &= x(t) \times G(t) \\ f_{\text{Gain}} &= kf_s/M \\ f_{IL} &= f_{\text{Gain}} \pm f_{in} = \pm f_{in} + \frac{k}{M} f_s \\ P_{\text{Total}} &= \frac{1}{2M} \sum_{i=0}^{M-1} |G_i|^2 \end{aligned} \tag{2.4}$$

### 2.2.3 时钟偏差

采样时刻偏差:  $x(t) = \cos(\omega t + \phi + \Delta T)$

- 存在采样时刻偏差,  $\Delta T$
- 量化结果:

$$y[n] = \cos\left(\frac{\omega \Delta T}{2}\right) \cos(\omega n T + \phi) + \sin\left(\frac{\omega \Delta T}{2}\right) \sin\left[\left(\omega - \frac{\omega_s}{2}\right) n T + \phi\right]$$

接下来, 推广到多通道采样时刻偏差:

$$\begin{aligned} x_s(t) &= x(t - \delta t) & x_s(t) &= \sin(2\pi f_{in} t) \cos(2\pi f_{in} \delta t) - \cos(2\pi f_{in} t) \sin(2\pi f_{in} \delta t) \\ x(t) &= \sin(2\pi f_{in} t) & x_s(t) &\cong \sin(2\pi f_{in} t) - (2\pi f_{in} \delta t) \cos(2\pi f_{in} t) \\ x_s(t) &= \sin(2\pi f_{in} t - 2\pi f_{in} \delta t) & f_{IL} &= \pm f_{in} + f_{\delta t} = \pm f_{in} + \frac{k}{M} f_s \end{aligned}$$

$$P_N = \frac{(2\pi f_{in})^2}{2M} \sum_{i=0}^{M-1} |\delta t_i|^2 \quad (2.5)$$

### 2.2.4 带宽失配 (但这个在本模型中未体现)

带宽失配:  $x(t) = H(\omega) \cdot \cos(\omega t + \phi)$

- 存在带宽失配,  $\Delta H(\omega) = H_A(\omega) - H_B(\omega) \neq 0$
- 量化结果:

$$y[n] = H(\omega) \cos(\omega n T + \phi) + \frac{\Delta H(\omega)}{2} \cos\left[\left(\omega - \frac{\omega_s}{2}\right) n T + \phi\right]$$

带宽失配未在本模型中加以考虑, 只是在此做一个简单的说明

## 2.3 时间交织失配误差总结

表 2.1: 时间交织失配误差总结

Type of mismatch	Effect on input	Spur location
Offset mismatch	Additive effect	$f_{IL} = \frac{k}{M} f_s$
Gain mismatch	Amplitude modulation	$f_{IL} = \pm f_{in} + \frac{k}{M} f_s$
Timing mismatch	Phase modulation	$f_{IL} = \pm f_{in} + \frac{k}{M} f_s$
Bandwidth mismatch	Freq.-dependent amplitude and phase modulation	$f_{IL} = \pm f_{in} + \frac{k}{M} f_s$



## 2.4 关于电荷重分配

如图2.4所示，采用电荷重分配结构。图中得到的参考电压可以表示为

$$V_{\text{out}} = \frac{\sum_{i=0}^{B-1} b_i 2^i C}{2^B C + C_P} V_{\text{ref}} \quad (2.6)$$

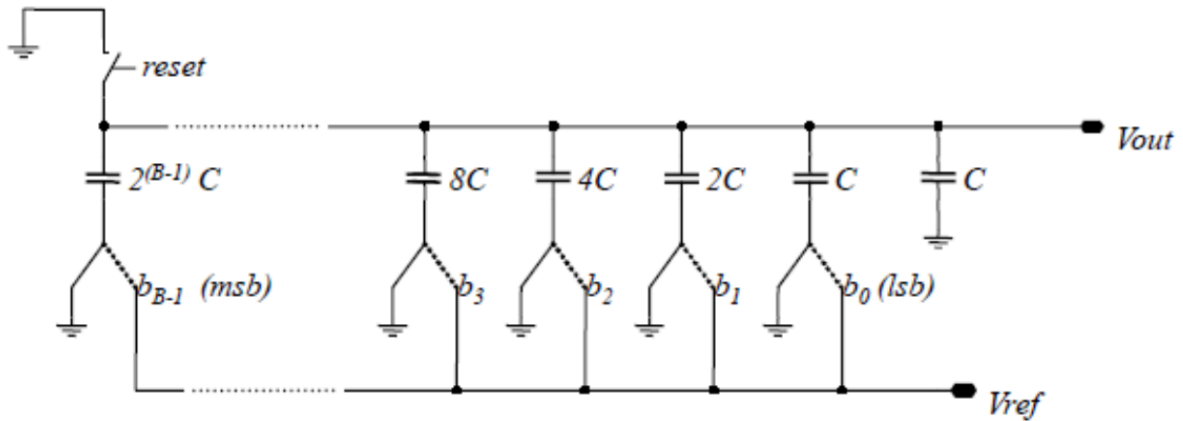


图 2.4: 电荷重分配基本结构

### 2.4.1 基本原理

- 电荷重分配是逐次逼近型 ADC 中常用的 DAC 实现方式。
- 利用一组按二进制权重排列的电容阵列，通过切换其下极板的连接（Vref/GND）来实现数字码控制下的输出电压。
- 工作过程基于电荷守恒定律，上极板节点浮空，依赖电荷转移来建立目标电压。

### 2.4.2 工作阶段

#### 1. 采样阶段（Sampling）:

- 所有电容上下极板接地，或使用顶极板采样（Flip-around 结构）。
- 输入信号通过开关加载到电容阵列上。

#### 2. 保持阶段（Hold）:

- 上极板节点浮空，下极板根据比较结果逐位切换。
- 每一次切换后输出电压会逼近目标值的一半。

### 2.4.3 设计注意事项

- 上极板寄生电容  $C_p$  影响输出精度，若与输出电压有关会造成非线性。
- 使用桥接电容可减小电容总数（但本次课程设计中未采用）。
- 可引入冗余设计以修正高位误差。

## 2.5 关于差分结构

注意：本课程设计采用差分结构，如图2.5所示。

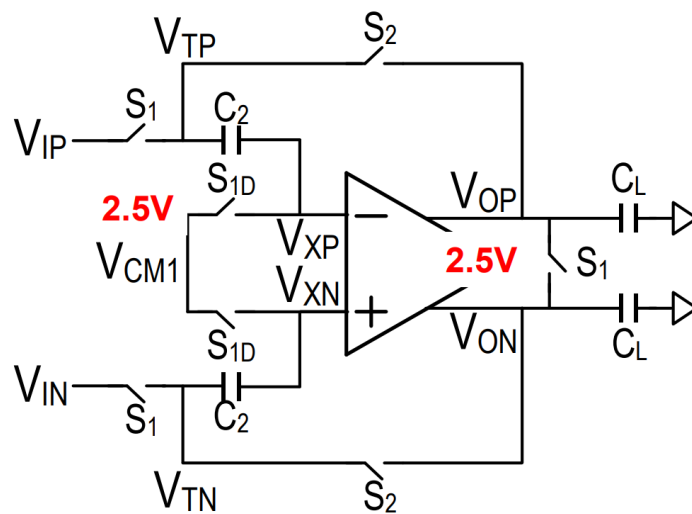


图 2.5: 差分结构 flip-around 图

### 2.5.1 结构特点

- 利用一对对称电路分别处理正负输入信号，输出差分信号。
- 能有效抑制共模干扰、offset 电压、时钟跳变电荷注入等问题。

### 2.5.2 在 Flip-Around T/H 中的应用

- 差分结构配合电荷翻转采样（Flip-Around）结构，能抵消底极板开关注入误差。
- 差分结构中反馈因子为 1，增益为 1，简化了运放需求。
- 若采用开环复位，需注意信号共模在跟踪与保持相位的一致性。

### 2.5.3 非理想性考虑

- 开环增益：有限增益造成误差  $V_{OUT} = \frac{V_{IN}}{1+A^{-1}}$ 。
- 失调电压  $V_{OS}$ ：导致输出恒定偏移  $V_{OUT} = V_{IN} + V_{OS}$ 。
- 寄生电容  $C_P$ ：若恒定，可视为增益误差；若非恒定则引入非线性。

### 2.5.4 扩展应用

- T/H + 放大：通过电荷重分配结构实现电压增益，增益由电容比  $C_1/C_2$  决定。
- T/H + 求差或求和：通过多个电容节点在跟踪和保持相位切换实现差分计算。
- 差分结构能推广至所有上述电路，并可通过精密电容匹配提高精度。

### 3 MATLAB 建模和仿真

#### 3.1 模型介绍

整体模型仿照硬件的结构进行搭建，主要包括以下几个部分：

- 顶层模型：实现整个时钟交织流水线 SAR ADC 的功能仿真。定义了 ADC 的整体参数和可能的噪声和失配，并生成测试用的正弦信号。ADC 整体采用差分结构，因此需要生成两个共模相同，差模相反的正弦信号。模型首先对信号进行时钟交织的采样，采样时考虑了多通道间的时钟失配、增益失配、偏移量和  $kT/C$  噪声，将这些非理想因素叠加到输入信号中；接着调用多个流水线 SAR ADC 对多路采样数据进行并行化处理，考虑到了流水线 ADC 的各种噪声和失配，具体的因素会在每个模块中介绍；最后使用多路选择器将各个通道的量化结果整合得到更高采样率的量化结果。
- 流水线 SAR ADC 模型函数：实现流水线 SAR ADC 的功能仿真，以函数的形式被顶层模型调用。采用了两级流水的结构，并设置 1 位冗余位。考虑到噪声和失真的影响，采用了 7 位/9 位的分布，使得最终的 ENOB 可以达到 12 位的设计要求。

模型内部首先根据两级 SAR ADC 的位数求出两级所需要的电容值，并生成相应的电容阵列，电容阵列考虑到了寄生电容和电容大小失配。需要注意的是，第一级的余差在比较完成后还需要进一步缩小余差传递到第二级，而第二级的最后的余差在比较完成后不需要进一步处理，因此两级 SAR ADC 的实现方式有所不同，需要的电容数量也有所不同。具体而言，如果两级 SAR ADC 分别为  $N_1$  位和  $N_2$  位，则第一级 SAR ADC 的电容阵列需要  $N_1+1$  个电容，而第二级 SAR ADC 的电容阵列只需要  $N_2$  个电容。

两级 SAR ADC 之间由一个余差放大器连接，使用反馈的形式控制余差的放大，将放大后的结果作为第二级 SAR ADC 的输入。

最终的结果由两级 SAR ADC 的输出拼接得到。计算时将两级的冗余位重叠相加，并减去固定的偏移量得到最终的量化结果，输出到顶层模块进行多路整合。

- SAR ADC 模型函数：模型的工作过程仿照 SAR ADC 的工作原理，使用循环模拟逐次逼近的过程，每次循环对输入的差分信号进行比较，并进行相应调整，考虑了比较器的失调和噪声。两级 SAR ADC 由于之前提到的原因，存在一些差别，需要分别设计。第一级 ADC 的电容阵列需要  $N_1+1$  个电容，第二级 ADC 的电容阵列只需要  $N_2$  个电容，并且第一级对输出余差电压的调整次数也比第二级多一次。其余部分两级完全相同。

- ResAmp 模型函数：余差放大器将两个输入信号按照闭环增益进行放大，根据放大器的增益带宽积进行滤波后输出到第二级 SAR ADC 进行处理。输入的信号叠加了放大器的噪声和失调，闭环增益的计算也包含了有限增益带来的非线性因素。
- 静态参数测试函数实现对 ADC 静态参数的测试，包括 DNL、INL 指标的计算。由于输入是正弦信号，理想的 histogram 并不是均匀分布，而是呈“浴盆状”的分布曲线。函数通过使用大量数据模拟得到理想的概率分布，再用实际得到的概率分布与理想分布相减得到 DNL，对 DNL 积分得到 INL。
- 动态参数测试函数实现对 ADC 动态参数的测试，包括 SNR、SFDR、THD、SNDR 和 ENOB 指标的计算。函数通过对输入的正弦信号进行 FFT 变换，得到频谱图，去除 DC 分量后找到能量最大的频率作为主频，将主频乘以整数倍的频率作为谐波，取 2-5 次谐波进行计算。计算主频和谐波的功率比得到 THD，将 2 次谐波功率与主频功率的比得到 SFDR。去除 DC、主频和谐波后，计算剩余部分的功率就是噪声功率，主频功率与噪声功率之比就是 SNR。主频功率比上噪声功率与谐波功率之和就是 SNDR，由此可以计算出 ENOB。由于各种噪声和失真，ENOB 小于最初设计的 15 位，但仍然满足 12 位的要求。

## 3.2 仿真参数

在本节中，我们将对上述模型进行仿真，主要关注以下几个方面的参数设置：

### 3.2.1 模型参数

- 采样频率：  $f_s = 2\text{GHz}$
- 参考电压幅度：  $V_{ref} = 1.8\text{V}$
- 共模电压：  $V_{cm} = 0.9\text{V}$
- ADC 位数：  $N = 13$ ，这是 ADC 的理想位数。
- 通道数：  $M = 4$ ，这是时间交织 ADC 的通道数。
- 非理想指标：包括时钟 jitter、增益失配、偏移失调等，这些参数将在仿真中逐步调整。

### 3.2.2 采样与输入信号参数

- 采样点数：  $num = 2^{22}$ ，这是整个 ADC 的采样点数。由于理想位数为 15 位，为了完整测量，采样了  $2^{22}$ 。

- 输入信号频率:  $f_{in} = \frac{1431}{num} * f_s$ , 未超过奈奎斯特频率, 且与采样频率  $f_s$  互质, 以免 DNL 测量出现-1。同时采样  $num$  点正好是整周期, 可以不进行加窗。
- 输入信号幅度:  $V_{in} = 1.0$ , 这是输入正弦信号的幅度。

由于许多非线性使用 randn() 函数生成, 因此每次仿真结果会有所不同。下仅为展示, 实际仿真结果会有一定的随机性。同时由于非理想的取值不一定非常合理, 因此不同非理想因素之间相互比较不一定能作为准确结果

### 3.3 仿真结果

在本节中, 我们将展示基于上述模型和参数在不同情况下的仿真结果, 包括静态参数和动态参数的测试结果。

#### 3.3.1 理想情况

在没有任何失配、失调等情况下, 我们可以得到理想的 ADC 性能。可以看到最差 DNL 为 0.0303LSB, 最差 INL 为 0.0167LSB, SNR 为 92.06dB, SNDR 为 92.06dB, SFDR 为 124.22dB, THD 为 158.68dB, ENOB 为 15bit。

可见理想情况的 ADC 的 ENOB 是正确的, 由于级间放大器开环增益无法设置为正无穷, 因此一定存在 THD, 但影响不大。DNL 与 INL 曲线十分合理, 没有出现失码情况, 但是由于采样点仍不够多, 精度并不高。

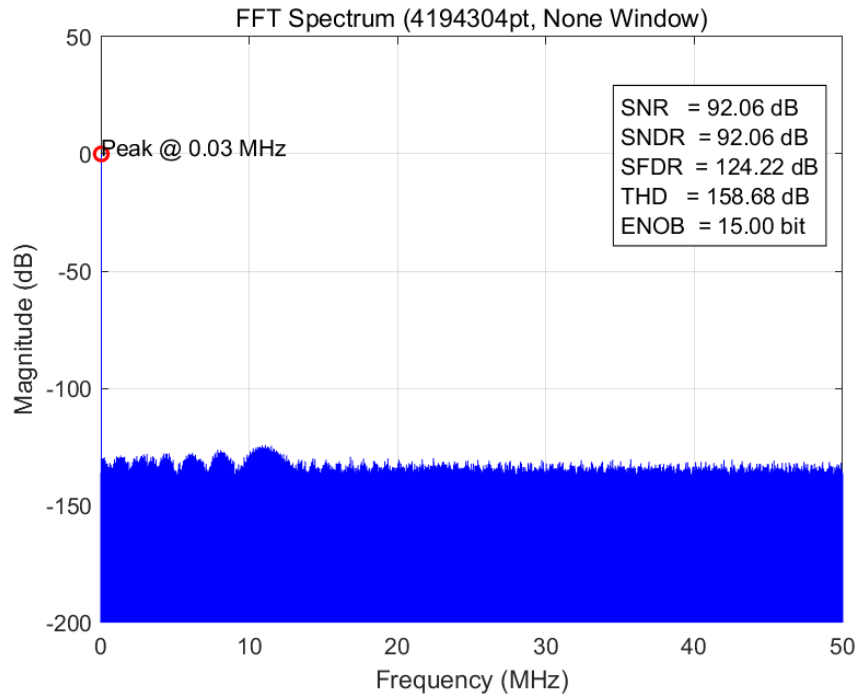


图 3.1: 理想情况下的动态特性

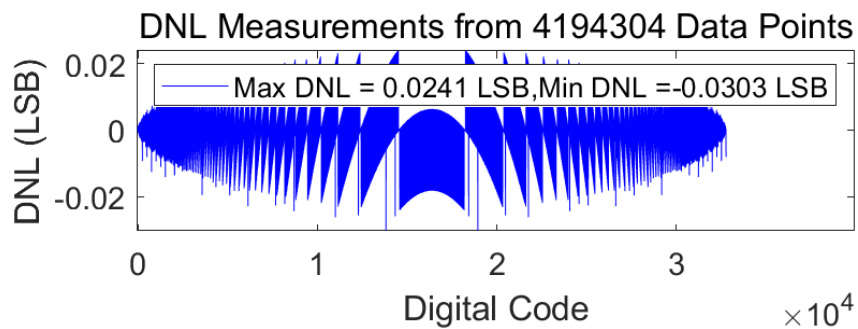


图 3.2: 理想情况下的 DNL

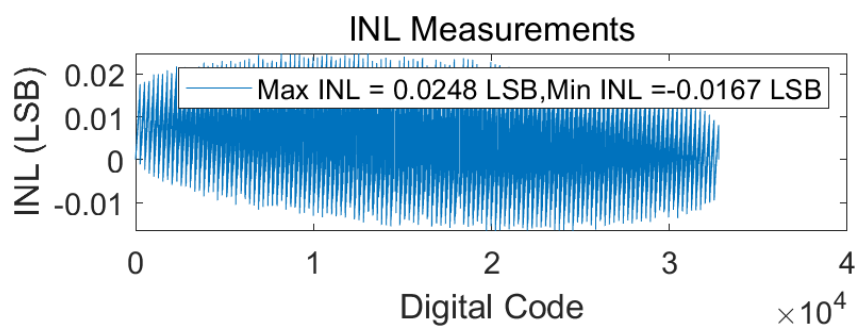


图 3.3: 理想情况下的 INL

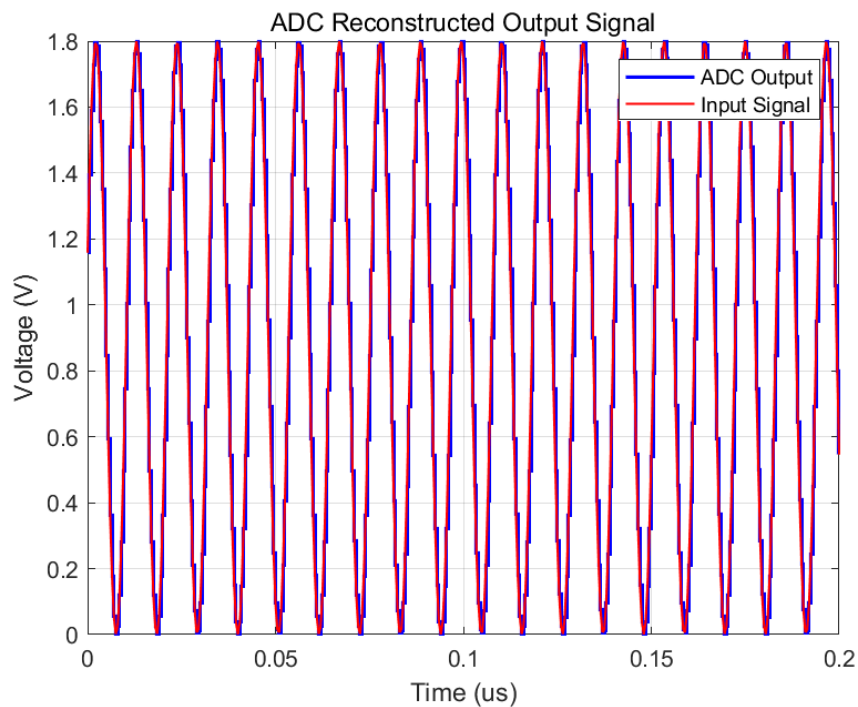


图 3.4: 理想情况下的输入输出对比

### 3.3.2 TI mismatch

- 失调失配设置四个通道各自有  $Mis_{OS} = 0.5 * LSB * randn()$ ；此时 ADC 性能。可以看到最差 DNL 为 0.814LSB，最差 INL 为 0.814LSB，SNR 为 91.15dB，SNDR 为 91.15dB，SFDR 为 98.33dB，THD 为 146.65dB，ENOB 为 14.85bit。

可以从 DFT 图中看到明显的谐波失真。四通道的失真出现频率难以推导。DNL 整体较为平稳，只有最后变为-0.814LSB。

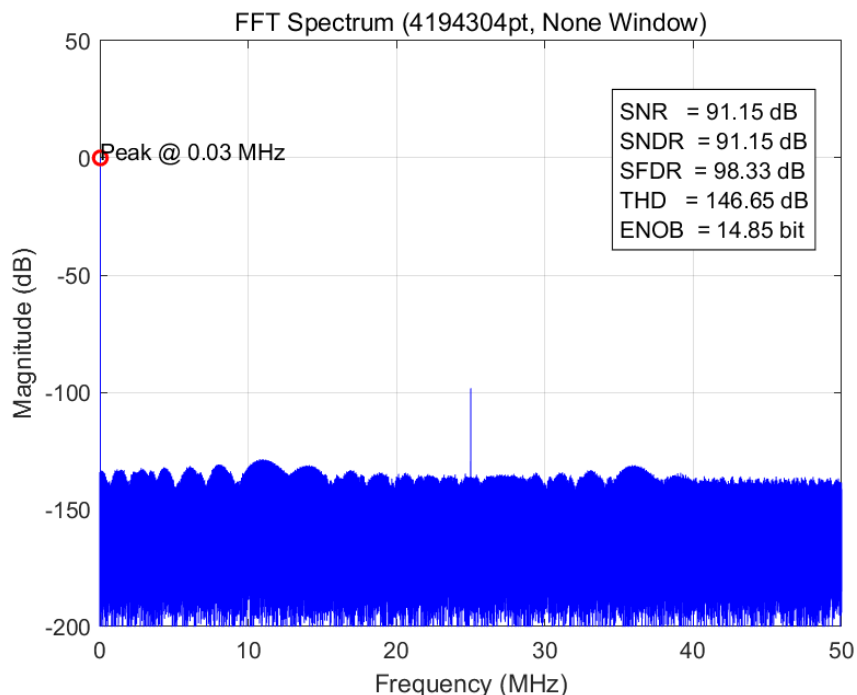


图 3.5: 通道内存在失调失配下的动态特性

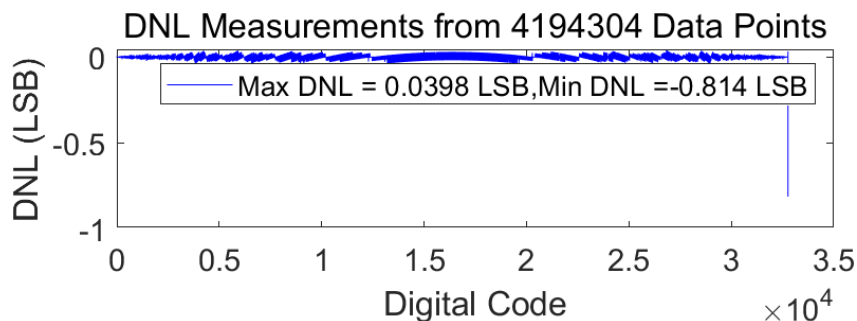


图 3.6: 通道内存在失调失配下的 DNL



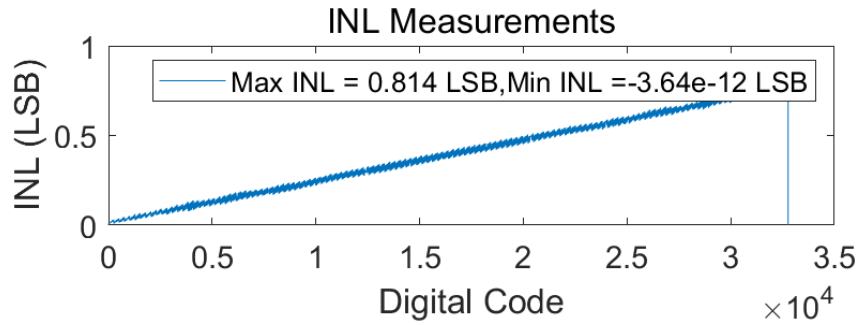


图 3.7: 通道内存在失调失配下的 INL

- **增益失配**设置四个通道各自有  $Mis_{Gain} = 1 + 0.2 * randn()$ ；此时 ADC 性能。可以看到最差 DNL 为 0.989LSB，最差 INL 为 1.07LSB，SNR 为 91.4dB，SNDR 为 91.4dB，SFDR 为 101.82dB，THD 为 145.5dB，ENOB 为 14.89bit。

可以从 DFT 图中看到明显的谐波失真。四通道的失真出现频率难以推导。DNL 整体较为平稳，只有最后变为-0.989LSB，接近失码。

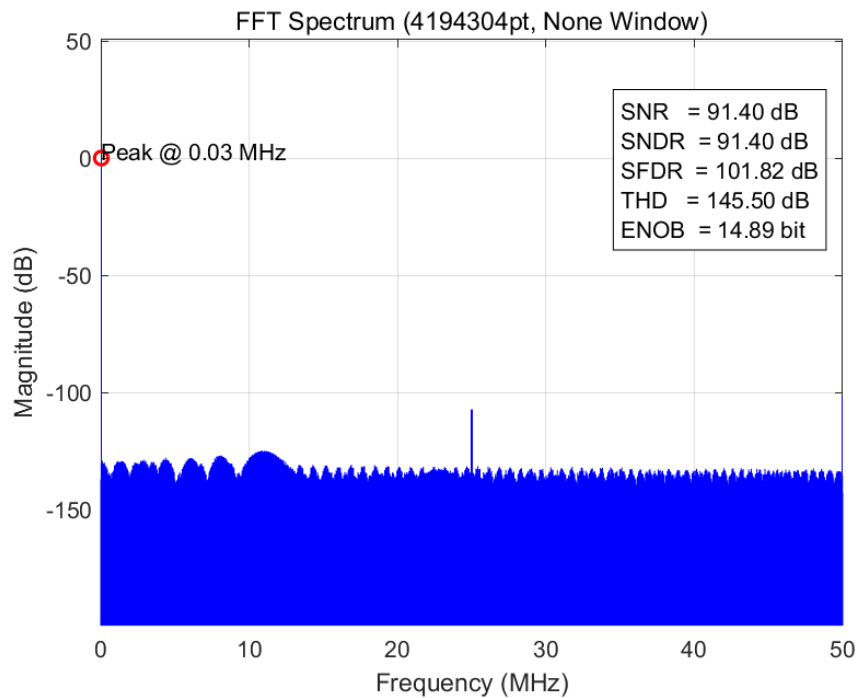


图 3.8: 通道内存在增益失配下的动态特性

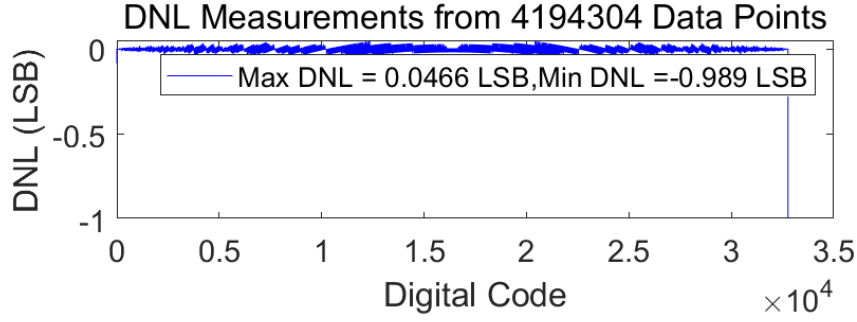


图 3.9: 通道内存在增益失配下的 DNL

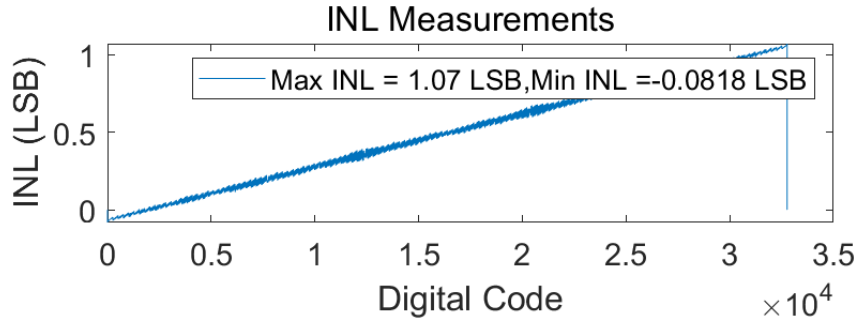


图 3.10: 通道内存在增益失配下的 INL

- 时钟偏差设置四个通道各自有  $Mis_{Clk} = 0.05 * 1/fs * randn()$ ; 可以看到最差 DNL 为 0.0222LSB, 最差 INL 为 0.0235LSB, SNR 为 79.98dB, SNDR 为 79.98dB, SFDR 为 84.98dB, THD 为 149.21dB, ENOB 为 12.99bit。

时钟偏差带来的负面影响主要体现在 SNR 和 SNDR 上, DNL 和 INL 的影响较小。可以从 DFT 图中看到明显的谐波失真。四通道的失真出现频率难以推导。DNL 整体较为平稳, 只有最后变为-0.0222LSB。

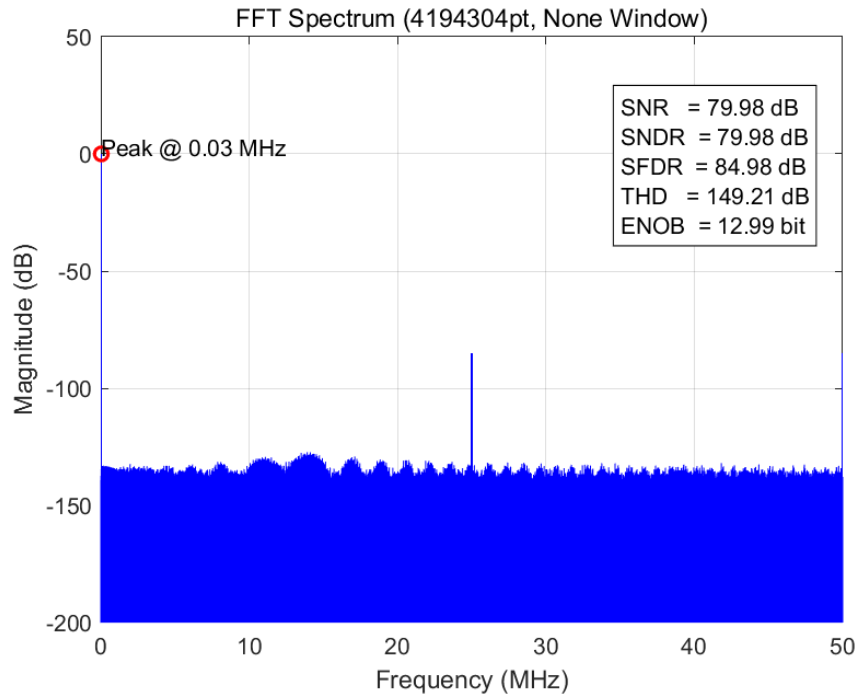


图 3.11: 通道间存在时钟偏差下的动态特性

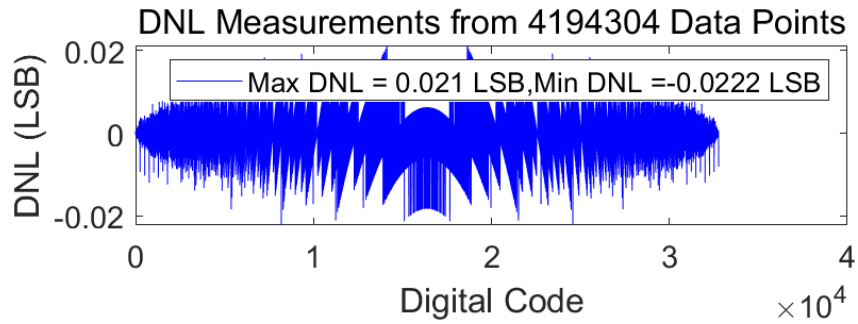


图 3.12: 通道间存在时钟偏差下的 DNL

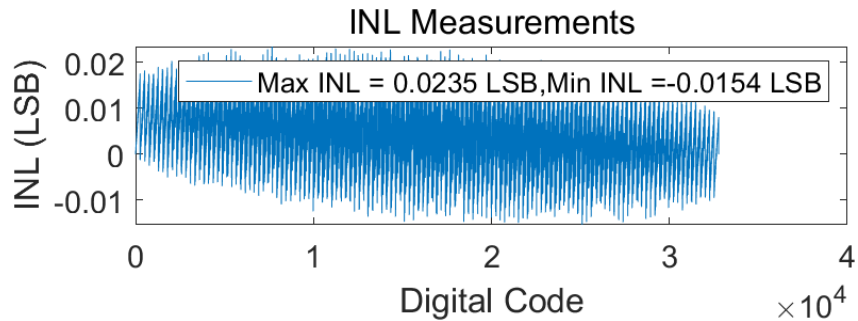


图 3.13: 通道间存在时钟偏差下的 INL

### 3.3.3 pipelined-SAR ADC 级间运放误差

- **有限增益误差（级间增益误差）** 级间增益误差可以通过改变级间增益放大器的开环增益来实现，当开环增益非正无穷时，级间增益为理想的  $2^6 = 64$ 。将开环增益改为 80dB，实际级间增益为  $\frac{10000}{1+10000*\frac{1}{2^6}} = 63.59$ 。

可以看到最差 DNL 为 0.832LSB，最差 INL 为 1.62LSB，SNR 为 86.35dB，SNDR 为 86.35dB，SFDR 为 104.63dB，THD 为 159.92dB，ENOB 为 14.05bit。

可以从 DFT 图中看出，并没有什么谐波失真，但是 DNL 和 INL 图像不再理想，DNL 出现了等间隔的最低点（单方向性），这是由于每隔低位就会出现大的失调，符合逻辑。

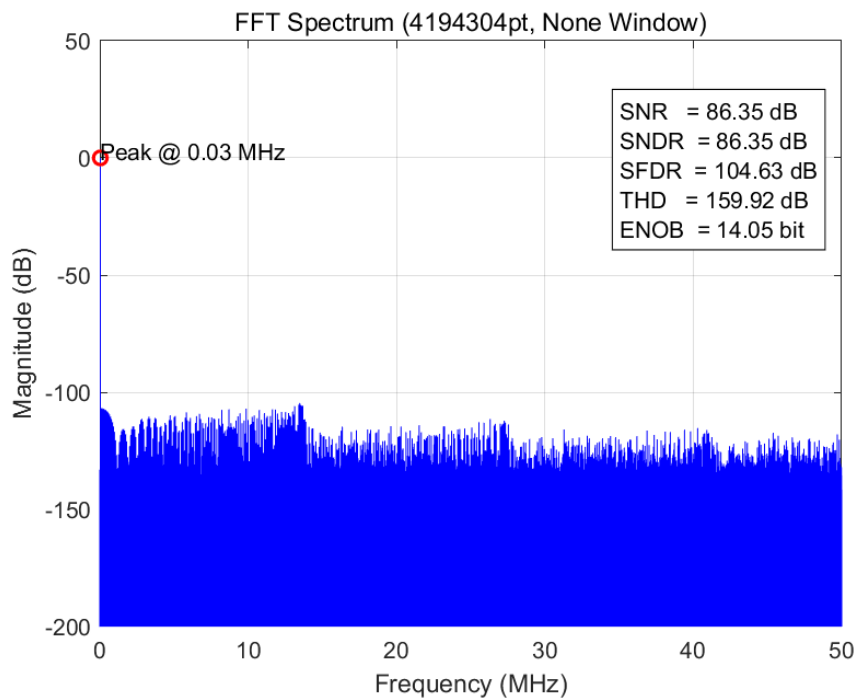


图 3.14: 有限增益误差下的动态特性

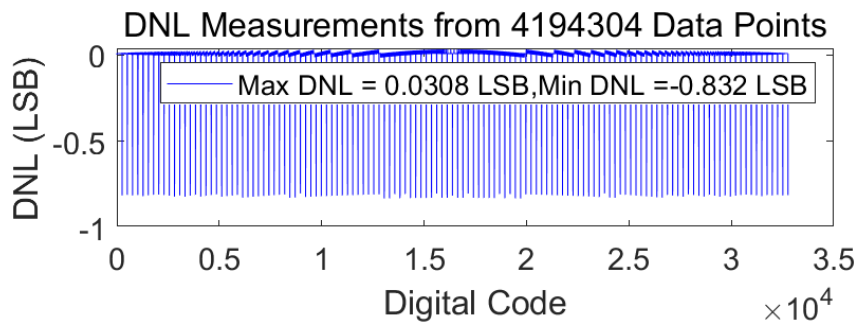


图 3.15: 有限增益误差下的 DNL

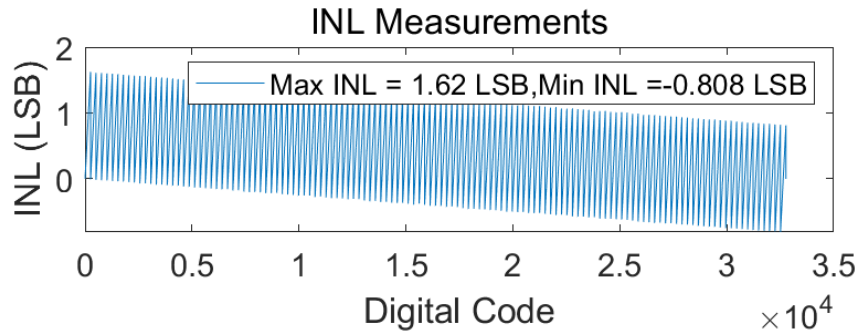


图 3.16: 有限增益误差下的 INL

- 有限带宽误差理想情况时级间增益放大器的带宽为  $10GHz$ ，现将带宽设置为为  $0.1GHz$ 。

可以看到最差 DNL 为  $0.419LSB$ ，最差 INL 为  $0.264LSB$ ，SNR 为  $90.15dB$ ，SNDR 为  $90.15dB$ ，SFDR 为  $108.80dB$ ，THD 为  $160.71dB$ ，ENOB 为  $14.68bit$ 。

可以从 DFT 图中看出，并没有什么谐波失真，但是 DNL 和 INL 图像不再理想，DNL 等间隔出现最高点与最低点，不再是单一的，符合逻辑。

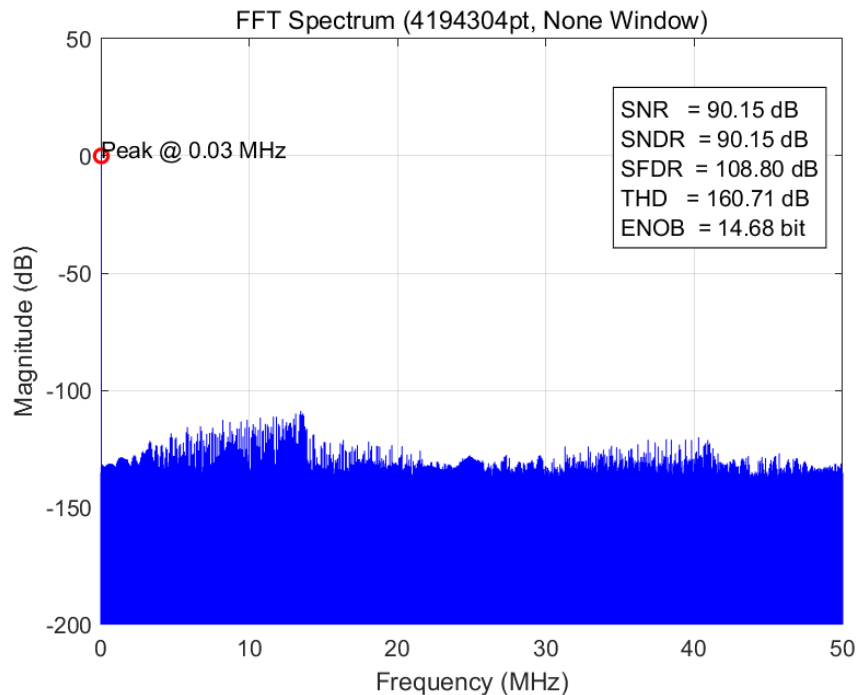


图 3.17: 有限带宽误差下的动态特性

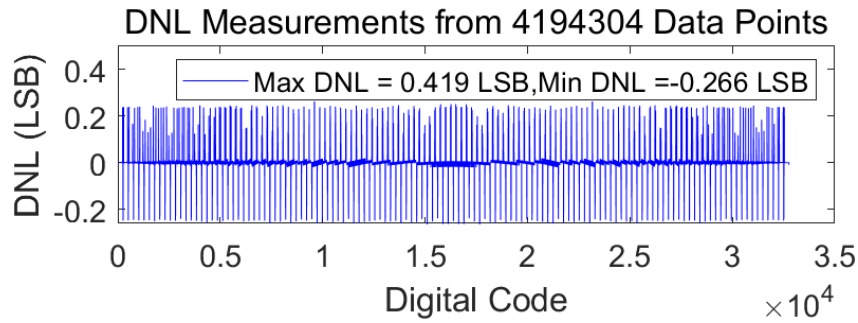


图 3.18: 有限带宽误差下的 DNL

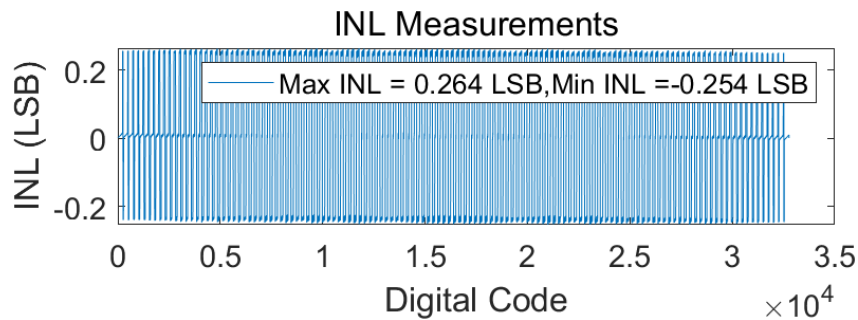


图 3.19: 有限带宽误差下的 INL

- 运放失调将失调调为 0.001V。

可以看到最差 DNL 为 0.866LSB, 最差 INL 为 0.866LSB, SNR 为 92.06dB, SNDR 为 92.06dB, SFDR 为 126.68dB, THD 为 161.51dB, ENOB 为 15bit。

可以清楚的看到 ENOB 并没有任何的下降, 这是合理的, 因为有冗余位的存在, 较小的 offset 并不会产生影响。DNL 除了最后, 基本也符合理想情况, 每个码所占略微有些变化。

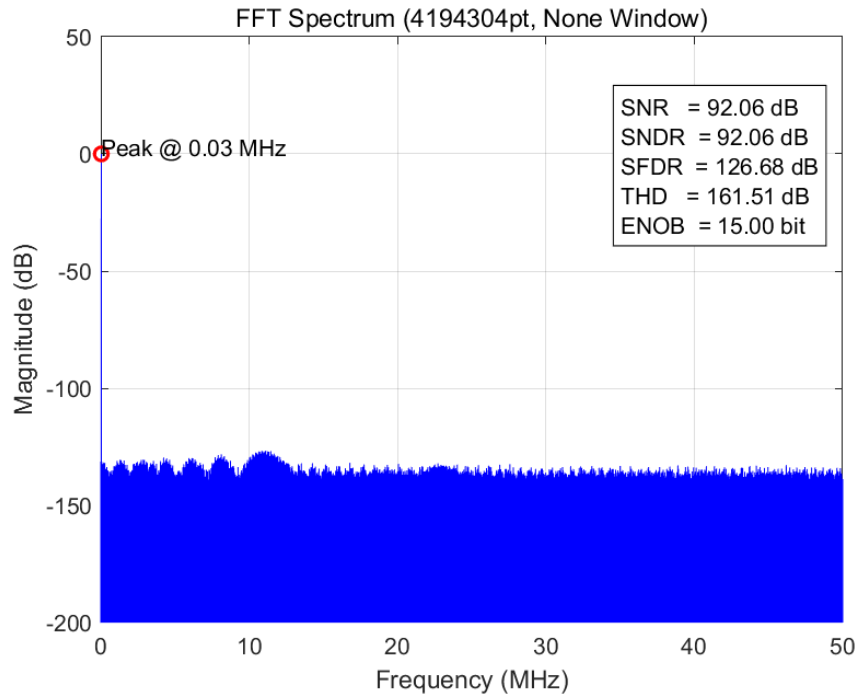


图 3.20: 存在运放失调时的动态特性

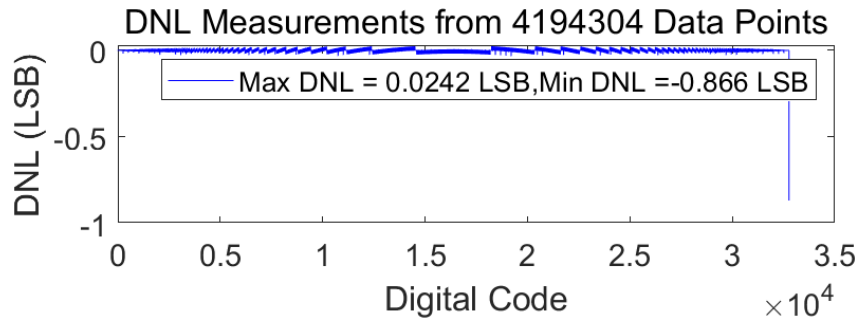


图 3.21: 存在运放失调时的 DNL

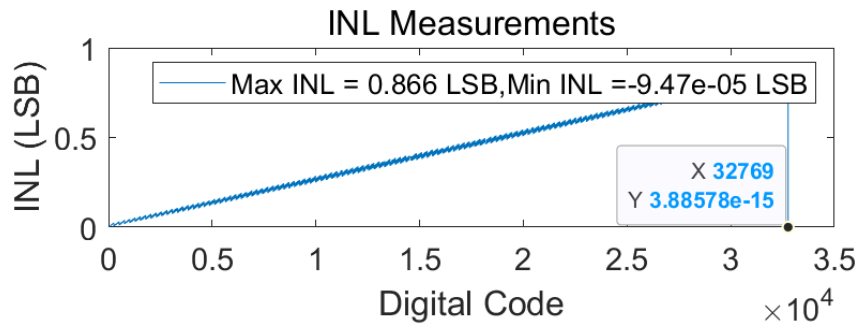


图 3.22: 存在运放失调时的 INL

### 3.3.4 SAR ADC 非理想

- 比较器失调将失调调为 0.005V。可以看到最差 DNL 为 0.719LSB，最差 INL 为 0.719LSB，SNR 为 92.07dB，SNDR 为 92.07dB，SFDR 为 124.89dB，THD 为 160.76dB，ENOB 为 15bit。

可以清楚的看到 ENOB 并没有任何的下降，这是合理的，因为有冗余位的存在，较小的 offset 并不会产生影响。DNL 除了最后，基本也符合理想情况，每个码所占略微有些变化。

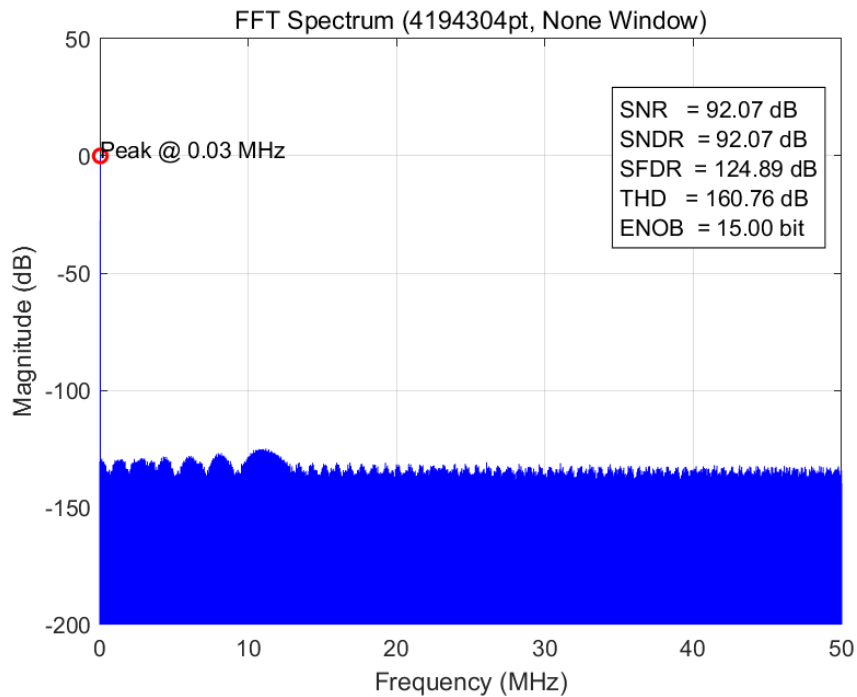


图 3.23: 存在比较器失调的动态特性

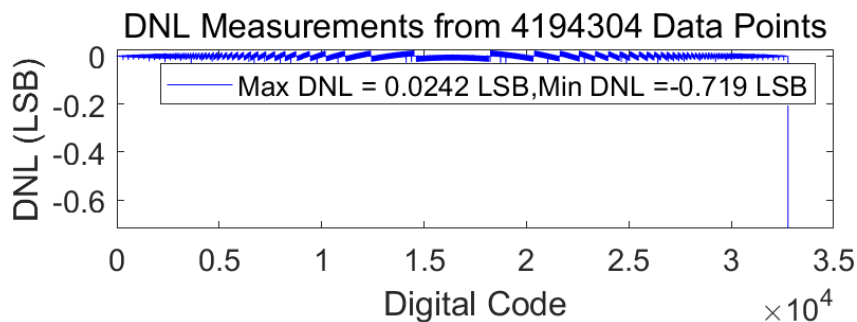


图 3.24: 存在比较器失调的 DNL



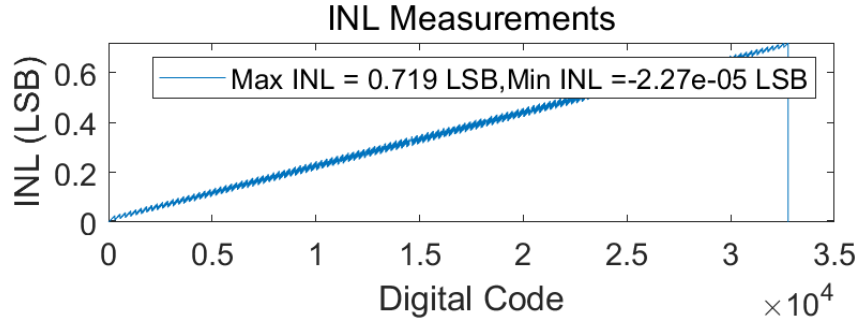


图 3.25: 存在比较器失调的 INL

- 寄生电容先将第一级的寄生电容调为  $C_{p_{n1}} = 5fF$ 、 $C_{p_{n1}} = 5fF$ ;

可以看到最差 DNL 为 0.0284LSB，最差 INL 为 0.0259LSB，SNR 为 92.07dB，SNDR 为 92.07dB，SFDR 为 124.48dB，THD 为 154.85dB，ENOB 为 15bit。

可以清楚的看到 ENOB 并没有任何的下降，这是合理的，由于存在冗余，寄生电容又只会产生固定的偏差，可以依靠冗余将固定偏差消除。DNL 与 INL 也基本与理想无异。

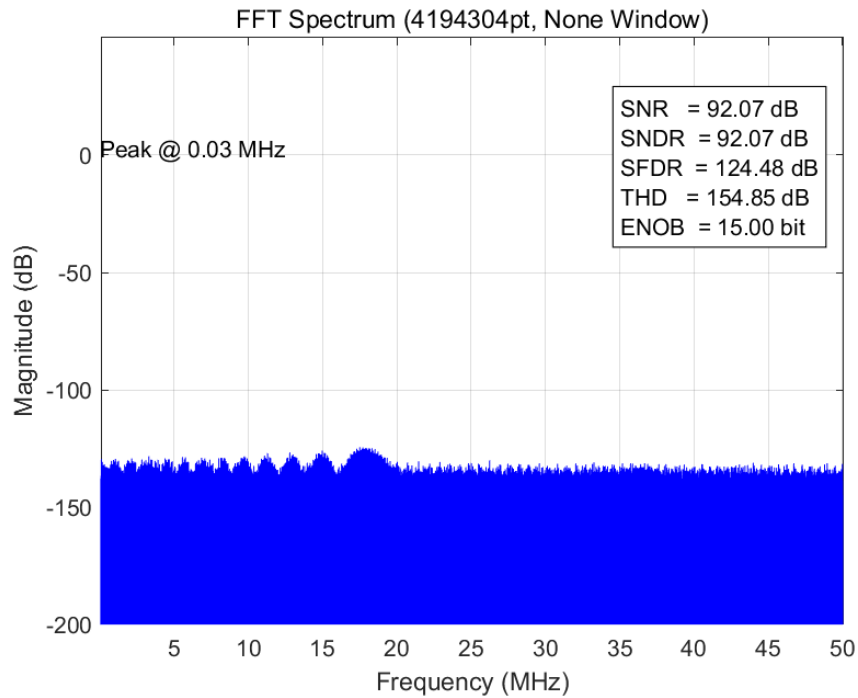


图 3.26: 第一级寄生电容的动态特性

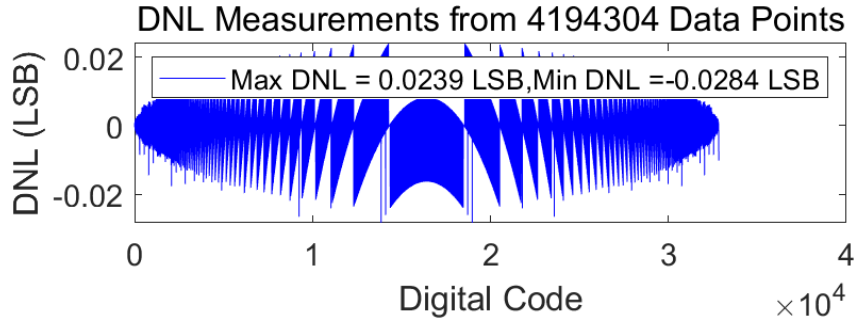


图 3.27: 第一级寄生电容的 DNL

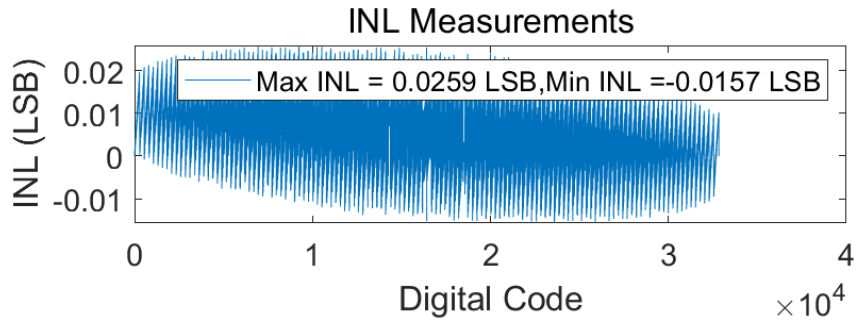


图 3.28: 第一级寄生电容的 INL

再将第二级的寄生电容调为  $C_{p2} = 5fF$ 、 $C_{n2} = 5fF$ ;

可以看到最差 DNL 为 0.994LSB, 最差 INL 为 5.34LSB, SNR 为 77.81dB, SNDR 为 77.81dB, SFDR 为 94.75dB, THD 为 157.67dB, ENOB 为 12.63bit。

在第二级, 后面并没有冗余, 寄生电容的误差出现, 非线性与线性度都出现了大幅下降。DNL 与 INL 出现了严重的恶化, SNR 与 SNDR 大幅下降。

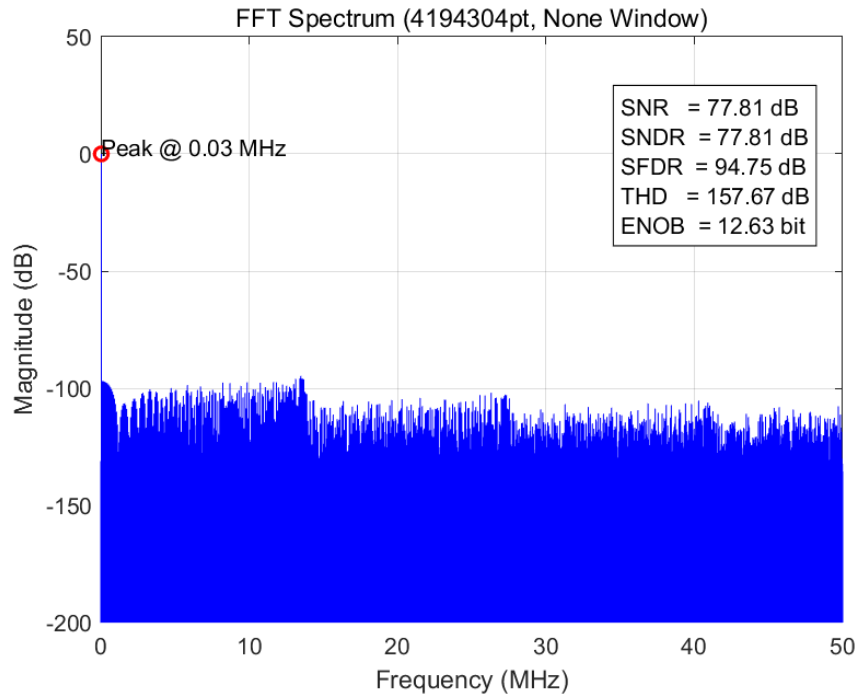


图 3.29: 第二级寄生电容的动态特性

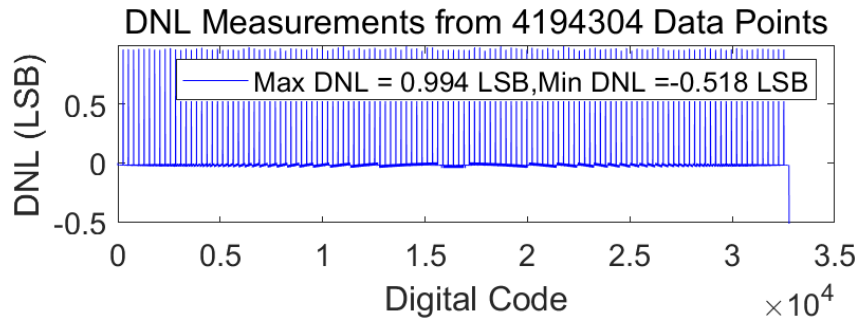


图 3.30: 第二级寄生电容的 DNL

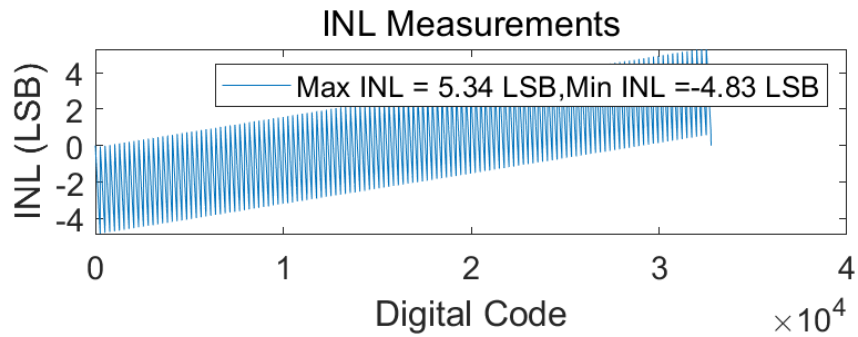


图 3.31: 第二级寄生电容的 INL

### 3.3.5 系统影响

- 电阻热噪声测量 T=300k 时的电阻热噪声

可以看到最差 DNL 为 1LSB，最差 INL 为 2.1LSB，SNR 为 85.82dB，SNDR 为 85.82dB，SFDR 为 137.49dB，THD 为 145.29dB，ENOB 为 13.96bit。

DNL 出现大量的不规则波动，没有理想时明显的轮廓了，符合噪声带来的影响。最后一位出现了失码。DFT 图中看不出明显失真。

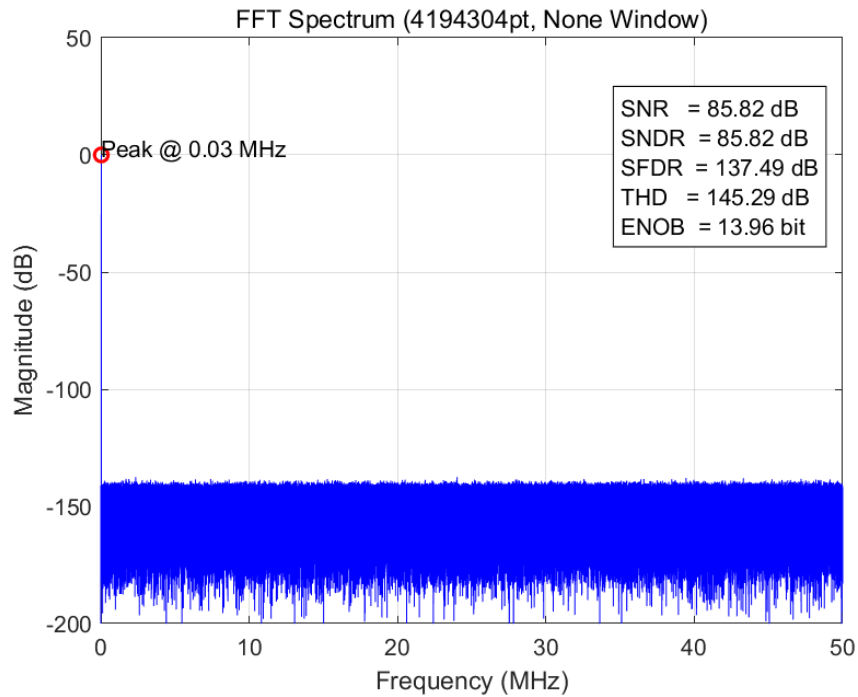


图 3.32: 电阻热噪声的动态特性

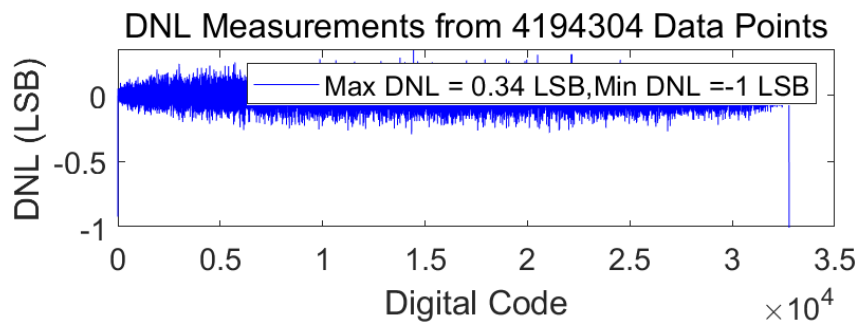


图 3.33: 电阻热噪声的 DNL

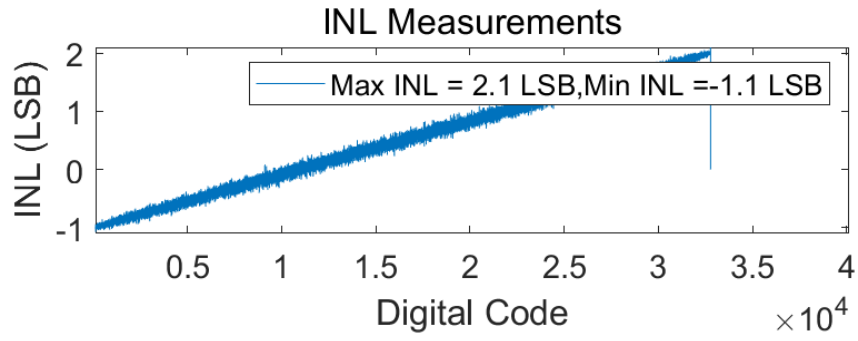


图 3.34: 电阻热噪声的 INL

- 时钟抖动测量 jitter=100ps 时的情况

可以看到最差 DNL 为 0.289LSB, 最差 INL 为 0.194LSB, SNR 为 89.66dB, SNDR 为 89.66dB, SFDR 为 132.16dB, THD 为 150.77dB, ENOB 为 14.6bit。

DNL 出现大量的不规则波动, 没有理想时明显的轮廓了, 符合时钟抖动带来的类似噪声的影响。DFT 图中看不出明显失真。

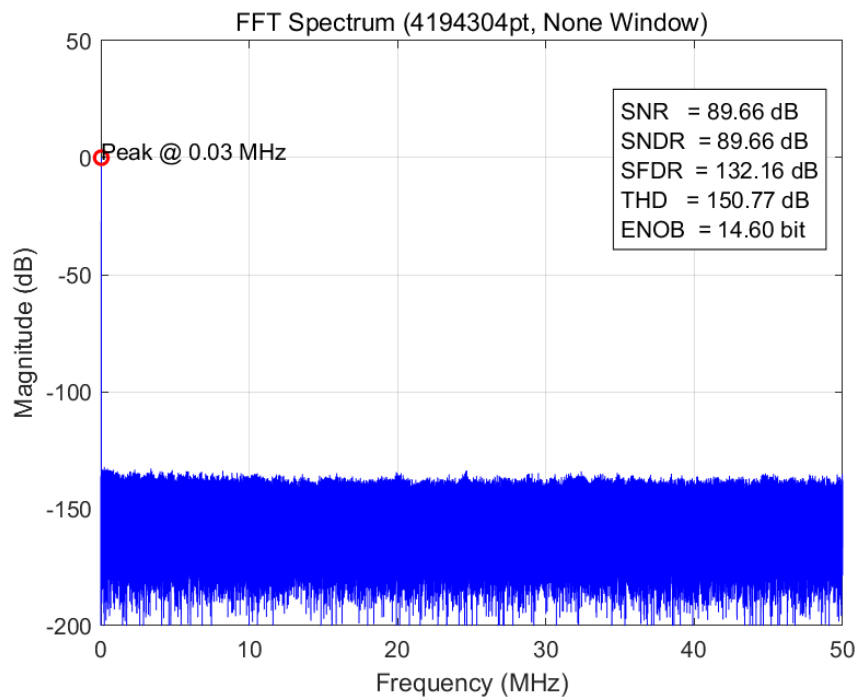


图 3.35: 存在时钟抖动的动态特性

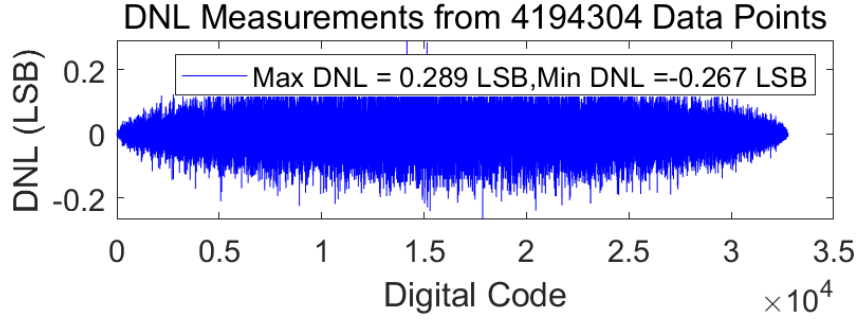


图 3.36: 存在时钟抖动的 DNL

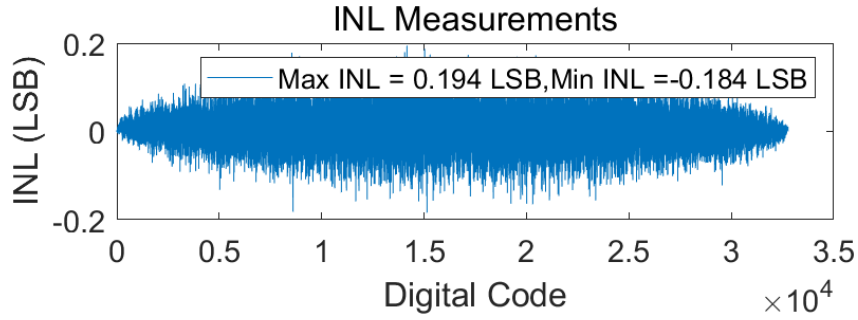


图 3.37: 存在时钟抖动的 INL

### 3.3.6 所有非理想叠加

$$Mis_{OS} = 0.5 * LSB * randn();$$

$$Mis_{Gain} = 1 + 0.2 * randn();$$

$$Mis_{Clk} = 0.05 * 1/fs * randn();$$

实际级间增益为 63.59;

带宽设置为 0.1GHz;

运放失调调为 0.001V;

比较器失调调为 0.005V;

第一级的寄生电容调为  $C_{p_{p1}} = 5fF$ 、 $C_{p_{n1}} = 5fF$ ;

第二级的寄生电容调为  $C_{p_{p2}} = 5fF$ 、 $C_{p_{n2}} = 5fF$ ;

T=300k 时的电阻热噪声。

jitter=100ps。

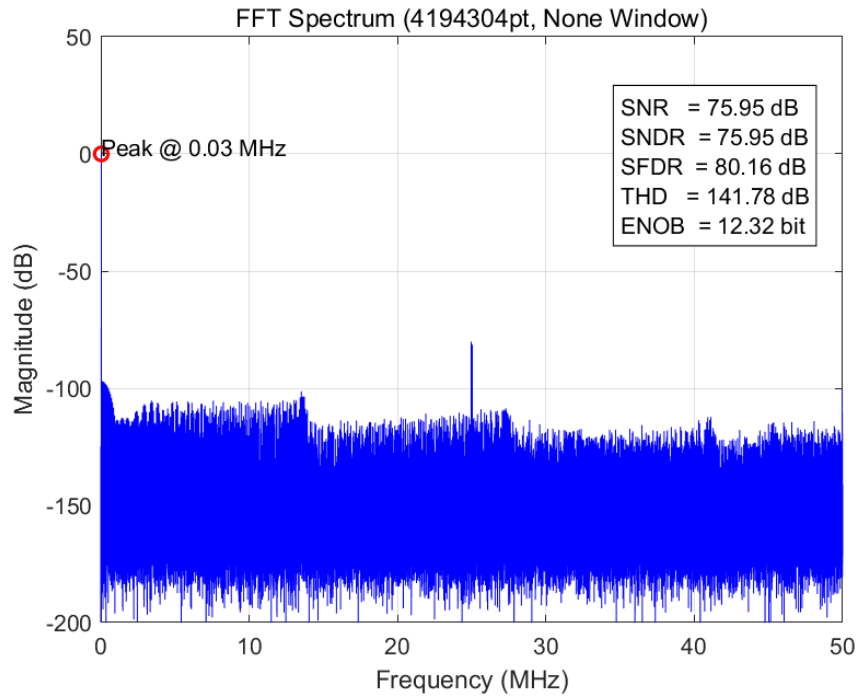


图 3.38: 全都非理想时的动态特性

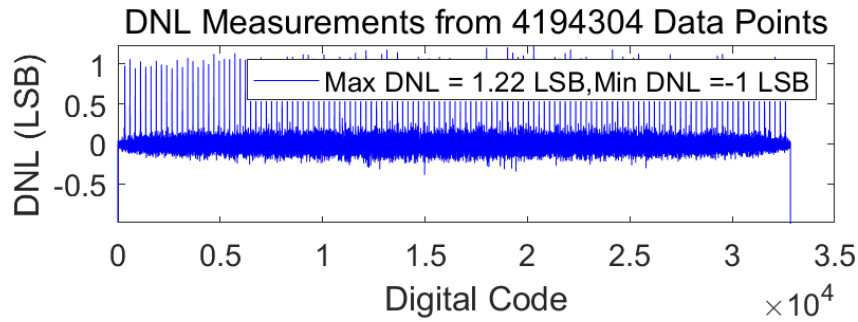


图 3.39: 全都非理想时的 DNL

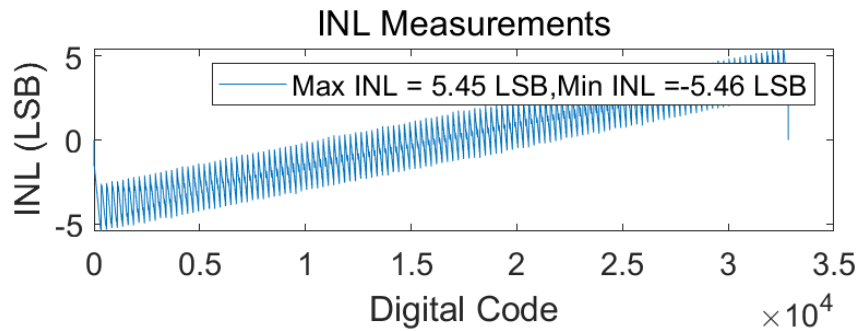


图 3.40: 全都非理想时的 INL

表 3.1: 静态/动态参数指标统计

	DNL(LSB)	INL(LSB)	SNR(dB)	SDNR(dB)	SFDR(dB)	THD(dB)	ENOB(bit)
理想	0.0303	0.0248	92.06	92.06	124.22	158.68	15
通道间失调失配	0.814	0.814	91.15	91.15	98.33	146.65	14.85
通道间增益失配	0.989	1.07	91.4	91.4	101.82	145.5	14.89
通道间时钟偏差	0.0222	0.0235	79.98	79.98	84.98	149.21	12.99
级间增益误差	0.832	1.62	86.35	86.35	104.63	159.92	14.05
建立误差	0.419	0.264	90.15	90.15	108.8	160.71	14.68
运放失调	0.866	0.866	92.06	92.06	126.88	161.51	15
比较器失调	0.719	0.719	92.07	92.07	124.89	160.76	15
第一级寄生电容	0.0284	0.0259	92.07	92.07	124.48	154.85	15
第二级寄生电容	0.994	5.34	77.81	77.81	94.75	157.67	12.63
电阻热噪声	1	2.1	85.82	85.82	137.49	145.29	13.96
时钟抖动	0.289	0.194	89.66	89.66	132.16	150.77	14.6
上述非线性叠加	1.22	5.46	75.95	75.95	80.16	141.78	12.32

结上表可以看到，但从 ENOB 进行分析，则通道间时钟偏差与第二级寄生电容对 ENOB 的有较大影响，其余的非理想因素影响较小。因此之后对 Time Skew 进行校正。

冗余的存在能很好地抑制前一级的非理想性以及比较器、运放失调，与理论相符！

电容寄生以及通道间的失配对失真的影响非常明显，SFDR 明显下降。

从 DNL、INL 图中可以看出，有限增益、有限带宽、电阻热噪声、时钟抖动对 DNL、INL 影响较大。



## 4 Timing skew 校正

### 4.1 时间校正方法一

本节, 我们对 TI-ADC 各通道的采样时钟偏差 (timing skew) 进行校正, 减小其对 SNR、SNDR、SFDR 的影响, 提高 ENOB。

校正方法: 基于均值绝对差的后台校正

#### 4.1.1 校正原理

考虑如4.1图所示信号, 以两通道为例说明:

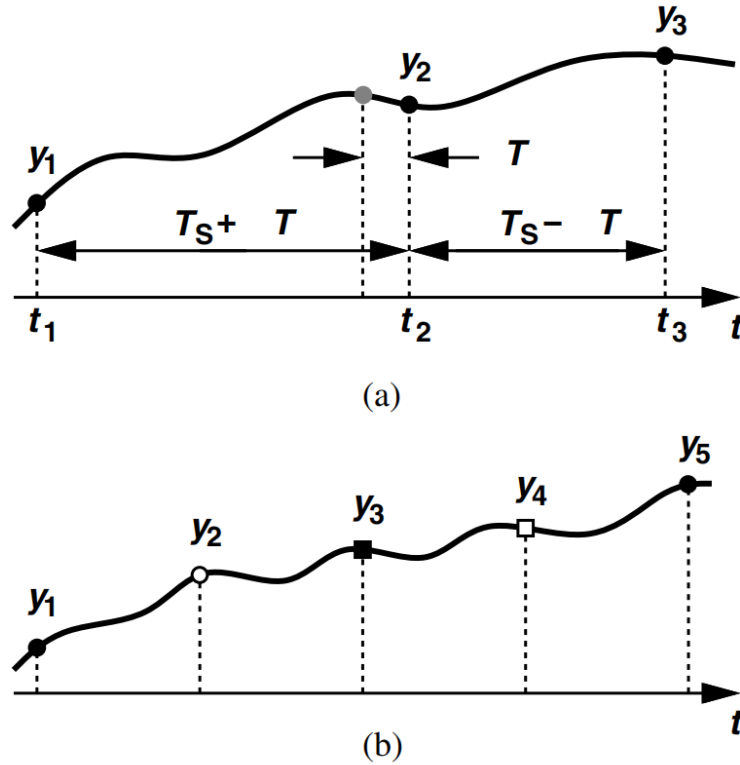


图 4.1: 时间偏差校正原理图

设  $t_1, t_3$  为通道 1 相邻采样时刻, 不考虑时钟 jitter,  $t_3$  比  $t_1$  延迟  $2T_s$ ,  $T_s = \frac{1}{f_s}$ , (两通道 TI-ADC, 子 ADC 采样周期  $T_{sub} = 2 * T_s$ )  $t_2$  为通道 2 采样时刻, 考虑通道 2 存在 timing skew, 不妨设延迟时间  $T$ 。则  $t_1$  与  $t_2$  的时间间隔为  $T_s + T$ ,  $t_2$  与  $t_3$  的时间间隔为  $T_s - T$ , 即:

$$t_2 = t_1 + T_s + T, \quad t_3 = t_2 + T_s - T$$

采样值为  $y_1 = y(t_1)$ ,  $y_2 = y(t_2)$ ,  $y_3 = y(t_3)$ , 考虑以下式子:

$$\begin{aligned} E[(y_2 - y_1)^2] &= E[y_2^2] + E[y_1^2] - 2E[y_2 y_1] \\ &= \sigma_{y2}^2 + \sigma_{y1}^2 - 2E[y(t_1 + T_s + T)y(t_1)] \end{aligned} \quad (4.1)$$

在均方作用下,  $\sigma_{y1}^2 = \sigma_{y2}^2 = \sigma_y^2$ , 因此

$$\begin{aligned} E[(y_2 - y_1)^2] &= 2\sigma_y^2 - 2E[y(t_1 + T_s + T) \cdot y(t_1)] \\ E[(y_3 - y_2)^2] &= 2\sigma_y^2 - 2E[y(t_2 + T_s - T) \cdot y(t_2)] \end{aligned} \quad (4.2)$$

考虑信号  $y$  的自相关函数:  $R(\tau) = E[y(t) \cdot y(t + \tau)]$

则有,

$$\begin{aligned} E[(y_2 - y_1)^2] &= 2\sigma_y^2 - 2R(T_s + T) \\ E[(y_3 - y_2)^2] &= 2\sigma_y^2 - 2R(T_s - T) \end{aligned}$$

$$\Rightarrow E[(y_2 - y_1)^2] - E[(y_3 - y_2)^2] = 2[R(T_s - T) - R(T_s + T)]$$

由于 timing skew 的大小  $T$  相对于 ADC 的周期  $T_s$  是小量, 泰勒展开得:

$$E[(y_2 - y_1)^2] - E[(y_3 - y_2)^2] = -4T \frac{dR}{d\tau}$$

由 Wiener-Khinchin 定理, 一个平稳随机信号的自相关函数是它功率谱密度的反傅里叶变换, 即

$$R(\tau) = \int_{-\infty}^{\infty} S(f) e^{j2\pi f\tau} df$$

因此, 我们可以求出自相关函数的导数:

$$\begin{aligned} R'(\tau) &= \frac{dR}{d\tau} = \int_{-\infty}^{+\infty} j2\pi f S(f) e^{j2\pi f\tau} df \\ &= \int_{-\infty}^{+\infty} j2\pi f S(f) (\cos(2\pi f\tau) + j \sin(2\pi f\tau)) df \end{aligned}$$

已知对于实信号, 功率谱密度是偶函数:

$$\begin{aligned} S(f) &= S(-f) \\ R'(\tau) &= - \int_0^{+\infty} 4\pi f S(f) \sin(2\pi f\tau) df \end{aligned}$$

我们假设信号带宽限制在 Nyquist 采样频率之内, 这也是一般满足的情况, 进一步化简可得:

$$R'(T_s) = - \int_0^{T_s/2} 4\pi f S(f) \sin(2\pi f T_s) df$$

易知  $0 < f < 1/2Ts$  时,  $\sin(2\pi fTs) > 0$  . 则  $R'(\tau) < 0$  , 这说明, 当信号频率  $f_s$  限制在奈奎斯特采样频率内时, 其自相关函数的导数一定小于零。

因此我们可以通过信号相邻通道的平方差均值求出时钟偏差的方向:

$$E[(y_2 - y_1)^2] - E[(y_3 - y_2)^2] = -4T \frac{dR}{d\tau}, \frac{dR}{d\tau} < 0$$

$$\text{sign}(E[(y_2 - y_1)^2] - E[(y_3 - y_2)^2]) = \text{sign}(T)$$

同样的方法可以证明, 利用相邻通道的绝对值差均值也是可以直接提取出 skew 方向的, 考虑电路实现的复杂性, 我们采样均值绝对差 (MAD) 的方法进行校正:

在通道 2 上设置可调的延时单元, 延时大小为 delay (注意: 通道 1 是基准通道, 不需要校正)

计算相邻样本差, 可通过加法器实现:

$$y_1 = y(t), \quad y_2 = y(t + Ts + \Delta t), \quad y_3 = y(t_1 + Ts - \Delta t)$$

$$y_{21} = |y_2 - y_1|, \quad y_{32} = |y_3 - y_2|$$

求均值, 得到偏差方向, 可通过均值滤波器实现:

$$\text{sign}(E[(y_{21} - y_{32})^2]) = \text{sign}(\Delta t)$$

若  $\Delta t > 0$  , 则将结果反馈到延时单元上, 令 delay 增加一个负延时  $-t_0$  ; 相反若  $\Delta t < 0$  , 令 delay 增加一个正延时  $+t_0$

重复上述步骤, 进行迭代, 最终 delay 会收敛于  $-\Delta t$  , 补偿时钟偏差的影响, 得到精确的采样时刻

#### 4.1.2 四通道校正

接下来分析四通道的情况, 参考图4.1

实现校正需要五个样本, 分别为四个通道的样本 ( $y_{1-4}$ ) 和通道 1 延迟一个周期的样本 ( $y_5$ ) , 此时校正需要分两阶段进行:

第一阶段: 通过  $y_1, y_3, y_5$  对通道 3 进行校正, 方法和两通道情况一致。

第二阶段: 通道 3 已校正完毕, 此时可将  $t_3$  视为精确的采样时刻,  $t_{31} = t_{53} = 2Ts$  , 则可重复之前的方法, 对通道 2 和通道 4 进行校正

电路结构示意图如下:

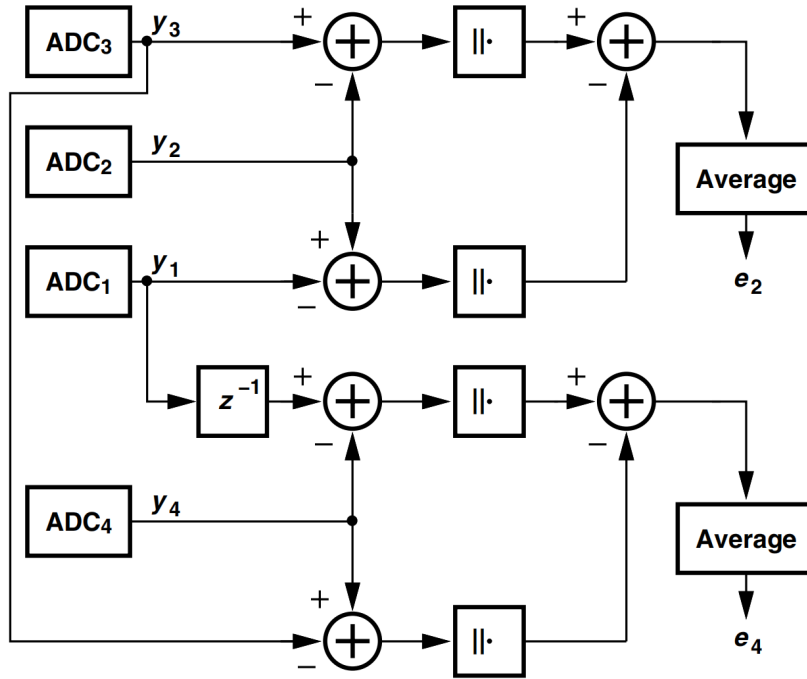


图 4.2: 四通道 ADC 时间校正电路

#### 4.1.3 MATLAB 实现代码 (节选)

```

1  delay = zeros(1, n_ch);
2  t0 = (0.01 * 1/fs) / 100;
3  Vout_chs = zeros(n_ch + 1, floor(num/n_ch));
4                                     Vout_diff = zeros(2, floor(num/n_ch));
5  sign_delta = zeros(1, n_ch);
6  iteration = 300;
7  alpha0 = 1;
8  beta = 0;
9  delay_err_log = zeros(iteration, n_ch);
10
11  for k = 1 : iteration
12      ...
13      if k < iteration / 2
14          Vout_diff(1,:) = abs(Vout_chs(1,:) - Vout_chs(3,:));
15          Vout_diff(2,:) = abs(Vout_chs(3,:) - Vout_chs(5,:));
16          sign_delta(3) = -sign(sum(Vout_diff(1,:) - Vout_diff(2,:)));
17      elseif k == iteration / 2

```

```

18 sign_delta(3) = 0;
19 else
20 Vout_diff(1,:) = abs(Vout_chs(1,:) - Vout_chs(2,:));
21 Vout_diff(2,:) = abs(Vout_chs(2,:) - Vout_chs(3,:));
22 sign_delta(2) = -sign(sum(Vout_diff(1,:) - Vout_diff(2,:)));
23 Vout_diff(1,:) = abs(Vout_chs(3,:) - Vout_chs(4,:));
24 Vout_diff(2,:) = abs(Vout_chs(4,:) - Vout_chs(5,:));
25 sign_delta(4) = -sign(sum(Vout_diff(1,:) - Vout_diff(2,:)));
26 end
27
28 alpha = alpha0 / (1 + beta*k);
29 delay = delay + alpha * t0 * sign_delta;
30 ...
31 end

```

#### 4.1.4 校正效果分析

- 固定 skew 情况:

设定 timing skew 为:

$$\text{Mis\_TS} = 0.005 \times \frac{1}{f_s} \times [-0.2, 0.4, 0.3, -0.6]$$

没有校正时，静态分析和动态分析结果如下图:

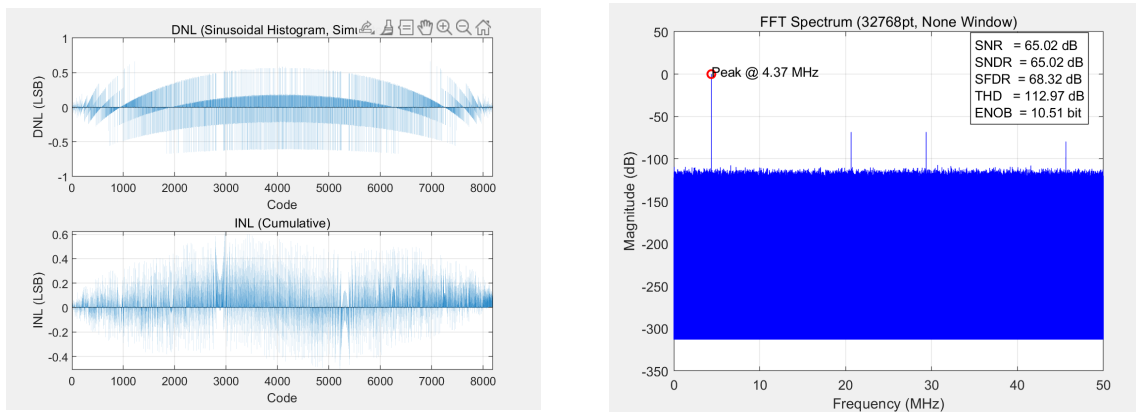


图 4.3: 未校正时静态和动态分析结果

加入校正后，静态和动态分析结果如图:

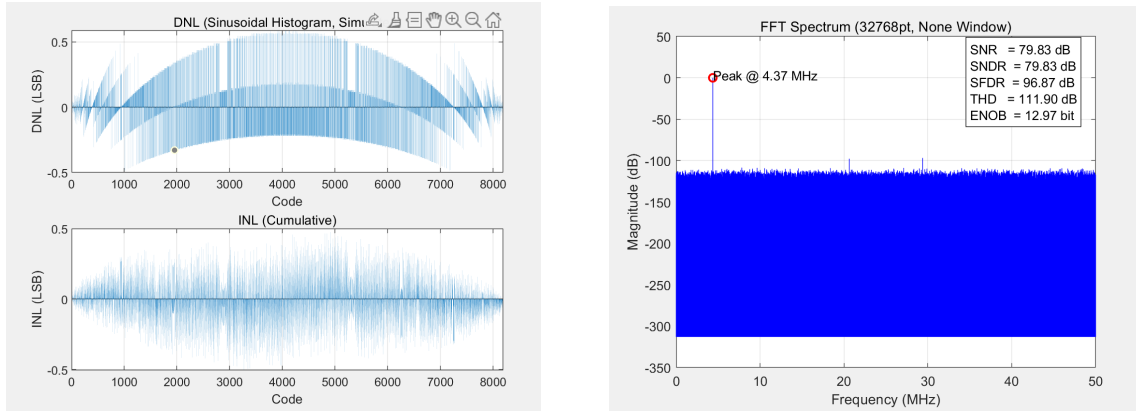


图 4.4: 校正后静态和动态分析结果

各通道校正残差收敛情况如下:

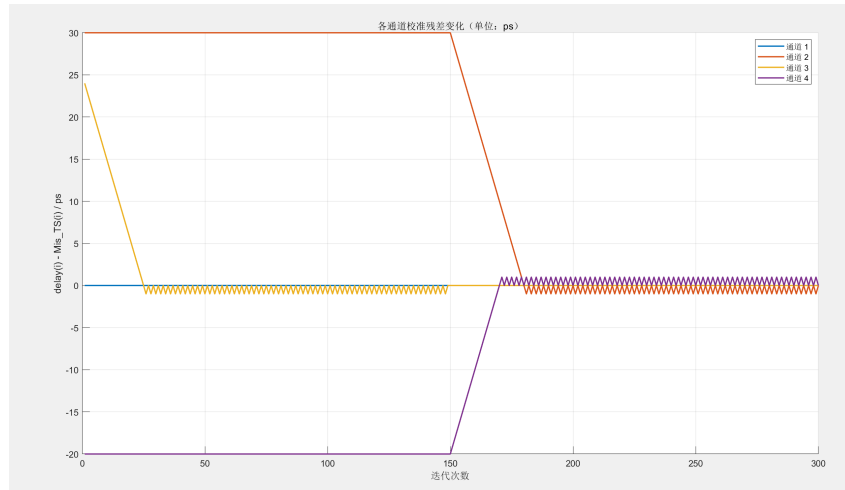


图 4.5: 各通道残差收敛情况

可以看到，校正效果非常明显。

- 随机 skew 情况: timing skew 由如下语句随机生成:

$$\text{Mis\_TS} = 0.005 \times \frac{1}{f_s} \times \text{randn}(1, n_{ch})$$

$f_s$  为 100 MHz，即 skew 均值为 0 ps 方差 50 ps 的正态分布下表统计了十次由随机数种子随机生成的 skew 校正前后的 ENOB 和 SNDR，其中设置迭代次数为 350 次，经检验能确保  $\pm 4\sigma$  情况均收敛:

表 4.1: 校正情况指标统计

校正前		校正后	
ENOB (bit)	SNDR (dB)	ENOB (bit)	SNDR (dB)
9.03	58.23	12.99	79.96
9.06	56.33	12.99	79.94
10.28	63.61	12.97	79.86
9.27	57.58	12.99	79.97
8.73	54.29	12.99	79.98
8.89	55.28	12.99	79.94
9.77	60.55	12.99	79.99
10.50	64.99	12.99	79.97
10.04	62.22	12.98	79.90
9.24	57.40	12.99	79.94

#### 4.1.5 迭代次数分析

在不同迭代次数下，进行多次随机数生成 skew，并统计 ENOB 和 SNDR 的平均值。

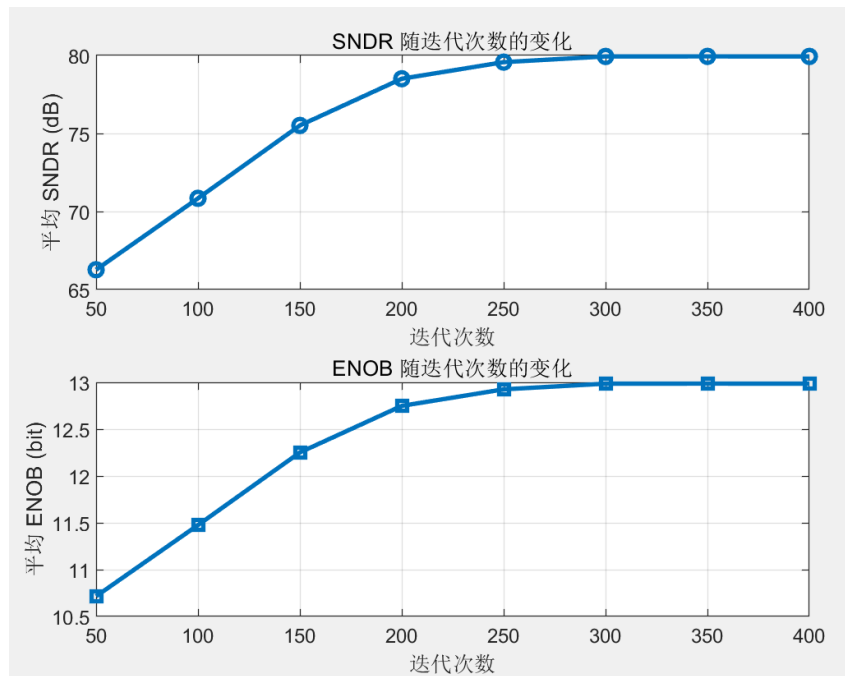


图 4.6: SNDR/ENOB 随迭代次数变化

可以看到，在统计条件下，校正对 ENOB 和 SNDR 的改善非常明显，且大约 300 次迭代就能实现大部分情况的收敛，ENOB 和 SNDR 达到最大。

## 4.2 时间校正方法二：基于自相关函数的校正

### 4.2.1 校正原理

首先计算所有相邻通道的自相关函数，包括最后一个通道与第一个通道的下一次采样的自相关。可以通过乘法器和均值滤波器实现，即：

$$\mathbb{E}(x_i[k]x_{i+1}[k]) = R(t_{i,i+1}) \quad (4.3)$$

以四通道为例，求出  $R(t_{1,2}), R(t_{2,3}), R(t_{3,4})$  和

$$R(t_{4,1})$$

理想采样时刻，有  $t_{1,2} = t_{2,3} = t_{3,4} = t_{4,1} = T_s$ ，存在时钟偏差时，考虑偏差相对采样周期是极小量，由泰勒展开易得：

$$\begin{aligned} & (R(t_{1,2}) + R(t_{2,3}) + R(t_{3,4}) + R(t_{4,1})) / 4 \\ & \approx R(T_s) + R'(T_s)(t_{1,2} + t_{2,3} + t_{3,4} + t_{4,1} - 4T_s) / 4 \\ & = R(T_s) \end{aligned} \quad (4.4)$$

上式表面， $R(T_s)$  可以通过对四个相关函数求平均来逼近。

我们再考虑，自相关函数在数个  $T_s$  范围内近似线性，则可以认为， $R(kT_s) \approx kR(T_s)$ 。下图为四通道 TI-ADC 的采样时刻图，白色表示理想采样时刻，红色表示实际采样时刻，采样时刻可以通过自相关函数来提取。

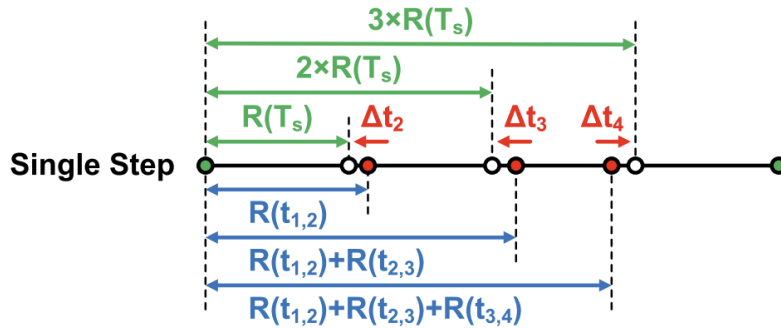


图 4.7: 时间偏差校正原理图

由泰勒展开，我们可以通过如下式子进一步提取出所有通道的采样时刻偏差：

$$\begin{aligned} \Delta R_4 &= R(t_{1,2}) + R(t_{2,3}) + R(t_{3,4}) - 3R(T_s) \\ &\approx R'(T_s) \Delta t_4. \end{aligned} \quad (4.5)$$



$$\begin{aligned}
\Delta R_3 &= R(t_{1,2}) + R(t_{2,3}) - 2R(T_s) \\
&\approx R'(T_s)(t_{1,2} + t_{2,3} - 2T_s) \\
&= R'(T_s)\Delta t_3.
\end{aligned} \tag{4.6}$$

$$\Delta R_2 = R(t_{1,2}) - R(T_s) \approx R'(T_s)\Delta t_2 \tag{4.7}$$

前文我们已经证明  $R'(T_s) < 0$ ，因此可以通过  $\Delta R_i$  的符号来求出  $\Delta t_i$  的符号，进而确定反馈极性。

#### 4.2.2 MATLAB 实现代码

接下来通过代码来解释校正步骤：

```

1  for i= 1:n_ch
2  .....(ADC采样+量化)
3  % 各通道得到的样本
4  Vout_chs(i,:) = D .* Vref / 2^N;
5  end
6  % 求出相邻通道的自相关函数
7  for i =1:n_ch
8  if i<n_ch
9  R_ti(i) = sum( Vout_chs(i,1:M-1) .* Vout_chs(i+1,1:M-1) ) / (M-1);
10 else
11 R_ti(i) = sum( Vout_chs(n_ch,1:M-1) .* Vout_chs(1,2:M) ) / (M-1);
12 end
13 end
14 % calculate calibration orientation
15 % 计算R(Ts)的近似值
16 R_ts = sum(R_ti, "all")/n_ch;
17 % 求出ΔR，进而求出反馈极性
18 for i=1:n_ch
19 R_delta(i) = sum(R_ti(1:i-1)) - (i-1)*R_ts;
20 end
21 sign_delta = sign(R_delta);
22 % 反馈，迭代求解
23 alpha = alpha0 / (1 + beta*k);
24 delay = delay + alpha*t0*sign_delta .* ones(1,n_ch);

```

```

25 for i = 1:n_ch
26 delay_err_log(k, i) = delay(i) + Mis_TS(i) - Mis_TS(1);
27 end

```

我们可以发现，该方法的优点是可以同时对所有通道进行校正。

### 4.2.3 校正结果

考虑 timing skew 由如下语句随机生成：

$$\text{Mis\_TS} = 0.005 \times \frac{1}{f_s} \times \text{randn}(1, n_{ch})$$

$f_s$  为 100 MHz，即 skew 均值为 0 ps 方差 50 ps 的正态分布下表统计了十次由随机数种子随机生成的 skew 校正前后的 ENOB 和 SNDR，其中设置迭代次数为 200 次，经检验能确保  $\pm 4\sigma$  情况均收敛：

表 4.2: 校正情况指标统计

校正前		校正后	
ENOB (bit)	SNDR (dB)	ENOB (bit)	SNDR (dB)
9.03	58.23	11.47	70.83
9.06	56.33	11.50	71.02
10.28	63.61	11.53	71.16
9.27	57.58	11.54	71.24
8.73	54.29	11.48	70.84
8.89	55.28	11.47	70.82
9.77	60.55	11.51	71.05
10.50	64.99	11.50	70.96
10.04	62.22	11.54	71.21
9.24	57.40	11.48	70.88

某一次校正的残差收敛曲线和动态/静态分析结果如图4.8和4.9：

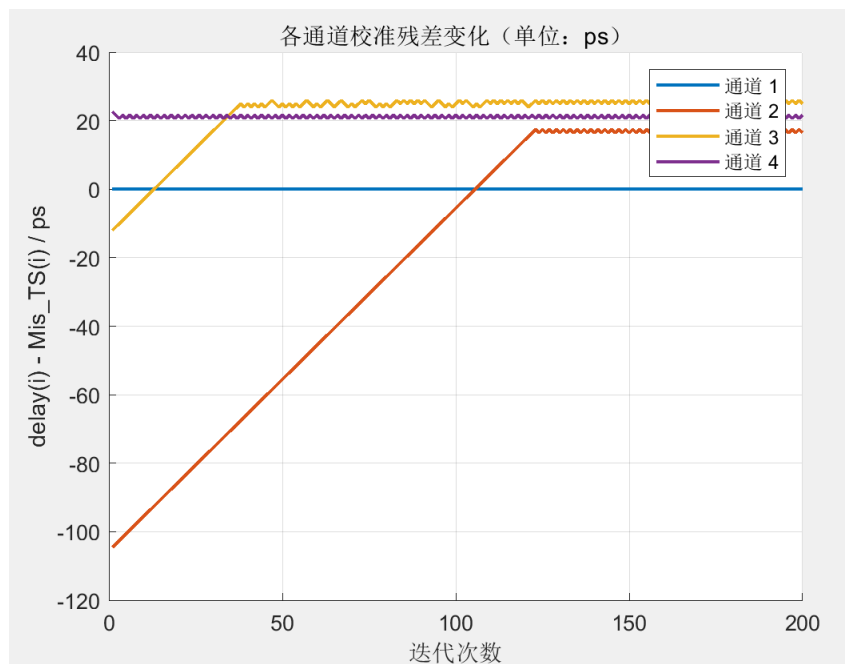


图 4.8: 方法二时间校正残差收敛曲线

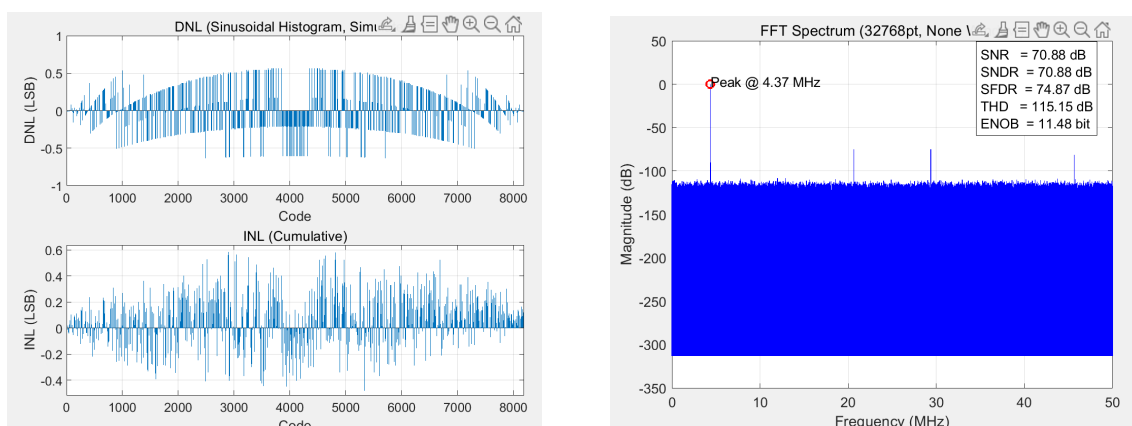


图 4.9: 方法二时间校正动态/静态分析结果

可以发现，该方法修正精度不如方法一，因为收敛的位置存在误差。推测原因包括：

1.  $R(T_s)$  使用对所有自相关函数求平均的方式近似计算，存在误差（次要）
2.  $\Delta R$  的计算需要自相关函数是线性，相当于  $T_s$  尺度下的泰勒展开一阶放缩，误差较大（主要）

#### 4.2.4 迭代次数分析

在不同迭代次数下，进行多次随机数生成 skew，并统计 ENOB 和 SNDR 的平均值。

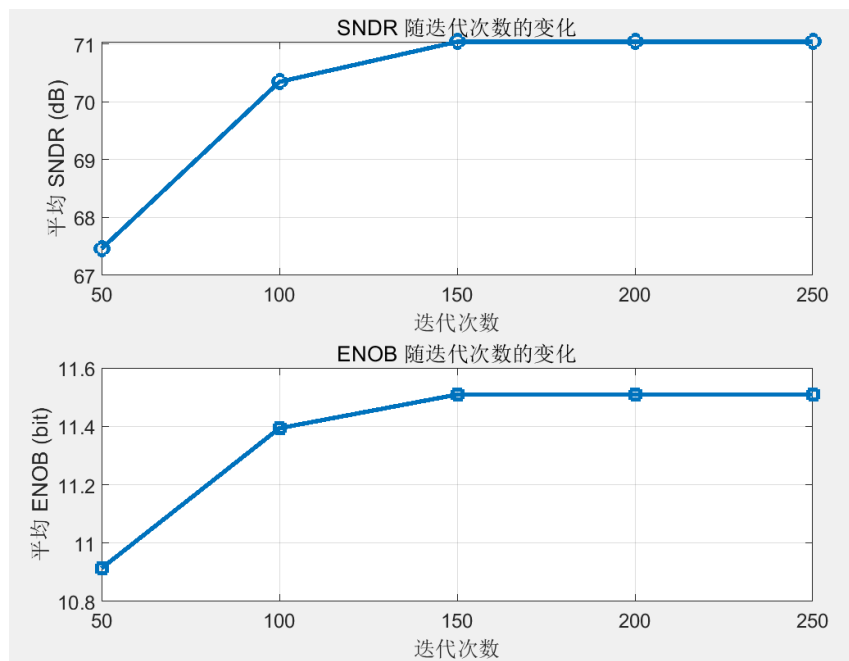


图 4.10: SNDR/ENOB 随迭代次数变化

可以看到，最佳迭代次数大概为 150 次，即只需要方法一所需时间的一半就能完成校正。

## 5 项目感想与需要注意的点

### 5.1 时间校正方法的选取

时间偏差是影响 TI-ADC 精度的关键因素，相比增益误差和放大器失调的因素，采样时刻不属于统计量，无法通过求平均的方式进行消除，因此较难校正。通过对大量相关文献的查阅，我们发现目前时钟偏差校正方法可以通过其对偏差的提取方式划分为大致三种：

- 第一种方法是通过一个额外参考通道进行校正，令参考通道的采样时刻能与每一个子 ADC 的采样时刻对齐，然后通过数字域上自相关函数等方法求出参考通道与每个通道的采样样本偏差值，最后对偏差值进行纠正。例如，文献 [1] 在原有 TI-ADC 上增加了一个单比特单通道的参考 ADC，并令其采样时刻覆盖子 ADC 采样时刻，并求出参考 ADC 样本相对各通道样本的相关函数，利用 LSM 算法和反馈到各通道的延时线对其极大值进行迭代逼近。该方法涉及额外 ADC 的使用，且需要确保该参考 ADC 的采样时刻是精确的。
- 第二种方法需要一个额外的信号发生器生成一组参考信号，并将其送入每个通道中进行额外的采样，通过采样结果可以检测各通道的时钟偏差情况。例如文献 [2] 使用过零点检测的方法，当周期性参考信号与采样时钟不同步时，相邻两个采样器之间出现过零点的概率与它们之间的采样时间间隔成正比，由此可以反应时钟偏差的极性。该方法需要增加高精度的信号发生器，且每个通道需要额外进行一次采样。
- 第三种方法是基于输入信号的统计特性来提取时钟误差，通过对比不同通道间采样值的相关性进行检测。在检测出极性之后，可以通过调节采样时刻在模拟域中进行校正，同时也可以利用数字滤波器在数字域中进行校正。

相比于前两类校准技术，第三类方法最显著的优势在于：**无需模拟硬件开销，所有的校准可以完全在数字域中完成**，因此本次仿真选择第三种。

### 5.2 项目过程中需要注意的点

- 流水线中后一级 ADC 与前一级不同，前一级的 sub ADC 直接完成  $N1$  次比较与作差，后一级的 sub ADC 进行  $N2$  次比较，但是只需要进行  $N2-1$  次作差。
- 测量 DNL 时使用 sin 进行测量受挫。使用 sin 函数进行测量时，由于测量数量不是无限多，可以得到近似正确的 DNL，实际仍有些许偏差。但由于 sin 的 pdf 不同，在除以每个码的理想值后，相当于对 DNL 的偏差进行了加权，从而导致 INL 在测量点数不够多的情况下偏差很大。

- 将矩阵的维度设置错误，从而导致电脑内存不足，无法进行特别多的采样，导致误差很大。之后改正了维度错误，正常运行。
- 计算自相关函数的硬件开销过大，使用绝对值差函数进行替换：由于计算自相关函数需要对庞大的样本进行乘积，硬件开销过于巨大，我们推测实际布置电路时不具备可行性，因此考虑其替代方案。文献 [8] 指出，均值绝对差（MAD, Mean Absolute Deviation）可用于替代相关性计算，在一般情况下很难证明二者的等价性，此处以正弦输入信号  $V(t) = \cos(\omega t)V(t)$  为例进行分析。

设采样间隔为  $\tau$ ，则两采样值间的 MAD 可表示为：

$$\text{MAD}(\tau) = |\cos(\omega t) - \cos(\omega(t + \tau))| = 2 \cdot \left| \sin\left(\frac{\omega\tau}{2}\right) \cdot \sin\left(\omega t + \frac{\omega\tau}{2}\right) \right|$$

当采样相位均匀分布时，第二项  $\sin(\omega t + \omega\tau/2)$  的期望值趋近于  $2/\pi$ ，从而有：

$$\text{MAD}(\tau) = \frac{4}{\pi} \cdot \left| \sin\left(\frac{\omega\tau}{2}\right) \right|$$

比较正弦函数的自相关函数  $R(\tau) = \cos(\omega\tau)$  的波形。显然  $\text{MAD}(\tau)$  与  $R(\tau)$  的单调性恰好相反：

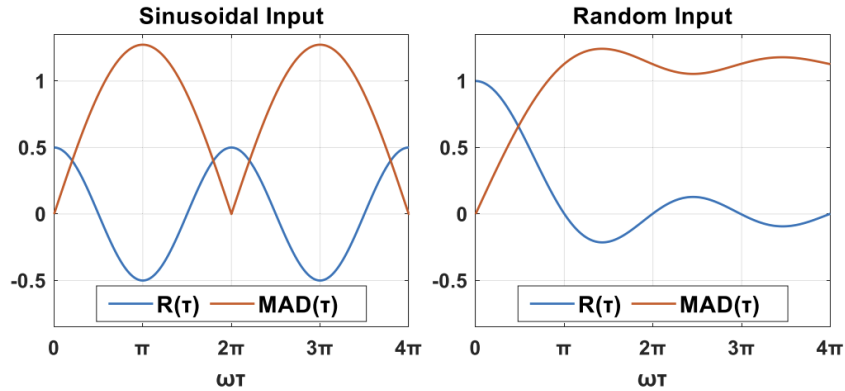


图 5.1: 自相关和 MAD 的比较

通过这两个特殊情况，我们可推断出： $\text{MAD}(T_s)$  与  $R(T_s)$  的符号总是相反的。因此，MAD 与自相关函数在提取时序偏差误差方面具有等效性。

然而，使用均值绝对值就行校正的采样时刻必须处于两个精确的采样时刻之间，因此无法同时对多个存在偏差的通道进行校正。

- 关于多通道 ( $> 2$ ) 情况的校正

基于自相关的校正方法存在如何提取  $R(T_s)$  的问题，理论上最精确的方法是使用同一通道的相邻两次采样（间隔一个  $n_{\text{ch}} * T_s$  的延时）进行提取。但该方法

只能对一个通道（即采样时刻位于中点处的那个通道）进行校正。在四通道的情况下，只能先对通道 3 进行校正，随后再对 2 和 4 进行校正。我们也找到了能同时对所有通道进行校正的方法，例如文献 [3]（本次项目采用的校正方法 2）使用近似  $R(T_{S_s}) \approx \sum_{i=1}^{n-ch} R(t_i, t_{i+1})$  来计算。并近似自相关函数  $R(\tau)$  在一个采样周期内是线性的，这样可以同时对所有通道进行修正：

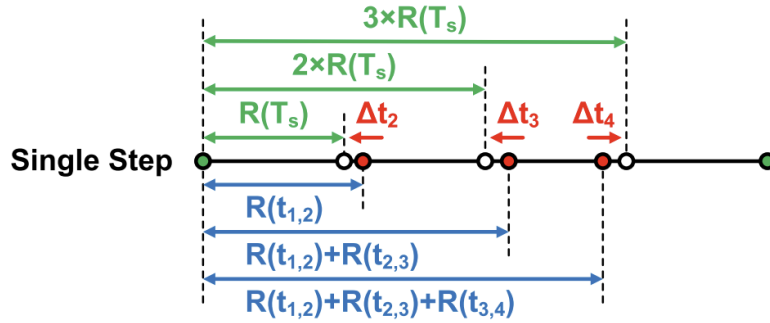


图 5.2: 四通道时间校正方法示意图

然而，我们在实际建模中发现该方法校正结果误差较大，通道延时相对 skew 的残差往往无法收敛到足够小的位置，ENOB 只能提升大于 1.5-2.5bit，最大修正 ENOB 大约为 11.5

- 校正精度和速度的权衡

对于在数字域提取误差、在模拟域进行校正的时序偏差校正技术而言，最终的校准精度受数字模块和模拟模块的共同影响。其中，模拟精度主要体现在可调延迟线的调节步长上，更小的步长意味着更精确的收敛域，但也增加了需要的迭代次数；而数字精度的影响则更为复杂。直观来看，通过增加平均采样的数量可以提升数字域的精度；但与此同时，这也会导致收敛速度下降。而校正方法也是影响进度的关键因素。采用单次只校正一个通道的方法能确保最高的校正精度，但大大增加了迭代次数；而多通道同时校正的方法虽然存在更大的误差，却能确保一定的校正速度，且不容易随通道数的变化而改变。总的来说，数字校准系统存在一个根本性的权衡关系：即校准精度与收敛速度之间的矛盾。

## 参考文献

- [1] M. El-Chammas and B. Murmann, “A 12-GS/s 81-mW 5-bit timeinterleaved flash ADC with background timing skew calibration,” *IEEE J. Solid-State Circuits*, vol. 46, no. 4, pp. 838–847, Apr. 2011.
- [2] C.-C. Huang, C.-Y. Wang, and J.-T. Wu, “A CMOS 6-bit 16-GS/s timeinterleaved ADC using digital background calibration techniques,” *IEEE J. Solid-State Circuits*, vol. 46, no. 4, pp. 848–858, Apr. 2011.
- [3] M. Gu, Y. Tao, X. He, Y. Zhong, L. Jie and N. Sun, ”A 1-GS/s 11-b Time-Interleaved SAR ADC With Robust, Fast, and Accurate Autocorrelation-Based Background Timing-Skew Calibration,” in *IEEE Journal of Solid-State Circuits*, vol. 60, no. 2, pp. 421-431, Feb. 2025, doi: 10.1109/JSSC.2024.3421363.
- [4] 本 pj 在原理介绍部分的部分图片来自江文宁老师和叶凡老师的 ADDA 课程课件。