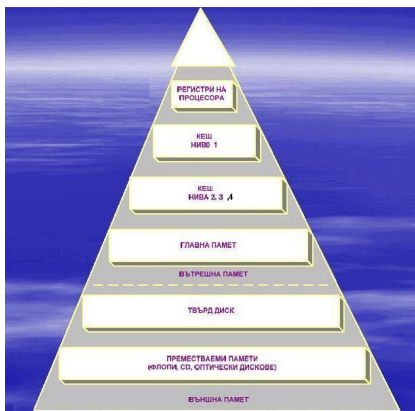


# ПАМЕТ НА КОМПЮТЪРНАТА СИСТЕМА

## 1.ОСНОВНИ ПОНЯТИЯ

### Памет на компютъра

Служи за съхранение на данни и информация необходима на компютъра за неговата работа. Намира разнообразни приложения в зависимост от мястото в йерархичната структура на компютъра.



Фиг.5.1.Йерархия на паметта

### Параметри

#### Капацитет

Обем информация в байтове, който може да побере паметта.

Единица	Съкращение	Приблизително в байта	Точна стойност в байта
байт	B	1	1
килобайт	KB	1000	1024
мегабайт	MB	1000000	1048576
гигабайт	GB	1000000000	1073741824
терабайт	TB	1000000000000	

#### Време за достъп

Времето за четене или запис от паметта (ns,  $\mu$ s, ms).

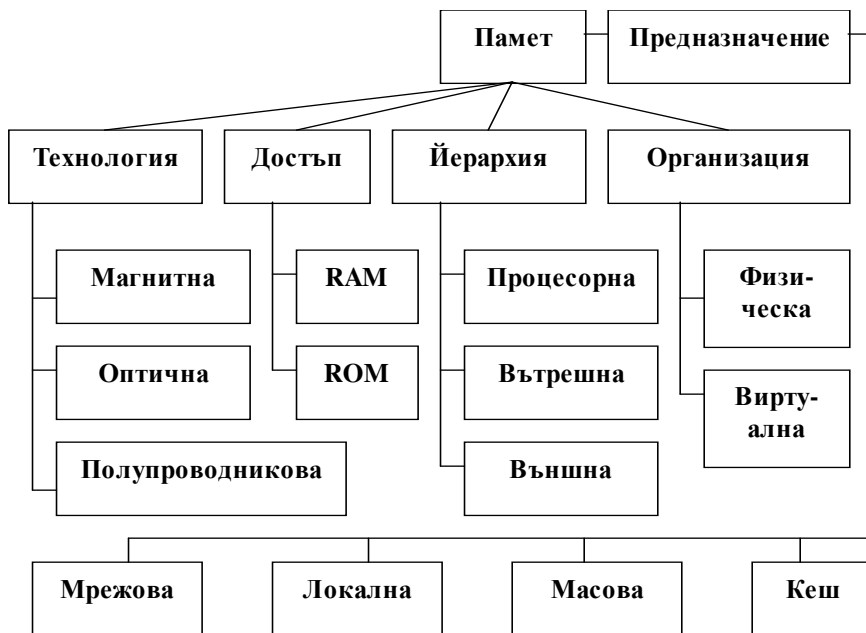
#### Максимална производителност

Брой прочетени или записани байта за секунда ( MB/s).

## Адресация

Всеки байт от паметта има адрес, който го идентифицира. Адресите на паметта се номерират, като се започва с нула.

## 2.КЛАСИФИКАЦИЯ НА ПАМЕТТА



### 2.1.Технологията на изпълнението

#### Магнитна

Покритие от магнитно чувствителен материал, който се преориентира под въздействие на магнитно поле, като се променя позитивно или негативно в съответствие с бита данни.

*Приложения - външни запомнящи устройства / дискове и магнитни ленти/.*

#### Полупроводникова

Интегрална схема /чип/, изградена на база полупроводников материал (обикновено силиций), в която са интегрирани милиони транзистори и други електронни компоненти.

*Приложения - оперативна памет, кеш памет и др.*

#### Оптична

Оптичен лъч, който обхожда повърхност, върху която по различен начин са кодирани битове информация.

*Приложения - оптични запомнящи устройства.*

## **2.2. Начин на запомняне и достъп**

### ***Постоянна памет (ROM)***

Памет с фиксиран достъп (от нея може само да се чете информация). Паметта е енергонезависима, т. е. при изключване на захранването информацията се запазва. Не е възможно да се променя съдържанието на информацията в паметта.

**EPROM** - разновидност на ROM паметите, които могат да бъдат препрограмирани.

**EEPROM** – електрически изтриваема програмируема постоянна памет, при която информацията може да се променя произволен брой пъти без да се налага предварително изтриване на старата информация.

### ***Променлива памет (RAM)***

Памет с произволен достъп /позволява многократно четене и запис на информация/. Паметта е енергозависима. В компютрите се използват основно две разновидности:

**DRAM** - динамична памет, в която информацията се запазва чрез постоянно опресняване (регенерация).

*Приложения - оперативна памет, видеопамет и др.*

**SRAM** - статична памет, която схемно съхранява информацията и не е необходимо опресняване. Има по-голямо бързодействие и е значително по скъпа от динамичната памет.

*Приложения - кеш памет, специализирана видеопамет и др.*

### ***FLASH памет***

Вид енергонезависима препрограмируема компютърна памет. Реализира се върху полупроводникови чипове по планарна технология. Произвеждат се два основни типа флаш-памет: NOR (логика NOT OR) и NAND (логика NOT AND). И в двата типа памет като елементарни клетки за съхранение на информацията се използват полевни транзистори. Флаш-паметта може да бъде прочетена произволен брой пъти, но записването в нея е ограничено (обикновено около 10 000 пъти). Причината е, че за извършването на запис е необходимо отначало да се изтрие участъкът от паметта, а участъкът може да издържи само ограничен брой изтривания. Тъй като изтриването става на цели участъци, не е възможно да се замени само един бит или байт, без да се изтрие целият участък (това ограничение се отнася за най-популярния тип флаш-памет— NAND). Предимството на флаш-паметта пред RAM и DRAM паметите е нейната енергонезависимост — при изключване на захранването съдържанието на паметта се запазва. Предимството ѝ пък пред твърдите дискове, CD-ROM и DVD е отсъствието на движещи се части. Затова флаш-паметта е компактна, евтина (като се отчете стойността на устройствата за четене и запис при посочените) и предоставя по-бърз достъп. Недостатък в сравнение с твърдите дискове е

относително малкият обем: обемът на най-големите флаш-карти е около 16 Gb.

*Приложение - цифрови фотоапарати и видеокамери, цифрови диктофони, MP3-плейър, PDA и др.*

## **2.3. Йерархична структура на паметта**

### **Основни принципи**

- Повторяемост на обръщенията - голяма част от програмите не се обръщат към всички свои команди и данни равновероятно, а предпочитат части от своето адресно пространство.
- Съотношение цена/производителност - йерархията на паметта се изгражда на няколко нива, при което по-високото ниво има по-малък обем, по-голямо бързодействие и по-голяма цена, в сравнение с по-ниското ниво.

### **Йерархичните нива**

- Йерархичните нива са взаимосвързани. Всички данни на едно ниво могат да бъдат намерени на по-ниското ниво. Всички данни на това по-ниско ниво могат да бъдат намерени на следващото по-ниско стоящо ниво и т.н. докато не се достигне основата на йерархията.
- Йерархията на паметта се състои от няколко нива, но във всеки момент от времето процесорът работи само с две съседни нива. Минималната единица информация, която може да присъства или да отсъства в две съседни нива се нарича блок. Размерът на блока може да бъде фиксиран или променлив.

### **Описание на нивата**

Описанието на нивата трябва да включва:

- Разполагане на блока;
- Идентификация на блока;
- Заместване на блокове;
- Стратегия на запис.

### **Определяне на производителността**

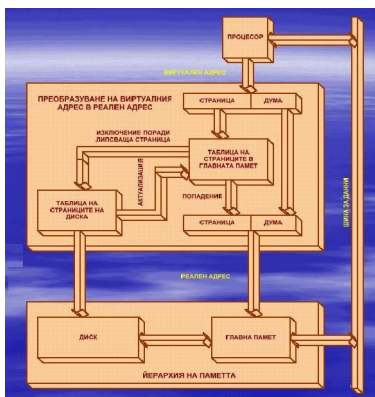
Йерархията на паметта цели повишаване на производителността. В тази връзка честотата на попадания и грешки е от съществено значение.

- Попадение (hit) - успешно обръщение към по-високото ниво (намерен блок);
- Грешка (miss) - неуспешно обръщение към по-високото ниво (ненамерен блок);
- Коефициент на попадения (hit ratio) =  $\frac{\text{Брой попадения}}{\text{Брой обръщения}}$  % ( на по-високото ниво).

## **2.4. Организация на паметта**

### **Виртуална памет**

Осигурява се от операционната система, която използва вградените свойства на процесора за работа с външна памет, за да набави недостигащия обем реална памет. Съвременните процесори използват виртуална памет, като допълнение на истинската реална памет



Фиг.5.3. Виртуална памет

Само активната част от програмите се оставя във физическата памет, координатията е на ОС. Механизмът се нарича виртуална памет и се прилага винаги при мултипрограмиране с времеделене (т.е. винаги).

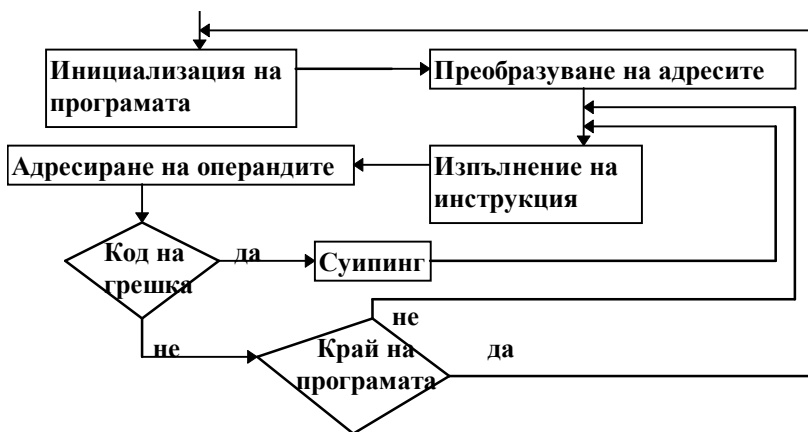
Адресни области. Областта на физическите адреси покрива основната памет. Виртуалните адреси се генерират при компилация (не при изпълнение) на програмите, а по една област на виртуалните адреси (съдържаща виртуалните адреси от компилацията) се създава за всяка заредена от ОС програма. ОС транслира динамично виртуалните адреси във физически, като ползва таблици за транслацията и функции на изображението на областта на виртуални адреси в областта на физически адреси. Функцията на изображението е много сложна за мултипроцесорни системи поради проблеми с поддържане на свързаност на информацията, защитата и освобождаването на разпределената обща памет. При тях има 2 модела виртуална памет (ВП):

- частна ВП. Всеки процесор има собствено виртуално адресно пространство, разделено на страници. Предимства - малко адресно пространство за всеки процесор, управлявано с примерно 32 битов адрес; защита на страниците. Недостатъци - *синонимен проблем* (различни виртуални адреси на различни процесори или на един процесор сочат една и съща физическа страница); и обратно еднакви виртуални адреси в

различни виртуални пространства сочат различни страници в основната (физическата) памет.

- обща ВП. Всички виртуални адреси на процесорите формират *общо виртуално адресно пространство*, от което всеки процесор получава съответна част (понякога припокриваща се). Предимства - уникални адреси и няма синонимен проблем. Недостатъци - процесорът трябва да генерира дълъг адрес 48-64 бита; необходима е синхронизация на достъпа до общата таблица на страниците на ВП и съответно трансляцията на адреса е по-бавна.

### Алгоритъм на функциониране на виртуалната памет



**Инициализация на програмата** - операционната система създава модел на пространство от виртуалната памет, в който се определя обема на паметта и виртуалните адреси на паметта, които програмата може да ползва.

**Преобразуване на адресите** - програмата от операционната система, управляваща виртуалната памет, изисква от процесора да преобразува адресите на свободната оперативна памет във виртуални адреси.

**Таблица на съответствие** - чрез нея процесорът открива, че програмата прави опит да използва адрес, който в момента не съществува и генерира код на грешка, наречен недействителна страница.

**Суопинг** (размяна)/ - операция, на освобождаване оперативната (реалната) памет от излишна информация и обновяването и с необходимата на изпълняваната програма информация.

**Програма поддържаща виртуалната памет** - при код на грешка, тя избира известна част от виртуалната памет, разположена в реалната памет и я прехвърля временно в диска.

**Диск** - склад за съхранение частта от виртуалната памет, която в момента не се използва.

## **2.5.Предназначение на паметта**

### **Локална памет**

Служи на компютъра, като допълнително хранилище за информация (твърд диск). Съхранява програми и данни, с които компютъра не работи.

### **Кеш памет**

Приближава данни и информация до мястото на обработката им, като по този начин значително ускорява самата обработка. В компютърните мрежи кеш паметта доближава информацията до потребителя.

### **Мрежова памет**

Дискови памети с голям капацитет, организирани като компютърна мрежа. Използват се за съхранение на бази данни и бази знания в съвременните мрежи.

### **Масова памет**

Използва се за пренасяне на информация от един компютър на друг(CD ROM, DVD и др.)

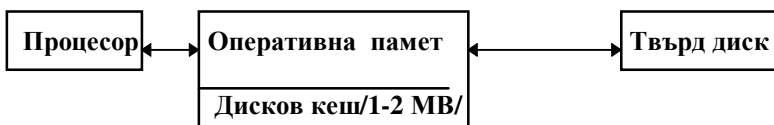
## **3.Функционална схема на паметта**

**3.1.Процесорна (свръх оперативна) памет** - вградена е в процесора. Характеризира се с голямо бързодействие и малък капацитет.

- **ROM** - постоянна памет, в която са записани програмите за изпълнение на процесорните инструкции(набор от микроинструкции);
- **BP** - вътрешни регистри, които изпълняват важна роля при съхранение моментното състояние на компютъра и изпълнимата програма, при обработка на прекъсванията и при управление процеса на адресация;
- **КЕШ L1**- малка буферна памет, в която се съхраняват често използваните от процесора инструкции и операнди.

## **3.2.Вътрешна (оперативна) памет**

- **КЕШ L2** - външна кеш памет, която процесорът използва, за да избегне в някои случаи работата с по - бавната оперативна памет. При последните процесори, тази памет е вградена в процесора.
- **КЕШ L3** - външна кеш памет използвана при многоядрените процесори.
- **КЕШ L4** - второ допълнително ниво за симетрична обработка
- **Оперативна памет** - съхранява изпълнимата програма и операционната система. Съвременните приложения изискват голям капацитет и голямо бързодействие.
- **Дисков кеш** - място в оперативната памет, където компютърът пази някои от прочетените от диска данни.



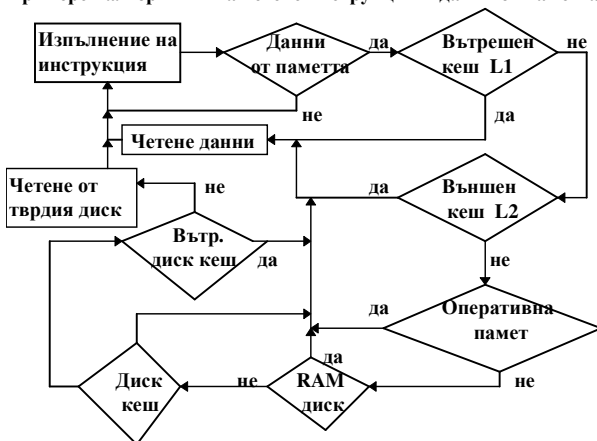
Всеки път когато компютърът бъде включен, кеширащият софтуер автоматично заделя определен обем оперативна памет. В него се запазва копие от данните при всяко четене от диска. При следващата заявка за четене, кеш софтуера първо преглежда кеша и ако открие там исканите данни, ги изпраща на процесора без да се обръща към диска. Кеш софтуера изтегля и данни от диска, които предполага, че ще са му необходими. В някои от случаите той записва и данни от процесора към твърдия диск. Дисковия кеш повишава значително скоростта на обмен процесор - твърд диск, при това не се изискват допълнителни разходи.

**RAM дискове** - могат да се считат като твърди дискове, но по бързи. За разлика от дисковия кеш, RAM дисковия софтуер създава в оперативната памет структура, идентична с тази на твърдите дискове. Проблем се явява това, че съдържанието се губи при рестартиране на компютъра. Тъй като оперативната памет взаимодейства с процесора значително по бързо, то е препоръчително RAM дисковете да се използват при често изпълнявани програми; при съхраняване на временни файлове и при буфериране на файловете, чакащи за принтиране.

### 3.3. Външна памет

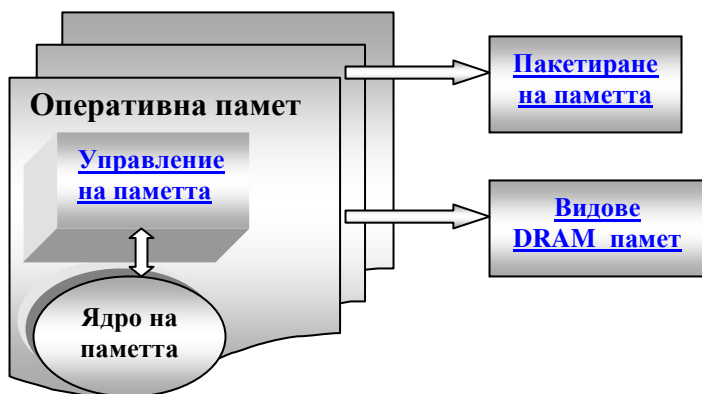
Склад на информация, към който компютърът се обръща всеки път, когато му липсват данни и информация.

Примерен алгоритъм на четене инструкции и данни от паметта



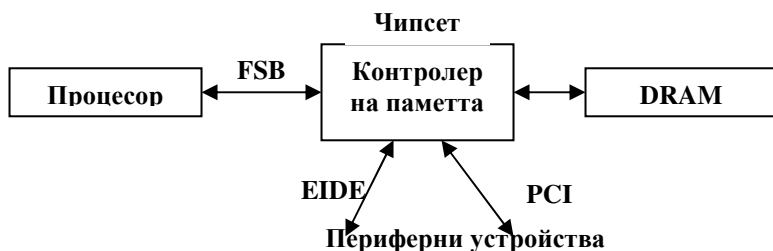


## 4.ОПЕРАТИВНА ПАМЕТ



### 4.1.СЪЩНОСТ

След процесора, оперативната памет е най-важния компонент на компютъра. В нея се съхраняват операционната система и изпълнимите програми, поради което тя се намира в непрекъснато взаимодействие с процесора и външните устройства. От нея в голяма степен зависи производителността на компютъра като цяло.



Оперативната памет се управлява от контролер на паметта, разположен в чипсета на компютъра.

За конфигуриране на оперативната памет се използват полупроводникови схеми (чип) от типа **DRAM**.

**Принцип на работа**



Предназначение на полето за служебна информация

- Контрол за достъпа до команди/данни;
- Контрол за достъпа до машинни типове данни.

## Основни параметри

### Производителност на оперативната памет

Скоростта на достъп на процесора до данни, разположени в паметта:

#### Време за достъп (access time- $t_{\text{access}}$ )

Времето между заявка за четене на дума от оперативната памет и получаване съдържмото на тази дума.

**Дължина на цикъла на паметта (cycle time -  $t_{\text{cycle}}$ )** Минималното време между началото на текущото и следващо обръщение към паметта.

**Капацитет ОП** =  $2^n$ , където  $n$  - брой разряди на адресната шина.

Пример - с  $n = 32$ , могат да се адресират до 4 GB RAM.

## ЯДРО НА ОПЕРАТИВНАТА ПАМЕТ

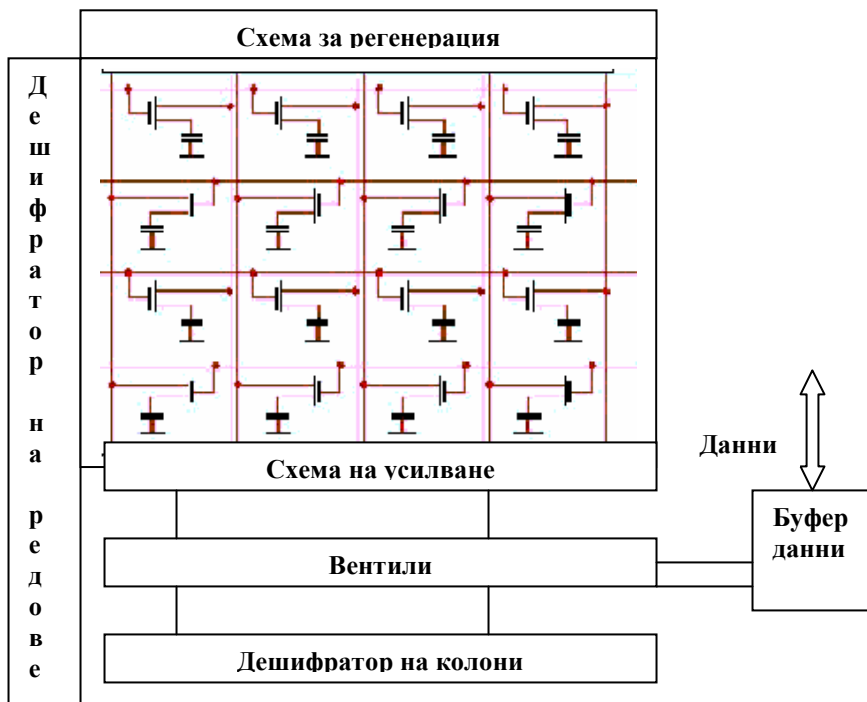
Оперативната памет на персоналните компютри се изгражда на база динамична памет - **DRAM (Dynamic Random Access Memory)**. Оперативната памет в своето развитие следва това на процесорите, така че през годините се сменят много поколения интерфейсна логика, съединяваща ядрото на паметта с другите компоненти на компютъра. Единствено ядрото на паметта не търпи никакви принципи промени (с изключение степента на интеграция).

### Ядро на DRAM

Реализира се на база технологията метал-оксид-полупроводник (CMOS, Complimentary Metal Oxide Semiconductor ). На тази технология, благодарение нейните несъмнени технически достойнства, се създават

съвременните чипове - бързодействащи електронни елементи с висока степен на интеграция.

**Ядрото** на един чип динамична памет се състои от множество клетки, всяка от които съхранява по един бит информация. На физическо ниво клетките се обединяват в правоъгълна матрица хоризонталните линии на която се наричат редове(*ROW*), а вертикалните - колони(*Column*).



### Клетка

Елементарно устройство, състоящо се от един транзистор и един кондензатор, предназначено за съхранение на един бит информация.

#### Кондензатор

Играе ролята на съхраняващо информацията (един бит) устройство. Отсъствието на заряд съответства на логическа нула, а присъствието на логическа единица;

#### Транзистор

Играе ролята на "ключ", задържащ кондензатора от разреждане и даващ разрешение за четене или запис от клетката. В спокойно състояние транзисторът е затворен. При запис в кондензатора на бит информация ключът се отваря, зареждайки кондензатора до определена стойност.

### **Схема за регенерация**

Поради микроскопичните размери капацитета на кондензатора се съхранява за много кратко време(хилядни части от секундата). Причината е в саморазряда на кондензатора. За да се съхрани информацията записана в паметта се използва регенерация – периодически прочитане на клетките с последващ презапис. При съвременните памети регенераторът се вгражда в самата микросхема,

### **Дешифратори на редове и колони**

В DRAM всяка клетка се открива по адресните и координати, оформени в редове и колони.

- Дешифратор на ред – в съответствие със зададения адрес активизира всички клетки от конкретен ред (страница).
- Дешифратор на колона - в съответствие със зададения адрес създава условия през съответния вентил да се изведат ( четене) или въведат( запис) данни.

### **Схеми на усилване**

Чувствителни усилватели (sense amp), включени към всяка колона на матрицата, позволяват при активизиране на съответния ред да се прочете цяла страница едновременно. Именно страницата се явява минималната информационна единица на обмен с ядрото на DRAM.

### **Вентили на колоните**

В съответствие с режима на паметта и дешифратора на колони пропускат данни от или към ядрото на паметта.

### **Буфер данни**

Буферира данни с цел синхронизация на процесора с оперативната памет.

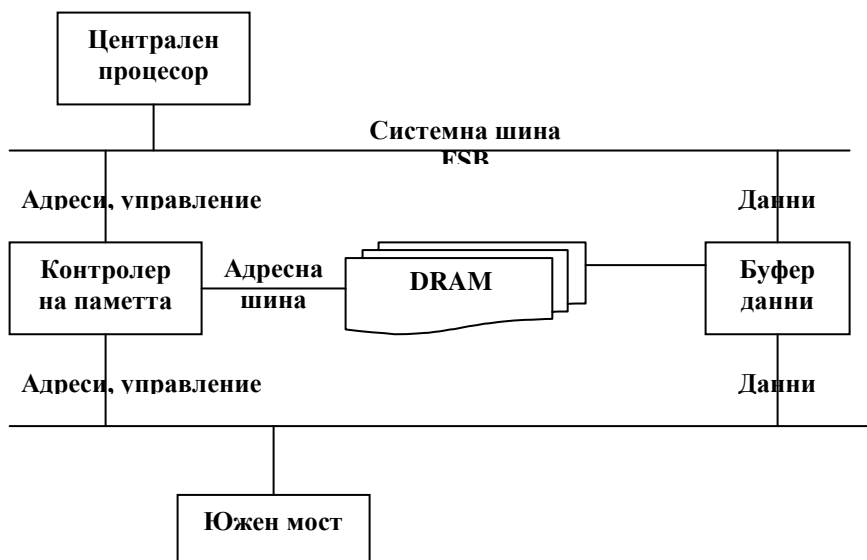
### **CAS - Column Address Strobe**

Такт на адреса на колоната - сигнал, предназначен за запомняне в микросхемата DRAM адреса на колоната.

### **RAS - Row Address Strobe**

Такт на адреса на реда - сигнал, предназначен за запомняне в микросхемата DRAM адреса на реда.

## **УПРАВЛЕНИЕ НА ПАМЕТТА**



Адресът на паметта съдържа сведения за избор на: байт, банка, ред и колона. Той постъпва в един от портовете на контролера на паметта, трансформира се в два адреса — редове и колони, които по адресната шина MA попадат в DRAM с някакъв промеждутък от време.

Контролерът на паметта има два порта:

- За обмен на данни с процесора;
- За обмен на данни с периферните устройства.

В съвременните чип сети първият порт се нарича “северен”, а другият “южен”. Предвиден е арбитраж за приоритета на достъп на устройствата до паметта.

При отсъствие на данни в кеша от второ ниво, достъпът до оперативната памет може да се представи по следния начин:

- По шината FSB в контролера на паметта се изпращат управляващи и адресни сигнали;
- Сигналите се анализират и управляват логиката на паметта.
- Запуска се схемата на дешифрация и избора на съответната колона.

Всеки от елементите на адресната група се стробира с импулсни сигнали за управление

**RAS#** (Row AddressStrobe)

**CAS#** (Column Address Strobe)

- Дешифраторът на редове активира съответния ред и всички клетки от този ред се прочитат.

- Дешифраторът на колони активира съответните колони, които разрешават съответните данни да се запишат в буфера данни.
- Данните се доставят в контролера.
- Данните се доставят в процесора.

## ВИДОВЕ DRAM ПАМЕТ

В основата на всеки от познатите DRAM памети стои един и същи вид клетка. По същество клетката се състои от кондензатор, транзистор, и връзки към други клетки. Един чип RAM обикновено съдържа милиони клетки. Производителите нареждат клетките в матрица с еднакъв брой редове и колони. В 4 Mbit DRAM има 2048 реда и толкова колони. Обръщението към клетката става с нейния адрес, който се трансформира в номер на ред и номер на колона. От своя страна номерата на ред и колона се изпращат към матрицата от клетки, мултиплицирани във времето по една и съща шина.

### Fast Page Mode (FPM) DRAM

Използва пълния адрес (номер на ред и номер на стълб) само първия път. При четене на следващите битове трябва да се сменя само номера на стълба, докато номера на реда остава същия. Така достъпът се ускорява почти три пъти.

### EDO (Extended Data Output)

Работи по аналогичен с горната памет начин, като се различава само в някои детайли. Припокрива се процеса на задаване на нов адрес и четене на старите данни. Обемът на прочетените данни нараства с около 25%.

### SDRAM(Synchronous DRAM)

Използват тактов сигнал за синхронизиране на входните и изходни сигнали. При тестове показват 50% по-добри резултати от EDO и така осигуряват около 25% по-добра системна производителност. Бързодействието на SDRAM е пряко свързано със тактовата честота на системната шина, като възможните варианти са показани в таблицата по-долу.

Бързодействие на паметта, ns	Максимална честота на шината, MHz
12	83
10	100
8	125
7	133

SDRAM се произвежда само в 168 извода, 64-разрядни модули DIMM.

### DDR (Double Data Rate) или SDRAM II

Второ поколение памет SDRAM. Осигурява двоен трансфер, тъй като извършва прехвърлянето на данните и при преден и заден фронт на

синхронизиращия сигнал. Същевременно се запазва същата тактовата честота, т.е. може да работи със същия процесор.

### **SLDRAM** (synclink DRAM)

Тя е разширение на SDRAM стандарта, като позволява да се увеличи броя на банките за памет от 4 на 16.

### **RDRAM** (Rambus DRAM)

Тази технология увеличава десетократно скоростта на пренос на данните в сравнение със стандартната SDRAM благодарение на технологията RSL (Rambus Signaling Logic).

**DDR II** – осигурява по голямо бързодействие. Има увеличен пропускателен капацитет и малки времена на изчакване (latency).

### **Развитие на DRAM паметите**

Година	Технология	Капацитет
95 -1996 г	FPM -- EDO DRAM	4MB -- 16 MB
97 - 1998г	EDO -- SDRAM	16MB -- 64 MB
98 - 2000г	SDRAM -- RDRAM	64 MB -- 256 MB

### **Възможности на различните технологии памет**

Параметри	EDO	SD RAM	DDR SD RAM	SLD RAM	Direct RDRAM
Производи- телност MB/s	66	125	200	400	1600
MHz	66	125	200	400	800
Стандарт	JE- DEC	JE- DEC	JEDEC	SLD RAM	Rambus
Напрежение	3.3 V	3.3 V	3.3 V	2.5 V	2.5 V
Банки данни в конвейр		2	4	16	

## **ПАКЕТИРАНЕ НА ПАМЕТА**

### **DIP**

Паметта се състои от отделни чипове. Те се инсталират в съответни гнезда. Памет от този тип се използваше в първите компютри. Тя се инсталира по - трудно и предразполага допускането на грешки. За конфигуриране на една памет са необходими 8, а понякога и 9 чипа (с контрол по четност).

Пример - за инсталиране на 1 MB памет ще са необходими 8 или 9 чипа, всеки с капацитет 1 мегабит.

**SIMM** (SIMM - single in-line memory modules).

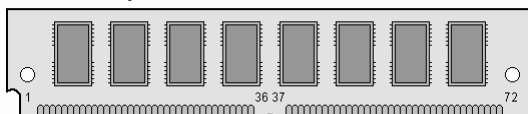
Малка платка със запоени на нея чипове памет. Използват се за работа с асинхронни памет.

### **SIMM модули (30 контакта)**



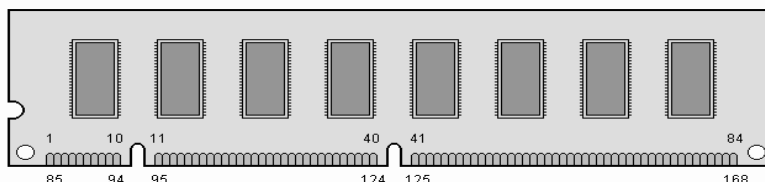
Те са в състояние да прехвърлят 8 бита информация. За да може да прави 32-битова обработка, един 32-битов процесор ще се нуждае от 4 SIMM модула във всяка банка за памет,

### **SIMM модули (72 контакта)**



Те са в състояние да пренасят 32 бита информация. В този случай процесорът ще има нужда само от един модул за всяка банка за памет.

**DIMM** (Dual In-line Memory Module - модул памет с двойно разположение на изводите)



Модул DIMM има 168 контакта, които са разположени от двете страни на пратката и са разделени с изолатор.

Стандартни се явяват небуферизирани (unbuffered) модули с напрежение на хранване 3,3 V. Небуферизирания модул DIMM може да съдържа микросхеми памет от типа FPM DRAM, EDO DRAM, SDRAM. Модулите имат 64 бит или 72 бит (контрол по четност) организация. Конструкцията на модулите предвижда автоматичното им разпознаване от компютъра.

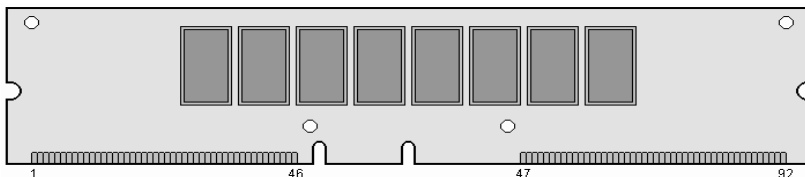
### **DDR DIMM модули**

Модул DDR DIMM е разновидност на DIMM модула и има 184 извода. Предназначени са за DDR SDRAM памет и имат най-различни рейтинги за скорост и пропускателна способност. Обикновено работят на 2.5 V. Проектирани са да поддържат двойно тактуване, като данни се предават по всеки фронт на синхросигнала.

### **RIMM модули**



Микросхемите Direct RDRAM се комплектоват в модули RIMM, външно подобни на стандартния DIMM модул.



В един модул RIMM могат да се поместят до 16 микросхеми Direct RDRAM, монтирани по осем броя от всяка страна.

## 5. СТАТИСТИЧНА ПАМЕТ SRAM (SRAM - Static Random Access Memory)

### История

Историята на създаването на статична памет е продължителна. Паметта на първите компютри реализирани с релета по същество е била статистична и дълго време не търпи концептуални промени – променяла се е само елементната база - електронни лампи, транзистори, TTL схеми, CMOS схеми, микросхеми и т.н.

### Ядро на паметта

Ядрото на статичната оперативна памет представлява матрица, базирана на съвкупност от тригери.

**Тригер** - логическо устройство, притежаващо две устойчиви състояния, едното от които условно съответства на логическа нула, а другото на логическа единица. С други думи всеки тригер съхранява един бит информация.

### Предимства на тригера пред кондензатора( DRAM):

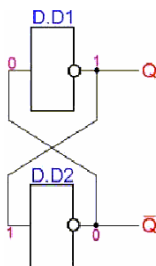
- Състоянията на тригера са устойчиви и при наличие на захранване могат да се съхранят безкрайно дълго, докато кондензаторът изисква периодична регенерация;
- Тригерът притежава нищожна инертност и без проблеми работи на честоти до няколко GHz, докато при кондензаторите възникват проблеми след 75-100 MHz .

### Недостатъци на тригера:

Висока стойност и ниска плътност на съхраняване – за клетка DRAM е достатъчен един транзистор и един кондензатор, докато за SRAM клетка са необходими като минимум четири – осем транзистора.

### Действие на тригера

В основата на всички тригери е заложено взаимодействието на два логически елемента "НЕ" (инвертор), съединени по посочения начин. Ако на линия Q сигналът, съответства на



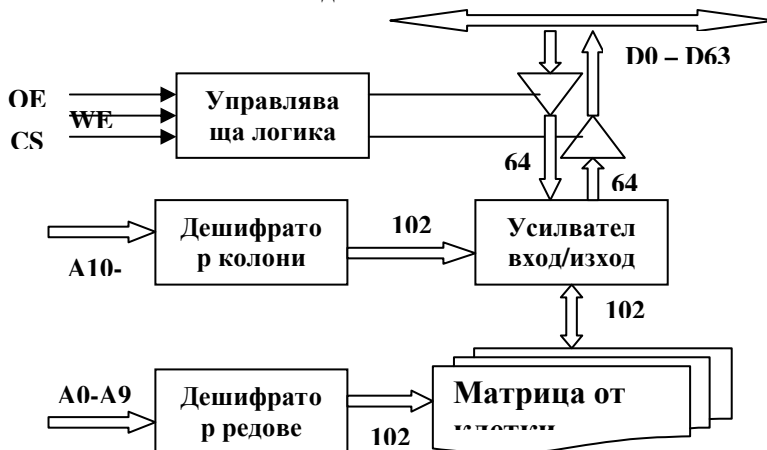
единица, то, чрез елемента D.D1 той се инвертира в нула. Постъпвайки на следващия елемент D.D2 тази нула отново се превръща в единица. Тъй като изхода на D.D2 е включен към входа на D.D1, то дори след изчезване на сигнала по линия Q, тригерът ще поддържа самостоятелно състоянието си, т.е. той заема устойчиво състояние.

### Матрица статична памет

Тригери обединени в единна матрица, състояща се от редове (row) и колони (column). За разлика от клетката DRAM, за управление на която се използва един транзистор, клетката SRAM се управлява от минимум два транзистора, тъй като притежава два входа - за запис съответно на логическа единица и нула.

### Контролер на паметта

По организацията си интерфейсът на матрицата статична памет не се различава особено от този на динамичната памет.



Единствената разлика е, че поради по-малкия капацитет на SRAM става възможно адресите за редове и колони да се подават едновременно.

WE (Write Enable) – сигнал за четене/запис от паметта.

CS (Chip Select) – сигнал, разрешаващ работа с конкретен чип.

OE (Output Enable) - разрешение за четене на данни.

### Видове статична памет

Съществуват като минимум три статична памет: асинхронна, синхронна и конвейерна. Те практически не се различават от съответстващите им типове динамична памет.

- **Асинхронна статична памет** - Работи независимо от контролера и поради което той трябва да изчака сигнал за края на цикъла за обмен. В резултат, цикълът за обмен се удължава поне с един такт, снижавайки по

такъв начин ефективната производителност. Поради това днес асинхронната памет практически не се използва.

- **Синхронна статична памет** - Изпълнява всички операции синхронизирано с тактовите сигнали, в резултат на което времето за достъп до клетката се ограничава на един такт. На синхронна статична памет се реализира кеша от първо ниво в съвременните процесори.

- **Конвейерна статична памет** - Представлява синхронна статична памет, снабдена със специални регистри запомнящи състоянието на шината, което позволява да се чете (записва) съдържимото от една клетка на паметта паралелно с задаването адреса на друга. Конвейерната памет може да обработва няколко последователни клетки за един работен цикъл. Достатъчно е да се зададе само адреса на първата клетка от пакета, като адресите на останалите микросхемата изчислява самостоятелно. Конвейерната статична памет се използва в кеша от второ ниво.

## **6.КЕШ ПАМЕТ**

### **6.1.ОСНОВНИ ПОНЯТИЯ**

#### **Определение**

Кеш е малка , високопроизводителна памет, която съхранява най-често използваните инструкции или данни. Тъй като програмите периодично използват определено подмножество инструкции и данни, кеш паметта е ефективен начин за увеличаване производителността, без да се правят разходи за по-бърза оперативна памет. Имаме следните видове кеш памет:

- ✓ с асоциативна организация;
- ✓ с пълна асоциативна организация;
- ✓ с директна организация.

#### **Действие**

Когато процесорът осъществява операция четено, първо се проверява дали нужните данни не се намират в кеша. Ако са там, те се прочитат бързо, без да е необходим достъп до по-бавната основна памет /DRAM, ROM/. Ако данните или инструкциите не са в кеша , процесорът ги зарежда от основната памет, като съхранява и тяхното копие в кеша /при положение, че страницата от паметта е отбелязана като "кеш" от системния софтуер/. Така тези данни се намират на разположение в кеш паметта при повторна заявка за тях. Колкото по- голяма е кеш паметта, толкова повече данни могат да се съхраняват в нея и толкова по - вероятно е заявената информация да се намира там. Кеш паметта е разделена на линии, сектори и блокове. "Tag" памет пази информация за адресите от основната памет на намиращите се в кеша данни

и състоянието на тези данни. Процесорът сравнява всеки адрес с текущото съдържание на тази памет . При наличие на съвпадение необходимите данни се намират в кеша . В противен случай данните се прочитат от основната памет , а съдържанието на кеш и Tag се опреснява.

Двата най-разпространени типа кеш-памет се означават като L1 (Level 1- ниво 1) и L2 (Level 2– ниво 2). Има и кеш-памет L3 (Level 3) и L4 {Level 4}. Въпреки, че в техническо отношение кеш-паметта е вид памет, в повечето случаи L1 и L2 са вградени в процесорния чип или в самата процесорна карта. Така че тя е по-скоро елемент на процесора, отколкото на паметта.

Всяко ниво на кеш паметта представлява отделна част памет и се третира от процесора независимо. По традиция кеш паметта L1 е по-малка от двете и се разполага в самия процесор, а L2 се разполага извън него, но в непосредствена близост.

Когато процесорът работи с няколко вида кеш памет, първо проверява кеш паметта L1, след това кеш L2 и накрая – основната памет. Реално кешът е прозрачен за процесора, тъй като CPU се обръща към RAM паметта чрез виртуални адреси, а кеш паметта използва своите механизми за да определи дали има съвпадение на даден адрес вътре в регистрите си. При съответствие на адрес кеш паметта подава данните към процесора, като обръщението към основната памет се прекратява.

Друга съществена разлика между кеш L1 и L2 е бързината, с която процесорът може да осъществява достъп до различните видове памет. Тъй като кеш паметта L1 е интегрирана във вътрешността на микропроцесора, тя обикновено работи със същата бързина, с каквато и централният процесор; така например при процесор с тактова честота 500 MHz, скоростта на връзката към кеш паметта L1 е също 500 MHz. Кеш паметта L2 се свързва при по-старите системи с процесора със същата скорост като на оперативната памет. Тази скорост се определя от „системната шина“ (system bus) на компютъра, което обикновено работи при 66, 100, 133 MHz, а при новите процесори Pentium 4 при 400, 533,667,800MHz. За Pentium EE 1067Mhz, а за Intel's Core 2 Quadro на 1333Mhz. Ако кеш паметта се намира в самия процесор или на процесорната платка, както е при повечето процесори Pentium II и Pentium III, връзката процесор-кеш L2 става през така наречената „задна шина“ (backside bus). Тази шина работи по-бързо от системната шина, но наполовина от скоростта на процесора. Това се нарича „съотношение 1:2“. Така при процесор Pentium III с тактова честота 500 MHz, скоростта на връзката процесор – кеш L2 е 250 MHz. При системи, при които кеш паметта L2 е вградена в самия чип, има съотношение 1:1 между скоростта на процесора и скоростта на връзката процесор – кеш L1. Вече всички производители Intel AMD и други вграждат L2 кеша в самия чип тъй като

настоящите а и бъдещи процесори, са зависими до голяма степен от неговата скорост. Тоест при работа в режим 1:1 времето за зареждане от L2 е много по малко. При PentiumD моделите от серия 9xx L2 кеша е общ за двата процесора като по този начин се постига динамично разпределение на кеша от процесорните ядра, ако едното ядро е неактивно другото може да ползва целия обем L2. За Core 2 Quadro се използва подобна организация на кеша но разликата е че има 2 кеша от второ ниво тъй като общо са 4 ядра.

L3 кеш паметта използва адаптивен ексклузивен алгоритъм: ако дадена линия не се използва от повече от едно ядро, тя се премахва от кеш паметта (за сметка на преминаване в L2 кеша на изискващото я ядро или се изхвърля в паметта); ако се използва от повече от едно ядро, се запазва. За съжаление, L3 кеш паметта добавя допълнителна латентност на достъпите към паметта, още повече че тя работи с тактовата честота на контролера на паметта, който може да отстъпва на една или повече степени от тактовата честота на ядрата. Все пак това като цяло трябва да доведе до повишена производителност на системата.

L4 - кеш от 4-то ниво - второ допълнително ниво за симетрична обработка, когато кешът от 3-то ниво на отделните процесори не позволява симетрична обработка или има ограничения за броя процесори в нея.