

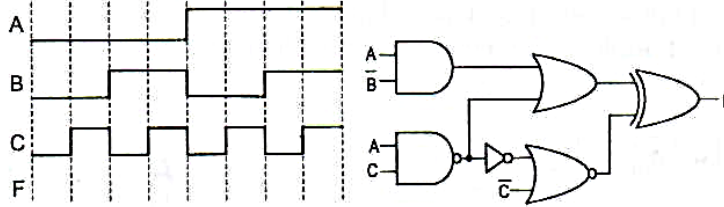
## LOJİK DEVRE TASARIMI FİNAL SINAVI

U Müh.Fak.  
k. Elctr. Müh. Böl.

25.12.2007

a) İkişer bitlik  $X(x_1x_0)$  ve  $Y(y_1y_0)$  sayılarını işaretli olarak çarpan bir kombinasyonel devreyi temel lojik kapı devre elemanları ile gerçekleştiriniz.(Y sayısının 3 değerini alamayacağını varsayınız) (13P)

b) Yandaki lojik devre girişine A, B ve C sinyallerinin uygulanması durumunda F çıkışına ilişkin dalga şeklini çiziniz.(12P)



a)  $f(a,b,c,d) = a'.b'.c' + c'.d + a.b'.d + a.b.c'$  boole cebri fonksiyonuna ilişkin karnaugh haritasını hazırlayarak doldurunuz. (indirgeme yapmayınız). (13P)

1			1
1		1	1
		1	1
1			1

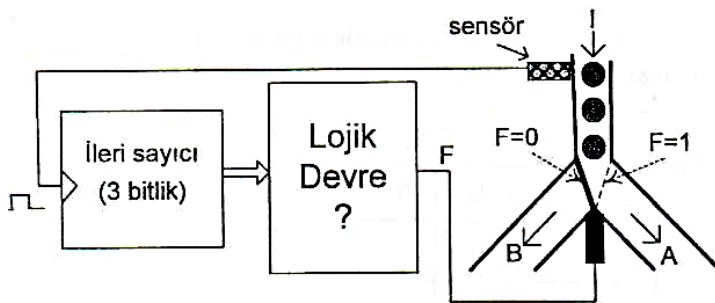
b) Yandaki karnaugh haritasını 1. kanonik açınımına göre indirgeyerek minimum fonksiyonu elde ediniz. Sadece VEDEĞİL kapıları ile gerçekleştiriniz. (12P)

a) Aşağıdaki ardışıl lojik devreyi tasarlayınız.(15P)

b) Asosiyatif belleğin diğer bellek türlerine göre avantaj ve dezavantajlarını yazınız. (4P)  
c) PLA ile PAL ve PSA arasındaki farkları yazınız. (6P)



Aşağıdaki çelik bilye yönlendirme sisteminde I girişinden 8'er adetlik gruplar halinde gelen bilyeler A ve B yönünde yönlendirilmektedir. Her bir bilye grubu için yönlendirme koşulları aşağıda verilmiştir. Bu koşullar peş peşe gelen her bir bilye grubuna uygulanmaktadır. Gerekli lojik devreyi tasarlayınız. (25P)  
(öl gösterme: FF ve temel kapı devreleri kullanabilirsiniz)



**Koşullar:**

- İlk üç bilye> A yönünde (F=0)
- 4. 5. ve 6. bilye> B yönünde (F=1)
- 7. ve 8. bilye> A yönünde (F=0)

üre: 100 dakika

Başarılar dilerim