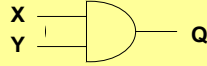


LOJİK KAPILAR (ANSI / IEEE-1973)

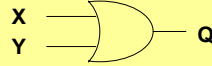
VE KAPISI (AND GATE)

X	Y	Q=X.Y
0	0	0
0	1	0
1	0	0
1	1	1



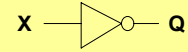
VEYA KAPISI (OR GATE)

X	Y	Q=X+Y
0	0	0
0	1	1
1	0	1
1	1	1



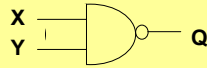
DEĞİL KAPISI (NOT GATE)

X	Q=X'
0	1
1	0



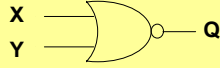
VE DEĞİL (NAND GATE)

X	Y	Q=(X.Y)'
0	0	1
0	1	1
1	0	1
1	1	0



VEYA DEĞİL (NOR GATE)

X	Y	Q=(X+Y)'
0	0	1
0	1	0
1	0	0
1	1	0



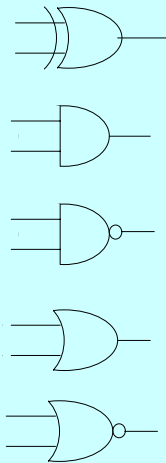
XOR KAPISI

X	Y	Q=X.Y' + X'.Y
0	0	0
0	1	1
1	0	1
1	1	0

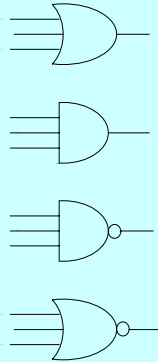


LOJİK KAPILAR

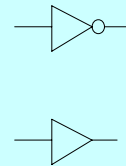
İKİ GİRİŞLİ KAPILAR



ÜÇ GİRİŞLİ KAPILAR



TEK GİRİŞLİ KAPILAR



ANSI/IEEE-1973
ANSI/IEEE-1984

SÜRÜCÜ (BUFFER) $Y=X$	$x \rightarrow \triangle \rightarrow y$	$x \rightarrow \boxed{1} \rightarrow y$	<table border="1" style="display: inline-table; border-collapse: collapse;"> <tr><td>x</td><td>y</td></tr> <tr><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td></tr> </table>	x	y	0	0	1	1									
x	y																	
0	0																	
1	1																	
TÜMLEME (NOT) x'	$x \rightarrow \triangle \circ \rightarrow y$	$x \rightarrow \boxed{1} \circ \rightarrow y$	<table border="1" style="display: inline-table; border-collapse: collapse;"> <tr><td>x</td><td>y</td></tr> <tr><td>0</td><td>1</td></tr> <tr><td>1</td><td>0</td></tr> </table>	x	y	0	1	1	0									
x	y																	
0	1																	
1	0																	
VE (AND) $x \cdot y$	$x \begin{array}{c} \diagup \\ \diagdown \end{array} y \rightarrow z$	$x \begin{array}{c} \diagup \\ \diagdown \end{array} \boxed{\&} z$	<table border="1" style="display: inline-table; border-collapse: collapse;"> <tr><td>x</td><td>y</td><td>z</td></tr> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </table>	x	y	z	0	0	0	0	1	0	1	0	0	1	1	1
x	y	z																
0	0	0																
0	1	0																
1	0	0																
1	1	1																
VEYA (OR) $x + y$	$x \begin{array}{c} \diagup \\ \diagdown \end{array} y \rightarrow z$	$x \begin{array}{c} \diagup \\ \diagdown \end{array} \boxed{\geq 1} z$	<table border="1" style="display: inline-table; border-collapse: collapse;"> <tr><td>x</td><td>y</td><td>z</td></tr> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </table>	x	y	z	0	0	0	0	1	1	1	0	1	1	1	1
x	y	z																
0	0	0																
0	1	1																
1	0	1																
1	1	1																
TVE (NAND) $(xy)'$	$x \begin{array}{c} \diagup \\ \diagdown \end{array} y \rightarrow z$	$x \begin{array}{c} \diagup \\ \diagdown \end{array} \boxed{\&} \circ z$	<table border="1" style="display: inline-table; border-collapse: collapse;"> <tr><td>x</td><td>y</td><td>z</td></tr> <tr><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </table>	x	y	z	0	0	1	0	1	1	1	0	1	1	1	0
x	y	z																
0	0	1																
0	1	1																
1	0	1																
1	1	0																
TVEYA (NOR) $(x+y)'$	$x \begin{array}{c} \diagup \\ \diagdown \end{array} y \rightarrow z$	$x \begin{array}{c} \diagup \\ \diagdown \end{array} \boxed{\geq 1} \circ z$	<table border="1" style="display: inline-table; border-collapse: collapse;"> <tr><td>x</td><td>y</td><td>z</td></tr> <tr><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </table>	x	y	z	0	0	1	0	1	0	1	0	0	1	1	0
x	y	z																
0	0	1																
0	1	0																
1	0	0																
1	1	0																
YA DA (XOR) $x \oplus y$ $xy' + x'y$	$x \begin{array}{c} \diagup \\ \diagdown \end{array} y \rightarrow z$	$x \begin{array}{c} \diagup \\ \diagdown \end{array} \boxed{=1} z$	<table border="1" style="display: inline-table; border-collapse: collapse;"> <tr><td>x</td><td>y</td><td>z</td></tr> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </table>	x	y	z	0	0	0	0	1	1	1	0	1	1	1	0
x	y	z																
0	0	0																
0	1	1																
1	0	1																
1	1	0																
EŞDEĞER (XNOR) $xy + x'y'$	$x \begin{array}{c} \diagup \\ \diagdown \end{array} y \rightarrow z$	$x \begin{array}{c} \diagup \\ \diagdown \end{array} \boxed{=1} \circ z$	<table border="1" style="display: inline-table; border-collapse: collapse;"> <tr><td>x</td><td>y</td><td>z</td></tr> <tr><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </table>	x	y	z	0	0	1	0	1	0	1	0	0	1	1	1
x	y	z																
0	0	1																
0	1	0																
1	0	0																
1	1	1																

ÖRNEK BİR SAYISAL DEVRE VE DOĞRULUK TABLOSU

X	Y	Z	F	P	Q
0	0	0	0	0	0
0	0	1	0	1	1
0	1	0	0	0	0
0	1	1	0	0	0
1	0	0	0	0	0
1	0	1	0	0	0
1	1	0	1	0	1
1	1	1	1	0	1

$F = X \cdot Y$
 $P = X' \cdot Y' \cdot Z$
 $Q = F + P$
 $= X \cdot Y + X' \cdot Y' \cdot Z$

SAYISAL LOJİK AİLELER

SAYISAL ELEMANLAR SADECE LOJİK İŞLEMLERİ İLE DEĞİL AYNI ZAMANDA AİT OLDUKLARI TEKNOLOJİYE GÖREDE SINIFLANDIRILIRLAR

İLK LOJİK İŞLEM AİLESİ:

- RTL: DİRENÇ TRANZİSTOR LOJİK
- DTL: DİYOT TRANZİSTOR LOJİK

STANDART OLARAK KABUL EDİLEN LOJİK AİLE:

- TTL: TRANZİSTOR TRANZİSTOR LOJİK

YÜKSEK HIZLI İŞLEM AİLESİ

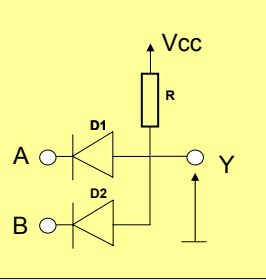
- ECL: EMİTTER BAĞLAMALI LOJİK

YÜKSEK ELEMAN YOĞUNLUĞU OLAN TÜMDEVRELER:

- MOS: METAL OKSİT YARIİLETKEN

DÜŞÜK GÜÇ TÜKETİMİ OLAN TÜMDEVRELER:

- CMOS: COMPLEMENTARY (TÜMLEYİCİ) MOS



DİYOD AND KAPISI

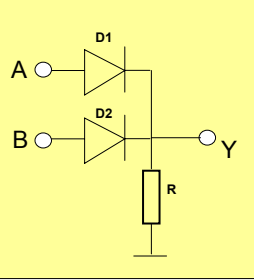
$$V_{cc} = V_R + V_D + V_A$$

$V_{cc}=5V$ iken

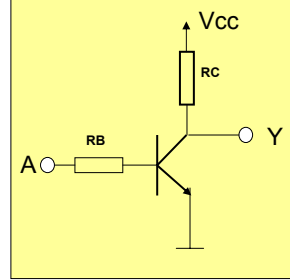
$$V_{D1} = V_{D2} = 5V \Rightarrow V_Y = ?$$

$$V_{D1} = V_{D2} = 4V \Rightarrow V_Y = ?$$

$$V_{D1} = 0V, V_{D2} = 5V \Rightarrow V_Y = ?$$



DİYOD VEYA KAPISI



TRANZİSTOR NOT KAPISI

$$V_{cc} = V_{ce} + I_c \cdot R_c$$

$$V_{ce} = V_{cc} - I_c R_c$$

$$= V_{cc} - \beta \cdot I_b \cdot R_c$$

$$= V_{cc} - \beta \cdot (V_a - V_{be}) \cdot R_c / R_b$$

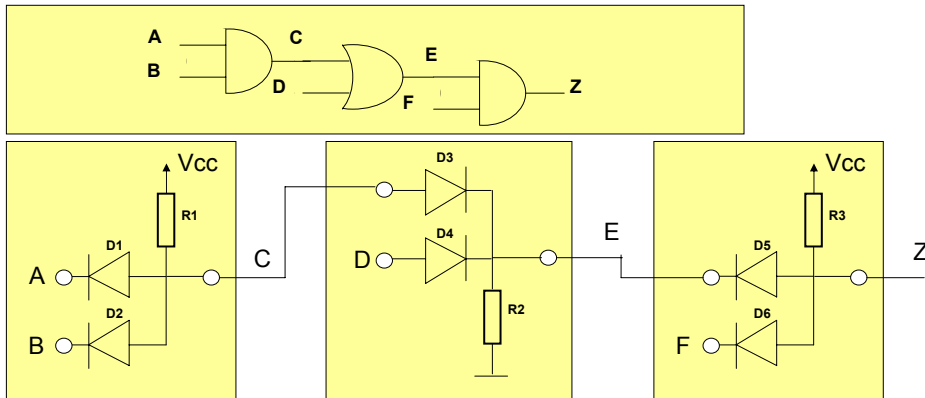
$$= V_{cc} - \beta \cdot (V_a - 0.6) \cdot R_c / R_b$$

$$V_{ce} \leq V_{ce(sat)} \text{ iken}$$

$$I_c = (V_{cc} - V_{ce(sat)}) / (R_c + R_{ce(sat)})$$

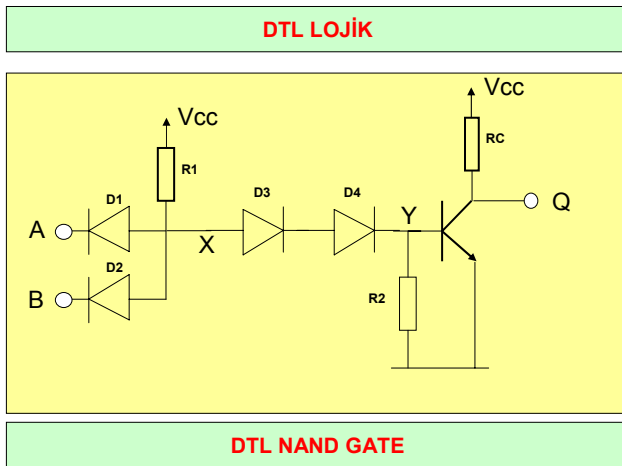
$$R_{ce(sat)} \leq 50\Omega$$

$$I_c = (V_{cc} - V_{ce(sat)}) / R_c \text{ olarak hesaplanır}$$



Soru: Diyotlar ile oluşturulmuş AND ve OR kapılarının ardarda bağlantısının $V_{CC} = 5V$, Giriş işaretleri 0V ve 5V (lojik 0 ve 1) olarak alındığında Girişlerin (V_A, V_B, V_D, V_F) lojik değerlerine bağlı olarak, çıkış (V_C, V_E, V_Z) gerilimlerinin ifadelerini belirleyiniz. Bu bağlantı hakkında neler söylenebilir. (Direnc değerlerinin çıkış gerilimleri üzerindeki etkisi tartışılacaktır)

Örnek: $V_A = V_B = 5V \rightarrow D1, D2$ TIKAMADADIR. DOLAYISI İLE
 $V_D = 0V \rightarrow V_E = V_{CC} - V_{R1} - V_{D3} = V_E = V_{CC} - V_{R1} - 0.6$
 $V_D = 5V \rightarrow V_E = V_{CC} - V_D = 4.4V$

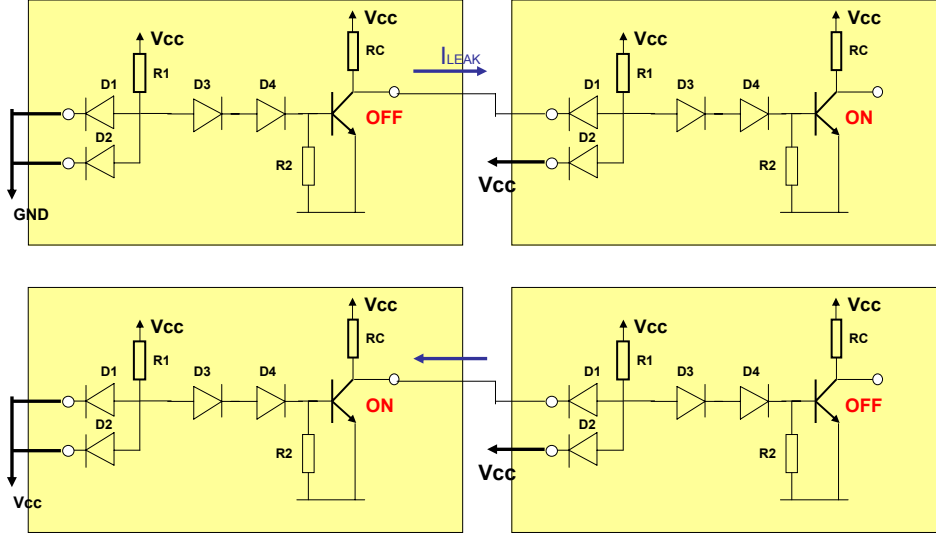


• D1 VE D2 DİYODLARI AND KAPISINI OLUŞTURUR.

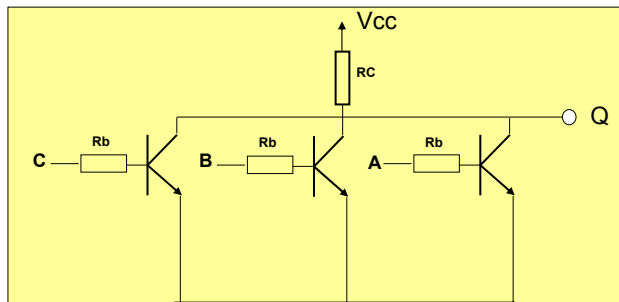
• D3 VE D4 DİYODLARI TRANZİSTORU İLETİME GEÇİREN V_X GİRİŞ GERİLİMİNİ YÜKSELTMEKTİR.

A	B	V_X	V_Y	Tran.	Q
0	0	<1.8	<0.6	OFF	1
0	1	<1.8	<0.6	OFF	1
1	0	<1.8	<0.6	OFF	1
1	1	1.8	0.6	ON	0

DTR LOJİK VE SOURCING CURRENT, SINKING CURRENT

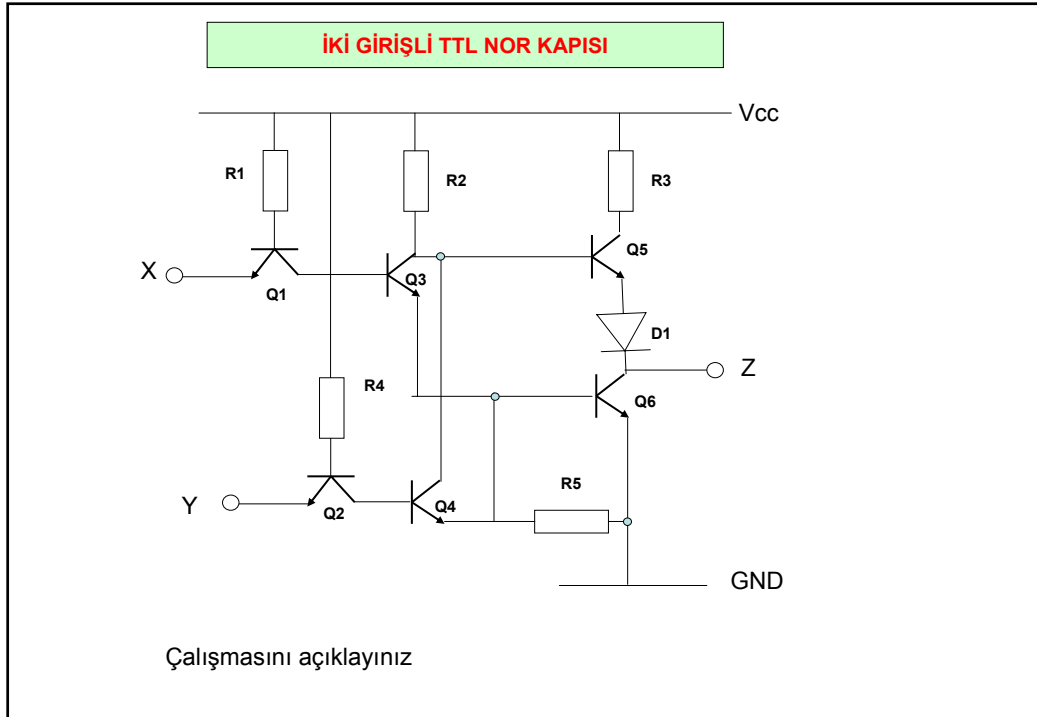
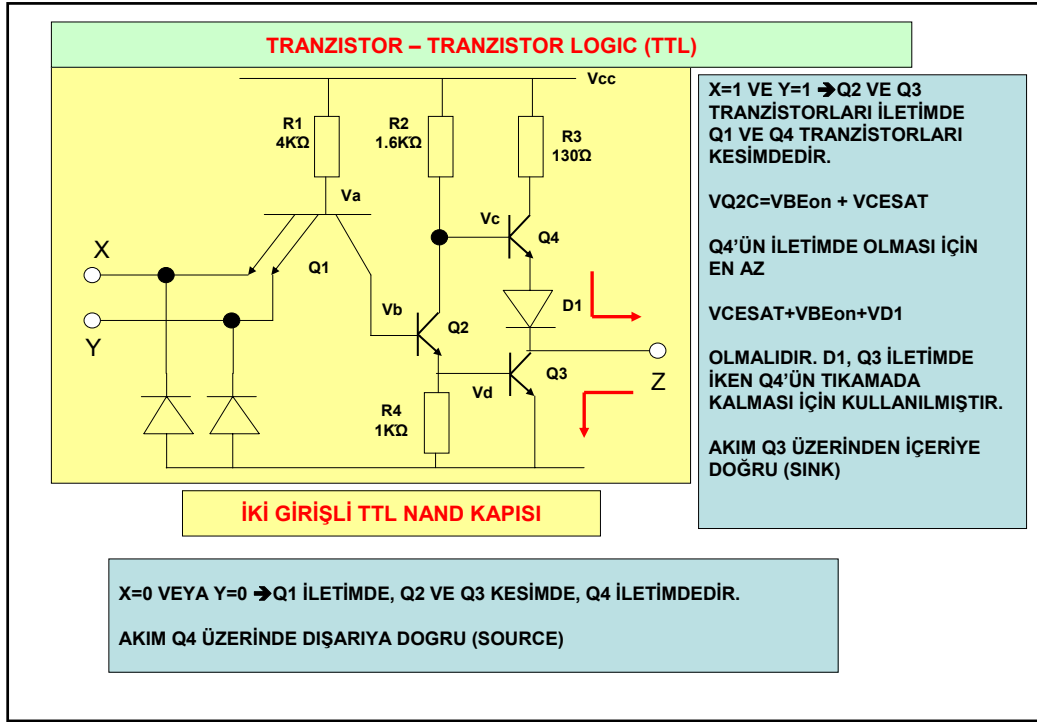


RTL LOJİK

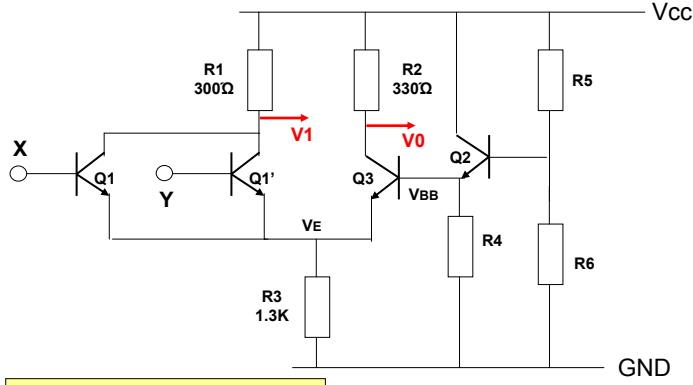


RTL NOR GATE

Çalışmasını açıklayınız



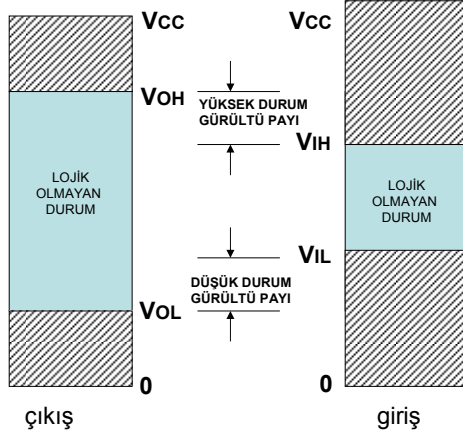
EMITTER COUPLED LOGIC (EMITTER BAĞLAMALI LOJİK)



X	Y	Q1	Q1'	Q3
0	0	OFF	OFF	ON
0	1	OFF	ON	OFF
1	0	ON	OFF	OFF
1	1	ON	ON	OFF

ÖZEL KARAKTERİSTİKLER

GÜRÜLTÜ PAYI (NOISE MARGIN)



VOH : "LOJİK 1" OLARAK ÜRETİLECEK
MİNİMUM ÇIKIŞ GERİLİMİ

VOL : "LOJİK 0" OLARAK ÜRETİLECEK
MAKSİMUM ÇIKIŞ GERİLİMİ

VIH : "LOJİK 1" OLARAK KABUL
EDİLEBİLEN MİNİMUM GİRİŞ GERİLİMİ

VIL : "LOJİK 0" OLARAK KABUL
EDİLEN MAKSİMUM GİRİŞ GERİLİMİ

TTL İÇİN DEĞERLER

VOH : 2.4 V

VOL : 0.4 V

VIH : 2 V

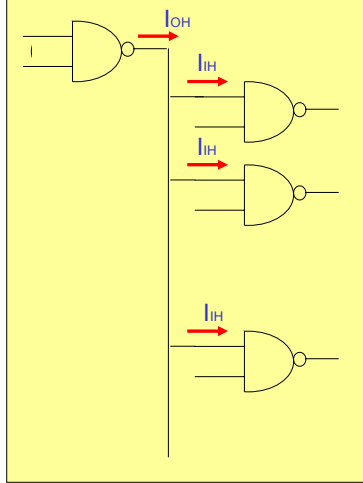
VIL : 0.8 V

YDGP: $2.4 - 2 = 0.4$

DDGP: $0.8 - 0.4 = 0.4$

ÇIKIŞ YELPAZESİ (FAN OUT)

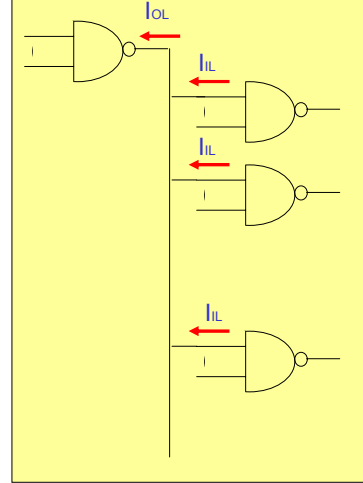
Bir kapının çıkış yelpazesi, o kapının çıkışına bağlanabilecek ve kapının normal çalışmasını etkilemeyecek standart yüklerin sayısı



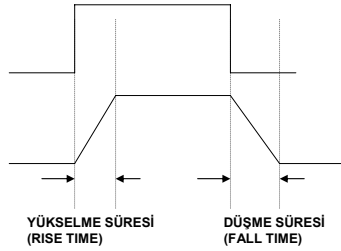
TTL İÇİN
 $I_{OH} : 400 \mu A$
 $I_{iH} : 40 \mu A$
 $I_{OL} : 16 mA$
 $I_{iL} : 1.6 mA$

(I_{OH} / I_{iH})
(I_{OL} / I_{iL})

Oranlarından
Küçük olanı
seçilir.

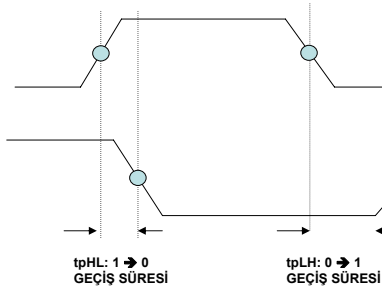


GEÇİŞ ZAMANI (TRANSITION TIME)



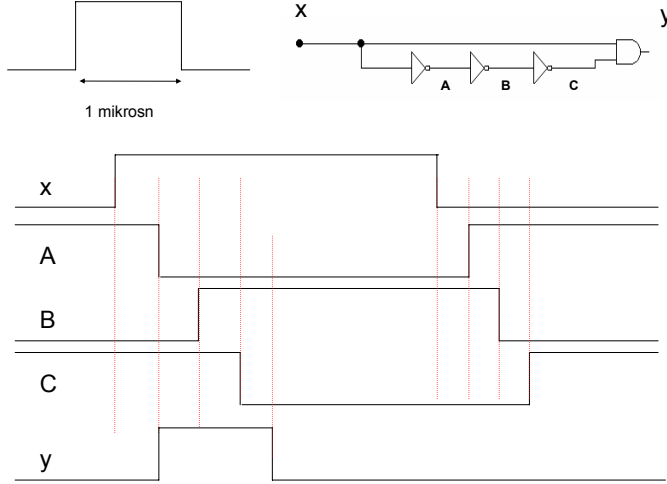
GEÇİKMeye NEDEN OLAN TÖMDEVRE İÇİNDE BULUNAN ELEMANLARIN SAHİP OLDUKLARI ÇALIŞMA ŞARTLARINDAKİ KAPASİTİF ETKİLERDİR.

GEÇİKME ZAMANI (PROPAGATION DELAY)



İKİLİ SİSTEM İŞARETİNİN DEĞERİNDE BİR DEĞİŞİM OLDUĞUNDA İŞARETİN GİRİŞTEN ÇIKIŞA (İŞARET YOLU ÜZERİNDE) OLUŞAN GEÇİKMEDİR. Giriş ve çıkış işaretinin %50 noktaları arasındaki zaman farkı olarak tanımlanır. (Nanosn mertebesindedir.) Bir TTL kapısı için $tpHL=7 \text{ nsn}$ $tpLH=11 \text{ nsn}$

SORU: Aşağıdaki devrede bulunan elemanlar için propagation delay =0.01 mikrosn. dir. X girişi olarak verilen işarete karşın Y çıkış işaretini çiziniz.



GÜÇ KAYBI (POWER DISSIPATION)

HER ELEKTRONİK DEVRE ÇALIŞMASI ESNASINDA BİR GÜÇ HARCAR. BU GÜÇ KAYBI Mw (mili WATT) OLARAK İFADE EDİLİR VE KAPININ İHTİYACI OLAN GÜÇ MİKTARINI BELİRLER.

BİR KAPIDA KAYBOLAN GÜÇ MİKTARI ÇEKİLEN I_{cc} AKIMI VE BESLEME GERİLİMİ V_{cc} İLE BELİRLENİR. $GÜÇ = V_{cc} \times I_{cc}$

I_{ccH} = Kapının çıkışı yüksek gerilim seviyesinde iken güç kaynağından çekilen akım (TTL NAND kapısında $V_{cc}=5V$ iken $I_{ccH}=1 \text{ mA}$)

I_{ccL} = Kapının çıkışı düşük gerilim seviyesinde iken güç kaynağından çekilen akım (TTL NAND kapısında $V_{cc}=5V$ iken $I_{ccL}=3 \text{ mA}$)

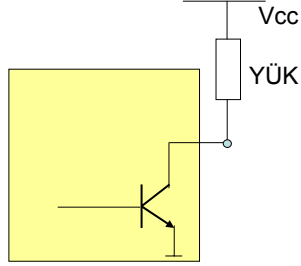
Ortalama Güç kaybı

$$I_{cc} (\text{ort}) = (I_{ccH} + I_{ccL}) / 2$$

$$P_d (\text{ort}) = I_{cc} (\text{ort}) \times V_{cc}$$

AÇIK KOLLEKTÖR (OPEN COLLECTOR) ÇIKIŞ

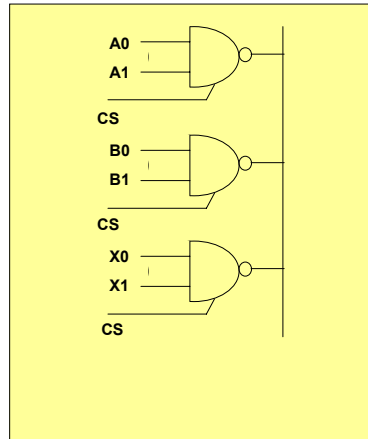
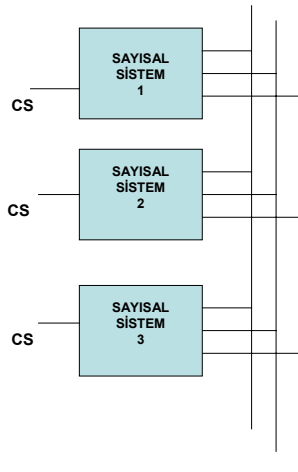
ÇIKIŞ TRANSİSTÖRÜ ÜZERİNE DIŞARIDAN BİR YÜK BAĞLAMAK İÇİN KULLANILAN ÇIKIŞ ŞEKLİ. BU ÇIKIŞLARDAN, ÇIKIŞ İŞARETİNİ KULLANABİLMEK İÇİN YÜK BAĞLAMAK GEREKLİDİR.



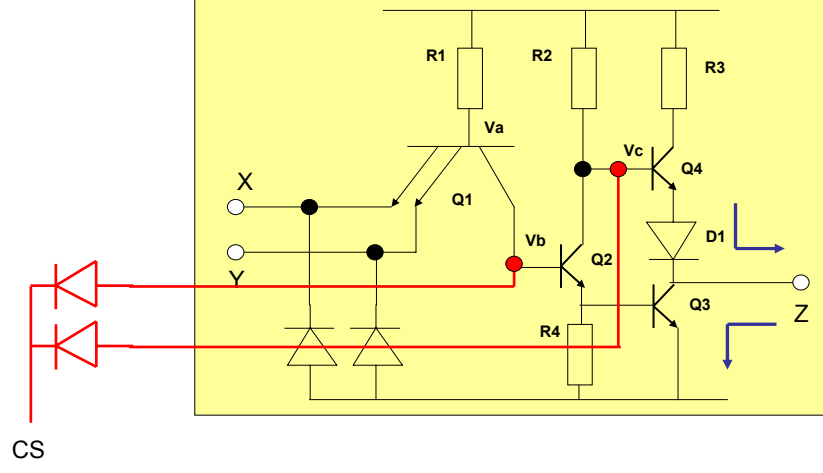
YÜK OLARAK
LED
ROLE
SELENOİD VALF
.....
BAĞLANABİLİR

ÜÇ DURUMLU ELEMANLAR (THREE STATE)

AYNI HATTI ORTAK OLARAK PAYLAŞAN ELEMANLARIN ÇIKIŞLARI 3 DURUMLUDUR.



ÜÇ DURUMLU TTL NAND KAPISI



SORULARINIZ