概述

该系列单片机是采用高性能的静态 80C51 设计。由先进 CMOS 工艺制造并带有非易失性 Flash 程序存储器。全部支持 12 时钟和 6 时钟操作。

P89C51X2 和 P89C52X2/54X2/58X2 分别包含 128 字节和 256 字节 RAM、32 条 I/O 口线、3 个 16 位定时/计数器、6 输入 4 优先级嵌套中断结构、1 个串行 I/O 口（可用于多机通信、I/O 扩展或全双工 UART）以及片内振荡器和时钟电路。

此外，由于器件采用了静态设计，可提供很宽的操作频率范围（频率可降至 0）。可实现两个由软件选择的节电模式—空闲模式和掉电模式。空闲模式冻结 CPU，但 RAM、定时器、串口和中断系统仍然工作。掉电模式保存 RAM 的内容，但是冻结振荡器，导致所有其它的片内功能停止工作。由于设计是静态的，时钟可停止而不会丢失用户数据。运行可从时钟停止处恢复。

选型表

Type	Memory				定时器				串行接口				ADC bits/ch.	I/O 管脚	中断(外部)	程序加密	默认时钟速率	可选时钟速率	6-clk / 12-clk 最大频率 (MHz)	频率范围 (3V) (MHz)	频率范围 (5V) (MHz)
	RAM	ROM	OTP	Flash	定时器个数	PWM	PCA	WD	UART	I2C	CAN	SPI									
P89C58X2	256B	–	–	32K	3	–	–	–	√	–	–	–	–	32	6 (2)	√	12-clk	6-clk	20/33	–	0-20/33
P89C54X2	256B	–	–	16K	3	–	–	–	√	–	–	–	–	32	6 (2)	√	12-clk	6-clk	20/33	–	0-20/33
P89C52X2	256B	–	–	8K	3	–	–	–	√	–	–	–	–	32	6 (2)	√	12-clk	6-clk	20/33	–	0-20/33
P89C51X2	128B	–	–	4K	3	–	–	–	√	–	–	–	–	32	6 (2)	√	12-clk	6-clk	20/33	–	0-20/33

特性

特性

- 80C51 核心处理单元
  - —4k 字节 FLASH（89C51X2）
  - —8k 字节 FLASH（89C52X2）
  - —16k 字节 FLASH（89C54X2）
  - —32k 字节 FLASH（89C58X2）
  - —128 字节 RAM（89C51X2）
  - —256 字节 RAM（89C52X2/54X2/58X2）
  - —布尔处理器
  - —全静态操作
- 12 时钟操作，可选 6 个时钟（通过软件或并行编程器）
- 存储器寻址范围
  - —64K 字节 ROM 和 64K 字节 RAM
- 电源控制模式
  - —时钟可停止和恢复
  - —空闲模式
  - —掉电模式
- 两个工作频率范围
  - —6 时钟模式时为 0 到 20MHz
  - —12 时钟模式时为 0 到 33MHz
- LQFP, PLCC 或 DIP 封装
- 扩展温度范围
- 双数据指针
- 3 个加密位

- 4 个中断优先级
- 6 个中断源
- 4 个 8 位 I/O 口
- 全双工增强型 UART
  - 帧数据错误检测
  - 自动地址识别
- 3 个 16 位定时/计数器 T0，T1（标准 80C51）和增加的 T2（捕获和比较）
- 可编程时钟输出
- 异步端口复位
- 低 EMI (禁止 ALE 以及 6 时钟模式)
- 掉电模式可通过外部中断唤醒

订购信息

P89C51X2（4K 字节 FLASH）

类型编号	封装	温度范围(℃)
P89C51X2BA	PLCC44	0~+70
P89C51X2BN	DIP40	0~+70
P89C51X2BBD	LQFP44	0~+70
P89C51X2FA	PLCC44	-40~+85

P89C52X2（8K 字节 FLASH）

类型编号	封装	温度范围(℃)
P89C52X2BA	PLCC44	0~+70
P89C52X2BN	DIP40	0~+70
P89C52X2BBD	LQFP44	0~+70
P89C52X2FA	PLCC44	-40~+85
P89C52X2FN	DIP40	-40~+85
P89C52X2FBD	LQFP44	-40~+85

P89C54X2（16K 字节 FLASH）

类型编号	封装	温度范围(℃)
P89C54X2BA	PLCC44	0~+70
P89C54X2BN	DIP40	0~+70
P89C54X2BBD	LQFP44	0~+70
P89C54X2FA	PLCC44	-40~+85

P89C58X2（32K 字节 FLASH）

类型编号	封装	温度范围(℃)
P89C58X2BA	PLCC44	0~+70
P89C58X2BN	DIP40	0~+70
P89C58X2BBD	LQFP44	0~+70
P89C58X2FA	PLCC44	-40~+85

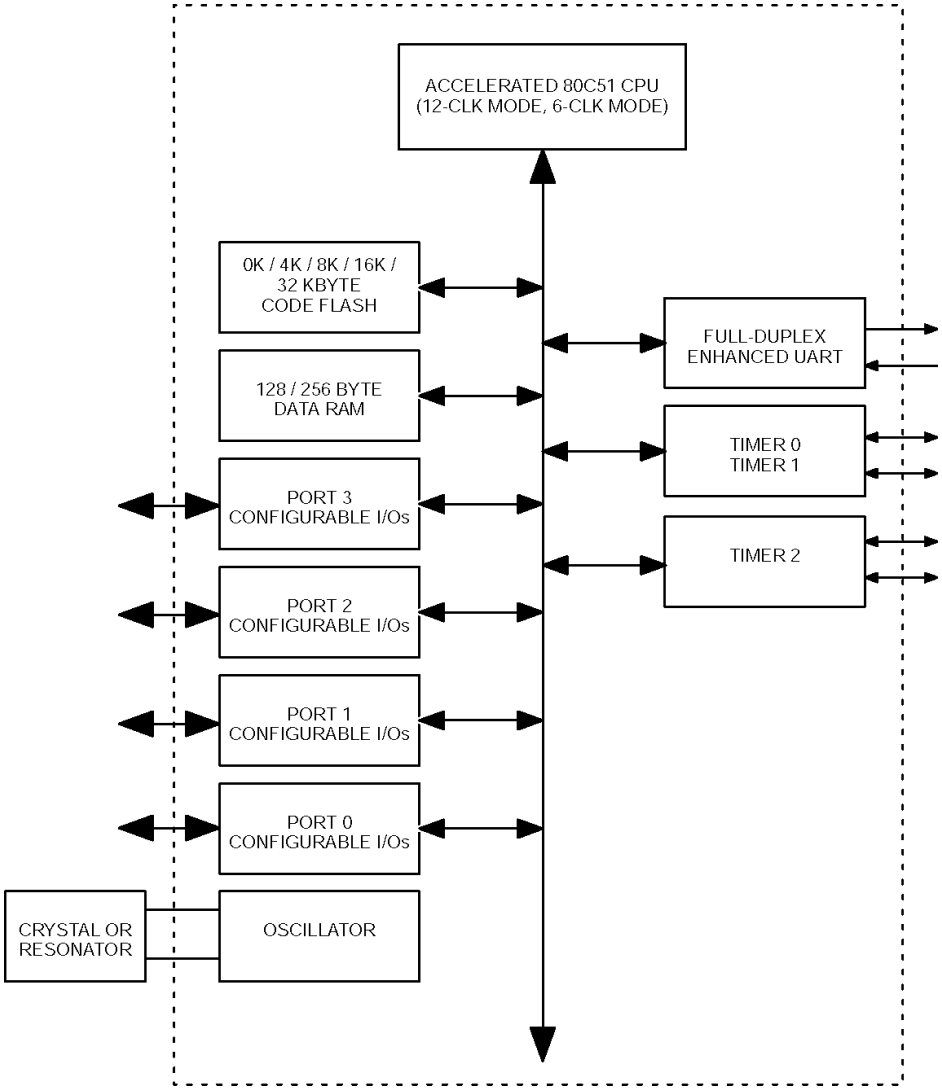
产品编号含义

存储器	温度范围(B)	封装
P89C51X2 9=FLASH 1=128 字节 RAM 4K 字节 FLASH 2=256 字节 RAM 8K 字节 FLASH 4=256 字节 RAM 16K 字节 FLASH 8=256 字节 RAM 32K 字节 FLASH X2=可选 6 时钟	B=0℃～70℃ F=－40℃～+85℃	A=PLCC N=DIP BD=LQFP

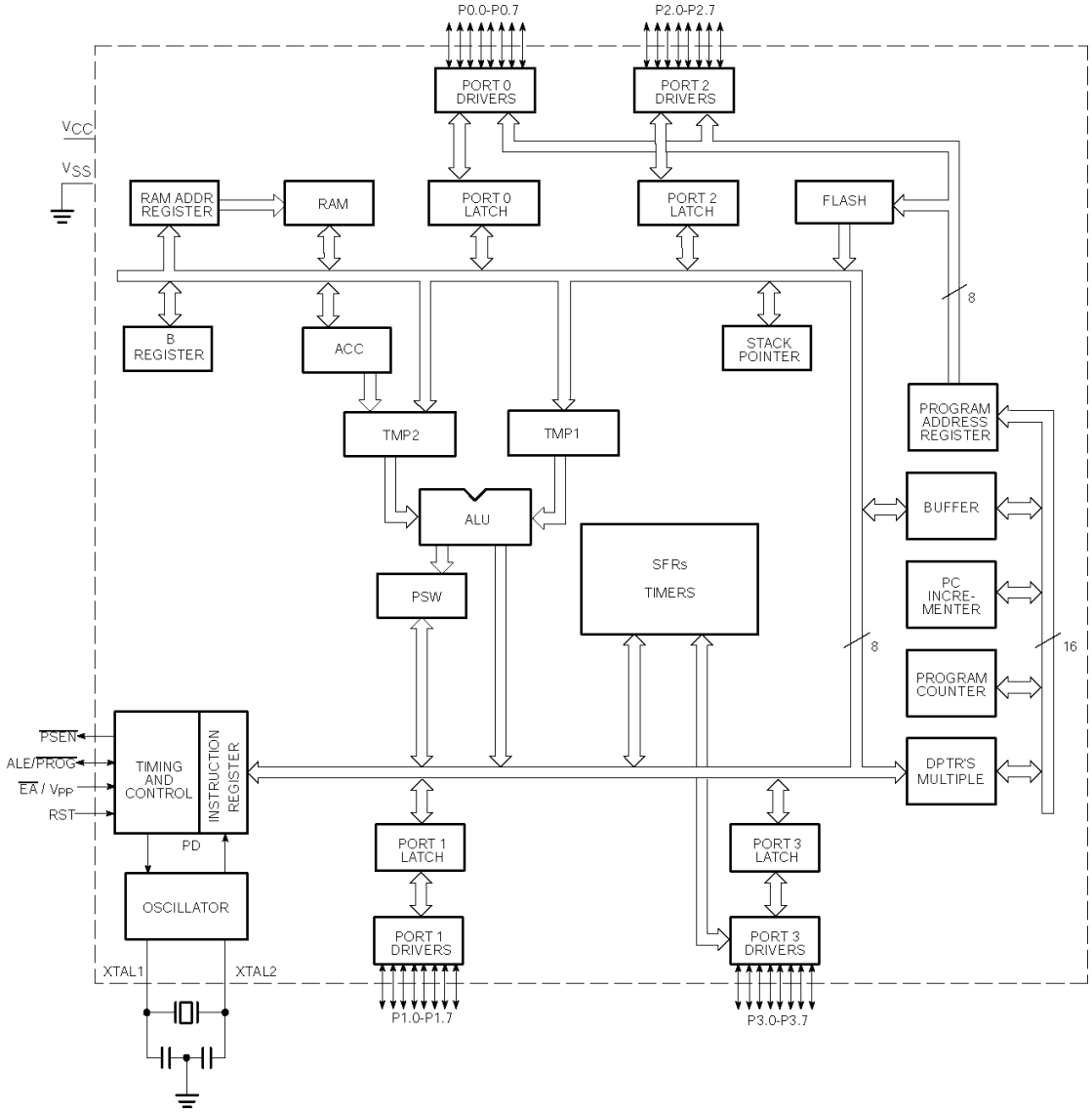
下表所示为操作模式、电源电压以及最大外部时钟频率之间的关系

操作模式	电源电压	最大时钟频率
6-clock	5V±10%	20MHz
12-clock	5V±10%	33MHz

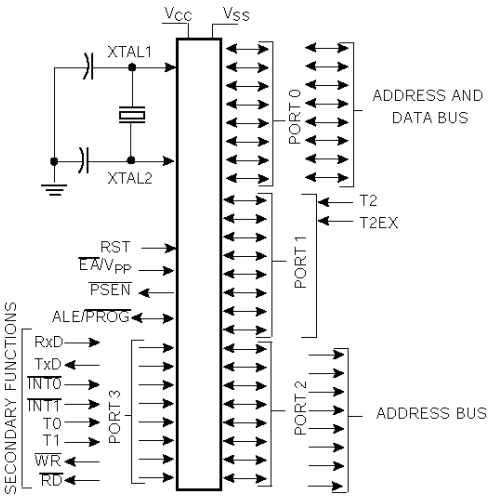
框图 1



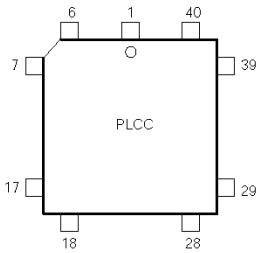
框图 2(CPU)



逻辑符号



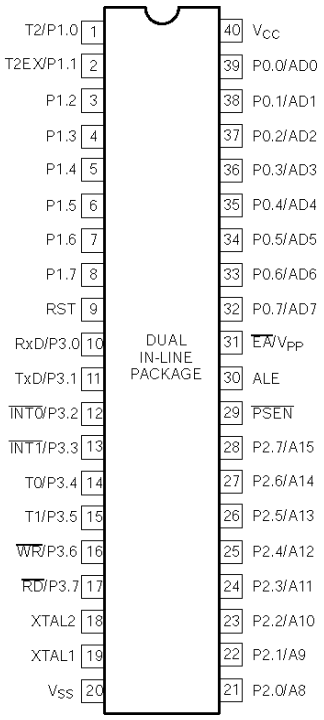
PLCC 和 CLCC 封装及管脚功能



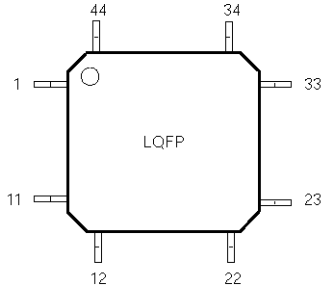
Pin	Function	Pin	Function	Pin	Function
1	NIC*	16	P3.4/T0	31	P2.7/A15
2	P1.0/T2	17	P3.5/T1	32	PSEN
3	P1.1/T2EX	18	P3.6/WR	33	ALE
4	P1.2	19	P3.7/RD	34	NIC*
5	P1.3	20	XTAL2	35	EA/VPP
6	P1.4	21	XTAL1	36	P0.7/AD7
7	P1.5	22	VSS	37	P0.6/AD6
8	P1.6	23	NIC*	38	P0.5/AD5
9	P1.7	24	P2.0/A8	39	P0.4/AD4
10	RST	25	P2.1/A9	40	P0.3/AD3
11	P3.0/RxD	26	P2.2/A10	41	P0.2/AD2
12	NIC*	27	P2.3/A11	42	P0.1/AD1
13	P3.1/TxD	28	P2.4/A12	43	P0.0/AD0
14	P3.2/INT0	29	P2.5/A13	44	VCC
15	P3.3/INT1	30	P2.6/A14		

* NO INTERNAL CONNECTION

DIP 封装及管脚功能



LQFP 封装及管脚功能



Pin	Function	Pin	Function	Pin	Function
1	P1.5	16	V_{SS}	31	P0.6/AD6
2	P1.6	17	NIC*	32	P0.5/AD5
3	P1.7	18	P2.0/A8	33	P0.4/AD4
4	RST	19	P2.1/A9	34	P0.3/AD3
5	P3.0/RxD	20	P2.2/A10	35	P0.2/AD2
6	NIC*	21	P2.3/A11	36	P0.1/AD1
7	P3.1/TxD	22	P2.4/A12	37	P0.0/AD0
8	P3.2/$\overline{INT0}$	23	P2.5/A13	38	V_{CC}
9	P3.3/$\overline{INT1}$	24	P2.6/A14	39	NIC*
10	P3.4/T0	25	P2.7/A15	40	P1.0/T2
11	P3.5/T1	26	$\overline{PSEN}$	41	P1.1/T2EX
12	P3.6/$\overline{WR}$	27	ALE	42	P1.2
13	P3.7/$\overline{RD}$	28	NIC*	43	P1.3
14	XTAL2	29	$\overline{EA}$/V_{PP}	44	P1.4
15	XTAL1	30	P0.7/AD7		

* NO INTERNAL CONNECTION

管脚描述

名称	管脚号			类型	名称和功能
	DIP	LCC	QFP		
Vss	20	22	16	I	地
Vcc	40	44	38	I	电源：提供掉电、空闲、正常工作电压
P0.0-0.7	39-32	43-36	37-30	I/O	P0 口： P0 口是开漏双向口，可以写为 1 使其状态为悬浮用作高阻输入。P0 也可以在访问外部程序存储器时作地址的低字节，在访问外部数据存储器时作数据总线，此时通过内部强上拉输出 1。
P1.0-1.7	1-8 1 2	2-9 2 3	40-44 1-3	I/O	P1 口： P1 口是带内部上拉的双向 I/O 口，向 P1 口写入 1 时，P1 口被内部上拉为高电平，可用作输入口。当作为输入脚时，被外部拉低的 P1 口会因为内部上拉而输出电流(见 DC 电气特性)。P1 口第 2 功能： T2(P1.0)： 定时/计数器 2 的外部计数输入/时钟输出(见可编程输出) T2EX(P1.1)：定时/计数器 2 重装载/捕捉/方向控制
P2.0-2.7	21-28	24-31	18-25	I/O	P2 口： P2 口是带内部上拉的双向 I/O 口，向 P2 口写入 1 时，P2 口被内部上拉为高电平，可用作输入口。当作为输入脚时，被外部拉低的 P2 口会因为内部上拉而输出电流(见 DC 电气特性)。在访问外部程序存储器和外部数据时分别作为地址高位字节和 16 位地址(MOVX @DPTR)，此时通过内部强上拉传送 1。当使用 8 位寻址方式(MOV @Ri)访问外部数据存储器时,P2 口发送 P2 特殊功能寄存器的内容。

P3.0-3.7	10-17	11, 13-19	5, 7-13	I/O	P3 口：P3 口是带内部上拉的双向 I/O 口，向 P3 口写入 1 时，P3 口被内部上拉为高电平，可用作输入口。当作为输入脚时，被外部拉低的 P3 口会因为内部上拉而输出电流(见 DC 电气特性)。P3 口还具有以下特殊功能：
	10	11	5		RxD(p3.0)： 串行输入口
	11	13	7		TxD(P3.1)： 串行输出口
	12	14	8		$\overline{\text{INT0}}$(P3.2)： 外部中断 0
	13	15	9		$\overline{\text{INT1}}$(P3.3)： 外部中断
	14	16	10		T0(P3.4)： 定时器 0 外部输入
	15	17	11		T1(P3.5)： 定时器 1 外部输入
	16	18	12		$\overline{\text{WR}}$(P3.6)： 外部数据存储器写信号
	17	19	13		$\overline{\text{RD}}$(P3.7)： 外部数据存储器读信号
RST	9	10	4	I	复位： 当晶振在运行中，只要复位管脚出现 2 个机器周期高电平即可复位，内部有扩散电阻连接到 Vss，仅需要外接一个电容到 Vcc 即可实现上电复位。
ALE	30	33	27	O	地址锁存使能： 在访问外部存储器时，输出脉冲锁存地址的低字节，在正常情况下，ALE 输出信号恒定为 1/6 振荡频率。并可用作外部时钟或定时，注意每次访问外部数据时一个 ALE 脉冲将被忽略。ALE 可以通过置位 SFR 的 auxlilary.0 禁止，置位后 ALE 只能在执行 MOVX 指令时被激活。
$\overline{\text{PSEN}}$	29	32	27	O	程序存储使能：当执行外部程序存储器代码时，$\overline{\text{PSEN}}$ 每个机器周期被激活两次，在访问外部数据存储器时 $\overline{\text{PSEN}}$ 无效，访问内部程序存储器时 $\overline{\text{PSEN}}$ 无效。
$\overline{\text{EA}}$/Vpp	31	35	29	I	外部寻址使能/编程电压：在访问整个外部程序存储器时，$\overline{\text{EA}}$ 必须外部置低。如果 $\overline{\text{EA}}$ 为高时，将执行内部程序，除非程序计数器包含大于片内 FLASH 的地址。该引脚在对 FLASH 编程时接 5V/12V 编程电压(Vpp)。如果保密位 1 已编程，$\overline{\text{EA}}$ 在复位时由内部锁存。
XTAL1	19	21	15	I	晶体 1：反相振荡放大器输入和内部时钟发生电路输入
XTAL2	18	20	14	O	晶体 2：反相振荡放大器输出

注：为了避免上电时的"latch-up"效应，任意管脚（Vpp 除外）上的电压任何时候都不能高于 Vcc+0.5V，低于 Vss-0.5V。

表 1 P89C51X2/52X2/54X2/58X2 特殊功能寄存器

名称	定义	地址	位功能和位地址								复位值
ACC*	累加器	E0H	E7	E6	E5	E4	E3	E2	E1	E0	00H
AUXR#	辅助功能寄存器	8EH	—	—	—	—	—	—	—	AO	xxxxxxx0B[1]
AUXR1#	辅助功能寄存器 1	A2H	—	—	—	—	GF2	0	—	DPS	02H[1]
B*	B 寄存器	F0H	F7	F6	F5	F4	F3	F2	F1	F0	00H
CKCON	时钟控制寄存器	8FH	—	—	—	—	—	—	—	X2	xxx00000B
DPTR:	数据指针（双字节）										
DPH	指针高字节	83H									00H
DPL	指针低字节	82H									00H
			AF	AE	AD	AC	AB	AA	A9	A8	
IE*	中断使能	A8H	EA	—	ET2	ES	ET1	EX1	ET0	EX0	0x000000B
			BF	BE	BD	BC	BBB	BA	B9	B8	
IP*	中断优先级	B8H	—	—	PT2H	PSH	PT1H	PX1H	PT0H	PX0H	xx000000B
IPH#	中断优先级高字节	B7H	—	—	PT2H	PSH	PT1H	PX1H	PT0H	PX0H	xx000000B
			87	86	85	84	83	82	81	80	
P0*	P0 口	80H	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	FFH
			97	96	95	94	93	92	91	90	
P1*	P1 口	90H	—	—	—	—	—	—	T2EX	T2	FFH
			A7	A6	A5	A4	A3	A2	A1	A0	
P2*	P2 口	A0H	AD15	AD14	AD13	AD12	AD11	AD10	AD9	AD8	FFH
			B7	B6	B5	B4	B3	B2	B1	B0	
P3*	P3 口	B0H	RD	WR	T1	T0	$\overline{INT1}$	$\overline{INT0}$	TxD	RxD	FFH
PCON#[1]	电源控制寄存器	87H	SMOD1	SMOD0	—	POF[2]	GF1	GF0	PD	IDL	00xxx000B
			D7	D6	D5	D4	D3	D2	D1	D0	
PSW*	程序状态字	D0H	CY	AC	F0	RS1	RS0	OV	—	P	000000x0B
RACAP2H#	定时器 2 捕获高字节	CBH									00H
RACAP2L#	定时器 2 捕获低字节	CAH									00H
SADDR#	从地址	A9H									00H
SADEN#	从地址屏蔽	B9H									00H
SBUF	串口数据缓冲区	99H									xxxxxxxxB
			9F	9E	9D	9C	9B	9A	99	98	
SCON*	串行口控制	98H	SM0/FE	SM1	SM2	REN	TB8	RB8	TI	RI	00H
SP	堆栈指针	81H									07H
			8F	8E	8D	8C	8B	8A	89	88	
TCON*	定时器控制	88H	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0	00H
			CF	CE	CD	CC	CB	CA	C9	C8	
T2CON*	定时器 2 控制	C8H	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	$C/\overline{T2}$	$CP/\overline{RL2}$	00H
T2MOD#	定时器 2 模式控制	C9H	—	—	—	—	—	—	T2OE	DCEN	xxxxxx00B
TH0	定时器 0 高字节	8CH									00H
TH1	定时器 1 高字节	8DH									00H
TH2#	定时器 2 高字节	CDH									00H

TL0	定时器 0 低字节	8AH									00H
TL1	定时器 1 低字节	8BH									00H
TL2#	定时器 2 低字节	CCH									00H
TMOD	定时器模式	89H	GATE	C/$\overline{T}$	M1	M0	GATE	C/$\overline{T}$	M1	M0	00H

注： 带“*”号的 SFR 可位寻址。

带“#”号的 SFR 表示从 80C51 的 SFR 修改而来或新增加的。

“—”表示保留位

1．复位值由复位源确定。

FLASH EPROM 存储器

概述

P89C51X2/52X2/54X2/58X2 在 10000 次擦除和编程之后仍能可靠保存 FLASH 存储器的内容。存储单元的设计使得擦除和编程结构最优化。此外，先进的沟道氧化工艺和低内部电场的结合使擦除和编程操作更加可靠。

特性

- 带片擦除的 FLASH EPROM 内部程序存储器
- 内部程序存储器禁止时（$\overline{EA}$=0），外部程序存储器最多可达 64K
- 可编程加密位
- 每字节最少 10000 次擦除/编程周期
- 数据最少可保存 10 年
- 从一般销售商处可获得编程支持

振荡器特性

XTAL1 和 XTAL2 为输入和输出，可分别作为一个反相放大器的输入和输出。此管脚可配置为使用内部振荡器。要使用外部时钟源驱动器件时，XTAL2 可以不连接而由 XTAL1 驱动。外部时钟信号无占空比的要求，因为时钟通过触发器二分频输入到内部时钟电路。但高低电平的最长和最短时间必须符合手册的规定。

时钟控制寄存器（CKCON）

该器件提供通过一个 SFR 位（CKCON 的 X2 位）和一个 Flash 位（保密块中的 FX2）控制选择 6 时钟/12 时钟模式。当 X2 置 0 时，12 时钟模式有效。该位置 1 时系统切换到 6 时钟模式。由于该功能是通过 SFR 位实现的，因此可以随时访问并修改。需要注意的是，将 X2 从 0 改为 1 将导致用户代码以两倍的速度执行，因为所有的系统时间间隔都变成原来的 1/2。从 6 时钟模式变为 12 时钟模式会将运行代码的速度降低为 1/2。

Flash 时钟控制位（FX2）可通过并行编程器编程取代 X2 位实现 6 时钟模式。见表 2：

表 2

FX2 时钟模式位（只能通过并行编程器设置）	X2 位（CKCON.0）	CPU 时钟模式
擦除	0	12 时钟模式（默认）
擦除	1	6 时钟模式
编程	X	6 时钟模式

可编程时钟输出

可从 P1.0 编程输出 50%占空比的时钟信号。P1.0 除了作为常规 I/O 口外，还有两个可选功能。它可编

程为：

1． 用于定时/计数器 2 的外部时钟输入；

2． 使用 16MHz 操作频率时，12 时钟模式下输出 50%占空比的 61Hz~4MHz 时钟信号（6 时钟模式时为 122Hz~8MHz）。

要将定时/计数器 2 配置为时钟发生器，C/$\overline{T2}$(T2CON.1)必须清零，而 T2MOD 中的 T20E 位必须置位。要启动定时器 2 还必须将 TR2(T2CON.2)置位。

时钟输出频率由振荡器频率和定时器 2 捕获寄存器的重新装入值确定，公式如下：

$$\frac{\text{振荡器频率}}{n\times(65536-RCAP2H,RCAP2L)}$$

此处

n = 16（6 时钟模式）或 32（12 时钟模式）

（RCAP2H,RCAP2L）＝RCAP2H 和 RCAP2L 的内容作为一个 16 位无符号整数

在时钟输出模式中，定时器 2 的翻转将不会产生中断。这和它作为波特率发生器时相似。定时器 2 可同时作为波特率发生器和时钟发生器。但需要注意的是，波特率和时钟输出频率相同。

复位

在振荡器工作时，将 RST 脚保持至少两个机器周期高电平（12 时钟模式为 24 个振荡器周期，6 时钟模式为 12 振荡器周期）可实现复位。为了保证上电复位的可靠，RST 保持高电平的时间至少为振荡器启动时间（通常为几个毫秒）再加上两个机器周期。复位后，振荡器以 12 时钟模式运行（当已通过并行编程器设置为 6 时钟模式时除外）。

低功耗模式

时钟停止模式

静态设计使时钟频率可以降至 0MHz(停止)。当振荡器停振时，RAM 和 SFR 的值保持不变。该模式允许逐步应用并可将时钟频率降至任意值以实现系统功耗的降低。如要实现最低功耗则建议使用掉电模式。

空闲模式

空闲模式（见表 3）中，CPU 进入睡眠状态，但片内的外围电路仍然保持工作状态。正常操作模式的最后一条指令执行进入空闲模式。空闲模式下，CPU 内容、片内 RAM 和所有 SFR 保持原来的值。任何被使能的中断（此时，程序从中断服务程序处恢复并继续执行）或硬件复位（与上电复位使用相同的方式启动处理器）均可终止空闲模式。

掉电模式

为了进一步降低功耗，通过软件可实现掉电模式(见表 3)。该模式中，振荡器停振并且在最后一条指令执行进入掉电模式。降到 2.0V 时，片内 RAM 和 SFR 保持原值，在退出掉电模式之前 Vcc 必须升至规定的最低操作电压。

硬件复位或外部中断均可结束掉电模式。硬件复位使所有的 SFR 重新设置，但不改变片内 RAM 的值。外部中断允许 SFR 和片内 RAM 都保持原值。WUPD（AUXR1.3－从掉电唤醒）使能或禁止通过外部中断唤醒掉电。

WUPD＝0：禁止　　WUPD=1：使能

要正确退出掉电模式，在 Vcc 恢复到正常操作电压范围之后，复位或外部中断开始执行并且要保持足够长的时间 (通常小于 10ms)以使振荡器重新启动并稳定下来。

使用外部中断退出掉电模式时，INT0 和 INT1 必须使能且配置为电平触发。将管脚电平拉低使振荡器重新启动，退出掉电模式后将管脚恢复为高电平。一旦中断被响应，RETI 之后所执行的是进入掉电模式指令的后一条指令。

表 3 空闲模式和掉电模式时外部管脚的状态

模式	程序存储器	ALE	$\overline{PSEN}$	口 0	口 1	口 2	口 3
空闲	内部	1	1	数据	数据	数据	数据
空闲	外部	1	1	悬浮	数据	地址	数据
掉电	内部	0	0	数据	数据	数据	数据
掉电	外部	0	0	悬浮	数据	数据	数据

设计中的注意事项

当空闲模式被硬件复位所中止时，器件在内部复位之前从停止处恢复程序正常运行，时间为 2 个机器周期。这段时间内片内硬件禁止对内部 RAM 的访问，但对 I/O 口的访问未被禁止。当 Idle 模式被复位所中止时，为了消除可能产生的误写操作，应用 Idle 模式指令后的指令不应执行写 I/O 口或写外部存储器操作。

ONCE™模式

ONCE(在线仿真)模式实现了对系统的测试和调试而不需要将器件从电路中移去。进入 ONCE 模式的条件：

1． 当器件复位且 $\overline{PSEN}$ 为高电平时，将 ALE 置低电平；

2． 在 RST 撤除时，ALE 保持低电平。

当器件处于 ONCE 模式时，P0 口处于悬浮状态，其它 I/O 口、ALE 和 $\overline{PSEN}$ 为弱上拉。振荡电路保持工作状态，器件处于该模式时，可用仿真器或测试 CPU 驱动电路。执行正常复位时恢复正常操作。

定时器 0 和 1 的操作

定时器 0 和 1

定时和计数功能由特殊功能寄存器 TMOD 的控制位 C/T 进行选择。这两个定时/计数器有 4 种操作模式，通过 TMOD 的 M1 和 M0 选择。两个定时/计数器的模式 0、1 和 2 都相同，模式 3 不同。如下所述：

模式 0

将定时器设置成模式 0 时类似 8048 定时器，即 8 位计数器带 32 分频的预分频器。图 2 所示为模式 0 工作方式。

此模式下，定时器寄存器配置为 13 位寄存器。当计数从全为“1”翻转为全为“0”时，定时器中断标志位 TFn 置位。当 TRn=1 同时 GATE=0 或 $\overline{INTn}$=1 时定时器计数。置位 GATE 时允许由外部输入 $\overline{INTn}$ 控制定时器，这样可实现脉宽测量。TRn 为 TCON 寄存器内的控制位（图 3）。

该 13 位寄存器包含 THn 全部 8 个位及 TLn 的低 5 位。TLn 的高 3 位不定，可将其忽略。置位运行标志（TRn）不能清零此寄存器。

模式 0 的操作对于定时器 0 及定时器 1 都是相同的。两个不同的 GATE 位（TMOD.7 和 TMOD.3）分别分配给定时器 0 及定时器 1。

模式 1

模式 1 除了使用了 THn 及 TLn 全部 16 位外，其它与模式 0 相同。

模式 2

此模式下定时器寄存器作为可自动重装的 8 位计数器（TLn），如图 4 所示。TLn 的溢出不仅置位 TFn，而且将 THn 内容重新装入 TLn，THn 内容由软件预置。重装时 THn 内容不变。模式 2 的操作对于定时器 0 及定时器 1 是相同的。

模式 3

在模式 3 中，定时器 1 停止计数，效果与将 TR1 设置为 0 相同。

此模式下定时器 0 的 TL0 及 TH0 作为两个独立的 8 位计数器。图 5 为模式 3 时的定时器 0 逻辑。TL0 占用定时器 0 的控制位：C/$\overline{T}$，GATE，TR0，INT0 及 TF0。TH0 限定为定时器功能（计数器周期），占用定时器 1 的 TR1 及 TF1。此时 TH0 控制“定时器 1”中断。

模式 3 可用于需要一个额外的 8 位定时器的场合。定时器 0 工作于模式 3 时，80C51 看似有 3 个定时器/计数器，当定时器 0 工作于模式 3 时，定时器 1 可通过开关进入/退出模式 3,它仍可用作串行端口的波特率发生器，或者应用于任何不要求中断的场合 。

TMOD 地址：89H 复位值：00H

不可位寻址

7	6	5	4	3	2	1	0
GATE	C/$\overline{T}$	M1	M0	GATE	C/$\overline{T}$	M1	M0
定时器 1				定时器 0			

位	符号	功能
TMOD.3/ TMOD.7	GATE	用于定时器 1，置位时只有在 $\overline{INT1}$ 脚置高及 TR1 控制置位时才可打开定时器/计数器。清零时，置位 TR1 即可打开定时器/计数器。
TMOD.2/ TMOD.6	C/$\overline{T}$	控制定时器 1 用作定时器或计数器，清零则用作定时器（从内部系统时钟输入），置位用作计数器（从 Tn 脚输入）。
	M1，M0	定时器模式选择
	M1，M0	定时器模式
	0 0	8048 定时器 TLn 用作 5 位预分频器
	0 1	16 位定时器/计数器，无预分频器。
	1 0	8 位自装载定时器，当溢出时将 THn 存放的值装入 TLn。
	1 1	定时器 0 此时作为双 8 位定时/计数器。TL0 作为一个 8 位定时器/计数器，通过标准定时器 0 控制位控制。TH0 仅作为一个 8 位定时器，由定时器 1 控制位控制，在这种模式下定时/计数器 1 关闭。

图 1 定时/计数器 0/1 模式控制寄存器（TMOD）

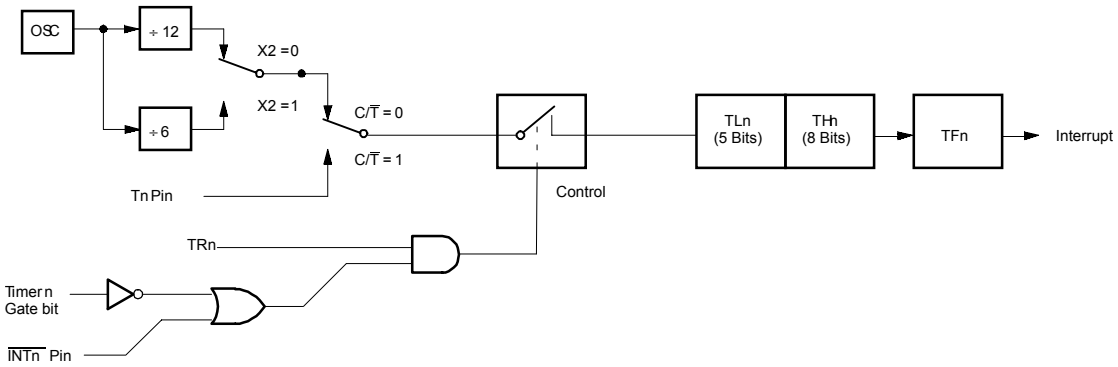


图 2 定时/计数器 0/1 的模式 0：13 位定时/计数器

TCON 地址：88H

可位寻址

复位值：00H

7	6	5	4	3	2	1	0
TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0

位	符号	功能
TCON.7	TF1	定时器 1 溢出标志。定时/计数器溢出时由硬件置位。中断处理时由硬件清除。或用软件清除。
TCON.6	TR1	定时器 1 运行控制位。由软件置位/清零将定时/计数器打开/关闭。
TCON.5	TF0	定时器 0 溢出标志。定时/计数器溢出时由硬件置位。中断处理时由硬件清除。或用软件清除。
TCON.4	TR0	定时器 0 运行控制位。由软件置位/清零将定时/计数器打开/关闭。
TCON.3	IE1	中断 1 边沿触发标志。当检测到外部中断 1 边沿时由硬件置位。中断处理时清零。
TCON.2	IT1	中断 1 触发类型控制位，由软件置位/清零以选择外部中断以下降沿/低电平方式触发。
TCON.1	IE0	中断 0 边沿触发标志。当检测到外部中断 0 边沿时由硬件置位。中断处理时清零。
TCON.0	IT0	中断 0 触发类型控制位，由软件置位/清零以选择外部中断以下降沿/低电平方式触发。

图 3 定时器/计数器控制寄存器（TCON）

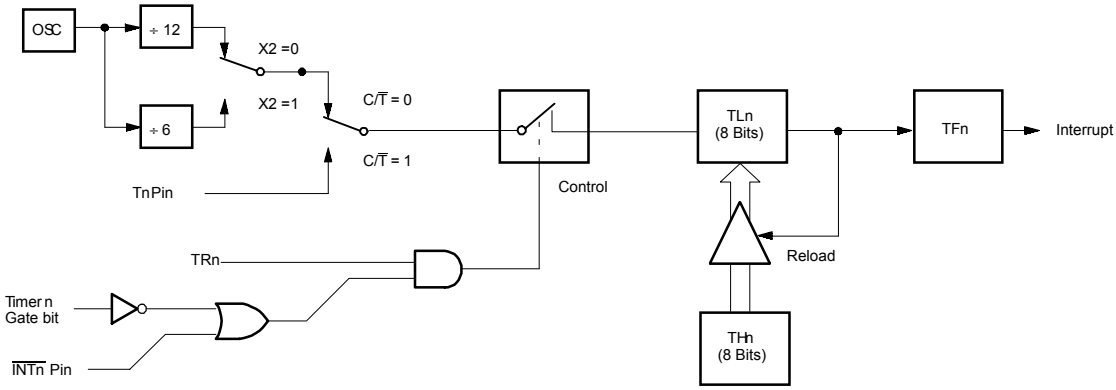
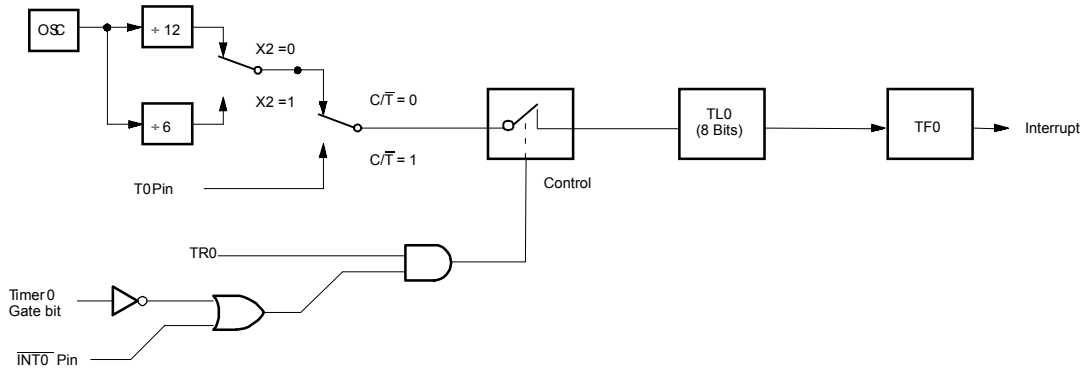


图 4 定时/计数器 0/1 的模式 2：8 位自动重装



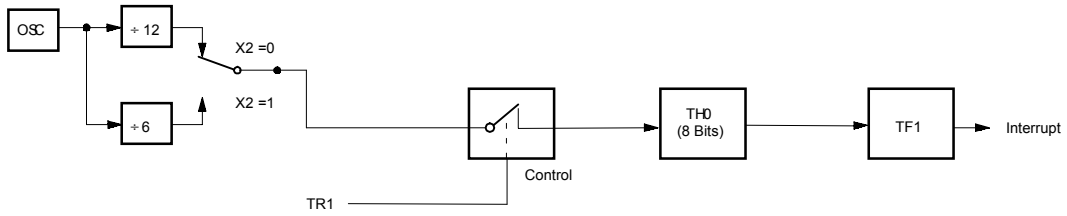


图 5 定时/计数器 0 的模式 3：双 8 位计数器

定时器 2 的操作

定时器 2

定时器 2 是一个 16 位定时/计数器。通过设置特殊功能寄存器 T2CON 中的 C/$\overline{T2}$ 位，可将其作为定时器或计数器（见图 6）。定时器 2 有三种操作模式：捕获、自动重新装载（递增或递减计数）和波特率发生器，这三种模式由 T2CON 中的位进行选择（见表 3）。

捕获模式

在捕获模式中，通过 T2CON 中的 EXEN2 设置两个选项。如果 EXEN2＝0，定时器 2 作为一个 16 位定时器或计数器（由 T2CON 中 C/$\overline{T2}$ 位选择），溢出时置位 TF2（定时器 2 溢出标志位）。该位可用于产生中断（通过使能 IE 寄存器中的定时器 2 中断使能位）。如果 EXEN2＝1，与以上描述相同，但增加了一个特性，即外部输入 T2EX 由 1 变 0 时将定时器 2 中 TL2 和 TH2 的当前值各自捕获到 RCAP2L 和 RCAP2H。另外，T2EX 的负跳变使 T2CON 中的 EXF2 置位，EXF2 也象 TF2 一样能够产生中断（其向量与定时器 2 溢出中断地址相同，定时器 2 中断服务程序通过查询 TF2 和 EXF2 来确定引起中断的事件）。捕获模式如图 2 所示。在该模式中，TL2 和 TH2 无重新装载值。甚至当 T2EX 产生捕获事件时，计数器仍以 T2EX 的负跳变或振荡频率的 1/12（12 时钟模式）或 1/6（6 时钟模式）计数。

自动重装模式（递增/递减计数器）

16 位自动重装模式中，定时器 2 可通过 C/$\overline{T2}$ 配置为定时器/计数器，编程控制递增/递减计数。计数的方向是由 DCEN（递减计数使能位）确定的，DCEN 位于 T2MOD 寄存器（见图 8）中。当 DCEN＝0 时，定时器 2 默认为向上计数；当 DCEN＝1 时，定时器 2 可通过 T2EX 确定递增或递减计数。

图 9 显示了当 DCEN＝0 时，定时器 2 自动递增计数。在该模式中通过设置 EXEN2 位进行选择。如果 EXEN2＝0，定时器 2 递增计数到 0FFFFH 并在溢出后将 TF2 置位，然后将 RCAP2L 和 RCAP2H 中的 16 位值作为重新装载值装入定时器 2。RCAP2L 和 RCAP2H 的值是通过软件预设的。

如果 EXEN2＝1，16 位重新装载可通过溢出或 T2EX 从 1→0 的负跳变实现。此负跳变同时将 EXF2 置位。如果定时器 2 中断被使能，则当 TF2 或 EXF2 置 1 时产生中断。

在图 10 中 DCEN＝1 时，定时器 2 可递增或递减计数。此模式允许 T2EX 控制计数的方向。当 T2EX 置 1 时，定时器 2 递增计数，计数到 0FFFFH 后溢出并置位 TF2。还将产生中断（如果中断被使能），定时

器 2 的溢出将使 RCAP2L 和 RCAP2H 中的 16 位值作为重新装载值放入 TL2 和 TH2。

当 T2EX 置零时，将使定时器 2 递减计数。当 TL2 和 TH2 计数到等于 RCAP2L 和 RCAP2H 时，定时器产生溢出。定时器 2 溢出置位 TF2，并将 0FFFFH 重新装入 TL2 和 TH2。

当定时器 2 递增/递减产生溢出时，外部标志位 EXF2 翻转。如果需要，可将 EXF2 位作为第 17 位。在此模式中，EXF2 标志不会产生中断。

表 4 定时器 2 工作方式

RCLK+TCLK	CP/$\overline{RL2}$	TR2	模式
0	0	1	16 位自动重装
0	1	1	16 位捕获
1	X	1	波特率发生器
X	X	0	（关闭）

T2CON 地址=0C8H 可位寻址 复位值=00H

7	6	5	4	3	2	1	0
TF2	EXF2	RCLK	TCLK	EXEN2	TR2	C/$\overline{T2}$	CP/$\overline{RL2}$

符号	位	名称和意义
TF2	T2CON.7	定时器 2 溢出标志。定时器 2 溢出时置位，必须由软件清除。当 RCLK 或 TCLK＝1 时，TF2 将不会置位。
EXF2	T2CON.6	定时器 2 外部标志。当 EXEN2＝1 且 T2EX 的负跳变产生捕获或重装时，EXF2 置位。定时器 2 中断使能时，EXF2＝1 将使 CPU 从中断向量处执行定时器 2 中断子程序。EXF2 位必须用软件清零。在递增/递减计数器模式（DCEN＝1）中，EXF2 不会引起中断。
RCLK	T2CON.5	接收时钟标志。RCLK 置位时，定时器 2 的溢出脉冲作为串行口模式 1 和模式 3 的接收时钟。RCLK＝0 时，将定时器 1 的溢出脉冲作为接收时钟。
TCLK	T2CON.4	发送时钟标志。TCLK 置位时，定时器 2 的溢出脉冲作为串行口模式 1 和模式 3 的发送时钟。TCLK＝0 时，将定时器 1 的溢出脉冲作为发送时钟。
EXEN2	T2CON.3	定时器 2 外部使能标志。当其置位且定时器 2 未作为串行口时钟时，允许 T2EX 的负跳变产生捕获或重装。EXEN2＝0 时，T2EX 的跳变对定时器 2 无效。
TR2	T2CON.2	定时器 2 启动/停止控制位。置 1 时启动定时器。
C/$\overline{T2}$	T2CON.1	定时器/计数器选择。（定时器 2） 0＝内部定时器（OSC/12 或 OSC/6） 1＝外部事件计数器（下降沿触发）
CP/$\overline{RL2}$	T2CON.0	捕获/重装标志。置位：EXEN2＝1 时 T2EX 的负跳变产生捕获。清零：EXEN2＝1 时定时器 2 溢出或 T2EX 的负跳变都可使定时器自动重装。当 RCLK＝1 或 TCLK＝1 时，该位无效且定时器强制为溢出时自动重装。

图 6 定时器/计数器 2（T2CON）控制寄存器

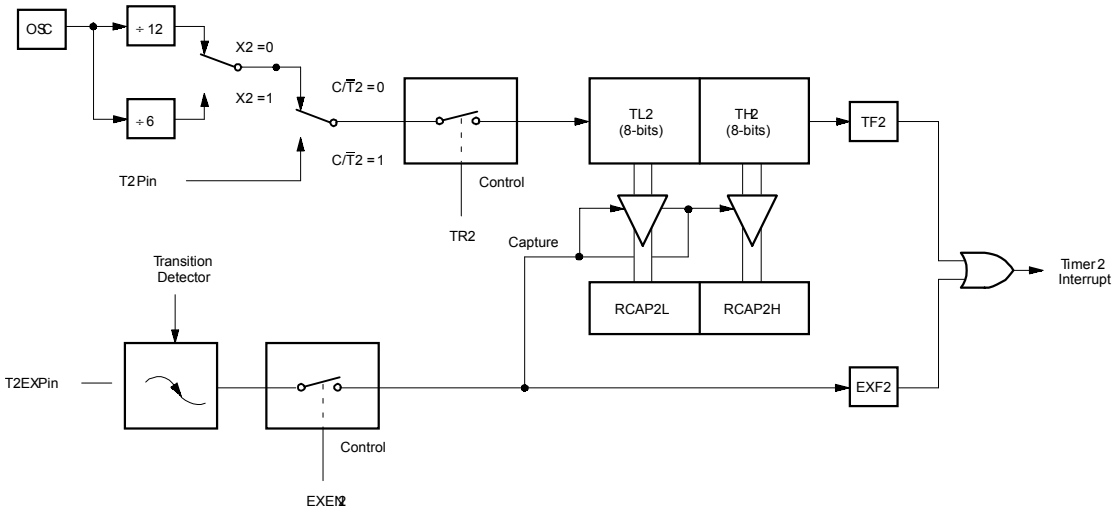


图 7 定时器 2 捕获模式

T2MOD 地址=0C9H 复位值=XXXX XX00B

不可位寻址

7	6	5	4	3	2	1	0
—	—	—	—	—	—	T2OE	DCEN

符号	功能
—	不可用，保留将来之用。*
T2OE	定时器 2 输出使能位。
DCEN	向下计数使能位。定时器 2 可配置成向上/向下计数器。

* 用户勿将其置 1。这些位在将来 8051 系列产品中用来实现新的特性，这种情况下，以后用到保留位，复位时或非有效状态时，它的值应为 0，而这些位为有效状态时，它的值为 1。从保留位读到的值是不确定的。

图 8 定时器 2 模式（T2MOD）控制寄存器

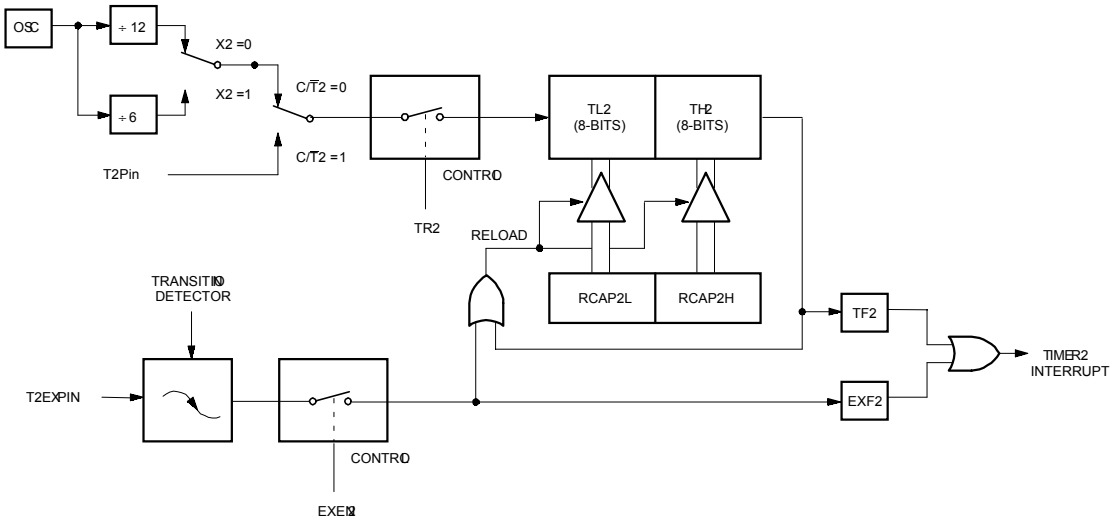


图 9 定时器 2 自动重装模式（DCEN=0）

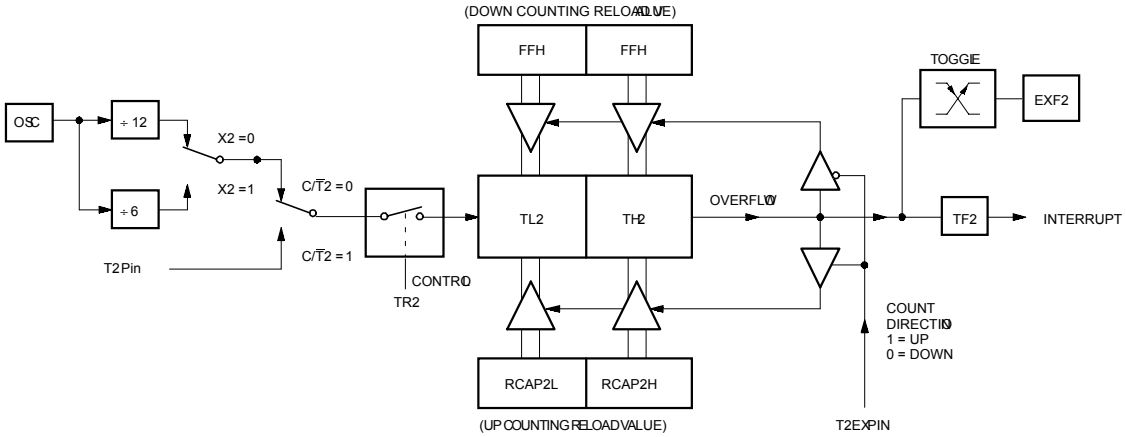


图 10　定时器 2 自动重装模式（DCEN=1）

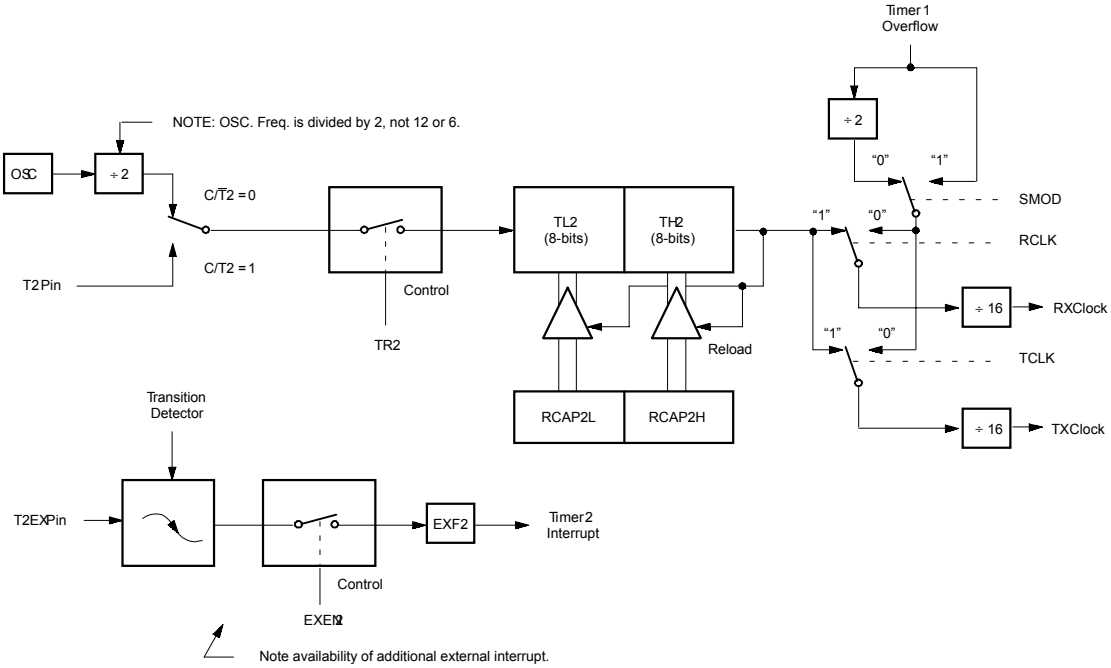


图 11　定时器 2 波特率发生器模式

波特率发生器模式

寄存器 T2CON 的位 TCLK 和（或）RCLK（见表 3）允许从定时器 1 或定时器 2 获得串行口发送和接收的波特率。当 TCLK=0 时，定时器 1 作为串行口发送波特率发生器；当 TCLK=1 时，定时器 2 作为串行口发送波特率发生器。RCLK 对串行口接收波特率有同样的作用。通过这两位，串行口能得到不同的接收和发送波特率——— 一个通过定时器 1 产生，另一个通过定时器 2 产生。

图 11 所示为定时器 2 工作在波特率发生器模式。与自动重装模式相似，当 TH2 溢出时，波特率发生器模式使定时器 2 寄存器重新装载来自寄存器 RCAP2H 和 RCAP2L 的 16 位的值，寄存器 RCAP2H 和 RCAP2LR 的值由软件预置。

当工作于模式 1 和模式 3 时，波特率由下面给出的定时器 2 溢出率所决定：

$$\text{模式 1 和模式 3 的波特率} = \frac{\text{定时器 2 溢出速率}}{16}$$

定时器可配置成“定时”或“计数”方式，在许多应用上，定时器被设置在“定时”方式（C/T2*=0）。当定时器 2 作为定时器时，它的操作不同于波特率发生器。

通常，定时器 2 作为定时器，它会在每个机器周期递增（1/6 或 1/12 振荡频率）。当定时器 2 作为波特率发生器时，它会在每个状态周期递增（例如 1/2 振荡频率）。这样，波特率公式如下：

$$模式 1 和模式 3 的波特率= \frac{振荡器频率}{[n\times[65536-(RCAP2H,RCAP2L)]]}$$

此处：

n = 16（6 时钟模式）或 32（12 时钟模式）

RCAP2H,RCAP2L)=RCAP2H 和 RCAP2L 的内容，为 16 位无符号整数。

如图 11 所示，定时器 2 作为波特率发生器，仅当寄存器 T2CON 中的 RCLK 和（或）TCLK=1 时，定时器 2 作为波特率发生器才有效。注意 TH2 溢出并不置位 TF2，也不产生中断。这样，当定时器 2 作为波特率发生器时，定时器 2 中断不必被禁止。如果 EXEN2（T2 外部使能标志）被置位，在 T2EX 中，由 1 到 0 的转换会置位 EXF2（T2 外部标志位），但并不导致（TH2，TL2）重装载（RCAP2H，RCAP2L）。因此，当定时器 2 用作波特率发生器时，如果需要，T2EX 可用作附加的外部中断。

当计时器工作在波特率发生器模式下,则不要对 TH2 和 TL2 进行读写，每隔一个状态时间（0sc/2）或由 T2 进入的异步信号，定时器 2 将加 1；在此情况下对 TH2 和 TH1 进行读写是不准确的。可对 RCAP2 寄存器进行读，但不要进行写，否则将导致自动重装错误。当对定时器 2 或寄存器 RCAP 进行访问时，应关闭定时器（清零 TR2）。

表 5 列出了常用的波特率和如何用定时器 2 得到这些波特率。

表 5 由定时器 2 产生的常用波特率

波特率		振荡器频率	定时器 2	
12 时钟模式	6 时钟模式		RCAP2H	RCAP2L
375K	750K	12MHz	FF	FF
9.6K	19.2K	12MHz	FF	D9
2.8K	9.6K	12MHz	FF	B2
2.4K	4.8K	12MHz	FF	64
1.2K	2.4K	12MHz	FE	C8
300	600	12MHz	FB	1E
110	220	12MHz	F2	AF
300	600	6MHz	FD	8F
110	220	6MHz	F9	57

波特率公式汇总

定时器 2 工作在波特率发生器模式，外部时钟信号由 T2 脚进入，波特率为：

$$波特率= \frac{定时器 2 溢出率}{16}$$

如果定时器 2 采用内部时钟信号,则波特率为：

$$波特率= \frac{fosc}{[n\times[65536-(RCAP2H,RCAP2L)]]}$$

此处：

n = 16（6 时钟模式）或 32（12 时钟模式）

f_{osc} = 振荡器频率

自动重装值可由下式得到：

RCAP2H,RCAP2L=65536-[fosc/(n×波特率)]

定时器/计数器 2 的设置

除了波特率发生器模式，T2CON 不包括 TR2 位的设置，TR2 位需单独设置来启动定时器。表 6，表 7 给出了 T2 作为定时器和计数器的设置。

表 6 T2 作为定时器

模式	T2CON	
	内部控制（注 1）	外部控制（注 2）
16 位重装	00H	08H
16 位捕获	01H	09H
波特率发生器接收和发送相同波特率	34H	36H
只接收	24H	26H
只发送	14H	16H

表 7 T2 作为计数器

模式	TMOD	
	内部控制（注 1）	外部控制（注 2）
16 位	02H	0AH
自动重装	03H	0BH

注： 1. 仅当定时器溢出时进行捕获和重装

2.当定时/计数器溢出并且 T2EX(P1.1)发生电平负跳变时产生捕获和重装（定时器 2 用于波特率发生器模式除外）。

全双工增强型 UART

标准 UART 操作

串口为全双工结构，表示可以同时发送和接收。它还具有接收缓冲，在第一个字节从寄存器读出之前，可以开始接收第二个字节。（但是如果第二个字节接收完毕时第一个字节仍未读出，其中一个字节将会丢失。串口的发送和接收寄存器都是通过 SFR SBUF 进行访问的。写入 SBUF 的数据装入发送寄存器，对 SBUF 的读操作是对物理上分开的接收寄存器进行访问。

串口有 4 种操作模式：

模式 0

串行数据通过 RxD 进出。TxD 输出时钟。每次发送或接收以 LSB（最低位）作首位，每次 8 位。波特率固定为 MCU 时钟频率的 1/12。

模式 1

TxD 脚发送，RxD 脚接收，每次数据为 10 位，一个起始位（0），8 个数据位（LSB 在前）及一个停止位（1）。当接收数据时，停止位存于 SCON 的 RB8 内，波特率可变，由定时器 1 溢出速率决定。

模式 2

TxD 脚发送，RxD 脚接收，每次数据为 11 位，一个起始位（0），8 个数据位（LSB 在前），一个可编程第 9 位数据及一个停止位（1）。

发送时，第 9 个数据位（SCON 内 TB8 位）可置为 0 或 1。例如将奇偶位（PSW 内 P 位）移至 TB8。接收时，第 9 位数据存入 SCON 的 RB8 位，停止位忽略。波特率可编程为 MCU 时钟频率的 1/32 或 1/64，由 PCON 内 SMOD1 位决定。

模式 3

TxD 脚发送，RxD 脚接收，每次数据为 11 位，一个起始位（0），8 个数据位（LSB 为首位），一可编程的第 9 位数据及一个停止位（1）。事实上模式 3 除了波特率外均与模式 2 相同。其波特率可变并由定时器 1 溢出率决定。

在上述 4 种模式中，发送过程是以任意一条以写 SBUF 作为目标寄存器的指令开始的，模式 0 时接收

通过设置 R1=0 及 REN=1 初始化，其它模式下如若 REN=1 则通过起始位初始化。

多机通信

UART 模式 2 及模式 3 有一个专门的应用领域即多机通信。在这些模式时，接收为 9 位数据。第 9 位存入 RB8。接下来为停止位。UART 可编程为：接收到停止位时，仅当 RB8=1 时串口中断才有效。可通过置位 SCON 内 SM2 位来选择这一特性。下述为多机系统利用这一特性的一种方法。

当主机需要发送一数据块给数台从机之一时，首先发送出一个地址字节对目标从机进行识别。地址与数据字节通过第 9 位数据区别，其中地址字节的第 9 位为 1，而数据字节为 0。SM2=1 时，数据字节不会使各从机产生中断，而地址字节则令所有从机中断，这样各从机可以检查接收到的数据判断是否被寻址。被寻址的从机即可清除 SM2 位以准备接收随后数据内容。未被寻址的从机的 SM2 位仍为 1 则不理睬随后数据继续各自工作。

模式 0 时 SM2 无效，模式 1 时 SM2 用于检验停止位是否有效。在模式 1 时，如果 SM2=1，那么只有接收到有效的结束位才可产生接收中断。

串行端口控制寄存器（SCON）

串行端口控制及状态寄存器即 SCON，如图 12 所示，其中包括模式选择位，以及发送和接收的第 9 位数据（TB8 及 RB8），以及串行端口中断位（TI 及 RI）。

SCON 地址：98H

可位寻址	7	6	5	4	3	2	1	0
复位值： 00H	SM0/FE	SM1	SM2	REN	TB8	RB8	TI	RI

位	符号	功能
SCON.7	FE	帧错误位。当检测到一个无效停止位时，通过 UART 接收器设置该位，但它必须由软件清零。要使该位有效，PCON 寄存器中的 SMOD0 位必须置 1。
SCON.7	SM0	和 SM1 定义串口操作模式。要使该位有效，PCON 寄存器中的 SMOD0 必须置 0。
SCON.6	SM1	和 SM0 定义串行口操作模式（见下表）

SM0	SM1	UART 模式	波特率
0	0	0：同步移位寄存器	fosc/12 或 fosc/6（取决于时钟模式）
0	1	1：8 位 UART	可变
1	0	2：9 位 UART	fosc /64 或 fosc /32
1	1	3：9 位 UART	可变

SCON.5	SM2	在模式 2 和 3 中多处理机通信使能位。在模式 2 或 3 中，若 SM2=1，且接收到的第 9 位数据（RB8）是 0，则 RI（接收中断标志）不会被激活。在模式 1 中，若 SM2=1 且没有接收到有效的停止位，则 RI 不会被激活。在模式 0 中，SM2 必须是 0。
SCON.4	REN	允许接收位。由软件置位或清除。REN=1 时，允许接收，REN=0 时，禁止接收。
SCON.3	TB8	模式 2 和 3 中发送的第 9 位数据，可以按需要由软件置位或清除。
SCON.2	RB8	模式 2 和 3 中已接收的第 9 位数据，在模式 1 中，或 sm2=0，RB8 是已接收的停止位。在模式 0 中，RB8 未用。
SCON.1	TI	发送中断标志。模式 0 中。在发送完第 8 位数据时，由硬件置位。其它模式中，在发送停止位之初，由硬件置位。在任何模式中，都必须由软件来清除 TI。
SCON.0	RI	接收中断标志，模式 0 中，接收第 8 位结束时由硬件置位。其它模式中，在接收停止位的中间时刻，由硬件置位。在任何模式(SM2 所述情况除外)必须由软件清除 RI。

图 12 串行控制寄存器（SCON）

波特率

操作模式 0 的波特率是固定的，为 fosc/12。模式 2 的波特率是 MCU 时钟/64 或 MCU 时钟/32，取决于 PCON 寄存器中的 SMOD1 位的值。若 SMOD1=0（复位值），波特率为 MCU 时钟/64，若 SMOD1=1，波特率为 MCU 时钟/32。

$$模式2波特率=\frac{2^{SMOD}}{n}\times(振荡器频率)$$

在 80C51 中，模式 1 和模式 3 的波特率由定时器 1 的溢出速率决定。

使用定时器 1 作波特率发生器

当定时器 1 用作波特率发生器，模式 1 和 3 中波特率由定时器 1 的溢出速率和 SMOD1 的值决定。

$$模式1,3波特率=\frac{2^{SMOD}}{n}\times(定时器1溢出速率)$$

在此应用中定时器 1 不能用作中断，定时器 1 可以工作在定时或计数方式和 3 种工作模式中任何一个。在最典型应用中，它用作定时器方式工作自动重装载模式（TMOD 的高半字节为 0010B），它的波特率值由下式给出：

$$模式1,3波特率=\frac{2^{SMOD}}{n}\times\frac{振荡器频率}{12\times[256-(TH1)]}$$

可以定时器 1 的中断实现非常低的波特率。将定时器配置为 16 位定时器（TMOD 的高半字节为 0001B），并使用中断进行 16 位软件重装。图 13 列出了几个常用的波特率以及如何从定时器 1 获得。

波特率			f_{osc}	SMOD	定时器1		
模式	12-clock 模式	6-clock 模式			C/$\overline{T}$	模式	重装载值
模式 0 Max	1.67 MHz	3.34 MHz	20 MHz	X	X	X	X
模式2 Max	625 k	1250 k	20 MHz	1	X	X	X
模式1, 3 Max	104.2 k	208.4 k	20 MHz	1	0	2	FFH
模式 1, 3	19.2 k	38.4 k	11.059 MHz	1	0	2	FDH
	9.6 k	19.2 k	11.059 MHz	0	0	2	FDH
	4.8 k	9.6 k	11.059 MHz	0	0	2	FA H
	2.4 k	4.8 k	11.059 MHz	0	0	2	F4H
	1.2 k	2.4 k	11.059 MHz	0	0	2	E8H
	137.5	275	11.986 MHz	0	0	2	1DH
	110	220	6 MHz	0	0	2	72H
	110	220	12 MHz	0	0	1	FEEBH

图 13 由定时器 1 产生的通用波特率

UART 模式 0

串行数据由 RxD 端出入。TxD 输出同步移位时钟，发送或接收的是 8 位数据，低位在先，其波特率固定为 MCU 时钟的 1/12，图 14 是串行口模式 0 的功能方框简图及相关的时序图。

执行任何一条把 SBUF 作为目的寄存器的指令时，就开始发送。S6P2 时刻的“写 SBUF”信号将 1 装入发送移位寄存器的第 9 位，并通知发送控制部分开始发送。写 SBUF 信号有效后一个完整的机器周期后 SEND 端有效。

SEND 使能 RxD（P3. 0）端送出数据，TxD（P3. 1）输出移位时钟。每个机器周期的 S3、S4 及 S5 状态内移位时钟为低电平，而 S6、S1 及 S2 状态内为高。在 SEND 有效时，每一机器周期的 S6P2 时刻发送移位寄存器的内容右移一位。

数据位向右移时，左边添加零。当数据字节最高位（MSB）移到移位寄存器的输出端时，其左边是装入“1”的第 9 位，再左的内容均为 0, 此时通知 Tx 控制模块进行最后一位移位处理后禁止 SEND 并置位 T1, 所有这些步骤均在“写入 SBUF”后第 10 个机器周期的 S1P1 时进行的。接收初始化条件是 REN=1 及 R1=0。下一机器周期的 S6P2 时，RX 控制单元向接收移位寄存器写入 1111 1110 并在下一个时钟使 RECEIVE 端有效。

RECEIVE 使能移位时钟转换 P3.1 功能，移位时钟在每个机器周期的 S3P1 及 S6P1 跳变。在 RECEIVE 有效时每一机器周期的 S6P2 时刻，接收移位寄存器内容向左移一位。从右移位进来的值是该机器周期 S5P2

时从 P3.0 脚上采样得来的。

数据从右边移入时，左边移出为“1”。当初始时置入最右端的“0”移至最左端时，通知 RX 控制时钟作最后一次移位后装入 SBUF。在写入 SCON 清除 R1 后第 10 个机器周期，RECEIVE 端被清除且置位 RI。

UART 模式 1

串行口工作于模式 1 时，传输的是 10 位：1 位起始位（0），8 位数据（低位在先）及一位停止位（1）。由 RxD 接收，TxD 发送。接收时，停止位存入 SCON 内 RB8。80C51 波特率取决于定时器 1 的溢出速率。图 15 所示为串行口模式 1 的功能简图及相应的发送/接收时序。

发送过程是由执行一条以 SBUF 为目的寄存器的指令启动的。“写 SBUF”信号还把 1（TB8）装入发送移位寄存器的第 9 位，同时通知发送控制器进行发送。实际上发送过程开始于 16 分频计数器下次翻转后的那个机器周期的 S1P1 时刻。每位的发送时序与 16 分频计数器同步，而并不与“写 SBUF”信号同步。

发送以激活 SEND 端开始，向 TxD 发送一起始位。一位（时间）以后 DATA 端有效，使输出移位寄存器中数据得以送至 TxD。再过一位，产生第一个移位脉冲。

数据向右移出，左边不断填以 0，当数据字节的最高位移到移位寄存器的输出位置时，其左边是装入“1”的第 9 位，再左的内容均为 0。此时通知 TX 控制器作最后一次移位，然后禁止 SEND 端并置位 TI。这都发生于“写 SBUF”后 16 分频计时器的第 10 次翻转时。

接收在 RxD 端检测到负跳变时启动，为此 MCU 对 RxD 不断采样，采速率为波特率的 16 倍。当检测到负跳变时，16 分频计数器立即复位，同时将 1FFH 写入输入移位寄存器。复位 16 分频计时器确保计时器翻转时位与输入数据位时间同步。

计数器的 16 个状态将每个位时间分为 16 份。在第 7、8、9 状态时，位检测器对 RxD 端的值采样。取值为三个采样值中取多数（至少 2 个）作为读入值，这样可以抑制噪声。如果所接收的第一位不为 0，说明它不是一帧数据的起始位，该位被摒弃，接收电路被复位，等待另一个负跳变的到来。这用来防止错误的起始位。如果起始位有效，则被移入输入移位寄存器，并开始接收这一帧中的其它位。

当数据位逐一由右边移入时，“1”从左边被移出。当起始位 0 移到最左边时（模式 1 为 9 位寄存器），通知接收控制器进行最后一次移位，将移位寄存器内容（9）位分别装入 SBUF 及 RB8，并置 RI=1。仅当最后一位移位脉冲产生时同时满足下述 2 个条件：①RI=0，②SM2=0 或接收到的停止位=1，才会装载 SBUF 和 RB8，并且置位 RI。

上述两个条件任一不满足,所接收到的数据帧就会丢失，不再恢复。两者都满足时，停止位就进入 RB8，8 位数据进入 SBUF，RI=1。这时，无论上述条件满足与否，接收控制单元都会重新等待 RxD 的负跳变。

模式 2 和模式 3

模式 2 和 3 中，发送（通过 TxD）和接收（通过 RxD）都是 11 位，包括 1 位起始位（0），8 位数据位（LSB 在先），1 位可编程数据位（第 9 位）及一位停止位（1）。发送时，第 9 位数据位（TB8）可置为 0 或 1。接收时，第 9 位存入 SCON 的 RB8。模式 2 时波特率可编程选为 MCU 时钟频率的 1/16 或 1/32。模式 3 时可由定时器 1 获取可变的波特率。

图 16 及 17 所示为模式 2、3 时串行口的功能简图。接收部分与模式 1 相同。发送部分仅发送移位寄存器内第 9 位和模式 1 有所不同。

发送过程是由执行一条以 SBUF 为目的寄存器的指令启动的。“写 SBUF”同时将 TB8 装入发送移位寄存器的第 9 位位置上。并通知发送控制器进行一次发送。发送过程由于 16 分频计数器下一次翻转后机器周期的 S1P1 时刻开始。

发送过程由使能 SEND 有效开始，将一个起始位送到 TxD 端。一位时间后，DATA 有效，数据由移位寄存器送入 TxD 端。再过一位后产生第一个移位脉冲。第一个移位时钟将“1”（停止位）送入移位寄存器的第 9 位，此后每次移位只把 0 送入第 9 位，所以当数据位向右移出时，“0”从左边移入。当 TB8 移至输出位置上时，它左边就是停止位，其余位均为零。此时将通知发送控制器作最后一次移位，然后使 SEND 无效并置位 TI。这些均发生在“写 SBUF”后第 11 次计数器翻转时，MCU 以 16 倍波特率对 RxD 脚进行

采样，一旦检测到负跳变，16 分频计数器立即复位同时将 1FFH 写入输出移位寄存器。

在每一位的第 7、8、9 状态时，位检测器对 RxD 端值进行采样。对三个采样值取多数（至少 2 次）为确定值以抑制噪声。如若所接收的第一位不为 0，接收电路复位，单元等待下一个负跳变的出现。如果起始位有效，则被移入输入移位寄存器，并开始接收这一帧中的其它位。

数据位从右边移入，“1”从左边移出。当起始位移至寄存器（模式 2~3 时为 9 位寄存器）的最左端时，通知接收控制器进行最后一次移位，并装入 SBUF 及 RB8 并置位 RI。仅当产生最后一位移位脉冲时同时满足下列 2 个条件：①RI=0,②SM2=0 或接收到的第 9 位数据为 1 时, 才装载 SBUF 和 RB8 并置位。

上述两个条件任一不满足,所接收到的数据帧就会丢失不再恢复，RI 仍为 0。当两者都满足时，第 9 位数据位就装入 RB8，前 8 位数据则装入 SBUF，一个位时间后，无论上述条件满足与否，单元都会重新等待 RxD 端的负跳变。

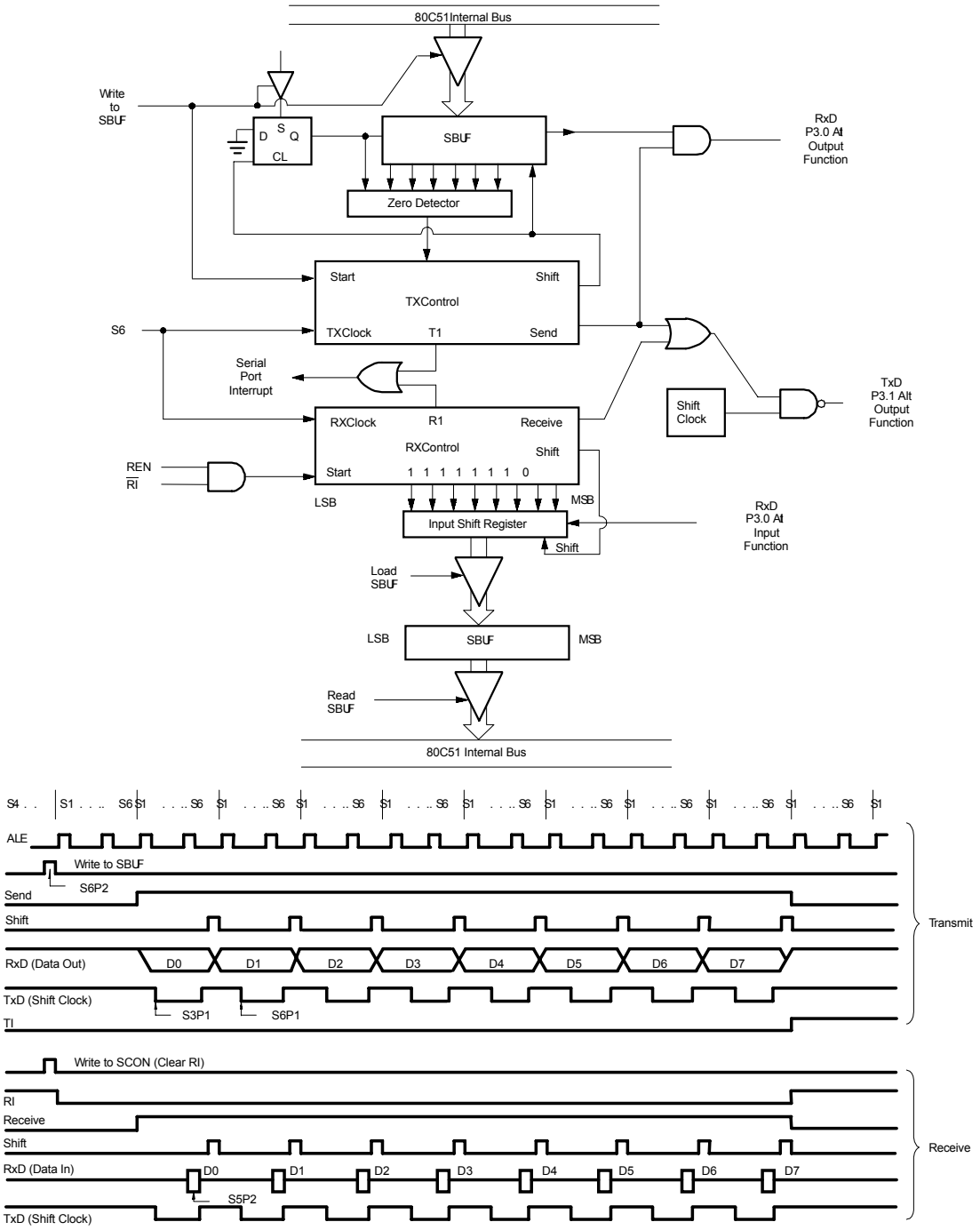


图 14 串口模式 0

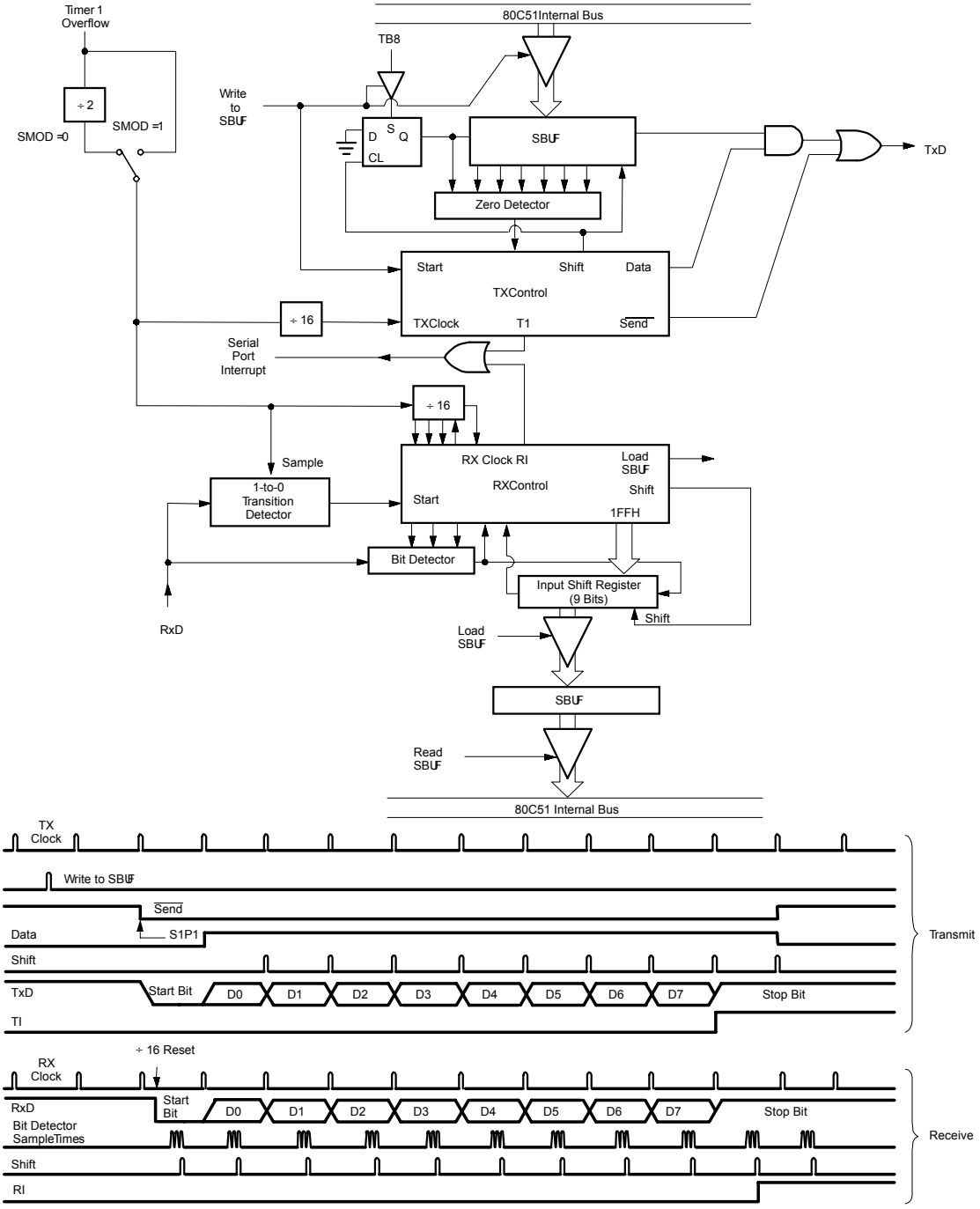

Timer 1
Overflow
÷ 2
SMOD =0
SMOD =1
80C51Internal Bus
TB8
Write
to
SBUF
D
S
Q
CL
SBUF
TxD
Zero Detector
Start
Shift
Data
TXControl
TXClock
T1
Send
÷ 16
Serial
Port
Interrupt
÷ 16
Sample
1-to-0
Transition
Detector
RX Clock RI
Load
SBUF
RXControl
Shift
Start
1FFH
Bit Detector
Input Shift Register
(9 Bits)
Shift
RxD
Load
SBUF
SBUF
Read
SBUF
80C51 Internal Bus
TX
Clock
Write to SBUF
Send
Data
S1P1
Shift
TxD
Start Bit
D0
D1
D2
D3
D4
D5
D6
D7
Stop Bit
TI
Transmit
÷ 16 Reset
RX
Clock
RxD
Start
Bit
D0
D1
D2
D3
D4
D5
D6
D7
Stop Bit
Bit Detector
SampleTimes
Shift
RI
Receive

图 15 串口模式 1

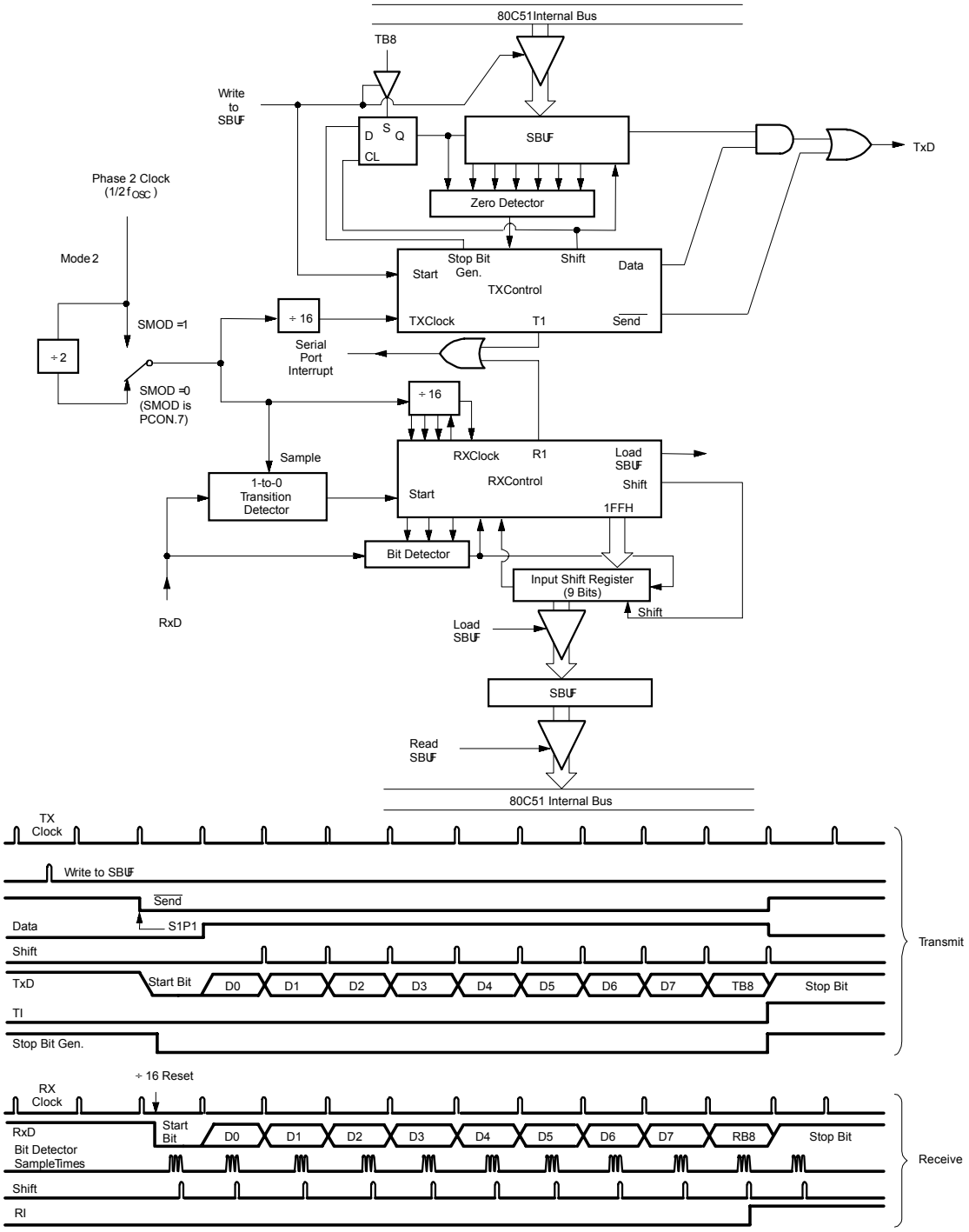

80C51Internal Bus
TB8
Write to SBUF
D S Q
CL
SBUF
TxD
Zero Detector
Phase 2 Clock (1/2 fOSC)
Mode 2
Stop Bit Gen.
Start
Shift
Data
TXControl
TXClock
T1
Send
÷ 16
SMOD =1
÷ 2
Serial Port Interrupt
SMOD =0 (SMOD is PCON.7)
÷ 16
Sample
RXClock
R1
Load SBUF
1-to-0 Transition Detector
RXControl
Start
Shift
1FFH
Bit Detector
Input Shift Register (9 Bits)
Shift
RxD
Load SBUF
SBUF
Read SBUF
80C51 Internal Bus
TX Clock
Write to SBUF
Send
Data
S1P1
Shift
TxD
Start Bit
D0
D1
D2
D3
D4
D5
D6
D7
TB8
Stop Bit
TI
Stop Bit Gen.
Transmit
÷ 16 Reset
RX Clock
RxD
Start Bit
D0
D1
D2
D3
D4
D5
D6
D7
RB8
Stop Bit
Bit Detector SampleTimes
Shift
RI
Receive

图 16 串口模式 2

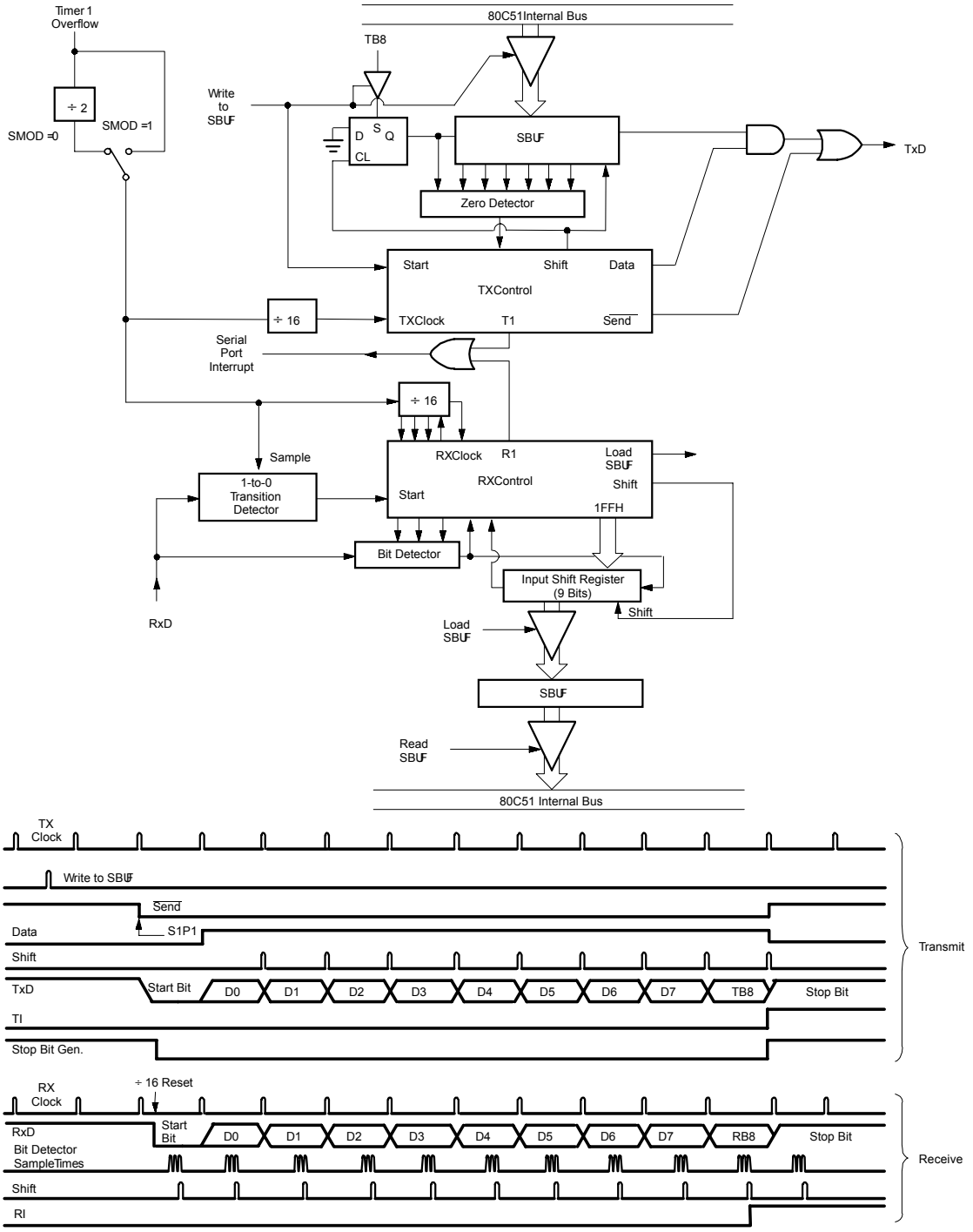


图 17 串口模式 3

增强型 UART 操作

除了标准操作模式外，UART 可实现自动地址识别和通过查询丢失的停止位进行帧错误检测。UART 还支持多机通信。

当使用帧错误检测时，丢失的位将会置位 SCON 中的 FE 位。FE 与 SM0 共用 SCON.7，通过 PCON.6（SMOD0）选择。如果 SMOD0 置位，SCON.7 作为 FE，SMOD0 为 0 时，SCON.7 作为 SM0。作为 FE 时，SCON.7 只能由软件清零（见图 18）。

自动地址识别

自动地址识别是这样一种特性，它使 UART 可以通过硬件比较从串行数据流中识别出特定的地址。这样就不必花费大量软件资源去检查每一个从串口输入的串行地址。将 SCON 内 SM2 置位可使能该特性。在 9 位 UART 模式（模式 2 和模式 3）下，如果接收的字节中包含“给定”地址或“广播”地址，接收中断标志（RI）将自动置位。在 9 位模式下要求第 9 个信息位为 1 以表明该信息内容是地址而非数据。

使用自动地址识别特性时，主机通过调用特定从机地址选择与一个（或多个）从机通信。使用广播地址时，所有从机都被联系。在此使用了两个特殊功能寄存器：SADDR 表示从机地址，SADEN 表示地址屏蔽。SADEN 用于定义 SADDR 内哪几位需使用而哪几位不予考虑。SADEN 可以与 SADDR 逻辑“与”得出给定的地址，用于对每一从机进行寻址。示例如下：

从机 0　　SADDR=1100 0000
　　SADEN=1111 1101
　　特定地址=1100 00X0

从机 1　　SADDR=1100 0000
　　SADEN=1111 1110
　　特定地址=1100 000X

上例中 SADDR 相同，而 SADEN 不同以区分两个从机。从机 0 要求 0 位为 0 而忽略 1 位。从机 1 则要求 1 位为 0 而忽略 0 位。由于从机 1 的 1 位必须为 0，从机 0 只能取独有的地址 1100 0010 以区别。由于从机 0 的 0 位必须为 1，从机 1 只能取独有的地址 1100 0001 以区别。而取地址 1100 0000 时两从机都可被寻址。

下例所示为选择从机 1、2 而不选从机 0：

从机 0　　SADDR=1100 0000
　　SADEN=1111 1001
　　特定地址=1100 0XX0

从机 1　　SADDR=1110 0000
　　SADEN=1111 1010
　　特定地址=1100 0X0X

从机 2　　SADDR=1110 0000
　　SADEN=1111 1100
　　特定地址=1110 00XX

上述三个从地址只有低 3 位不同。从机 0 要求位 0=0，它可通过 1110 0110 单独寻址；从机 1 要求位 1=0，可通过 1110 0101 单独寻址；从机 2 要求位 2 为 0，可通过 1110 0011 单独寻址。由于必须使地址字节的第 2 位为“1”以屏蔽从机 2，因此使用地址 1110 0100 可选通从机 0 和 1 同时屏蔽从机 2。将 SADDR 和 SADEN 相“或”后产生每个从机的“广播”地址，结果为零的位视为无关位。大多数情况下，无关位被认为是 1，这样，“广播”地址为 FFH。复位时 SADDR 和 SADEN 均为 00H，此时产生了一个所有位都是无关位的给定地址，也即“广播”地址。这样有效地禁止了自动寻址模式，并允许微控制器使用不带有上述特性的标准 UART 驱动器。

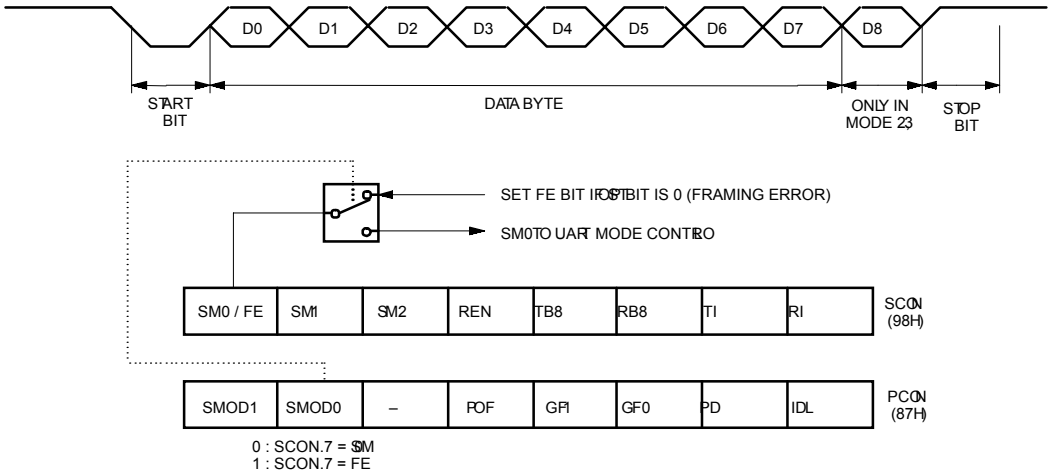


图 18 UART 帧错误检测

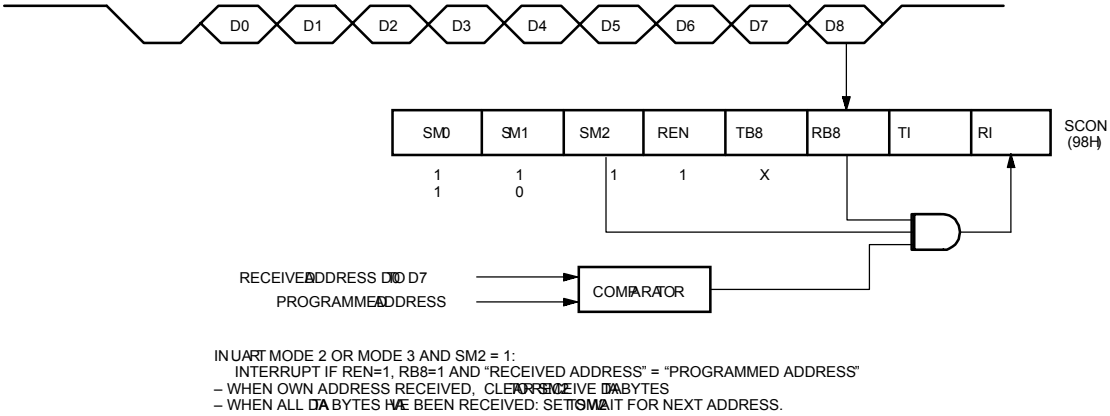


图 19 UART 多机通信,自动地址识别

中断优先级结构

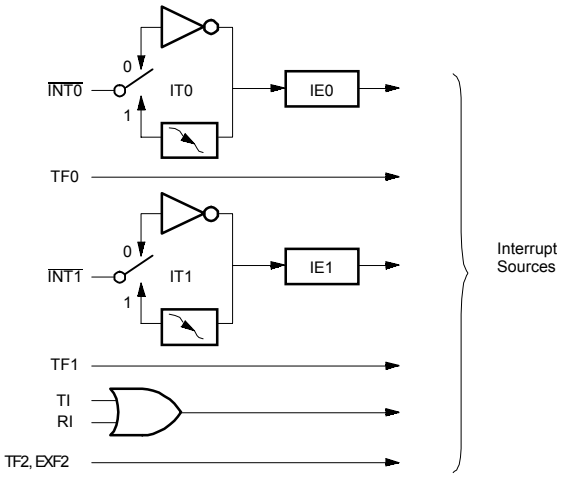


图 20 中断源

中断

本手册所讲述的器件提供 6 个中断源，如图 20 所示。外部中断 INT0 和 INT1 可根据寄存器 TCON 中的 IT0 和 IT1 位状态分别设置为电平或者边沿触发。实际产生的中断标志是 TCON 中的位 IE0 和 IE1。当产生外部中断时，如果是边沿触发，进入中断服务程序后由硬件清除中断标志位。如果中断是电平触发，由外部请求源而不是由片内硬件控制请求标志。

定时器 0 和定时器 1 中断由 TF0 和 TF1（分别由各自的定时/计数寄存器控制，定时器 0 工作在模式 3

时除外）产生。当产生定时器中断时，进入中断服务程序后由片内硬件清除标志位。

串口中断由 RI 和 TI 的逻辑或产生。进入中断服务程序后，这些标志均不能被硬件清除。实际上，中断服务程序通常需要确定是由 RI 还是 TI 产生的中断，然后由软件清除中断标志。

所以这些产生中断的位都可通过软件置位或清零，与通过硬件置位或清零的效果相同。简而言之，中断可由软件产生、推迟或取消。

每个中断源可通过置位或清零寄存器 IE（图 21）中的相应位分别使能或禁止。IE 中还包含一个全局禁止位 $\overline{EA}$，可以立即禁止所有的中断。

中断优先级结构

每个中断源都可通过编程中断优先级寄存器 IP（图 22）和 IPH（图 23）单独设置优先级。一个中断服务程序可响应更高级的中断，但不能响应同优先级或低级中断。最高级中断服务程序不响应其它任何中断。如果两个不同中断优先级的中断源同时申请中断时，响应较高优先级的中断申请。

如果 2 个同优先级的中断源同时申请中断。内部查询顺序将确定首先响应哪一个中断请求。查询顺序如下所示：

中断源	同级优先级
1. IE0（外部中断 0）	（最高）
2. TF0（定时器 0）	
3. IE1（外部中断 1）	
4. TF1（定时器 1）	
5. RI+TI（UART）	
6. TF2,EXF2（定时器 2）	（最低）

注：“同级优先级”只用来处理相同优先级别中断源同时申请中断的情况。

IP 和 IPH 寄存器中包含了一些无效位。由于这些位可能用于其它 80C51 系列产品中，用户软件不应将这些位写入 1。

中断的处理

中断标志在每个机器周期的 S5P2 时采样。在下一个机器周期查询该采样。如果在 S5P2 周期时有一个标志置位，查询周期将发现它，然后中断系统产生一个 LCALL 调用对应的服务程序。由硬件产生的 LCALL 在下面任意一种情况下都会推迟执行：

1. 同级或更高级的中断已在处理中
2. 当前的周期不是正在执行指令的最后一个周期
3. 正在处理的指令是 RETI 或任何写 IE 或 IP 寄存器的指令

条件 2 确保正在处理的指令在进入任何中断服务程序前可以执行完毕。条件 3 确保了如果正在处理的指令是 RETI 或任何访问 IE 或 IP 寄存器的指令，那么在进入任何中断服务程序之前至少再执行一条指令。

查询周期在每个机器周期都会重复，所查询的值是在前一个机器周期的 S5P2 出现的值。需要注意的是，如果一个中断标志位有效但仍然没有被响应，是因为出现上面所述的情况。如果当阻碍的条件撤除时中断标志不再有效，中断将不再响应。换句话说，实际上如果中断标志有效时没有响应中断，之后将不再被记忆。每次查询周期都会更新中断标志。

IE 地址：0A8H 复位值：0X000000B

可位寻址

7	6	5	4	3	2	1	0
EA	—	ET2	ES	ET1	EX1	ET0	EX0

使能位=1：使能中断 使能位=0：禁止中断

位	符号	功能
IE.7	EA	全局禁止位。如果 EA=0，所有的中断都被禁止;EA=1 时，所有的中断都可通过设置/清零各自的使能位单独使能或禁止。
IE.6	—	无效位。保留将来之用
IE.5	ET2	定时器 2 中断使能位
IE.4	ES	串口中断使能位
IE.3	ET1	定时器 1 中断使能位
IE.2	EX1	外部中断 1 使能位
IE.1	ET0	定时器 0 中断使能位
IE.0	EX0	外部中断 0 使能位

图 21 中断使能（IE）寄存器

IP 地址：0B8H 复位值：XX000000B

可位寻址

7	6	5	4	3	2	1	0
—	—	PT2	PS	PT1	PX1	PT0	PX0

优先级位=1：分配高优先级 优先级位=0：分配低优先级

位	符号	功能
IP.7	—	无效位。保留将来之用
IP.6	—	无效位。保留将来之用
IP.5	PT2	定时器 2 中断优先级位
IP.4	PS	串口中断优先级位
IP.3	PT1	定时器 1 中断优先级位
IP.2	PX1	外部中断 1 优先级位
IP.1	PT0	定时器 0 中断优先级位
IP.0	PX0	外部中断 0 优先级位

图 22 中断优先级（IP）寄存器

IPH 地址：0B7H 复位值：XX000000B

可位寻址

7	6	5	4	3	2	1	0
—	—	PT2	PS	PT1	PX1	PT0	PX0

优先级位=1：分配高优先级 优先级位=0：分配低优先级

位	符号	功能
IPH.7	—	无效位。保留将来之用
IPH.6	—	无效位。保留将来之用
IPH.5	PT2H	定时器 2 中断优先级高位
IPH.4	PSH	串口中断优先级高位
IPH.3	PT1H	定时器 1 中断优先级高位
IPH.2	PX1H	外部中断 1 优先级高位
IPH.1	PT0H	定时器 0 中断优先级高位
IPH.0	PX0H	外部中断 0 优先级高位

图 23 中断优先级高（IPH）寄存器

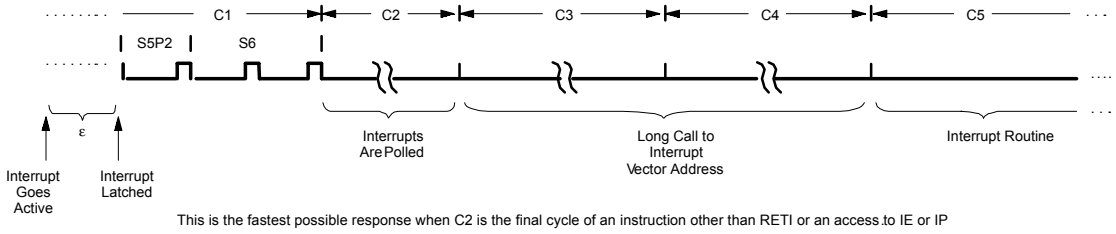


图 24 中断响应时序图

查询周期和 LCALL 时序如图 24 所示。需要注意的是，如果一个更高优先级的中断在 S5P2 之前的 C3 有效（如图 24），然后根据上面的规则，它会在 C5,C6 响应中断，不执行任何低优先级中断的指令。

处理器通过执行硬件产生的 LCALL 调用相应的服务程序来应答中断。在有些情况下，它清零中断标志位，另一些情况不清零。它永远不会清零串口中断标志，这需要用户软件来完成。如果外部中断是边沿触发，中断标志（IE0 或 IE1）会被硬件清零。硬件产生的 LCALL 将程序指针的内容压入堆栈（但不会保护 PSW）并根据响应的中断源重新将一个地址装入 PC（如表 7 所示）。

当中断服务程序执行到 RETI 指令时，通知处理器中断程序已执行完毕。然后从堆栈弹出两个字节重新装入 PC，继续执行被中断的程序。

注意：RET 指令也可以返回被中断的程序，但这样会使中断系统认为中断仍在执行，那么后面的中断就无法响应。

外部中断

外部中断源可配置为电平触发或边沿触发（通过将寄存器 TCON 中的位 IT1 或 IT0 置位或清零实现）。如果 ITx=0，外部中断 x 通过 INTx 脚的低电平触发。如果 ITx=1，外部中断 x 为边沿触发。该模式下，对 INTx 脚连续采样，如果在一个周期为高电平而下一个周期为低电平，中断请求标志 IEx 将置位。然后通过 IEx 请求中断。

由于外部中断脚每个机器周期采样一次，输入高或低应当保持至少 12 个振荡周期以确保能够采样到。如果外部中断为边沿触发，外部中断源应当将中断脚至少保持 1 个机器周期高电平然后至少保持 1 个机器周期低电平。这样就确保了边沿能够被检测到以使 IEx 置位。当调用中断服务程序后，CPU 自动将 IEx 清零。如果外部中断为电平触发，外部中断源必须一直保持请求有效，直到产生所请求的中断。然后在中断程序结束之前撤除请求，否则将产生另一次中断。

响应时间

INT0 和 INT1 电平在每个机器周期的 S5P2 取反并锁存到 IE0 和 IE1。在下个周期之前该值不会被电路查询。如果请求有效且应答的条件正确，下个执行的指令就是硬件子程序调用请求中断。CALL 指令本身占用两个周期。因此从中断请求有效到开始执行中断服务程序的第一条指令需要至少 3 个完整的机器周期。图 24 所示为中断响应时序。

如果中断被前面所述的 3 个条件之一所阻滞，中断就需要更长的响应时间。如果同级或高优先级的中断已经在处理，额外的等待时间就取决于其它中断服务程序所耗的时间。如果正在执行的指令不是它的最后一个周期，额外的等待时间不会超过 3 个周期。因为最长的指令（MUL 和 DIV）为 4 个周期。如果正在处理的是 RETI 或者任何访问 IE 或 IP 的指令，额外的等待时间不会超过 5 个周期。完成正在处理的指令需要一个周期，再加最多 4 个周期完成下一条指令（如果指令为 MUL 和 DIV）。

因此在一个单中断系统中，响应时间总是大于 3 个周期小于 9 个周期。

如前面所述，该手册所描述的器件都具有 4 个中断优先级结构。对应的寄存器为 IE，IP 和 IPH。IPH 寄存器的功能很简单。当其与 IP 寄存器组合使用时决定每个中断的优先级。如下表所示：

优先级位		中断优先级
IPH.x	IP.x	
0	0	0（最低优先级）
0	1	1
1	0	2
1	1	3（最高优先级）

表 8 中断表

中断源	查询优先级	请求位	硬件清除？	向量地址
外部中断 0	1	IE0	N(L)[1] Y(T)[2]	03H
定时器 0 中断	2	TF0	Y	0BH
外部中断 0	3	IE1	N(L)[1] Y(T)[2]	13H
定时器 1 中断	4	TF1	Y	1BH
UART	5	RI，TI	N	23H
定时器 2 中断	6	TF2	N	2BH

注：1. L=低电平有效 2. T=边沿有效

降低 EMI

所有口控制输出时都有转换率。这限制了由于输出信号的快速切换所产生的 EMI。该转换率由工厂设定，大约为 10ns 的上升和下降时间。

降低 EMI 模式

当位 AO（AUXR.0）置位时，禁止 ALE 输出。

AUXR（8EH）

7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	AO

AUXR.0 AO 关闭 ALE 输出

双 DPTR 结构

双 DPTR 结构（如图 25）提供了一种用于寻址外部数据存贮器的方法。有两个 16 位 DPTR 寄存器可以寻址外部存贮器。通过对 AUXR1 的 DPS 位编程可实现两个 DPTR 寄存器的切换。

- 新寄存器名：AUXR1#
- SFR 的地址：A2H
- 复位值：xxx000x0B

AUXR1（A2H）

7	6	5	4	3	2	1	0
—	—	—	LPEP	WUPD	0	—	DPS

此处：

DPS 为 AUXR1 的位 0，用于切换指针 DPTR0 和 DPTR1

选择寄存器	DPS
DPTR0	0
DPTR1	1

当切换 DPTR0 和 DPTR1 时，应当通过软件来保存 DPS。

注意 AURX 的位 2 不能写，而读出值为 0。通过执行 INC DPTR 指令，能对 DPS 快速切换，且不会影响 WUPD 或 LPEP 位。

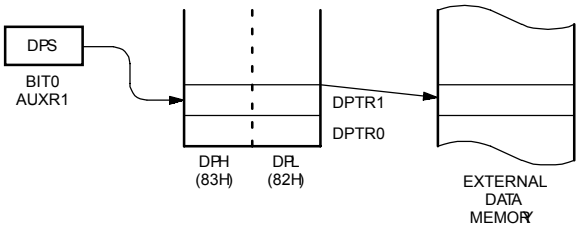


图 25

DPTR 指令

DPTR 指令根据当前 AUXR1 位 0 的值，可作为数据指针。下面是使用 DPTR 的 6 个指令：

INC	DPTR	数据指针加 1
MOV	DPTR,#data16	DPTR 装载 16 位常数
MOV	A,@A+DPTR	将与 DPTR 相关的代码字节送入 ACC
MOVX	A,@DPTR	外部 RAM（16 位地址）的内容装入 ACC
MOVX	@DPTR,A	把 ACC 的内容送到外部 RAM（16 位地址）
JMP	@A+DPTR	间接跳转到与 DPTR 相关的地址

可以通过寻址 SFR 的低字节或高字节来寻址数据指针。更详细的内容可参见应用指南 AN458。

极限参数

参数	额定值	单位
操作温度	0～+70 或－40～+85	℃
贮存温度范围	－65～+150	℃
$\overline{EA}$/Vpp 脚相对于 Vss 的电压	0～+13.0	V
其它任何脚相对于 Vss 的电压	－0.5～+6.5	V
每个 I/O 脚的最大 I_{OL}	15	mA
功率损耗（指器件表面的发热，而非器件的功耗）	1.5	W

AC 电气特性

Tamb=0℃～+70℃或－40℃～+85℃

标号	图	参数	操作模式	电源电压	时钟频率范围		单位
					最小	最大	
$1/t_{CLCL}$	30	振荡器频率	6 时钟	5V±10%	0	20	MHz
			12 时钟	5V±10%	0	33	MHz

DC 电气特性

Tamb=0℃～+70℃或－40℃～+85℃;5V±10%;Vss=0V（20/33MHz max. CPU clock）

标号	参数	测试条件	极限			单位
			最小	典型[1]	最大	
V_{IL}	输入低电压	4.5V<Vcc<5.5V	-0.5		0.2Vcc-0.1	V
V_{IH}	输入高电压(P0,1,2,3,$\overline{EA}$)	-	0.2Vcc+0.9		Vcc+0.5	V
V_{IH1}	输入高电压,XTAL1,RST	-	0.7Vcc		Vcc+0.5	V
V_{OL}	输出低电压,P1,2,3[8]	Vcc=4.5V,I_{OL}=1.6mA[2]	-		0.4	V
V_{OL1}	输出低电压,P0 口,ALE,$\overline{PSEN}$[7,8]	Vcc=4.5V,I_{OL}=3.2mA[2]	-		0.4	V
V_{OH}	输出高电压,P1,2,3[3]	Vcc=4.5V,I_{OH}=-30uA	Vcc-0.7		-	V
V_{OH1}	输出高电压 ALE[9],$\overline{PSEN}$[3]	Vcc=4.5V,I_{OH}=-3.2mA	Vcc-0.7		-	V
I_{IL}	逻辑 0 输入电流,P1,2,3	V_{IN}=0.4V	－1		－50	μA
I_{TL}	逻辑 1 到 0 的转变电流,P1,2,3[6]	V_{IN}=2.0V 参见注 4	-		－650	μA
I_{LI}	输入漏电流,P0	0.45<V_{IN}<Vcc-0.3	-		±10	μA
I_{CC}	电源提供电流(参见图 34): 激活模式,空闲模式,掉电模式或 时钟停止(参见图 38 的条件)	参见注 5 Tamb=0℃~+70℃ Tamb=-40℃~+85℃		15	100 125	μA μA
R_{RST}	内部复位下拉电阻	-	40		225	kΩ
C_{IO}	管脚电容[10]（$\overline{EA}$ 脚除外）	-	-		15	pF

注：

1) 不能保证典型值，这些值是在室温、5V 下测得。
2) P0 口和 P2 口上的容性负载会产生噪声叠加到 1 口、3 口和 ALE 的低电平上。噪声产生的原因是在总线操作期间，0 口和 2 口从 1 到 0 的跳变会使外部总线电容对口 0 和口 2 管脚放电，在最恶劣的情况下（容性负载>100pF），ALE 管脚上的噪声脉冲可超过 0.8V。在这种境况下，可以通过施密特触发器或者带有施密特触发 STROBE 输入的地址锁存器来校正 ALE。I_{OL} 会超过测试条件下的电流。
3) 容性负载加到口 0 和口 2 会导致 ALE 和 PSEN 管脚瞬时低于 VCC-0.7V，当地址位稳定下来。
4) 当口 1、2、3 被外部电路拉低时，口上从 1 到 0 的跳变将产生跳变电流，当输入电压大约在 2v 时，跳变电流达到最大。
5) 图 22 到 25 所示为 Icc 的测试条件，图 21 为 Icc 和频率的关系。
   激活模式： I_{CC}(MAX)=(8.5+0.62×FREQ.[MHz])mA
   空闲模式： I_{CC}(MAX)=(3.5+0.18×FREQ. [MHz])mA
6) 应用温度 T＝0℃~+70℃。Tamb=-40℃~+85℃,I_{TL}=-750μA
7) 口 0、 ALE 和 $\overline{PSEN}$ 脚的负载电容为 100pF，其他输出口为 80 pF。
8) 在稳定的状态条件下，Io 低被外部限制如下：
   i. 每个管脚的最大 I_{OL} 15mA（注：85℃规格）
   ii. 每个 8 位口的最大 I_{OL} 26 mA
   iii. I_{OL} 输出最大总和 71mA
   iv. 如果 I_{OL} 超过测试条件，V_{OL} 可能会超过相应规格。不能保证超过测试电流。
9) ALE 的测试是 ALE 关断情况下，测出 ALE 的高电位值。
10) 管脚电容特性并不由测试得出，而是由其特性保证。管脚电容小于 25 pF。陶瓷电容小于 15pF（$\overline{EA}$ 是 25pF）。

AC 电气特性（12 时钟模式）

Symbol	Figure	Parameter	Limits		16 MHz Clock		Unit
			MIN	MAX	MIN	MAX	
$1/t_{CLCL}$	31	Oscillator frequency	0	33			MHz
t_{LHLL}	27	ALE pulse width	$2t_{CLCL}-8$		117		ns
t_{AVLL}	27	Address valid to ALE low	$t_{CLCL}-13$		49.5		ns
t_{LLAX}	27	Address hold after ALE low	$t_{CLCL}-20$		42.5		ns
t_{LLIV}	27	ALE low to valid instruction in		$4t_{CLCL}-35$		215	ns
t_{LLPL}	27	ALE low to $\overline{PSEN}$ low	$t_{CLCL}-10$		52.5		ns
t_{PLPH}	27	$\overline{PSEN}$ pulse width	$3t_{CLCL}-10$		177.5		ns
t_{PLIV}	27	$\overline{PSEN}$ low to valid instruction in		$3t_{CLCL}-35$		152.5	ns
t_{PXIX}	27	Input instruction hold after $\overline{PSEN}$	0		0		ns
t_{PXIZ}	27	Input instruction float after $\overline{PSEN}$		$t_{CLCL}-10$		52.5	ns
t_{AVIV}	27	Address to valid instruction in		$5t_{CLCL}-35$		277.5	ns
t_{PLAZ}	27	$\overline{PSEN}$ low to address float		10		10	ns
Data Memory							
t_{RLRH}	28	$\overline{RD}$ pulse width	$6t_{CLCL}-20$		355		ns
t_{WLWH}	29	$\overline{WR}$ pulse width	$6t_{CLCL}-20$		355		ns
t_{RLDV}	28	$\overline{RD}$ low to valid data in		$5t_{CLCL}-35$		277.5	ns
t_{RHDX}	28	Data hold after $\overline{RD}$	0		0		ns
t_{RHDZ}	28	Data float after $\overline{RD}$		$2t_{CLCL}-10$		115	ns
t_{LLDV}	28	ALE low to valid data in		$8t_{CLCL}-35$		465	ns
t_{AVDV}	28	Address to valid data in		$9t_{CLCL}-35$		527.5	ns
t_{LLWL}	28,29	ALE low to $\overline{RD}$ or $\overline{WR}$ low	$3t_{CLCL}-15$	$3t_{CLCL}+15$	172.5	202.5	ns
t_{AVWL}	28,29	Address valid to $\overline{WR}$ low or $\overline{RD}$ low	$4t_{CLCL}-15$		235		ns
t_{QVWX}	29	Data valid to $\overline{WR}$ transition	$t_{CLCL}-25$		37.5		ns
t_{WHQX}	29	Data hold after $\overline{WR}$	$t_{CLCL}-15$		47.5		ns
t_{QVWH}	29	Data valid to $\overline{WR}$ high	$7t_{CLCL}-5$		432.5		ns
t_{RLAZ}	28	$\overline{RD}$ low to address float		0		0	ns
t_{WHLH}	28,29	$\overline{RD}$ or $\overline{WR}$ high to ALE high	$t_{CLCL}-10$	$t_{CLCL}+10$	52.5	72.5	ns
External Clock							
t_{CHCX}	31	High time	$0.32t_{CLCL}$	$t_{CLCL}-t_{CLCX}$			ns
t_{CLCX}	31	Low time	$0.32t_{CLCL}$	$t_{CLCL}-t_{CHCX}$			ns
t_{CLCH}	31	Rise time		5			ns
t_{CHCL}	31	Fall time		5			ns
Shift register							
t_{XLXL}	30	Serial port clock cycle time	$12t_{CLCL}$		750		ns
t_{QVXH}	30	Output data setup to clock rising edge	$10t_{CLCL}-25$		600		ns
t_{XHQX}	30	Output data hold after clock rising edge	$2t_{CLCL}-15$		110		ns
t_{XHDX}	30	Input data hold after clock rising edge	0		0		ns
t_{XHDV}	30	Clock rising edge to input data valid		$10t_{CLCL}-133$		492	ns

1. 这些参数都在工作温度范围内有效，除非有特别的说明。
2. 口 0、ALE 和 $\overline{PSEN}$ 脚的负载电容为 100pF，其他输出口为 80 pF。

AC 电气特性（6 时钟模式）

Symbol	Figure	Parameter	Limits		16 MHz Clock		Unit
			MIN	MAX	MIN	MAX	
$1/t_{CLCL}$	31	Oscillator frequency	0	20			MHz
t_{LHLL}	27	ALE pulse width	$t_{CLCL}-8$		54.5		ns
t_{AVLL}	27	Address valid to ALE low	$0.5t_{CLCL}-13$		18.25		ns
t_{LLAX}	27	Address hold after ALE low	$0.5t_{CLCL}-20$		11.25		ns
t_{LLIV}	27	ALE low to valid instruction in		$2t_{CLCL}-35$		90	ns
t_{LLPL}	27	ALE low to $\overline{PSEN}$ low	$0.5t_{CLCL}-10$		21.25		ns
t_{PLPH}	27	$\overline{PSEN}$ pulse width	$1.5t_{CLCL}-10$		83.75		ns
t_{PLIV}	27	$\overline{PSEN}$ low to valid instruction in		$1.5t_{CLCL}-35$		58.75	ns
t_{PXIX}	27	Input instruction hold after $\overline{PSEN}$	0		0		ns
t_{PXIZ}	27	Input instruction float after $\overline{PSEN}$		$0.5t_{CLCL}-10$		21.25	ns
t_{AVIV}	27	Address to valid instruction in		$2.5t_{CLCL}-35$		121.25	ns
t_{PLAZ}	27	$\overline{PSEN}$ low to address float		10		10	ns
Data Memory							
t_{RLRH}	28	$\overline{RD}$ pulse width	$3t_{CLCL}-20$		167.5		ns
t_{WLWH}	29	$\overline{WR}$ pulse width	$3t_{CLCL}-20$		167.5		ns
t_{RLDV}	28	$\overline{RD}$ low to valid data in		$2.5t_{CLCL}-35$		121.25	ns
t_{RHDX}	28	Data hold after $\overline{RD}$	0		0		ns
t_{RHDZ}	28	Data float after $\overline{RD}$		$t_{CLCL}-10$		52.5	ns
t_{LLDV}	28	ALE low to valid data in		$4t_{CLCL}-35$		215	ns
t_{AVDV}	28	Address to valid data in		$4.5t_{CLCL}-35$		246.25	ns
t_{LLWL}	28,29	ALE low to $\overline{RD}$ or $\overline{WR}$ low	$1.5t_{CLCL}-15$	$1.5t_{CLCL}+15$	78.75	108.75	ns
t_{AVWL}	28,29	Address valid to $\overline{WR}$ low or $\overline{RD}$ low	$2t_{CLCL}-15$		110		ns
t_{QVWX}	29	Data valid to $\overline{WR}$ transition	$0.5t_{CLCL}-25$		6.25		ns
t_{WHQX}	29	Data hold after $\overline{WR}$	$0.5t_{CLCL}-15$		16.25		ns
t_{QVWH}	29	Data valid to $\overline{WR}$ high	$3.5t_{CLCL}-5$		213.75		ns
t_{RLAZ}	28	$\overline{RD}$ low to address float		0		0	ns
t_{WHLH}	28,29	$\overline{RD}$ or $\overline{WR}$ high to ALE high	$0.5t_{CLCL}-10$	$0.5t_{CLCL}+10$	21.25	41.25	ns
External Clock							
t_{CHCX}	31	High time	$0.4t_{CLCL}$	$t_{CLCL}-t_{CLCX}$			ns
t_{CLCX}	31	Low time	$0.4t_{CLCL}$	$t_{CLCL}-t_{CHCX}$			ns
t_{CLCH}	31	Rise time		5			ns
t_{CHCL}	31	Fall time		5			ns
Shift register							
t_{XLXL}	30	Serial port clock cycle time	$6t_{CLCL}$		375		ns
t_{QVXH}	30	Output data setup to clock rising edge	$5t_{CLCL}-25$		287.5		ns
t_{XHQX}	30	Output data hold after clock rising edge	$t_{CLCL}-15$		47.5		ns
t_{XHDX}	30	Input data hold after clock rising edge	0		0		ns
t_{XHDV}	30	Clock rising edge to input data valid		$5t_{CLCL}-133$		179.5	ns

AC 特性符号说明

每一时序符号有 5 个字符。首先是“t”（=时间），其字符基于他们的位置、名称和逻辑状态说明如下：

A－地址

C－时钟

D－输入数据

H－逻辑高电平

I－指令

L－逻辑低低电平或 ALE

Z－悬浮

P－$\overline{PSEN}$

Q－数据输出

R－$\overline{RD}$ 信号

t－时间

W－$\overline{WR}$ 信号

X－不再是有效逻辑电平

V－有效

例如：t_{AVLL}=从地址有效到 ALE 为低的时间。

t_{llpl}=从 ALE 为低到 PSEN 为低的时间。

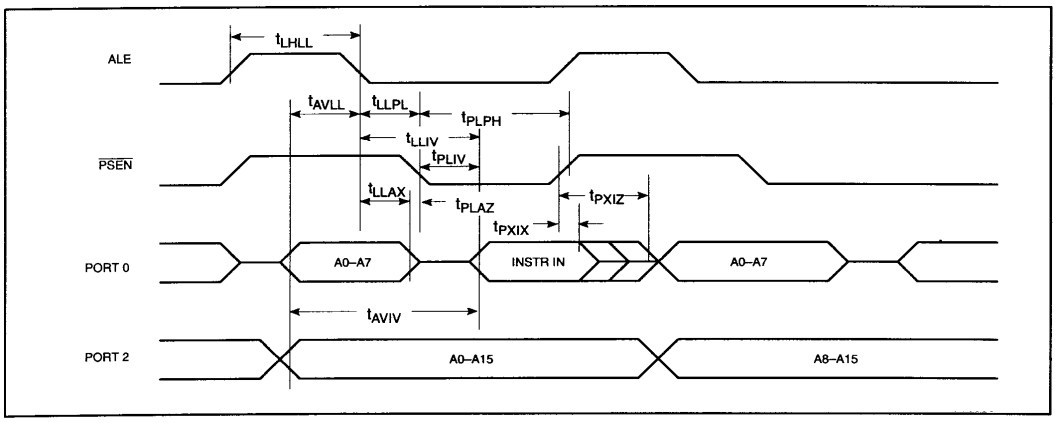


图 26 外部程序存储器的读周期

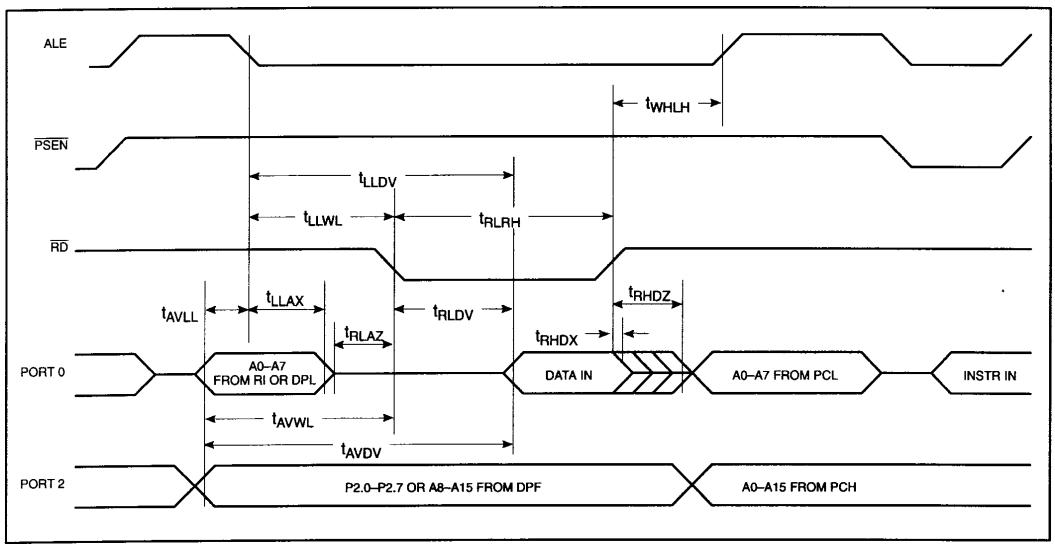


图 27 外部数据存储器的读周期

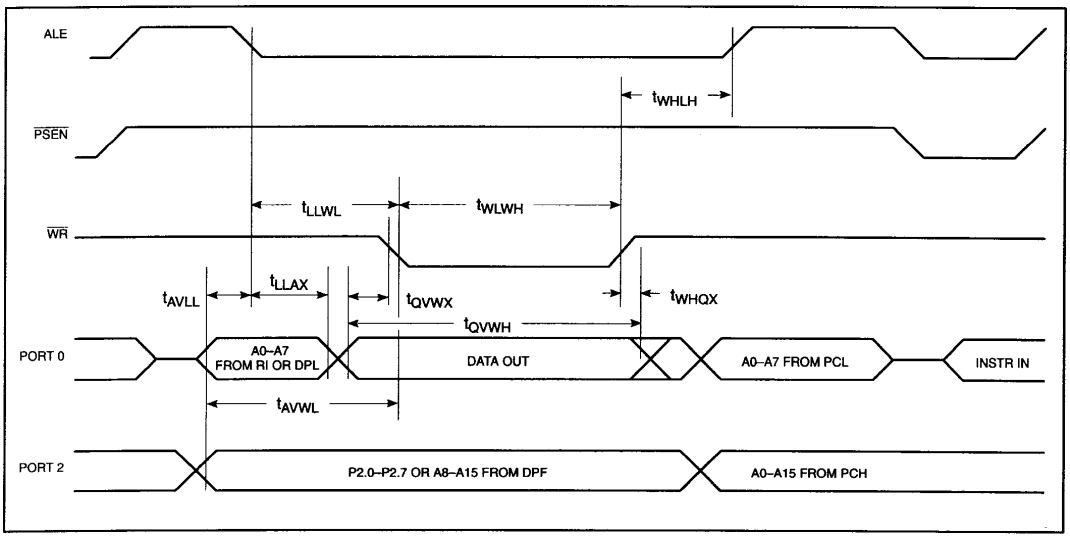


图 28 外部数据存储器的写周期

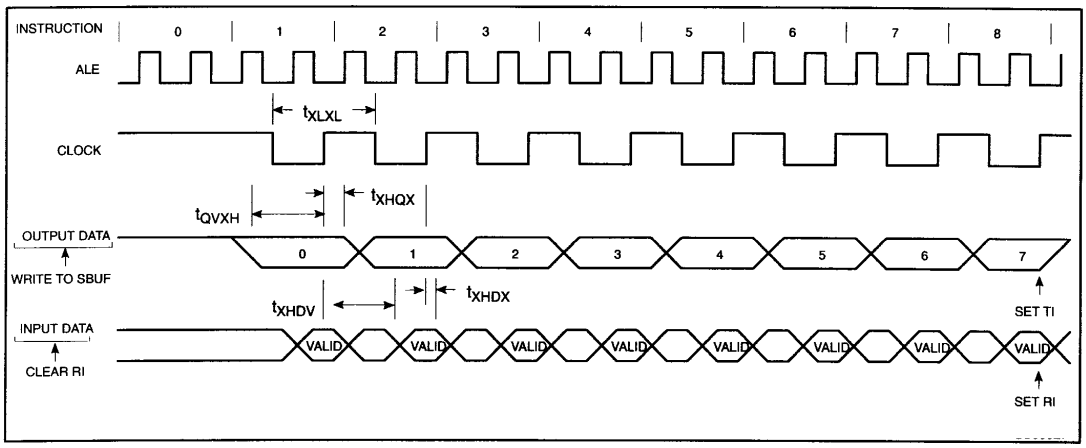


图 29 移位寄存器模式时序

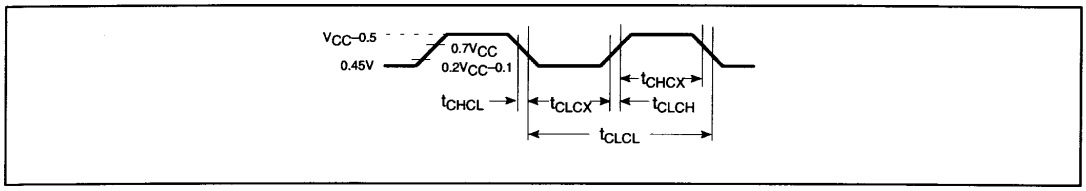


图 30 外部时钟驱动

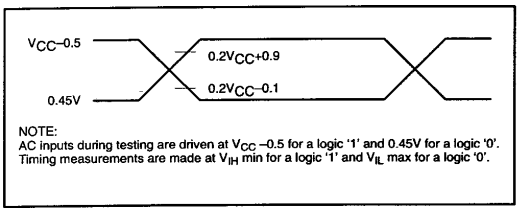


图 31 AC 输入/输出测试

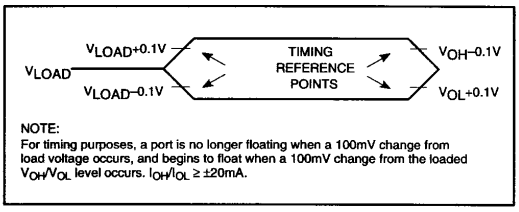


图 32 悬浮波形

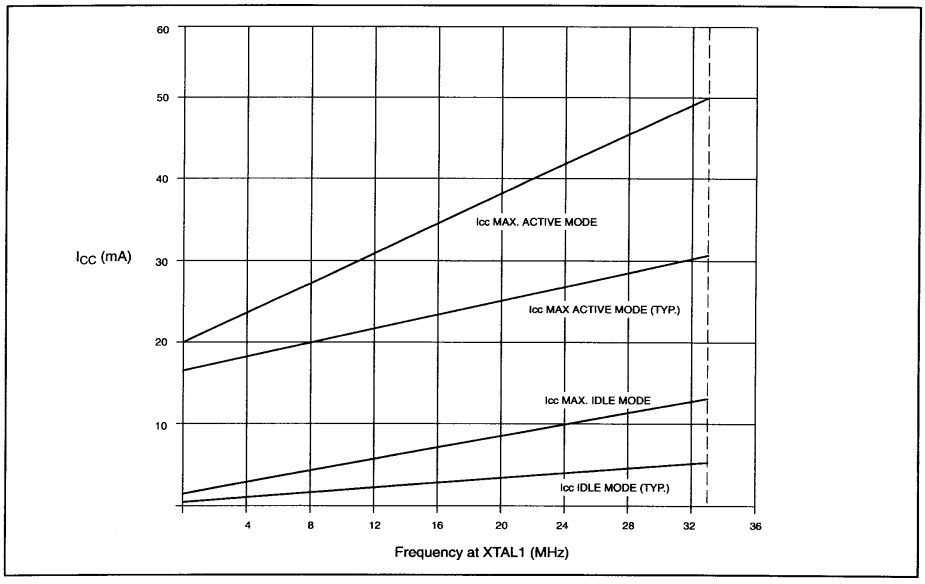


图 33 Icc 与频率的关系(频率范围内测得的有效数据)

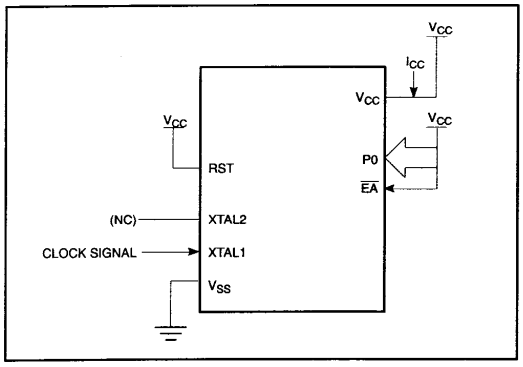


图 34 Icc 测试条件(激活模式;未连接其他管脚)

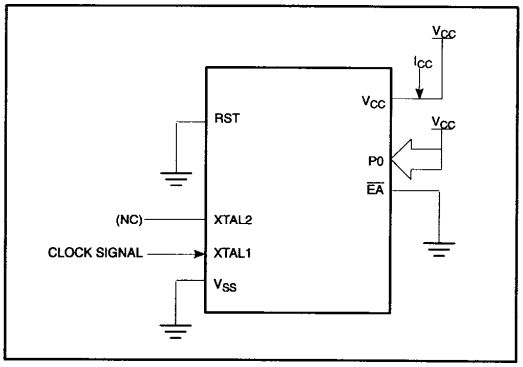


图 35 Icc 测试条件(空闲模式; 未连接其他管脚)

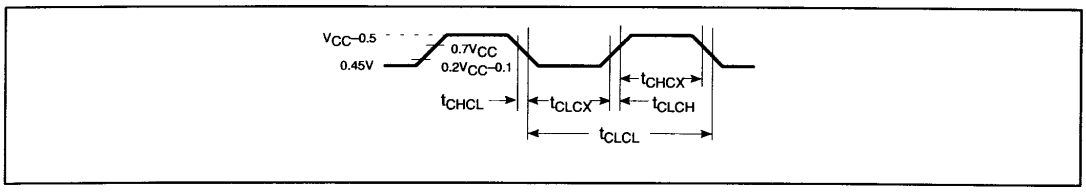


图 36 进行 Icc 测试时激活和空闲模式下的时钟信号波形

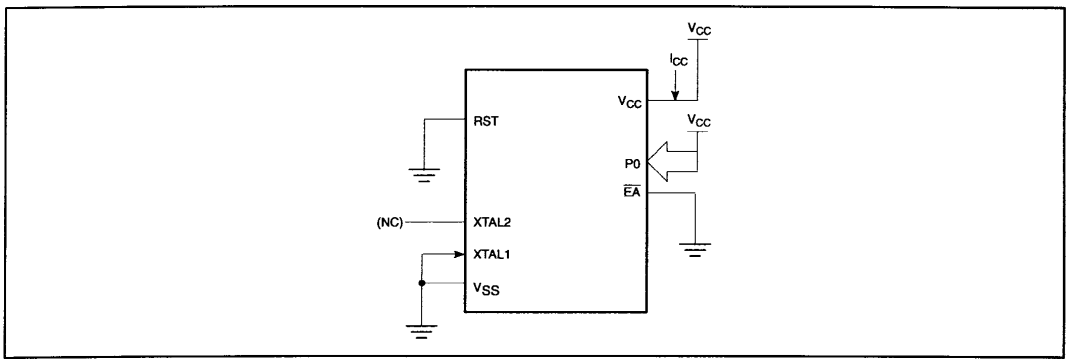


图 37 Icc 测试条件(空闲模式; 未连接其他管脚; Vcc=2V~5.5V)

保密性

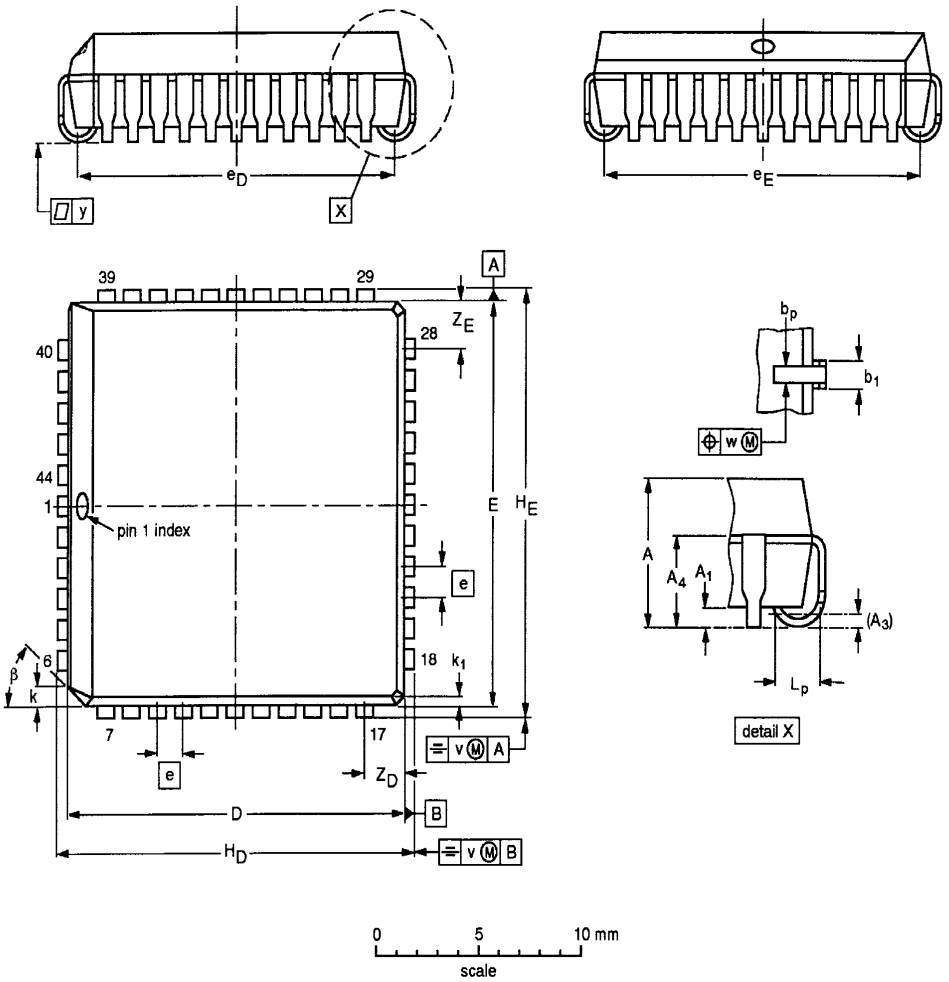
保密特性是为了保护软件的版权，防止 FLASH 的内容被读出，保密位位于 FLASH 中。89C51/89C52/89C54/89C58 有 3 个可编程保密位，可为片内的代码和数据提供不同级别的保护（见表 8）。与 ROM 和 OTP 版本不同的是，这 3 个保密位是独立的，LB3 包含了 LB1 的保密功能。

表 9

保密位 级别	保护描述
LB1	禁止外部程序存储器中的指令 MOVC 读取内部存储器的代码字节
LB2	禁止对程序进行校验
LB3	禁止执行外部操作

注：保密位是独立的

PLCC 封装:44 脚



DIMENSIONS (millimetre dimensions are derived from the original inch dimensions)

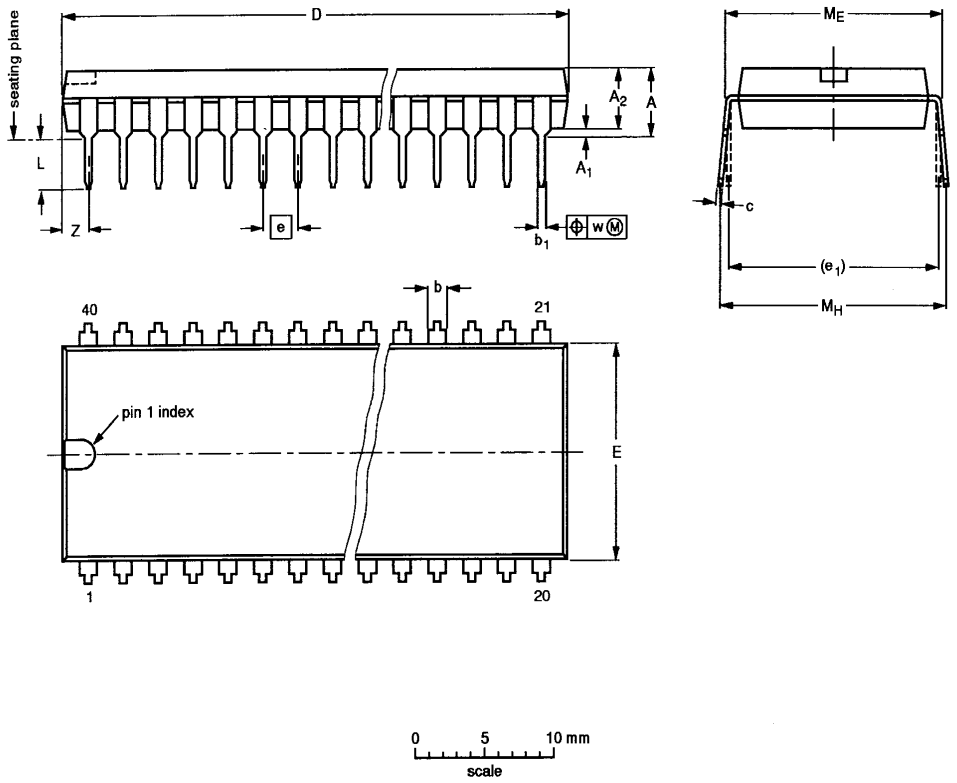
UNIT	A	A_1 min.	A_3	A_4 max.	b_p	b_1	D(1)	E(1)	e	e_D	e_E	H_D	H_E	k	k_1 max.	L_p	v	w	y	Z_D(1) max.	Z_E(1) max.	β
mm	4.57 4.19	0.51	0.25	3.05	0.53 0.33	0.81 0.66	16.66 16.51	16.66 16.51	1.27	16.00 14.99	16.00 14.99	17.65 17.40	17.65 17.40	1.22 1.07	0.51	1.44 1.02	0.18	0.18	0.10	2.16	2.16	45°
inches	0.180 0.165	0.020	0.01	0.12	0.021 0.013	0.032 0.026	0.656 0.650	0.656 0.650	0.05	0.630 0.590	0.630 0.590	0.695 0.685	0.695 0.685	0.048 0.042	0.020	0.057 0.040	0.007	0.007	0.004	0.085	0.085	

Note

1. Plastic or metal protrusions of 0.01 inches maximum per side are not included.

OUTLINE VERSION	REFERENCES				EUROPEAN PROJECTION	ISSUE DATE
	IEC	JEDEC	EIAJ			
SOT187-2	112E10	MO-047AC				~~95-02-25~~ 97-12-16

DIP 封装：40 脚



DIMENSIONS (inch dimensions are derived from the original mm dimensions)

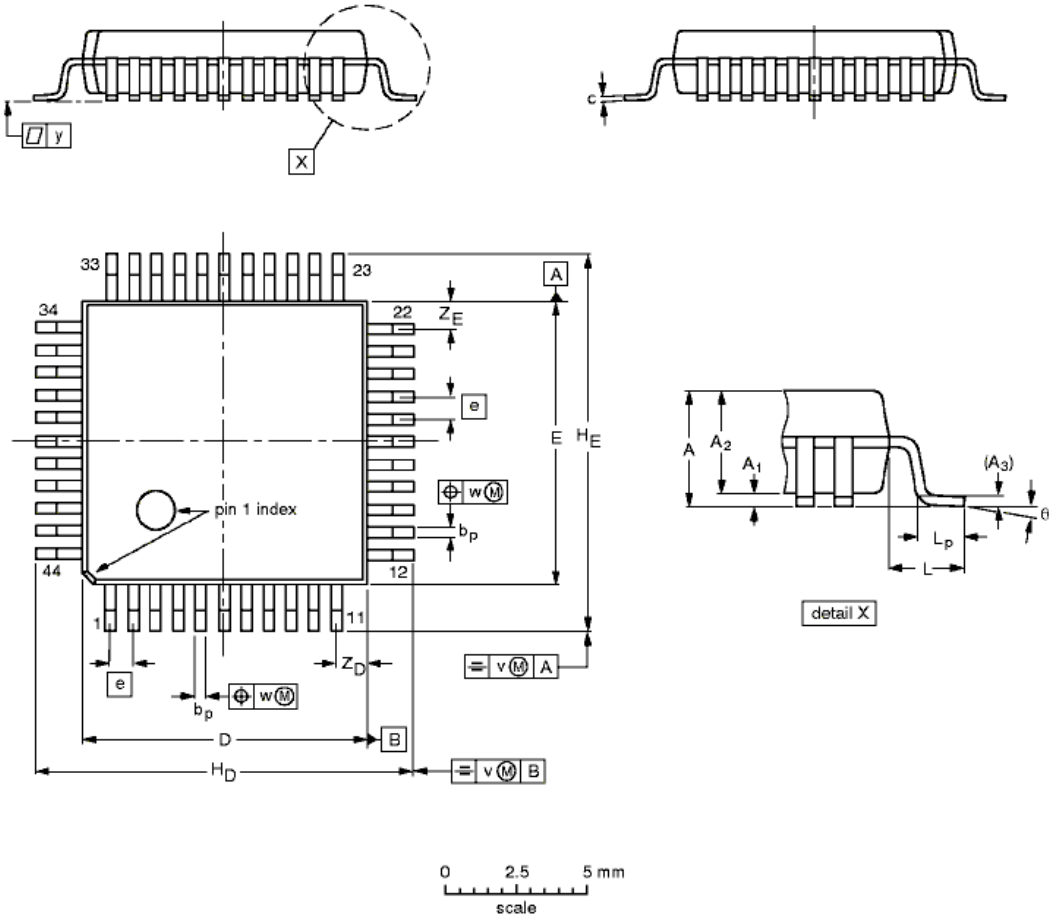
UNIT	A max.	A_1 min.	A_2 max.	b	b_1	c	D (1)	E (1)	e	e_1	L	M_E	M_H	w	Z (1) max.
mm	4.7	0.51	4.0	1.70 1.14	0.53 0.38	0.36 0.23	52.50 51.50	14.1 13.7	2.54	15.24	3.60 3.05	15.80 15.24	17.42 15.90	0.254	2.25
inches	0.19	0.020	0.16	0.067 0.045	0.021 0.015	0.014 0.009	2.067 2.028	0.56 0.54	0.10	0.60	0.14 0.12	0.62 0.60	0.69 0.63	0.01	0.089

Note

1. Plastic or metal protrusions of 0.25 mm maximum per side are not included.

OUTLINE VERSION	REFERENCES				EUROPEAN PROJECTION	ISSUE DATE
	IEC	JEDEC	EIAJ			
SOT129-1	051G08	MO-015AJ				~~92-11-17~~ 95-01-14

LQFP 封装:44 脚



DIMENSIONS (mm are the original dimensions)

UNIT	A max.	A_1	A_2	A_3	b_p	c	D(1)	E(1)	e	H_D	H_E	L	L_p	v	w	y	Z_D(1)	Z_E(1)	θ
mm	1.60	0.15 0.05	1.45 1.35	0.25	0.45 0.30	0.20 0.12	10.10 9.90	10.10 9.90	0.80	12.15 11.85	12.15 11.85	1.0	0.75 0.45	0.20	0.20	0.10	1.14 0.85	1.14 0.85	7° 0°