

简单组合逻辑电路的设计

计01 容逸朗 2020010869

1 实验内容

1. **基本要求：**实现两位全加运算
2. **提高要求一：**实现两位减法运算
 - (a) 当 $A \geq B$ 时，数码管显示出相减的差值；
 - (b) 当 $A < B$ 时，数码管显示出用补码表示的差值，借位信息用发光二极管指示
3. **提高要求二：**改进的两位减法运算
 - (a) 当 $A \geq B$ 时显示所得的差；
 - (b) 当 $A < B$ 时显示出负号及用原码表示的差值

2 实验原理

首先考虑一位全加器的实现：

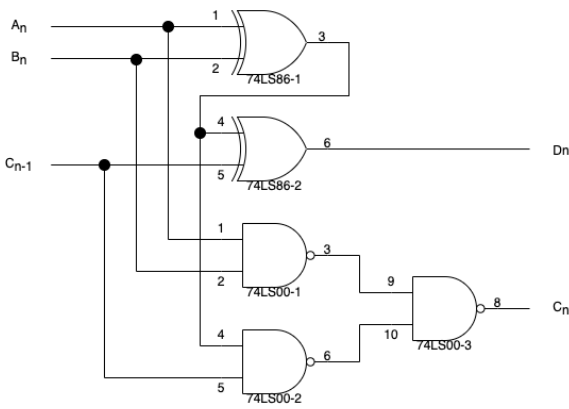


图1 1位全加器

其中 A_n, B_n 是加数， C_{n-1}, C_n 分别是第 $n-1, n$ 位的进位数， D_{n-1}, D_n 是第 $n-1, n$ 位的结果。

2.1 基本要求（两位全加器）

同样地，只需要将两个一位全加器拼接在一起，然后把低位的进位接入高位全加器的进位处即可。

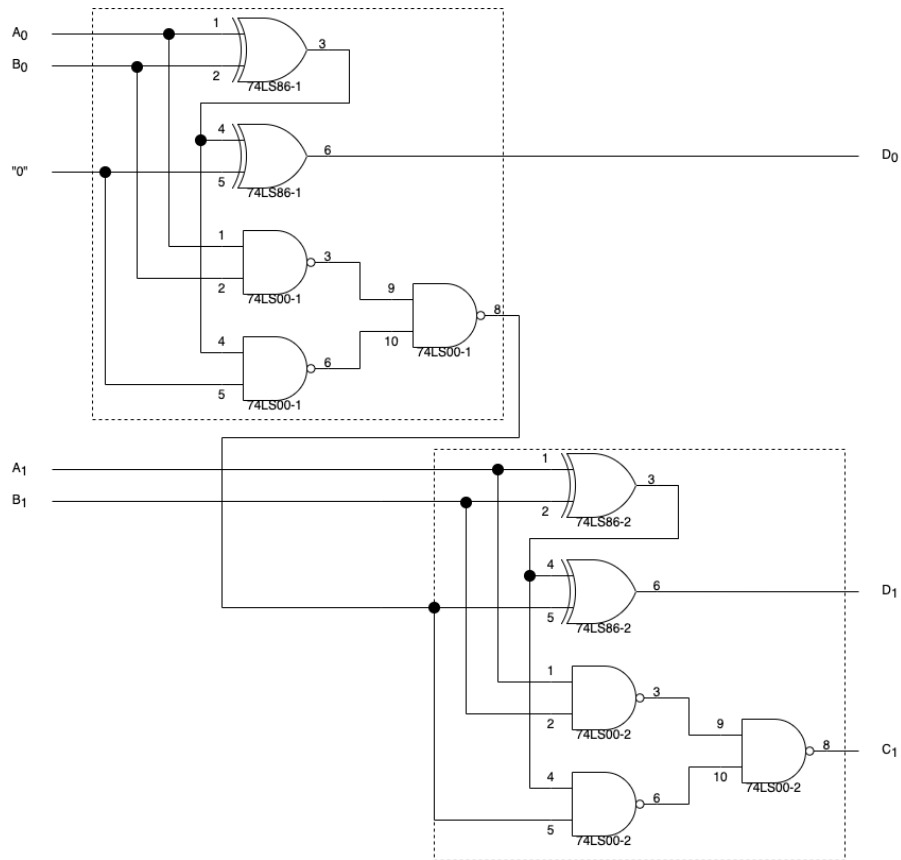


图2 2位全加器

2.2 提高要求一（两位补码全减器）

采用补码计算减法，便可以使用全加器作计算（将进位视为借位），具体操作如下：

1. 首先将进位设为 1（负数补码为对应正整数的反码 "加 1"）；
2. 对 B 的每一位 (B_0, B_1, \dots) 取反；
3. 将最终的 "进位" 取反（其他位不取的原因同 1）。

最终电路如下：

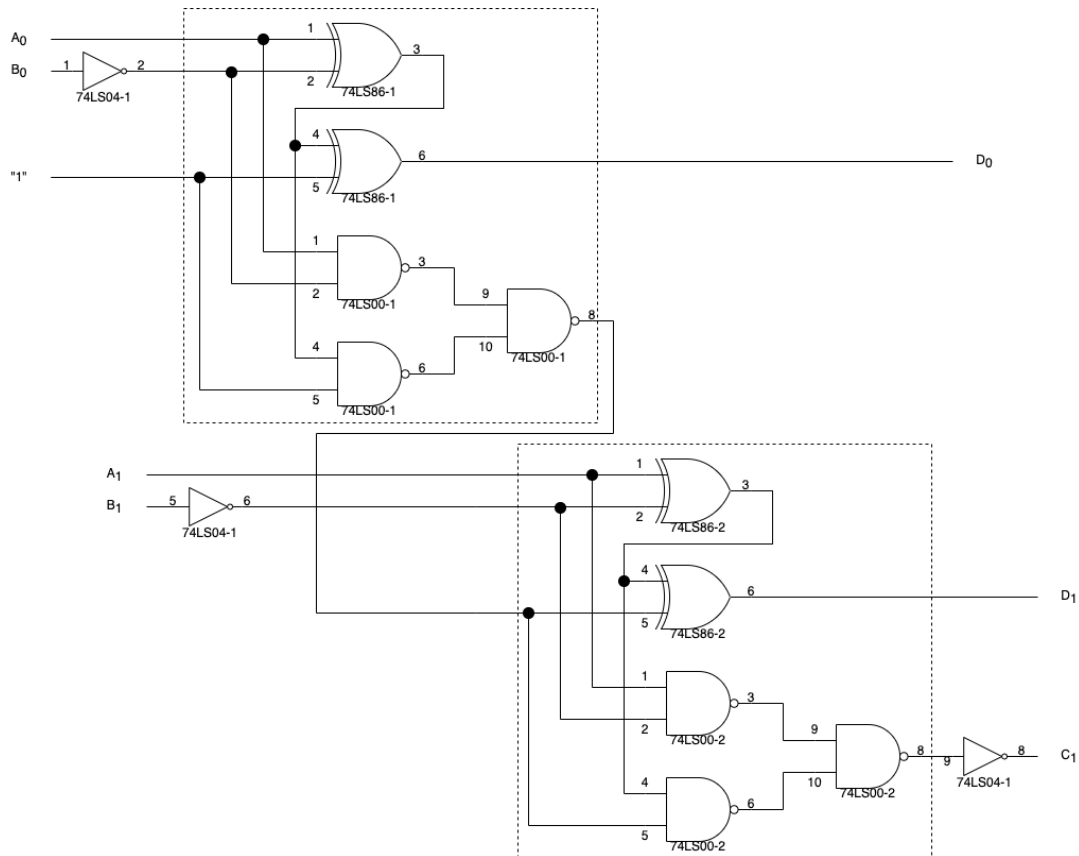


图3 2位全减器（补码显示）

2.3 提高要求二（两位原码全减器）

首先观察图 3 对应电路的输出：

符号位	D_1	D_0	实际结果	符号位	D_1	D_0	实际结果
0	0	0	0	1	0	0	不存在
0	0	1	1	1	0	1	-3
0	1	0	2	1	1	0	-2
0	1	1	3	1	1	1	-1

由此可知，实际结果为非负数时， D_1, D_0 即为所求；否则 D_1, D_0 与实际结果的绝对值的二进制表示（ D'_1, D'_0 ）有如下关系：

符号位	实际结果绝对值	D_1	D_0	D'_1	D'_0
1	（不存在负零）	0	0	0	0
1	3	0	1	1	1
1	2	1	0	1	0
1	1	1	1	0	1

可以看见， $D_0 = D'_0$ ，并且 $D'_1 = D_1 \oplus D_0$ 。因此我们可以利用数据选择器，令其使能端为 0，符号位为选择， D_1 和 $D_1 \oplus D_0$ 为数据端，那么可以得到下面的电路：

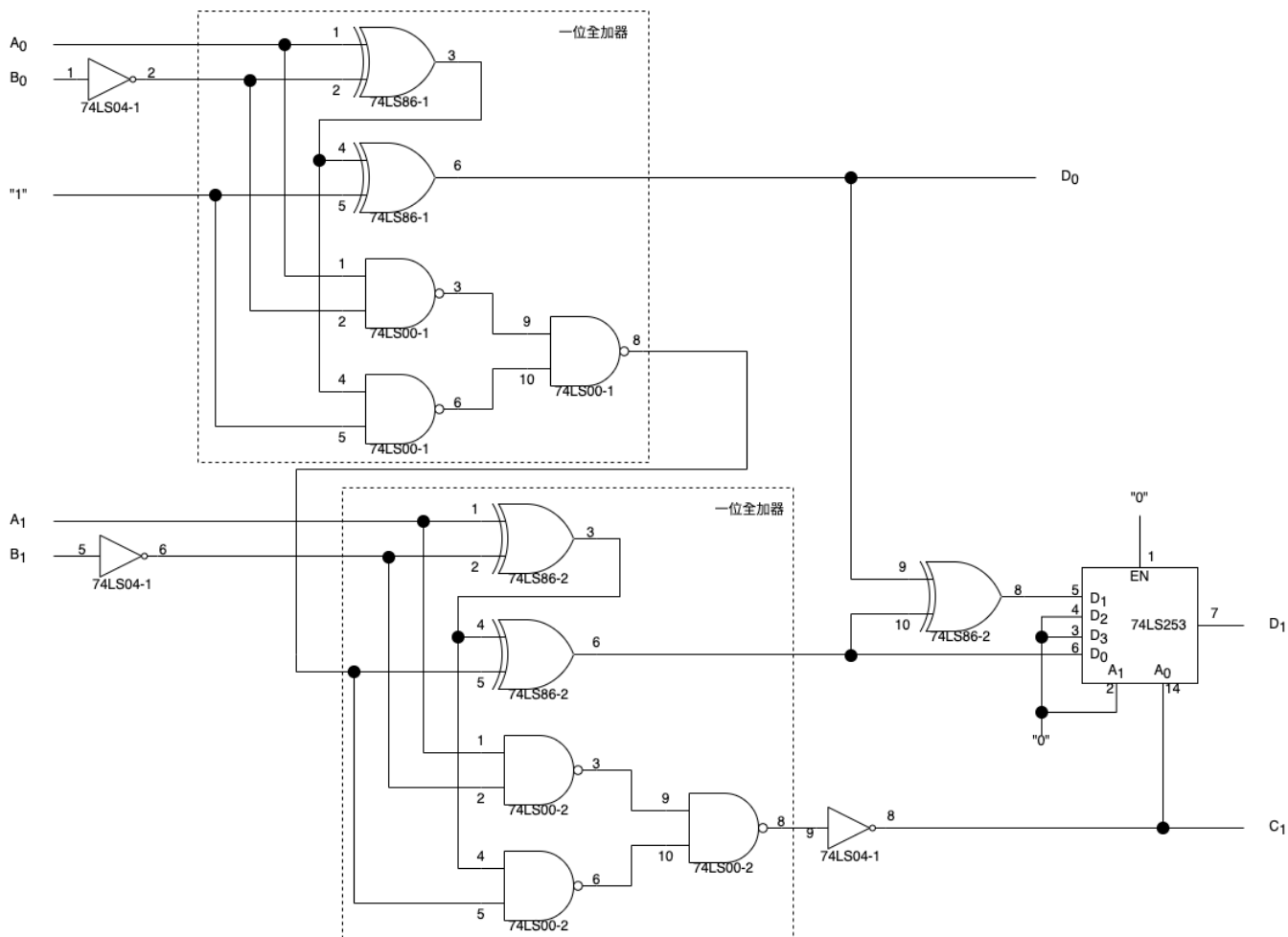


图4 2位全减器（原码显示）

3 实验过程

3.1 实验用具

本次实验使用了数字逻辑实验平台中的七位无译码数码管中的横线（端口 G ）作为负号，而被减数、减数、差（加数、被加数、和）则选用带译码数码管来完成。

除此之外，实验还使用了一块 74LS04（非门）、两块 74LS00（与非门）、两块 74LS86（异或门）、一块 74LS253。（四选一数据选择器）

3.2 实验步骤

根据第 2 大节的电路图分别接线即可。

4 思考题

设计一个 4 位二进制除法运算电路。A 为被除数，B 为除数，C 为商数，D 为余数，要求画出具体逻辑图或框图，并描述其工作原理。

4.1 思路

除法相当于不断从被除数 A 中减去除数 B，当被除数小于除数时，做减法的次数即为商 C，此时的被除数即为余数 D。

4.2 工作原理

1. 首先判断除数是否为零，若为零则错误，否则转向 2；
2. 判断是否有 $A \geq B$ ，若答案为是，则从 A 中减去 B，再令 C 增加 1，然后继续进行操作 2；如果不是则转向 3；
3. 将当前被除数 A 的值传给 D，算法完成。

将上面的流程转为逻辑图，可得：

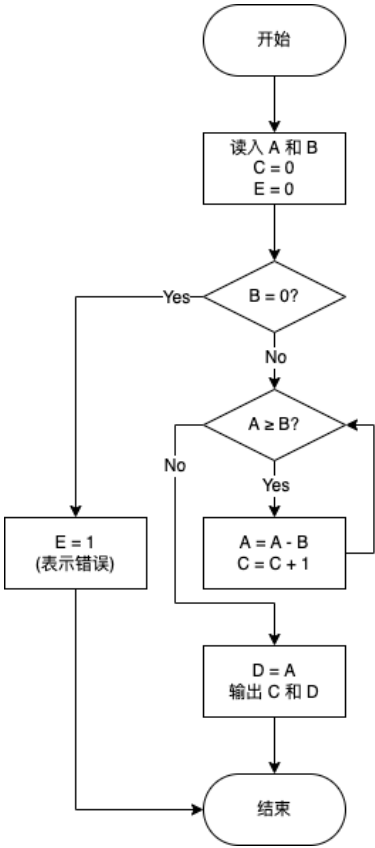


图5 除法运算逻辑

4.3 具体实现

首先我们需要一个时钟使得操作 2 可以不断进行。然后过程中的 $A = A - B$ 和 $C = C + 1$ 分别可以利用四位减法器 and 四位计数器完成。除此之外，还需要增加 E 来记录除法是否合法。同时需要将商 C（计数器）和 E 置为零，避免电路给出错误的结果。