

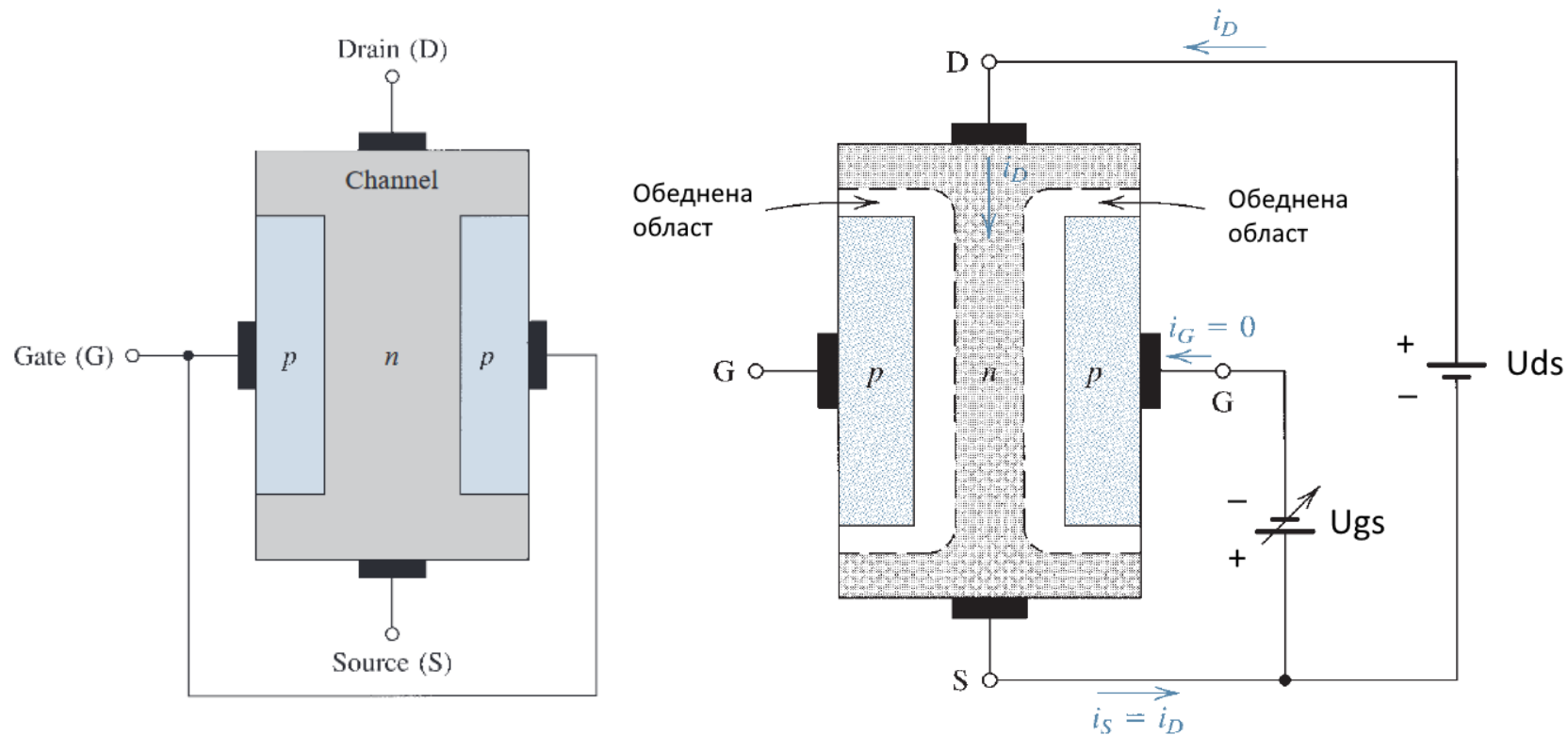


Полеви транзистори

Field Effect Transistors (FET)

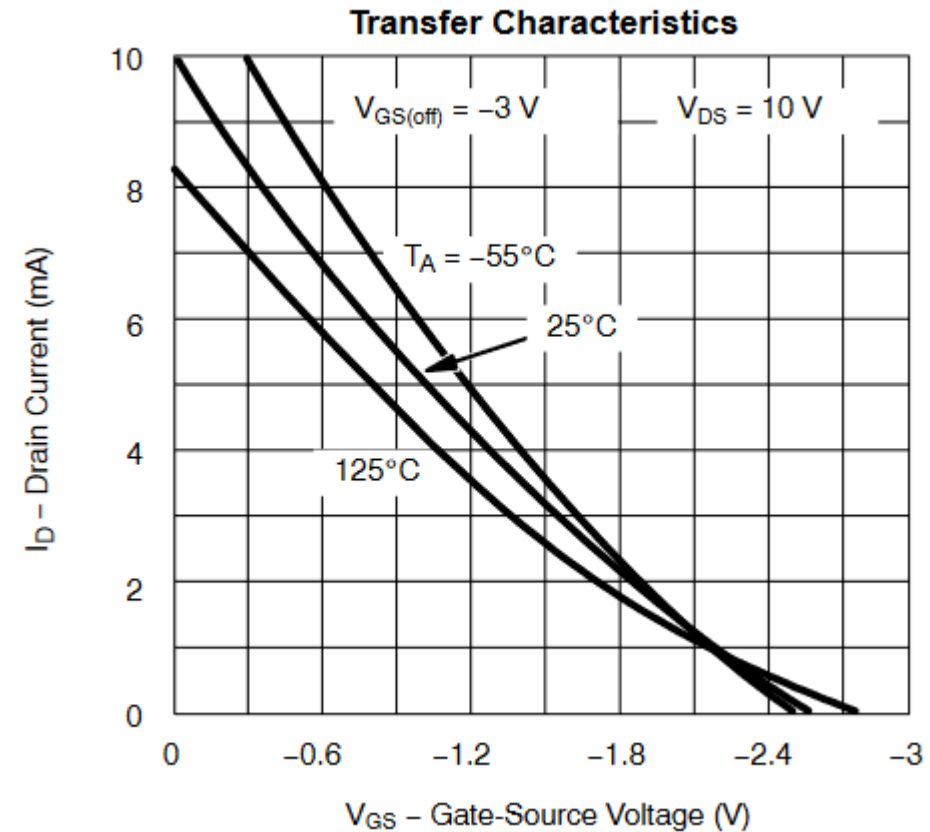
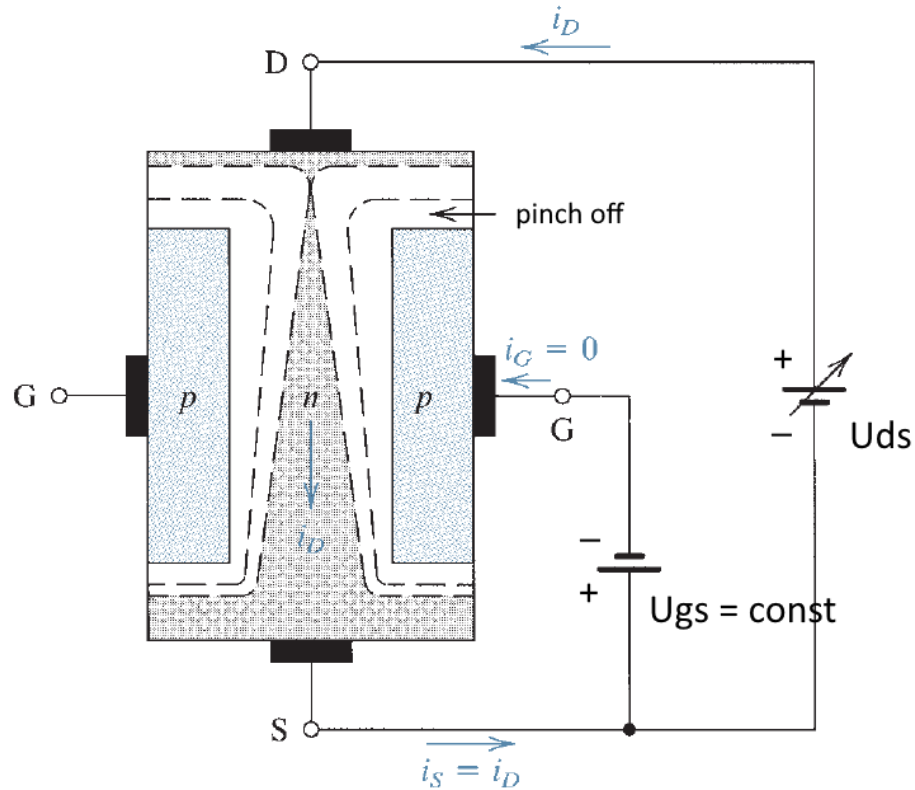
Field Effect

Field effect – използване на електрическо поле за контрол на поток от токоносители.



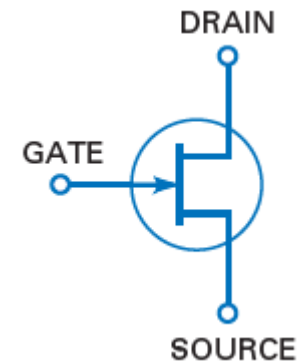
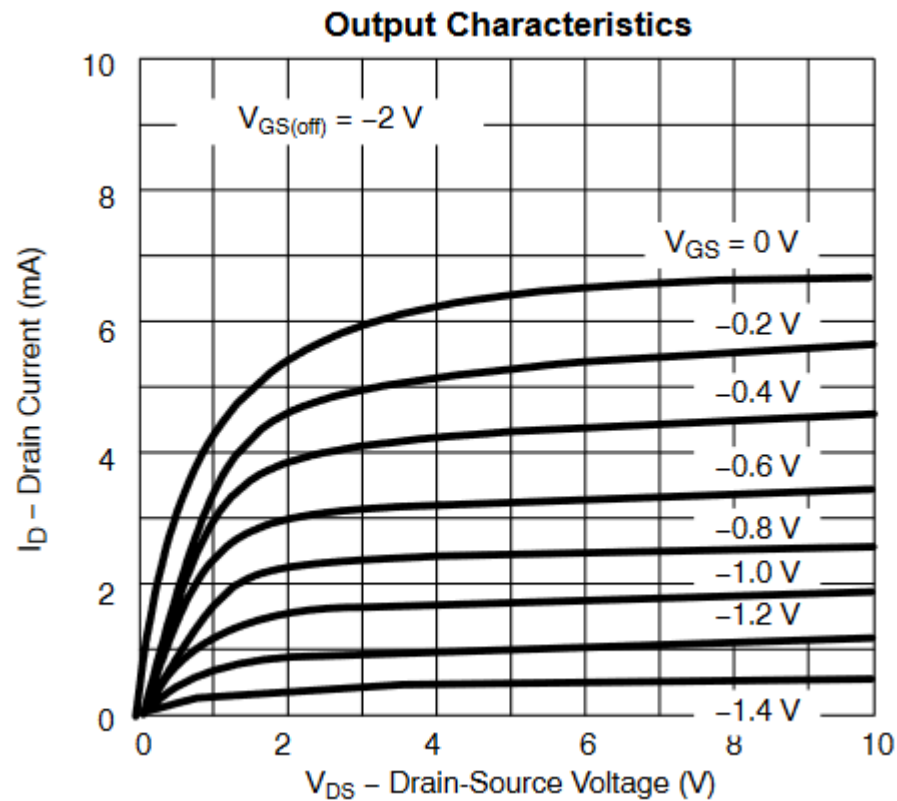
Идеята е патентована от Julius Edgar Lilienfeld през 1925г, но той не е успял да създаде работещ прибор.

Junction Field Effect Transistor – JFET

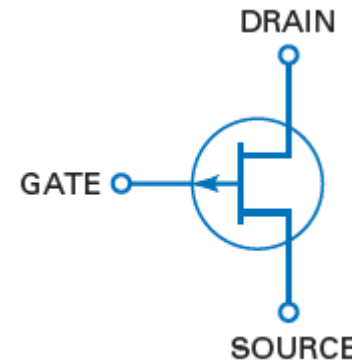


С увеличаване на U_{GS} (по абсолютна стойност), обеднената област се увеличава и дрейновият ток намалява. При гостигане $U_{GS} = U_{GS(\text{off})}$, транзисторът престава да пропуска ток.

JFET – Изходни Характеристики



Символ на n-канален JFET

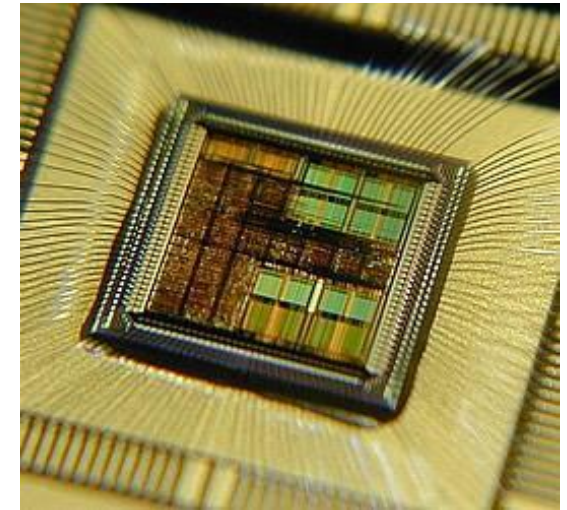
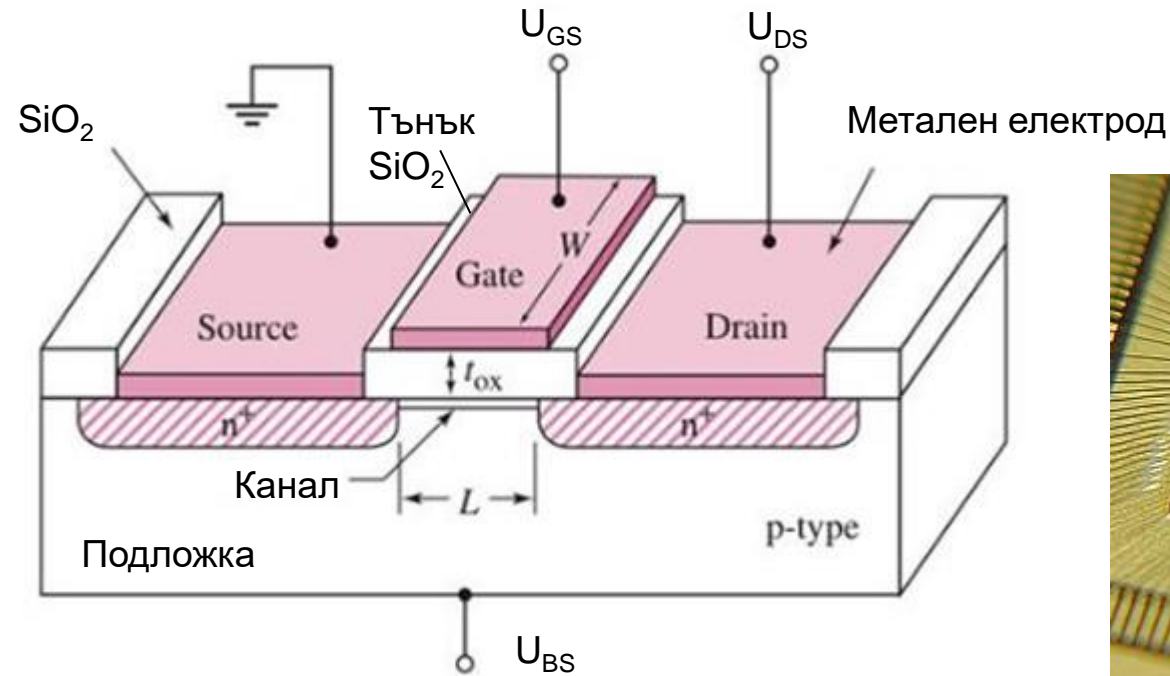
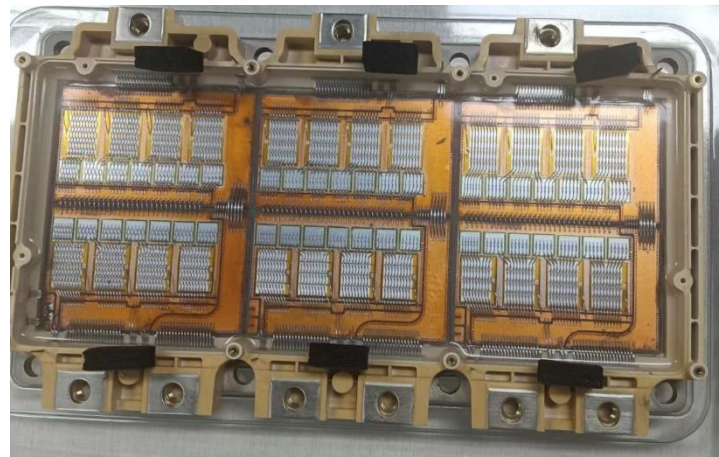


Символ на p-канален JFET

Дрейновият ток е максимален при $U_{GS}=0$.

JFET транзисторите работят в „режим на обедняване“ (depletion mode).

Metal-Oxide Semiconductor Field-Effect Transistor – MOSFET

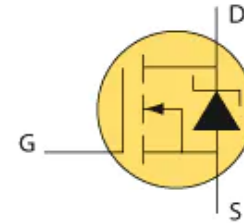
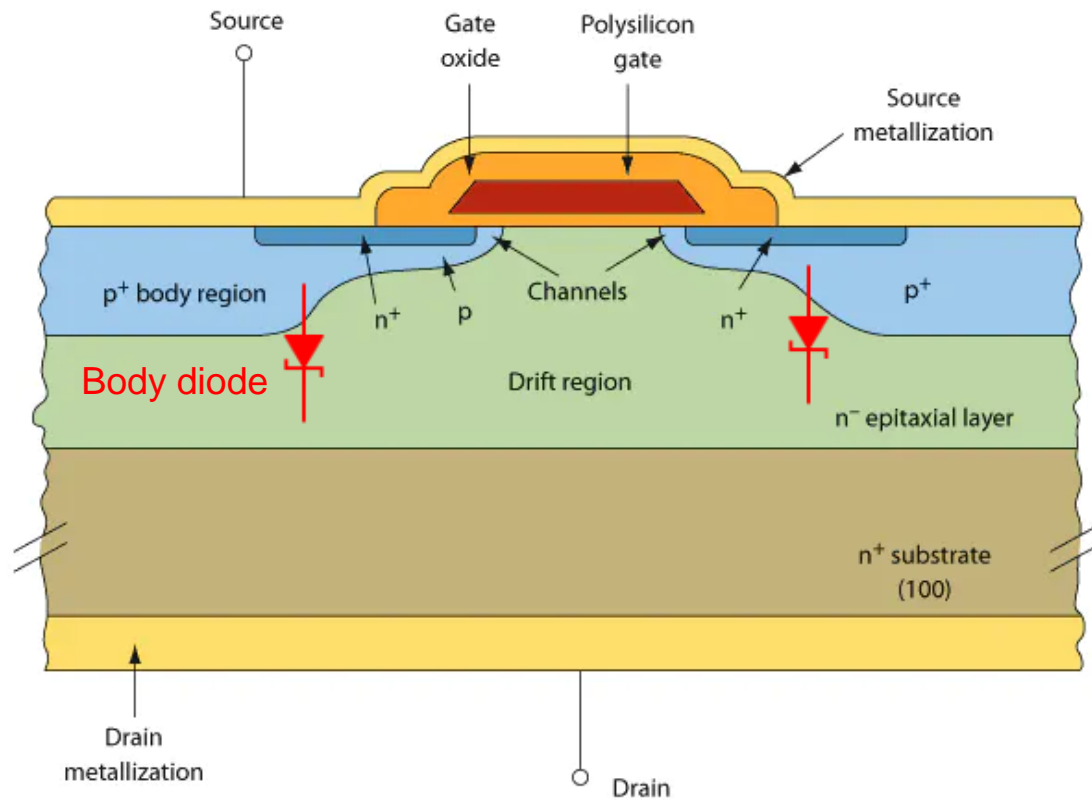


MOS транзисторът има четири области – сорс (**source** – S), гейт (**gate** – G), дрейн (**drain** – D) и подложка (**body** - B). Гейтът е изолиран от подложката с тънък окис (SiO_2 или Si_3N_4) с дебелина t_{ox} . Повърхността на транзистора е покрита с дебел SiO_2 .

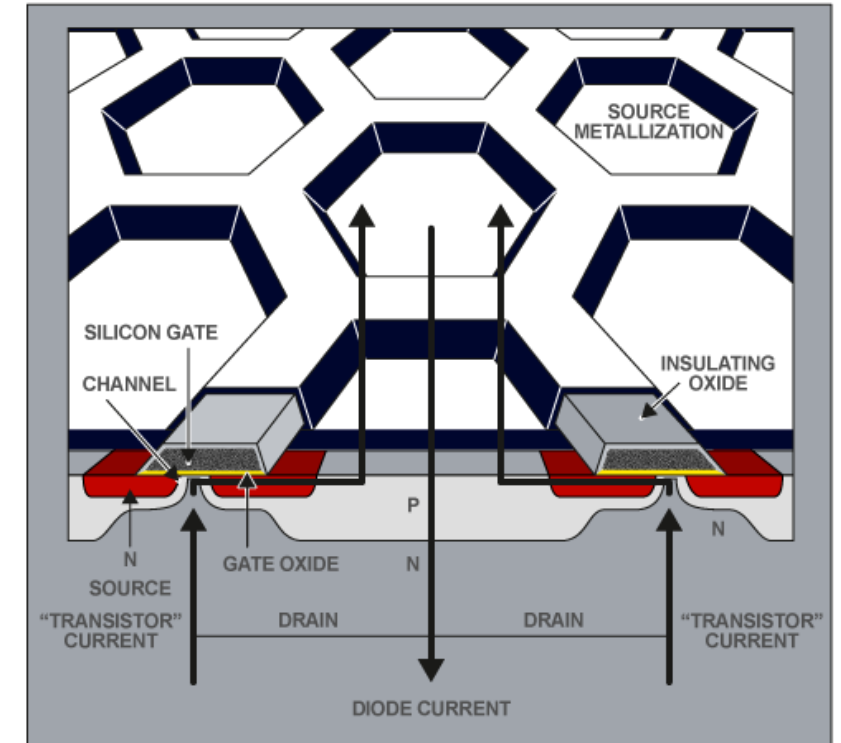
Между сорса и дрейна се формира канал с дължина L и широчина W . За n-канален транзистор областите на сорса и дрейна са с n^+ -тип проводимост (с висока концентрация на примесите), докато подложката е от p-тип.

На фигурата е показана структура на латерален MOSFET.

MOSFET – Структура на вертикален транзистор



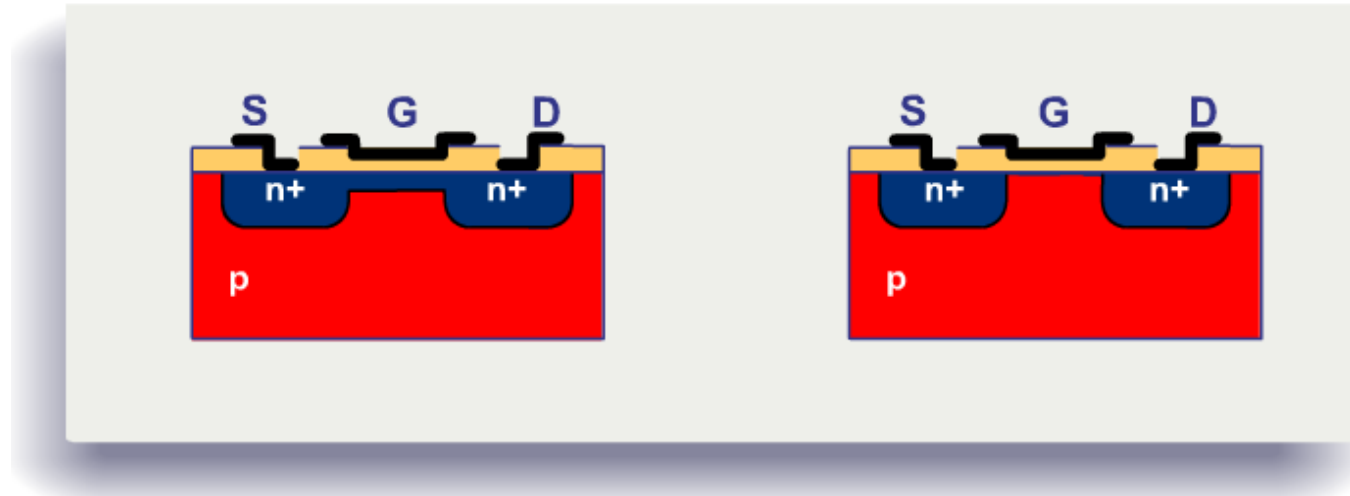
HEXFET транзистор



Латералния MOSFET има относително високо съпротивление на канала ($R_{ds(on)}$). Поради технологични ограничения, каналът не може да бъде твърде къс.

Затоа при мощните MOSFET се използва вертикална структура, докато латералната структура се използва в интегралните схеми.

MOSFET – Вграден и индуциран канал



MOSFET с вграден канал
Depletion MOSFET

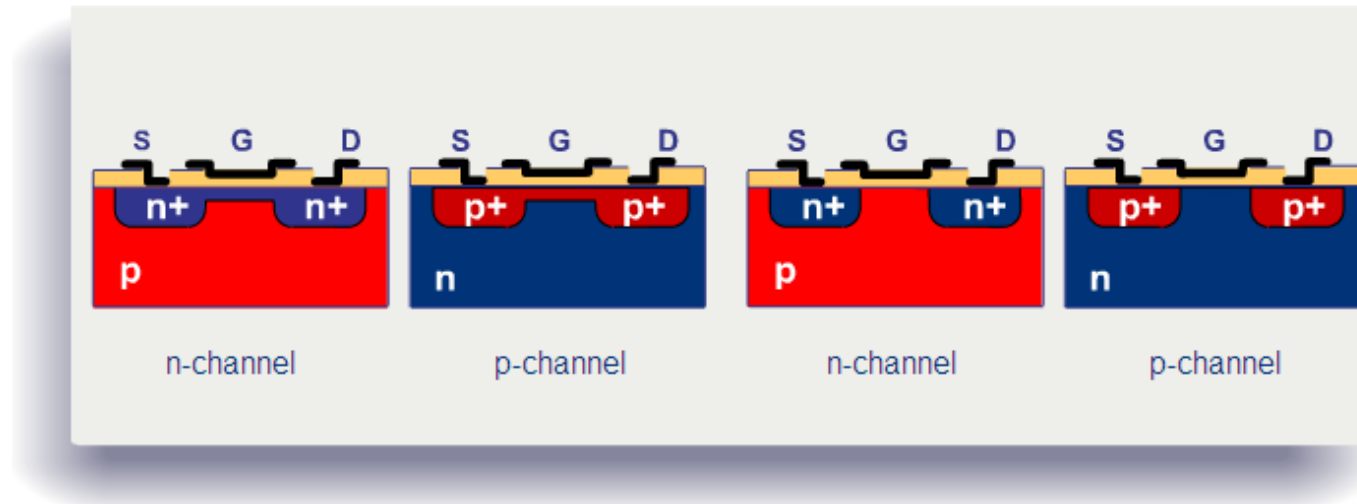
MOSFET с индуциран канал
Enhancement MOSFET

Според начина на създаване на канала се различават два типа MOS транзистори.

При транзисторите **с вграден канал** проводимият канал под гейта се формира по технологичен начин.

В MOS транзисторите с **индуциран канал**, проводящ канал се създава **при прилагане на напрежение** с определена полярност между гейта и подложката.

MOSFET – n-канал и p-канал



MOSFET с вграден канал

Depletion MOSFET

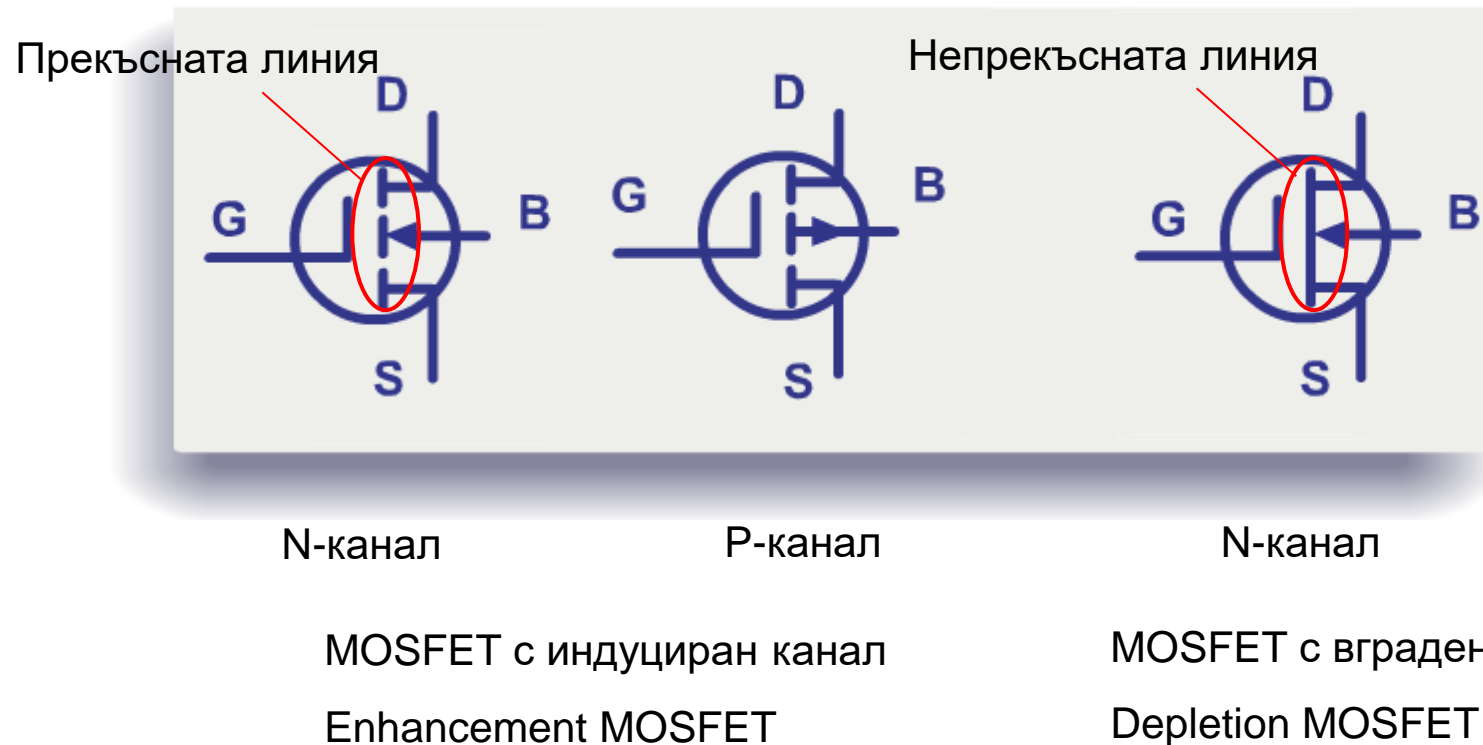
MOSFET с индуциран канал

Enhancement MOSFET

Според проводимостта на канала двата типа MOS транзистори се срещат с **n-канал** или с **p-канал**.

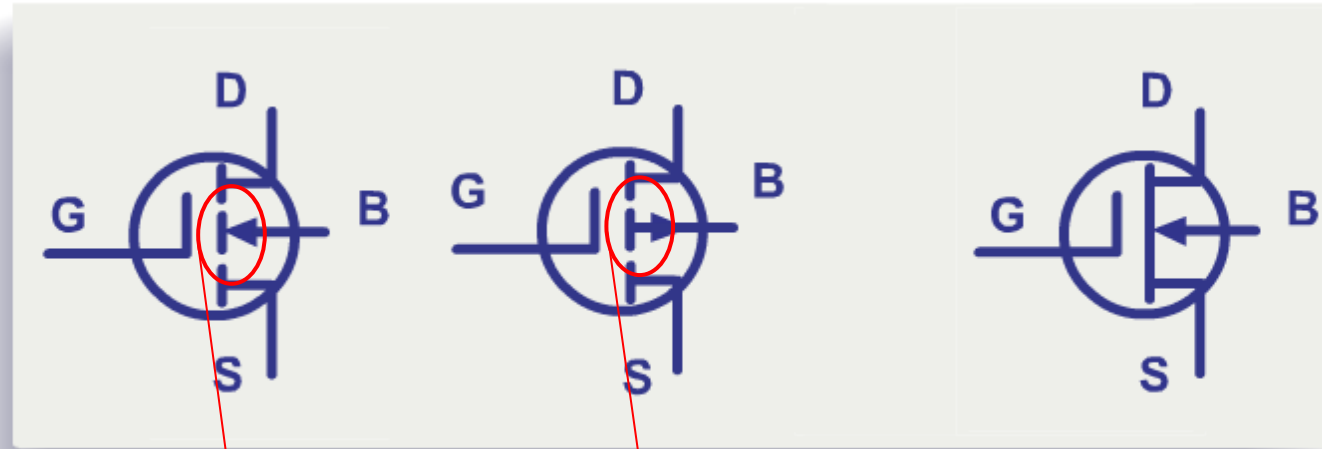
MOS транзисторът е **униполярен** елемент. Действието му се определя **само** от един тип токоносители (**основни**) – електрони или дупки, но никога от двата едновременно.

MOSFET – схемни символи



Символите за MOS транзистори с **индуциран канал** имат прекъсната линия между сорса и дрейна (липсва технологично създаден канал), докато за транзисторите с **вграден канал** линията е непрекъсната.

MOSFET – схемни символи



n-канал

p-канал

n-канал

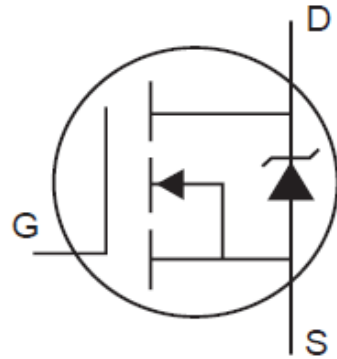
MOSFET с индуциран канал

MOSFET с вграден канал

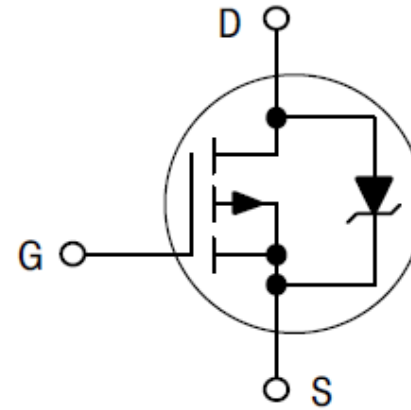
Enhancement MOSFET

За **n-каналните** транзистори стрелката към p-подложката сочи **навътре**, докато за **p-каналните** MOSFET стрелката е **навън**.

MOSFET – схемни символи



n-канал



p-канал

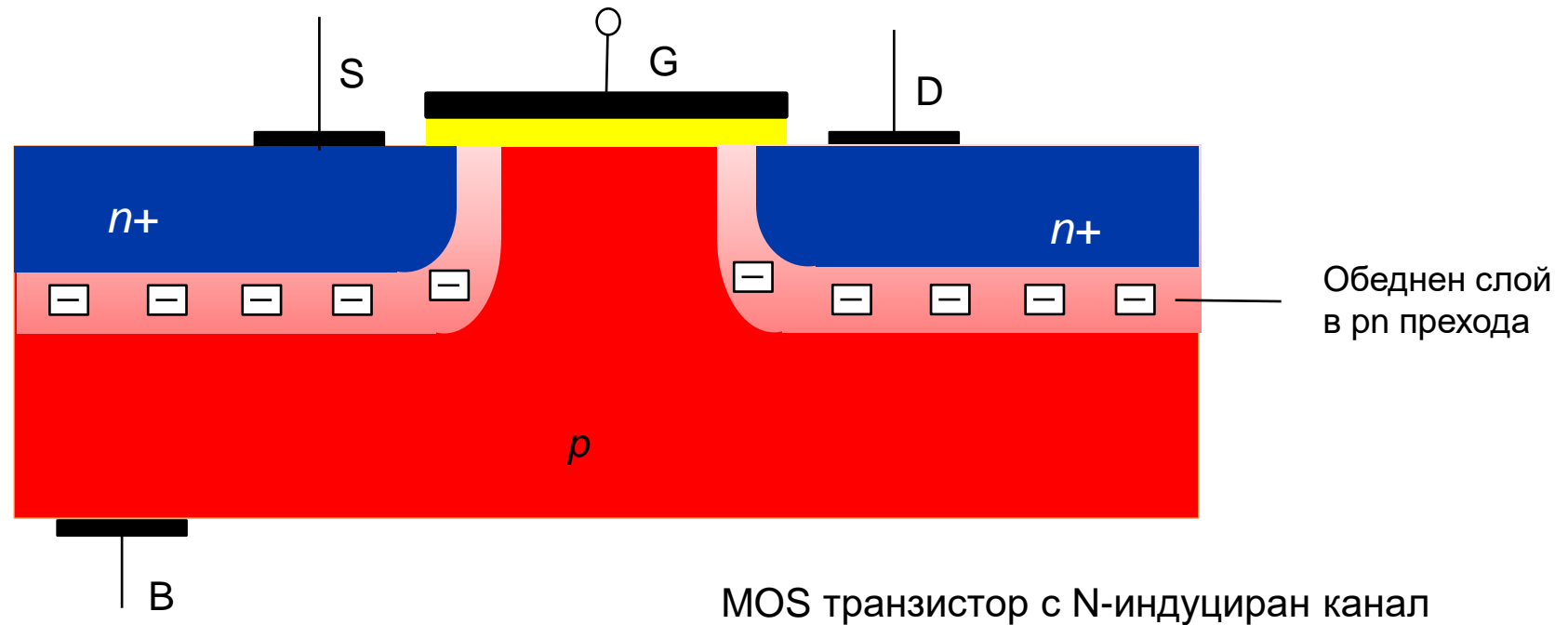
MOSFET с индуциран канал

Enhancement MOSFET

В някои приложения (в интегралните схеми) на подложката се подава напрежение, с което допълнително се контролира токът през канала.

В повечето приложения **(за дискретни елементи)** подложката се свързва към сорса и транзисторът фактически става с три извода.

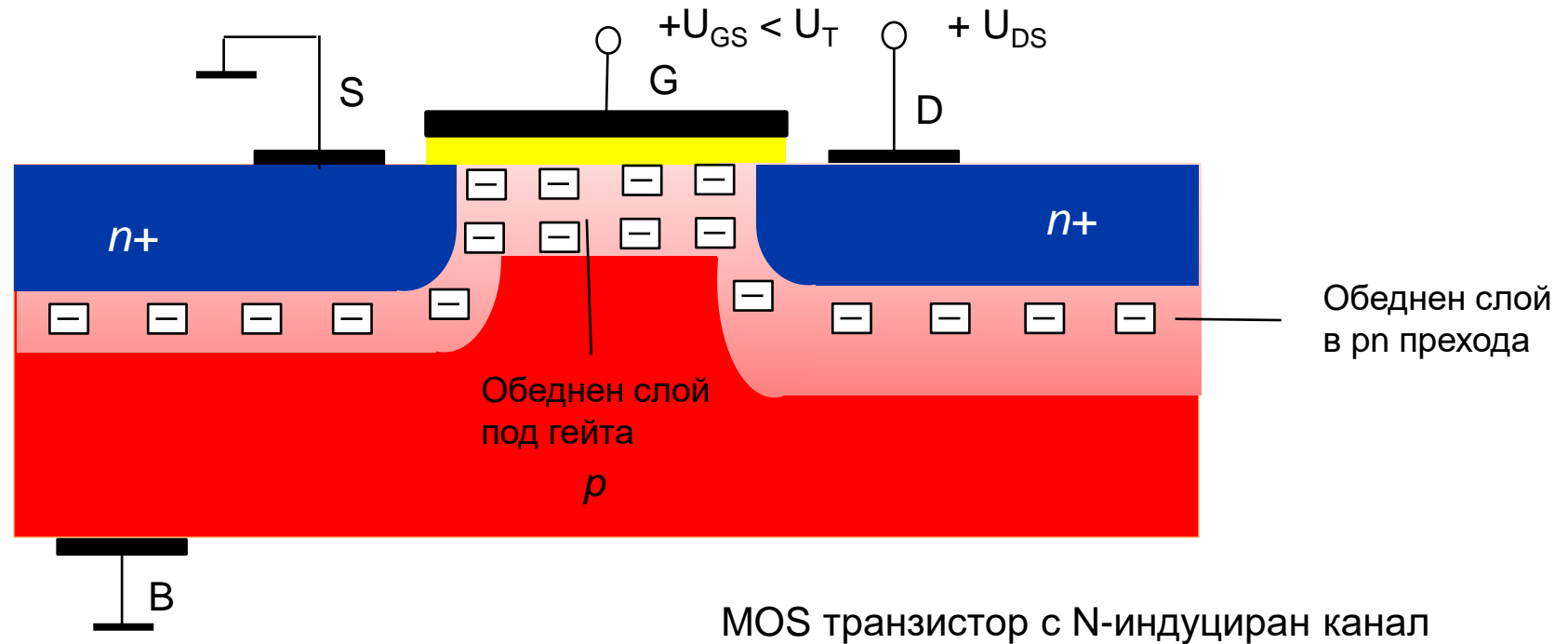
MOSFET – принцип на действие



Принипът на действие на MOS транзисторите се основава на **полевия ефект** – възможност за промяна на проводимостта на канала между сорса и дрейна чрез напрежение, приложено между гейт и подложка $U_{GB} = U_{GS}$.

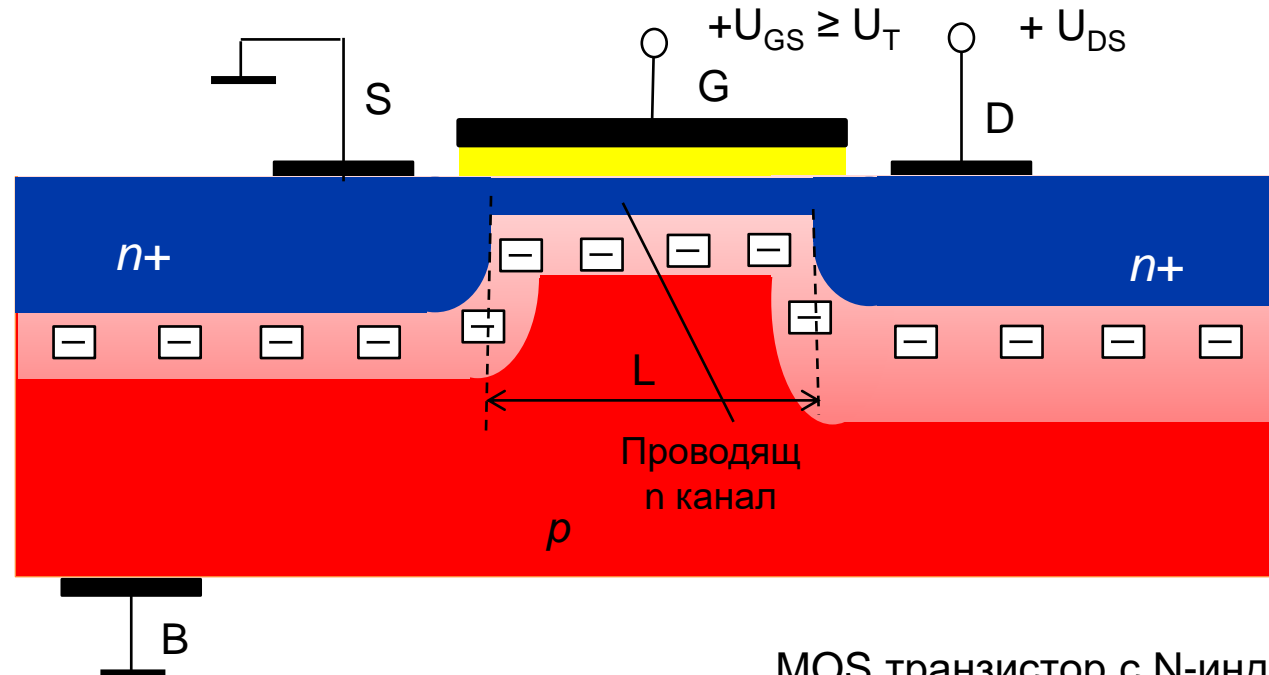
Когато на гейта не е подадено напрежение ($U_{GS} = 0$), във веригата дрейн-сорс не протича ток, защото тя е прекъсната поради липса на проводящ канал.

MOSFET – принцип на действие – обеднен слой



При подаване на положително напрежение на гейта ($U_{GS} > 0$) дупките от подложката се отблъскват във вътрешността ѝ. Под гейта се образува **обеднен слой**, който съдържа предимно некомпенсираните заряди на отрицателните акцепторни йони. Ток не тече.

MOSFET – принцип на действие – прагово напрежение

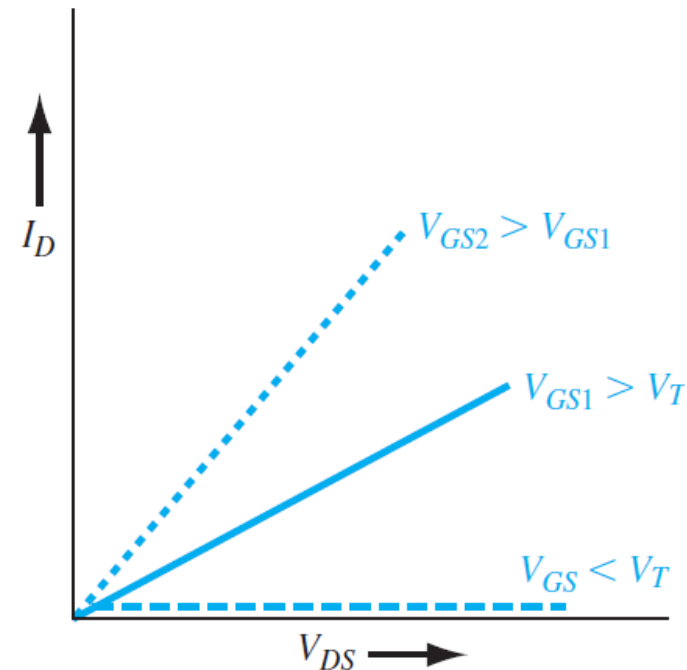
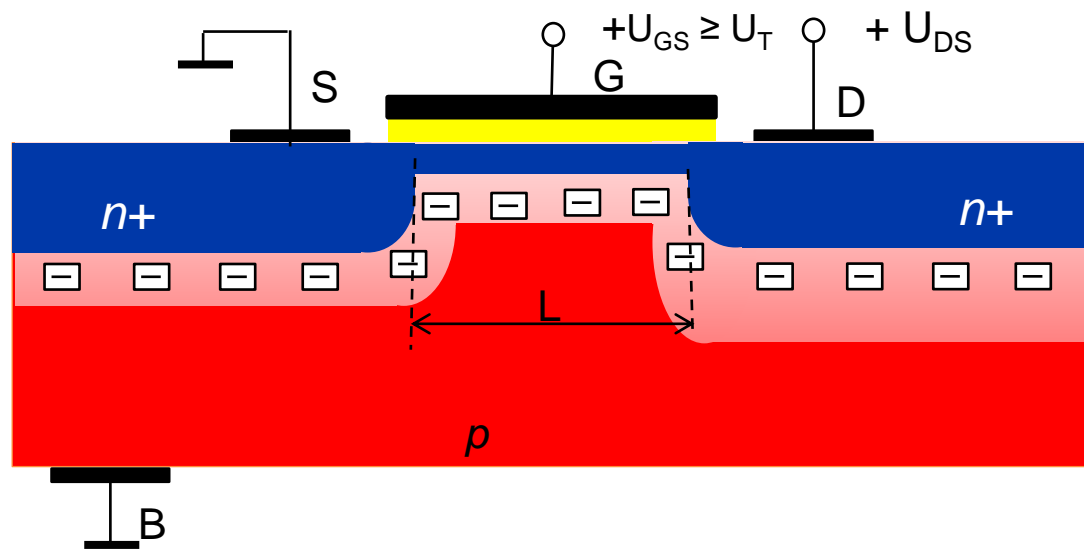


MOS транзистор с N-индуциран канал

При увеличаване на положителното напрежение U_{GS} към повърхността се привличат електрони, които създават слой с **инверсна** проводимост, т.е. полупроводника в канала става от n-тип.

Напрежението U_{GS} , при което се създава инверсен слой в подложката и протича минимален дрейнов ток се нарича **прагово напрежение** U_T . Ако $U_{GS} > U_T$ каналът **се обогатява** с токоносители и токът I_D нараства.

MOSFET – принцип на действие – $I_D = f(U_{DS})$



За малки стойности на U_{DS} , каналът има характеристики на резистор

$$I_D = g_d U_{DS} \quad g_d = \frac{W}{L} \cdot \mu_n |Q'_n|$$

g_d – проводимост на канала

μ_n – подвижност на електроните в канала

Q'_n – специфичен заряд в канала

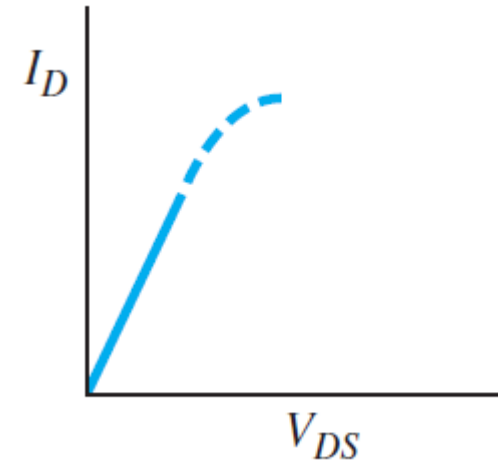
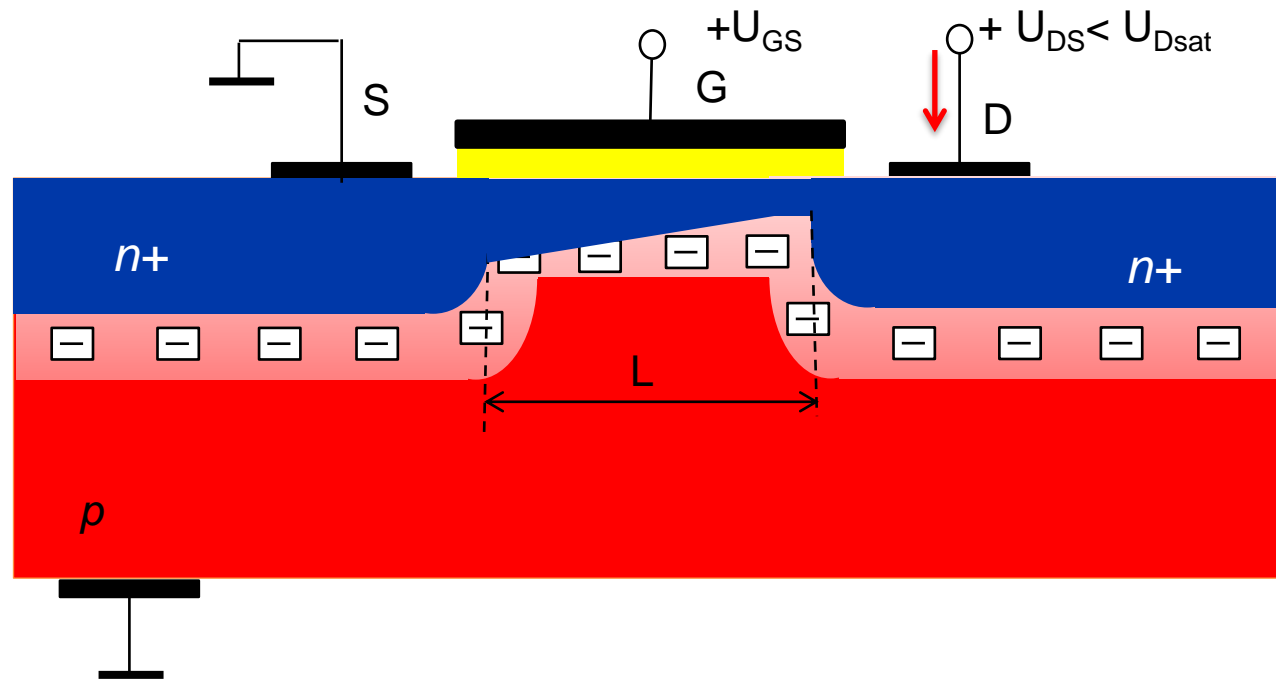
W – ширина на канала

L – дължина на канала

Зарядът в канала е а функция на напрежението на гейта; по този начин основното действие на MOS транзистора е **модулацията на проводимостта на канала от напрежението на гейта**.

Проводимостта на канала, от своя страна, определя тока на дрейна.

MOSFET – Пад на напрежение в канала

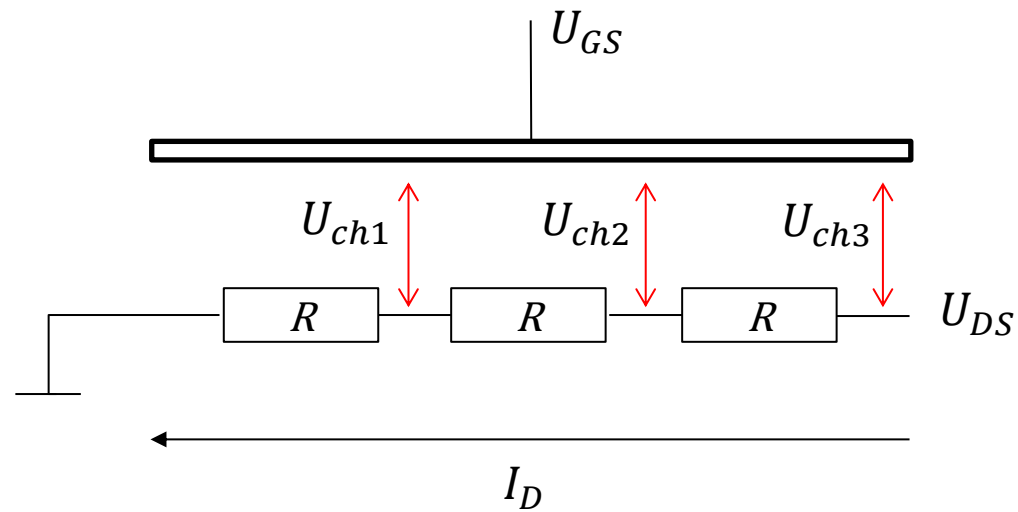


Напрежението, което индуцира канала, е разлика между постоянното U_{GS} и вътрешния пад в канала и съответно намалява от S към D (виж обясненията на следващият екран). Това довежда до изменение на сечението на канала и до намаляване на проводимостта. Зависимостта на дрейновия ток от напрежението дрейн-сорс престава да бъде линейна.

MOSFET – Пад на напрежение в канала

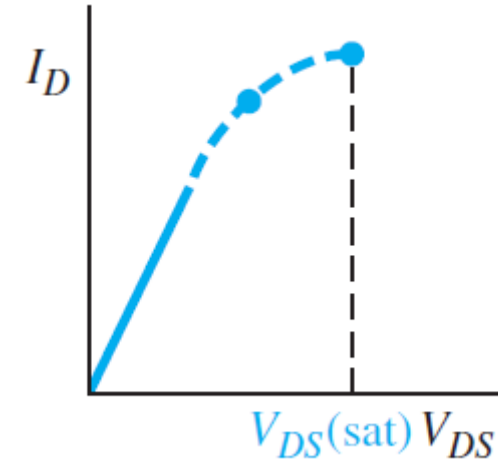
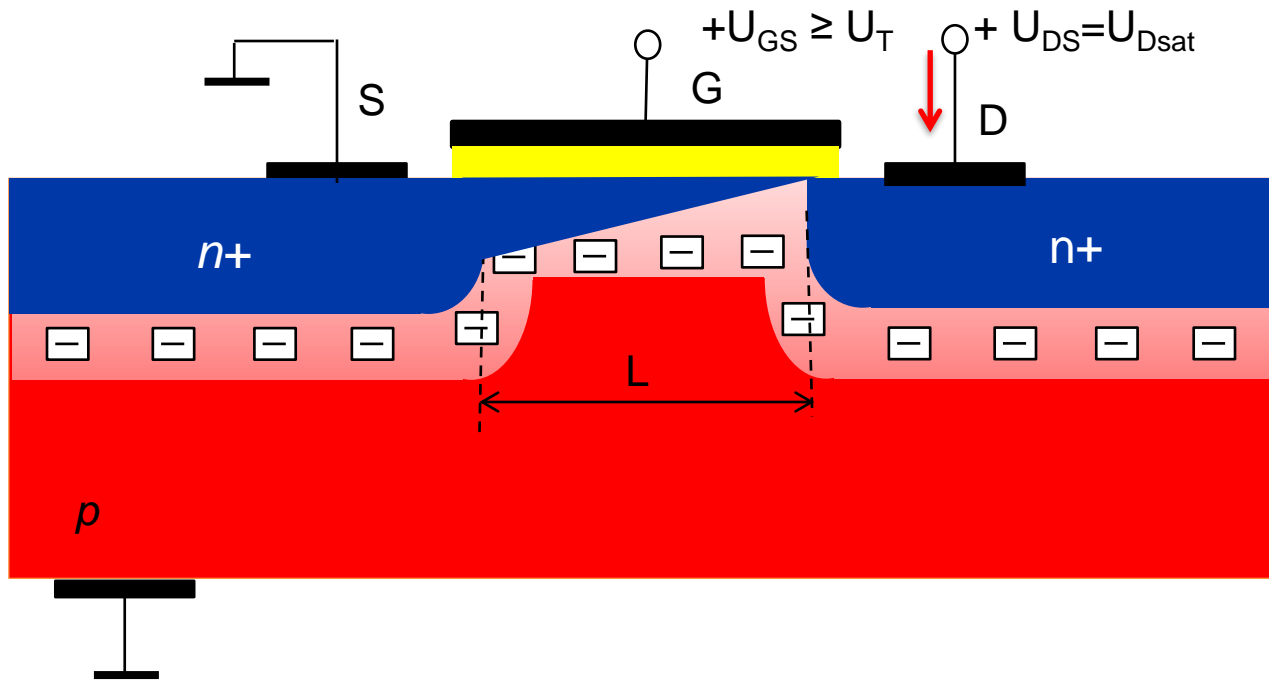
Напрежението, което индуцира канала, е разлика между постоянното U_{GS} и вътрешния пад в канала и съответно намалява от S към D.

$$U_{ch} = U_{GS} - I_D \cdot R_{ch}$$



$$U_{ch3} < U_{ch2} < U_{ch1}$$

MOSFET – Напрежение на насищане

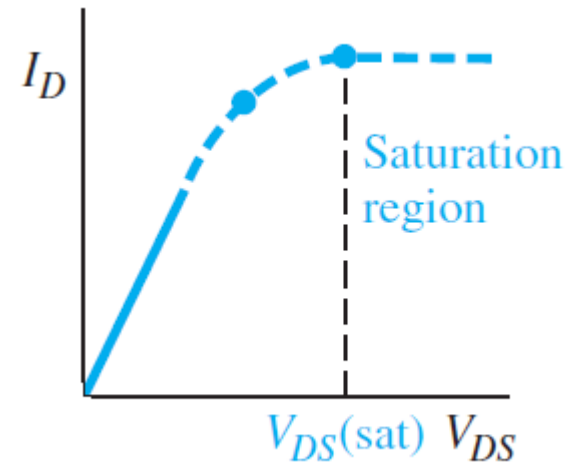
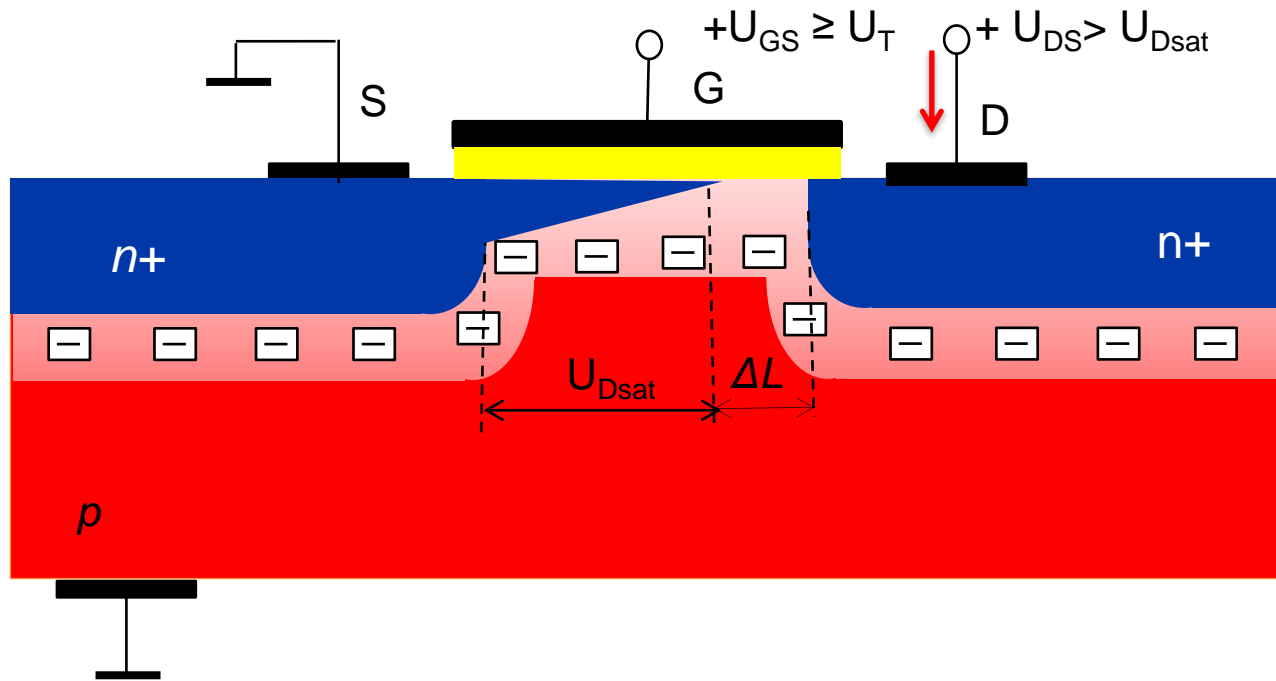


$$U_{DS(sat)} = U_{GS} - U_T$$

При достигане на напрежението на насищане $U_{DS(sat)}$ каналът в областта до дрейна се “прищипва”, защото индуциращото го напрежение в тази точка става равно на праговото.

По-нататъшното увеличаване на U_{DS} води до насищане на тока I_D . Това е областта на **насищане**

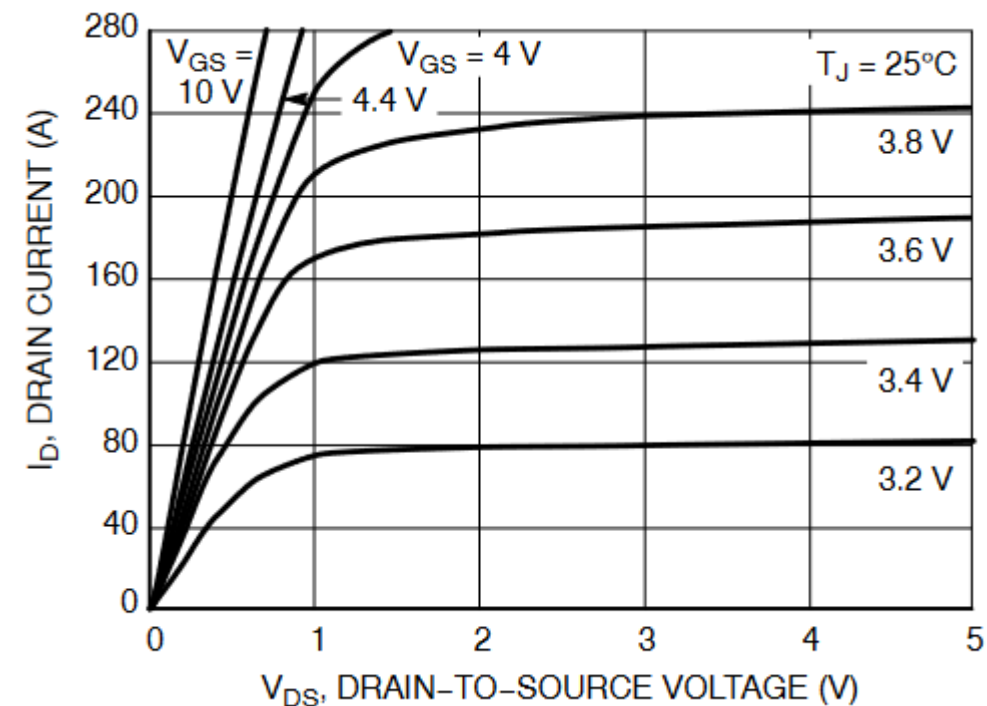
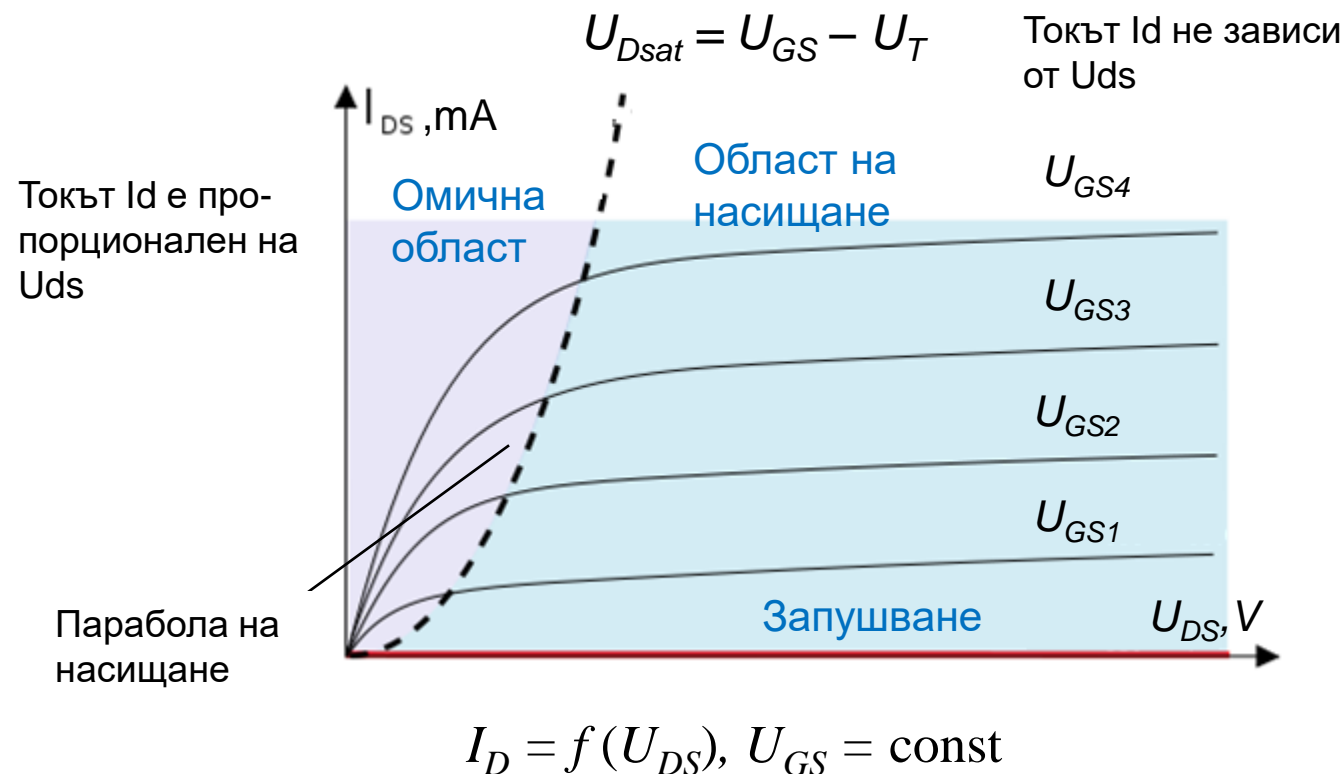
MOSFET – Област на насищане



$$U_{Dsat} = U_{GS} - U_T$$

Ако $U_{DS} > U_{Dsat}$ каналът се скъсява, като напрежението върху него остава постоянно и равно на U_{Dsat} , което определя постоянния ток I_{Dsat} .

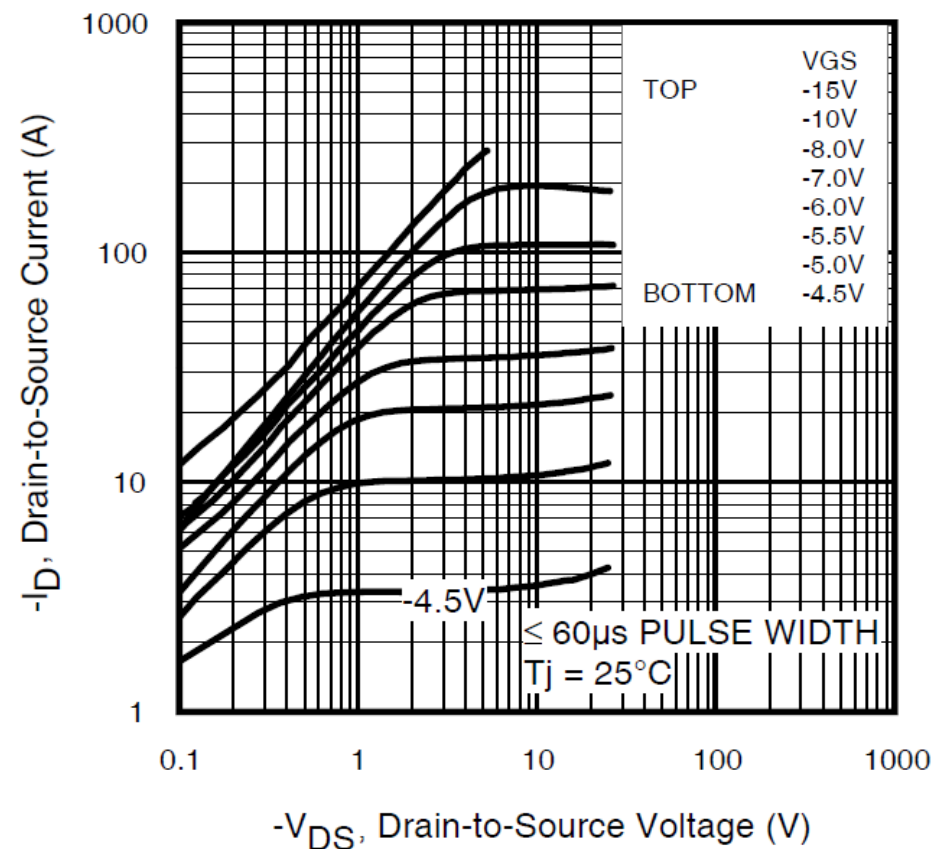
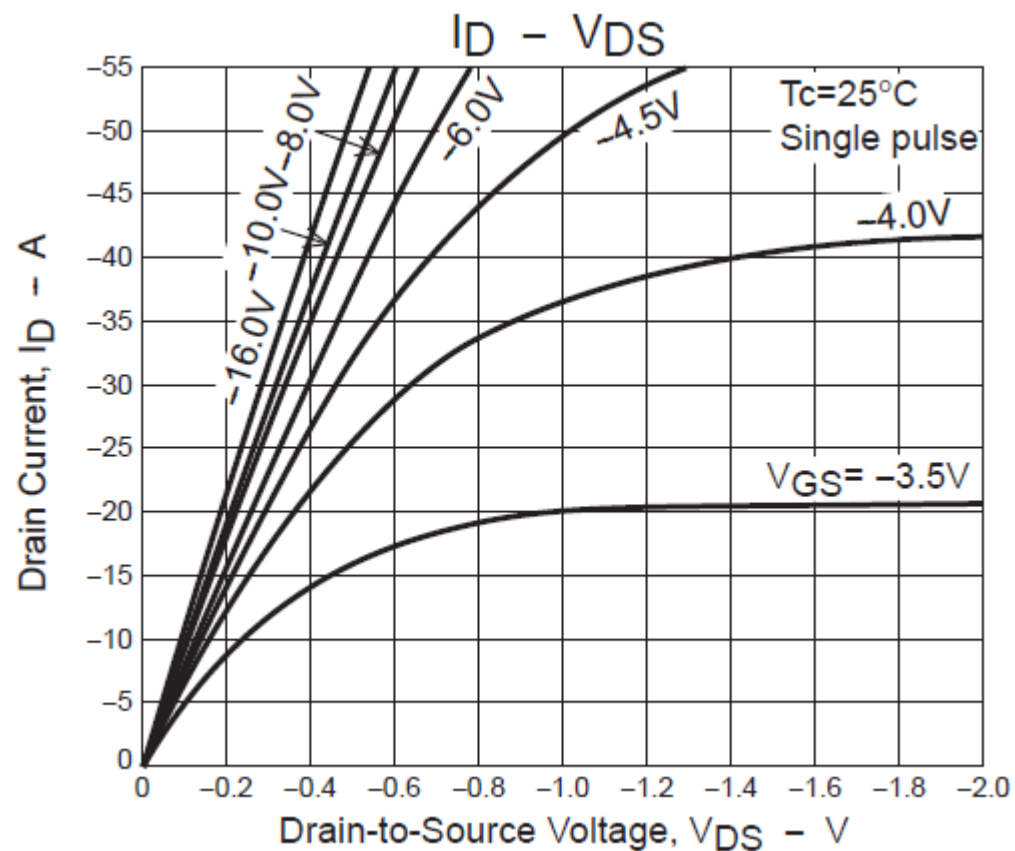
Разликата $\Delta U_D = U_{DS} - U_{Dsat}$ пада върху обеднената област с дължина ΔL . Протичането на ток се дължи на екстракцията на електроните от канала и дрейфовото им движение през обеднената област до дрейна.



N-канален MOS транзистор с индуциран канал
N-channel, enhancement MOSFET

На фигурата е показано семейството изходни статични характеристики $I_D = f(U_{DS})$ при $U_{GS} = \text{const}$ за MOS транзистор с N-индуциран канал.

В тях се различават две области – омична и област на насищане.



Примери на изходни характеристики на PMOS транзистори с индуциран канал. Обърнете внимание, че стойностите на напреженията U_{ds} , U_{gs} и токът I_d са отрицателни.

MOSFET – Ток на дрейна

Омична област $U_{DS} < U_{Dsat}$ $I_D = k[(U_{GS} - U_T)U_{DS} - \frac{1}{2}U_{DS}^2]$

Област на насищане $U_{DS} \geq U_{Dsat}$ $I_D = \frac{k}{2}(U_{GS} - U_T)^2$

$$k = \frac{\mu_{eff} C_0 W}{L}, \frac{mA}{V^2}$$

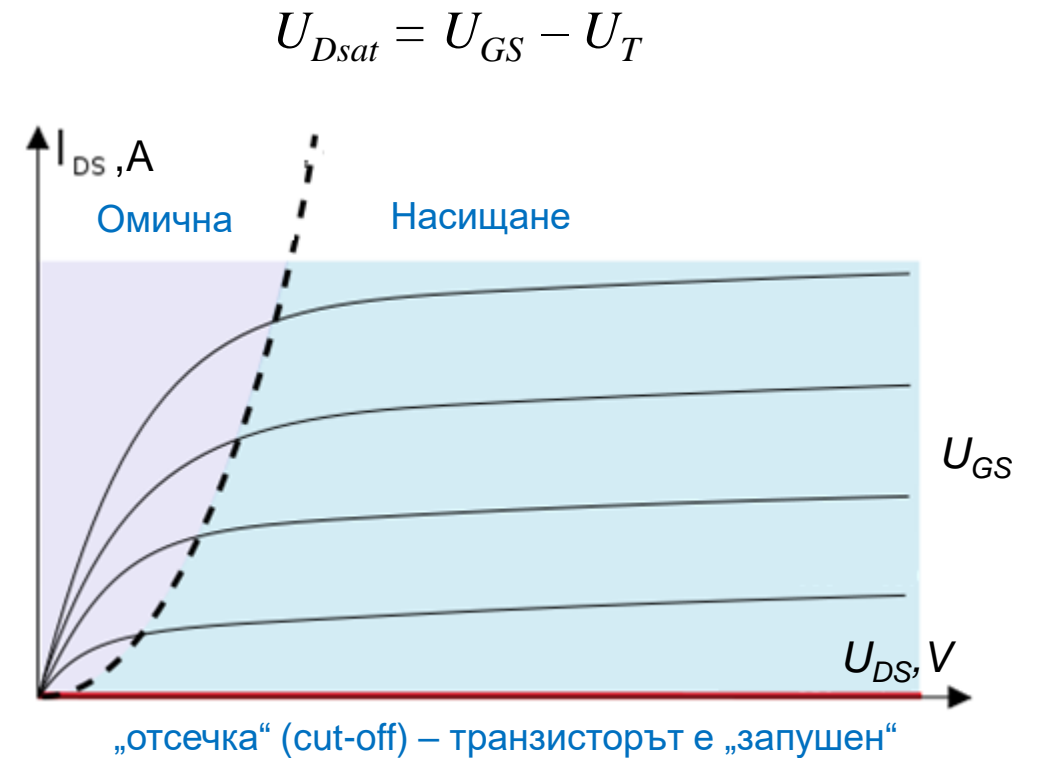
Специфична стръмност

$$C_0 = \frac{\varepsilon \cdot \varepsilon_0}{t_{ox}}$$

Специфичен капацитет на окиса

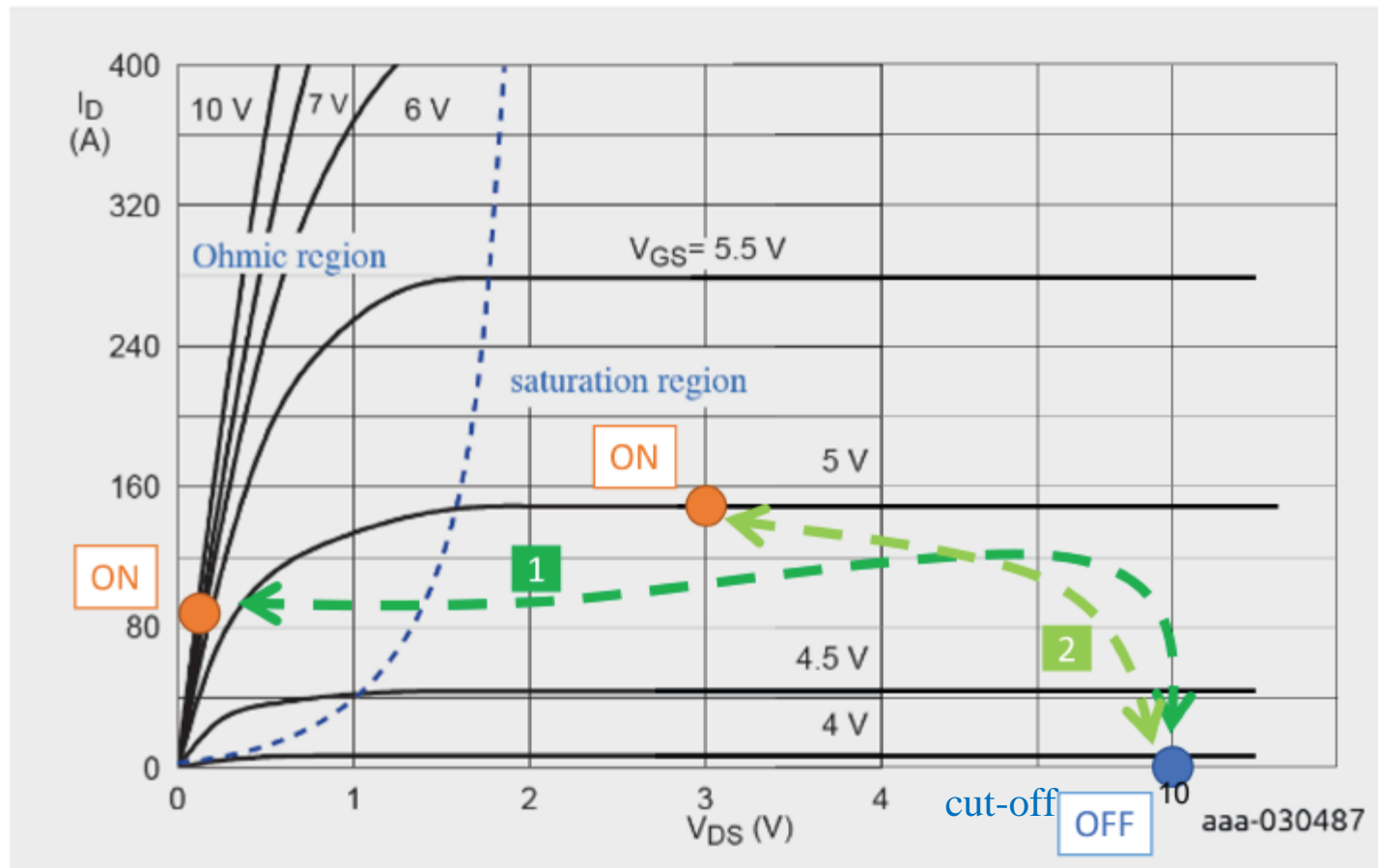
$$\mu_{eff}$$

Ефективна подвижност



$$I_D = f(U_{DS}), U_{GS} = \text{const}$$

Режими на работа на MOSFET



Режими

1 Ключов – работната точка се движи между омичната област и отсечка (cut off).

2 Линеен – работната точка е в областта на насищане.

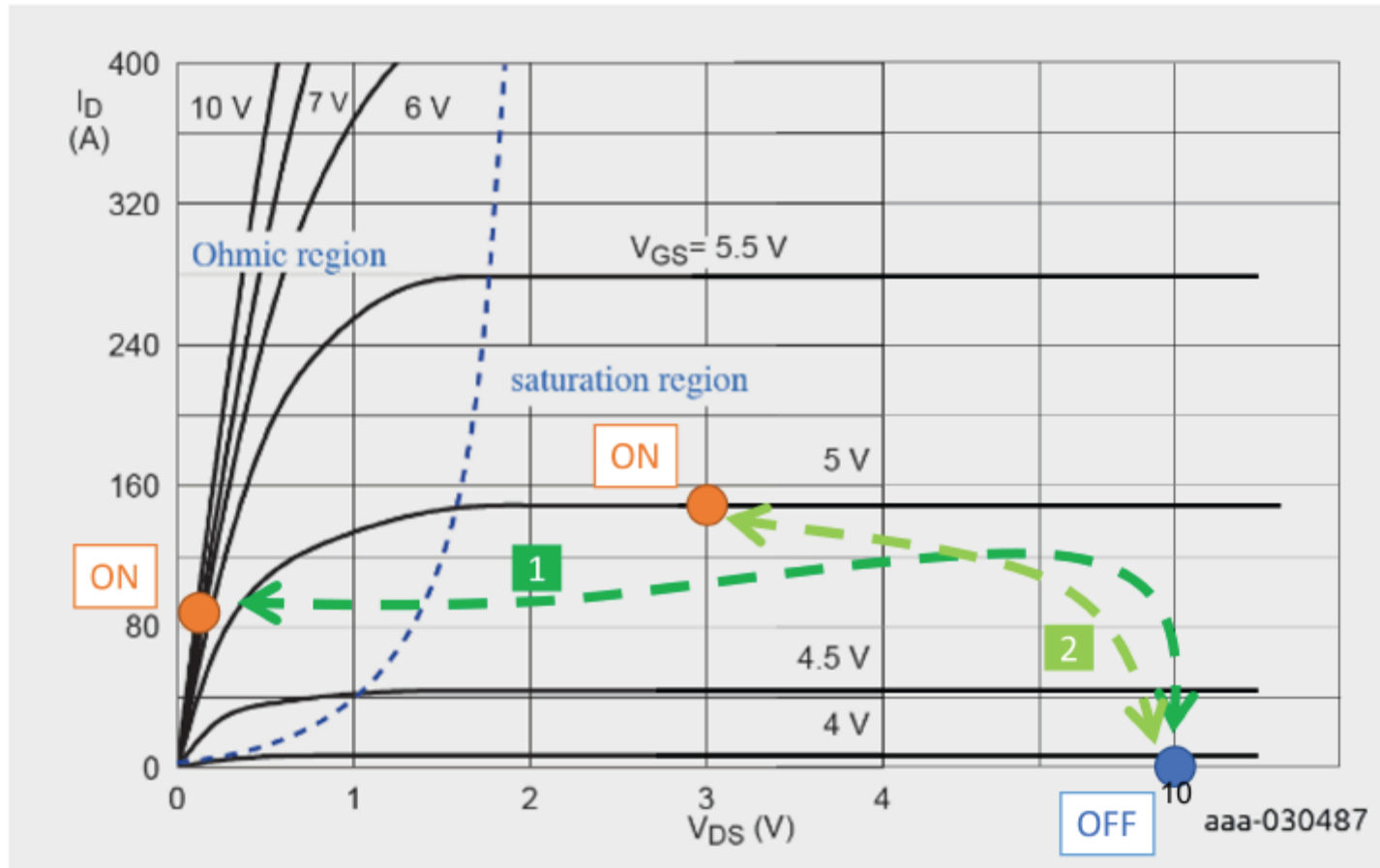
[1] R_{DSon} operation ON/OFF trajectory; [2] linear mode operation ON/OFF trajectory

Режими на работа на MOSFET - терминология

Област:
омична,
триодна,
Линейна (!)

Област:
насищане
пентодна

Режими на работа: **линеен (!)** и ключов



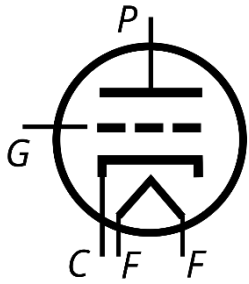
"Here be dragons"



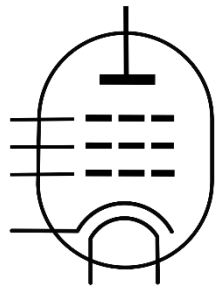
Carta Marina by Olaus Magnus, 1539

[1] R_{DSon} operation ON/OFF trajectory; [2] linear mode operation ON/OFF trajectory

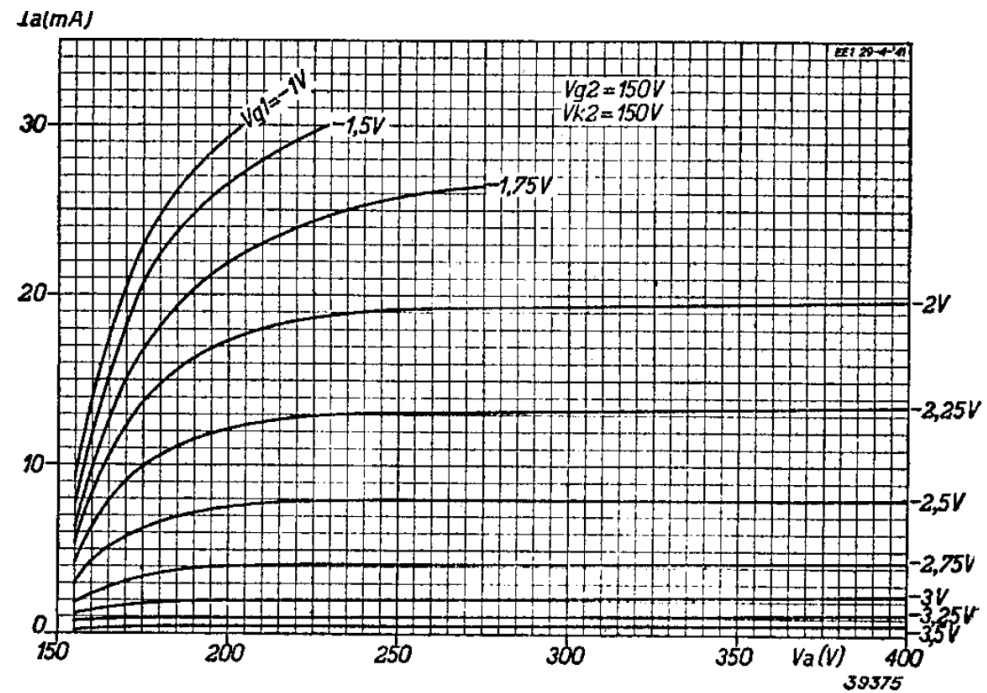
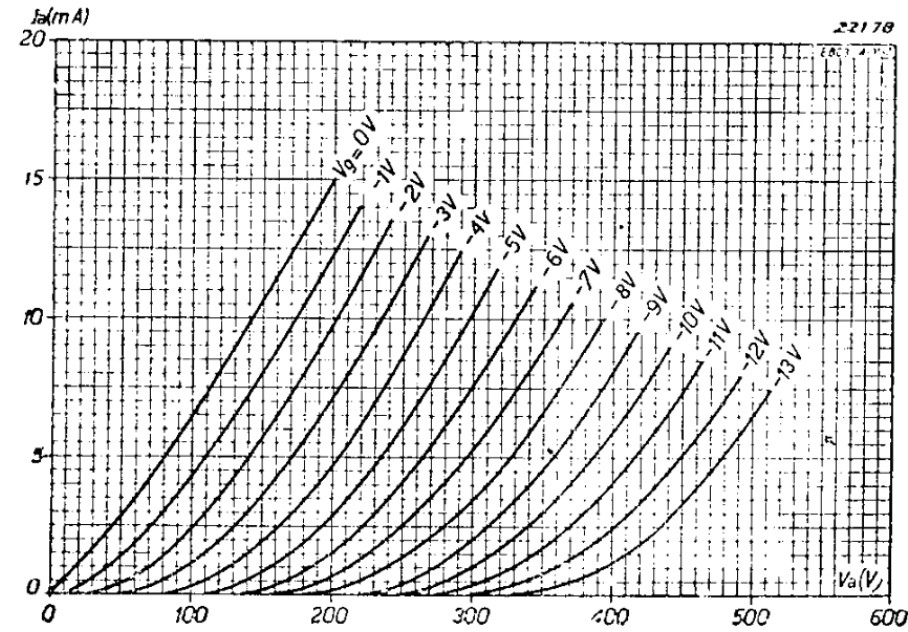
Режими на работа на MOSFET - терминология



триод



пентод



Режими на работа на MOSFET

	"ON" $V_{GS} \geq V_{Tn}$	"OFF" $V_{GS} < V_{Tn}$
$V_{DS} < V_{DSsat}$	"Triode region" $I_D = \mu_n C_{ox} \frac{W}{L} \left(V_{GS} - V_{Tn} - \frac{V_{DS}}{2} \right) V_{DS}$	$I_D = 0$
$V_{DS} \geq V_{DSsat}$	"Saturation region" $I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{Tn})^2$	

Примери за постоянно токов анализ на схеми с MOSFET

Определяне на режима на работа на транзистора, I_D и U_{DS}

Алгоритъм за решаване

1. Определя се дали транзисторът е запушен или отпушен

а) Ако $U_{GS} < U_T$, транзисторът **е запушен**.

Тогава $I_D = 0$, $U_{DS} = U_{DD} - I_D \cdot R_D = U_{DD}$

б) Ако $U_{GS} \geq U_T$, транзисторът **е отпушен**. Преминете към точка 2.

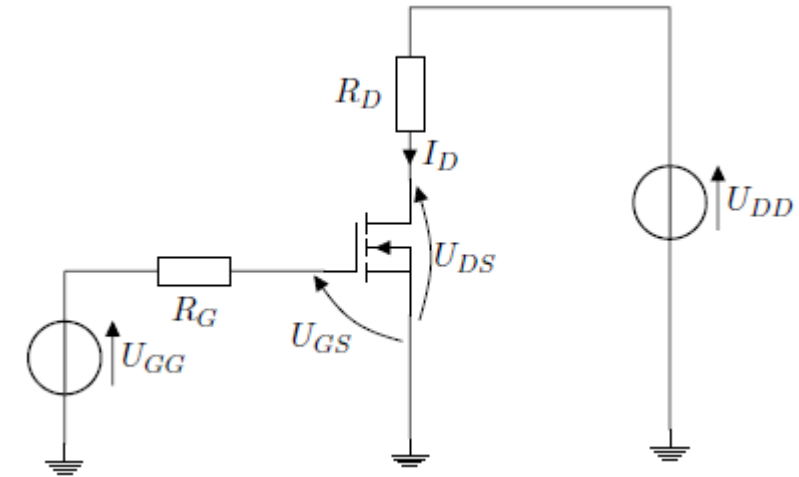
2. Определя се в коя област се намира работната точка. Изчислява се $U_{Dsat} = U_{GS} - U_T$

а) Ако $U_{DS} < U_{Dsat}$ - омична област

$$I_D = k[(U_{GS} - U_T)U_{DS} - \frac{1}{2}U_{DS}^2] \quad U_{DS} = U_{DD} - I_D \cdot R_D$$

б) Ако $U_{DS} \geq U_{Dsat}$ - област на насищане

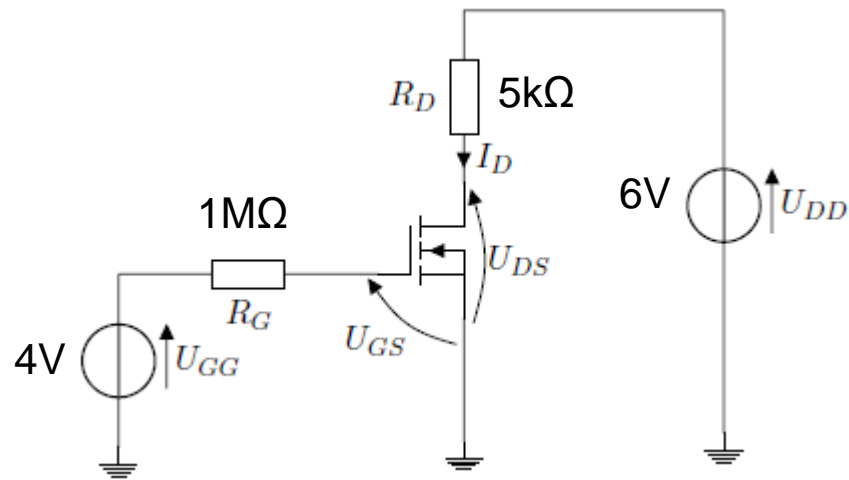
$$I_D = \frac{k}{2}(U_{GS} - U_T)^2 \quad U_{DS} = U_{DD} - I_D \cdot R_D$$



За да определим U_{DS} трябва да знаем I_D

За да изберем по коя формула да изчислим I_D трябва да знаем U_{DS} ???

Примери за постоянно токов анализ на схеми с MOSFET



Дадено: $k = 0,25 \text{ mA/V}^2$, $U_T = 2\text{V}$

Търси се: $I_D = ?$, $U_{DS} = ?$

Решение

$$U_{GS} = U_{GG} = 4\text{V} \quad U_{GS} > U_T - \text{транзисторът е отпушен}$$

$$U_{Dsat} = U_{GS} - U_T = 4 - 2 = 2\text{V}$$

Приемаме, че работната точка на транзисторът е в областта на насищане:

$$I_D = \frac{k}{2} (U_{GS} - U_T)^2 = \frac{0,25 \cdot 10^{-3}}{2} (4 - 2)^2 = 0,5 \cdot 10^{-3} \text{A} = 0,5 \text{ mA}$$

Проверка на режима

$$U_{DD} = U_{DS} + I_D \cdot R_D \quad \text{Закон на Кирхофф за изходната верига}$$

$$U_{DS} = U_{DD} - I_D \cdot R_D = 6 - 0,5 \cdot 10^{-3} \cdot 5 \cdot 10^3 = 3,5\text{V}$$

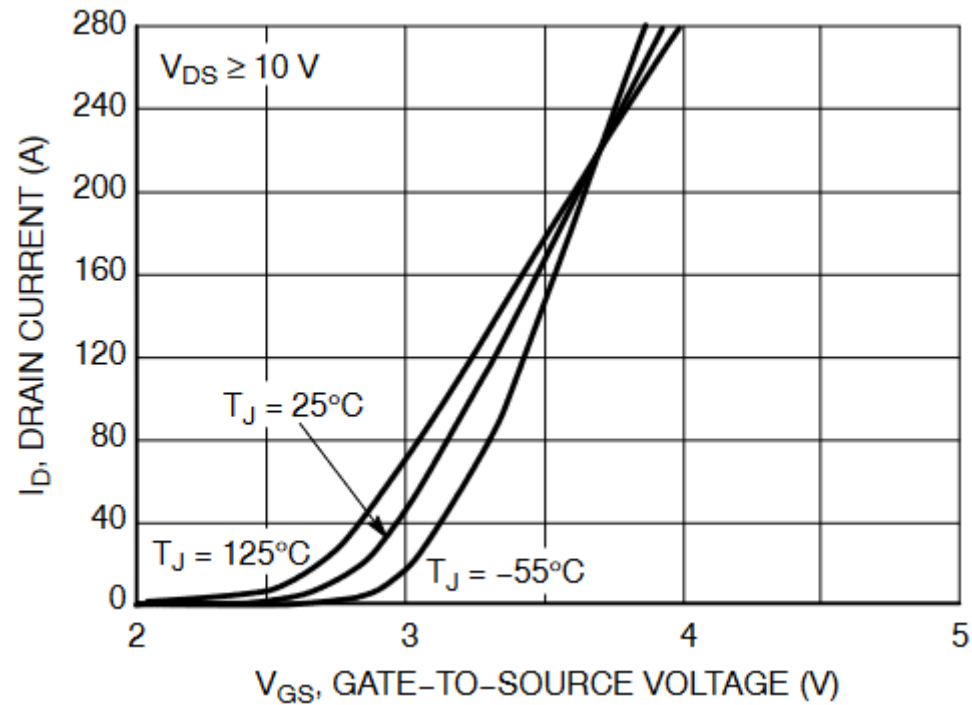
$$U_{DS} > U_{Dsat}$$

Транзисторът наистина е в областта на насищане

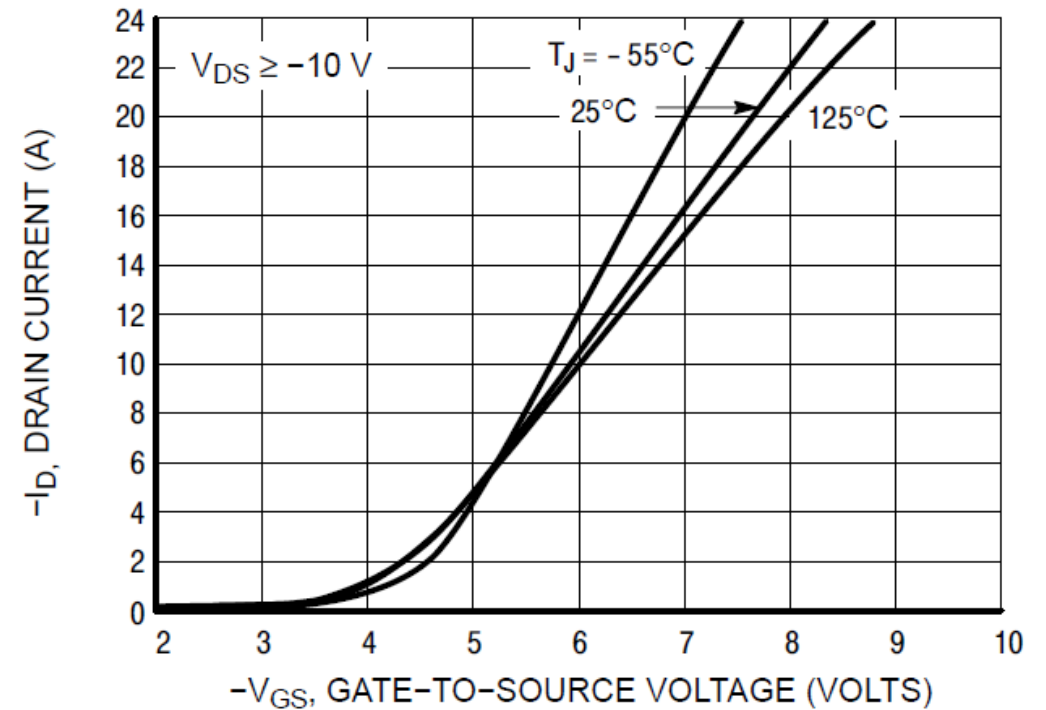
Отговор: $I_D = 0,5\text{mA}$, $U_{DS} = 3,5\text{V}$

Предавателни Характеристики (Transfer Characteristics)

$$I_D = f(U_{GS}), U_{DS} = \text{const}$$



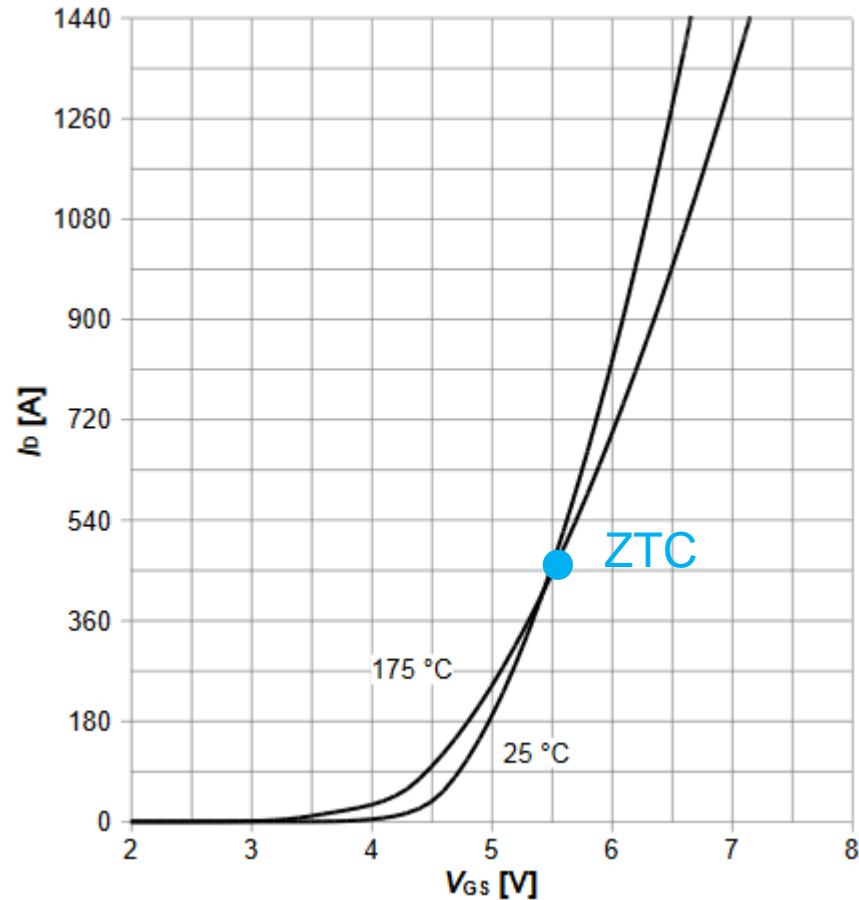
п-тип, индуциран канал



р-тип, индуциран канал

При $U_{GS}=0$ ток не протича.

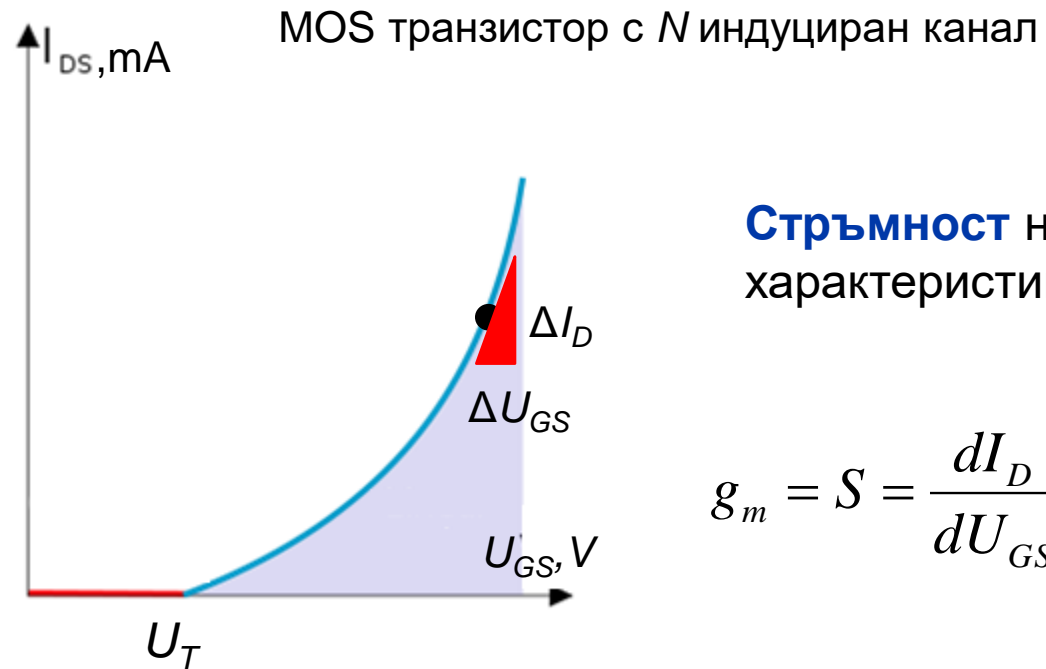
Предавателни Характеристики – Температурна Зависимост



При повишаване на температурата се:

- **Намалява праговото напрежение** U_T , което предизвиква увеличаване на I_D
- **Намалява подвижността** на токо-носителите μ_n , което предизвиква намаляване на тока I_D .
- В резултат MOS транзисторите имат **термостабилна точка**.

Предавателни Характеристики – Стръмност (transconductance)

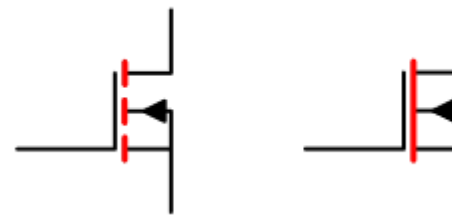


Стръмност на предавателната характеристика g_m , (S)

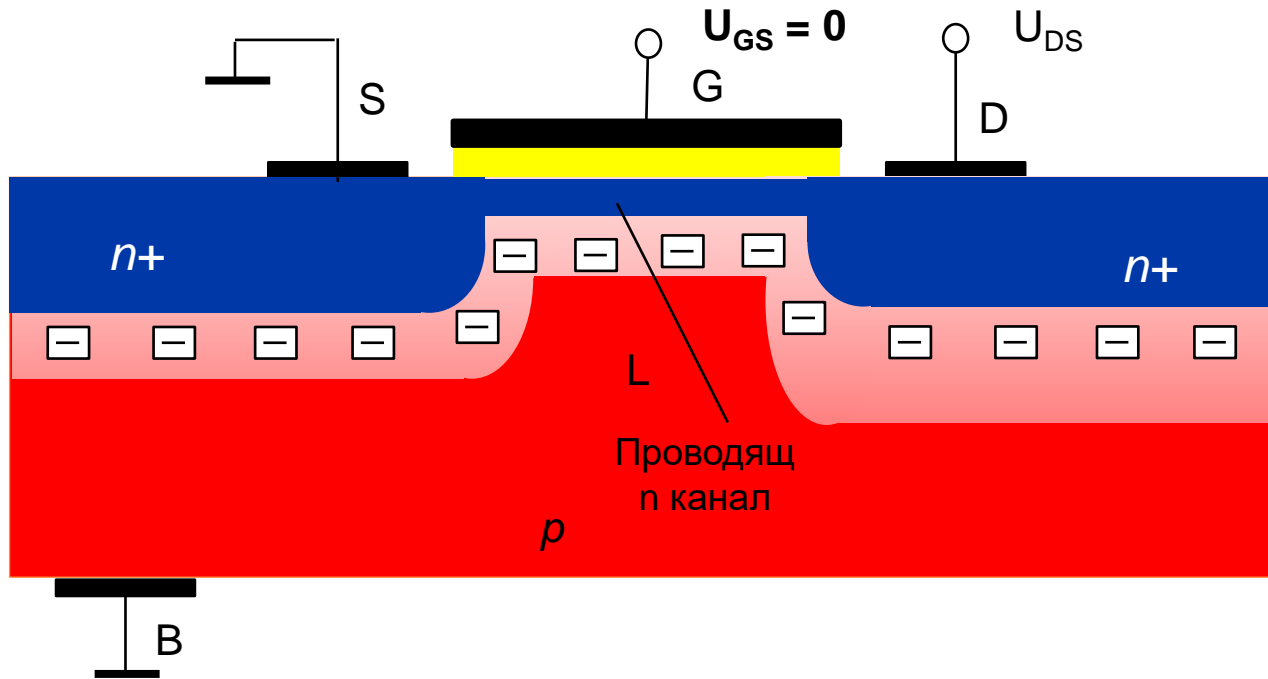
$$g_m = S = \frac{dI_D}{dU_{GS}} = \frac{\Delta I_D}{\Delta U_{GS}}, U_{DS} = \text{const}$$

$$I_D = f(U_{GS}), U_{DS} = \text{const}$$

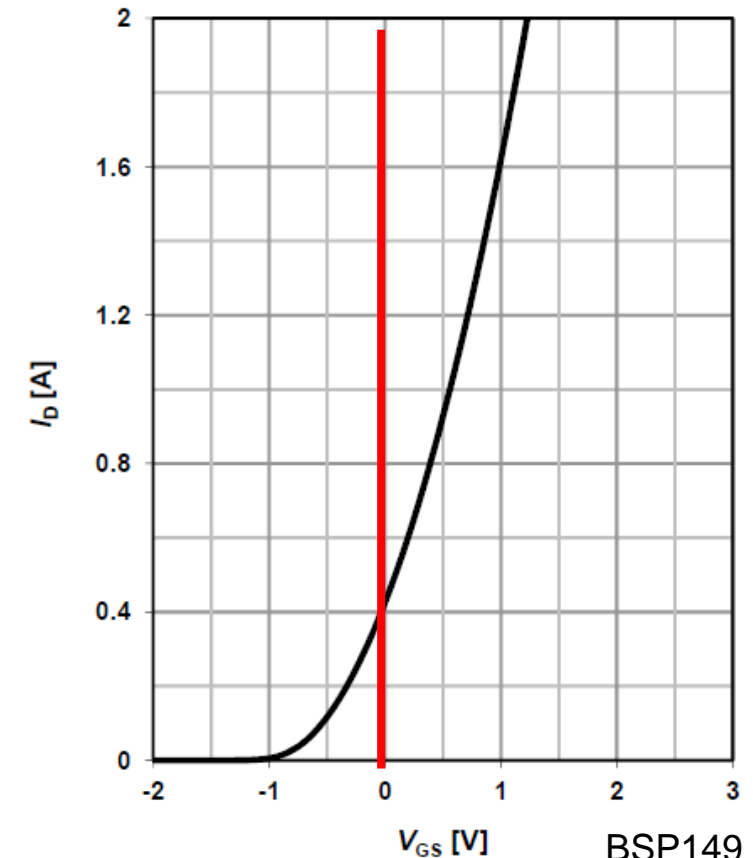
MOSFET с вграден канал
Depletion MOSFET



MOSFET с вграден канал (depletion mode)



N-канален MOS транзистор с вграден канал
N-channel, depletion mode MOSFET

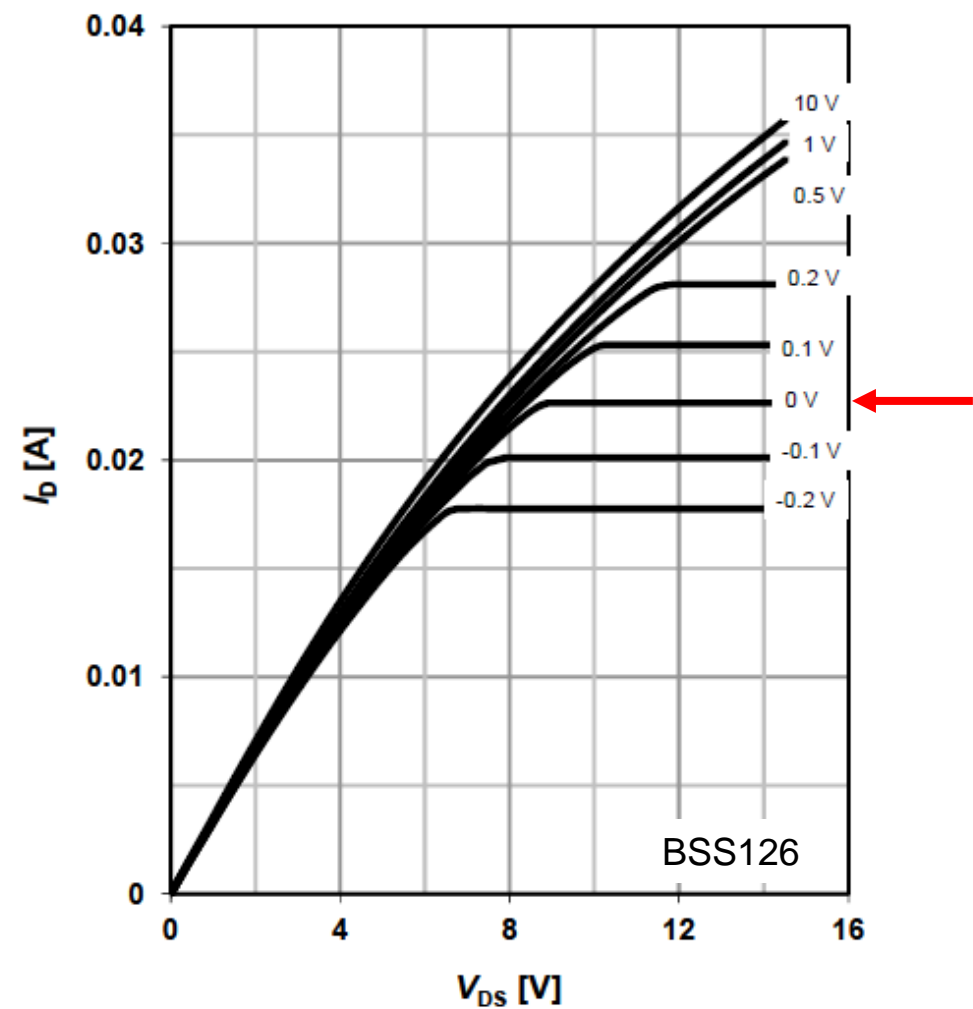
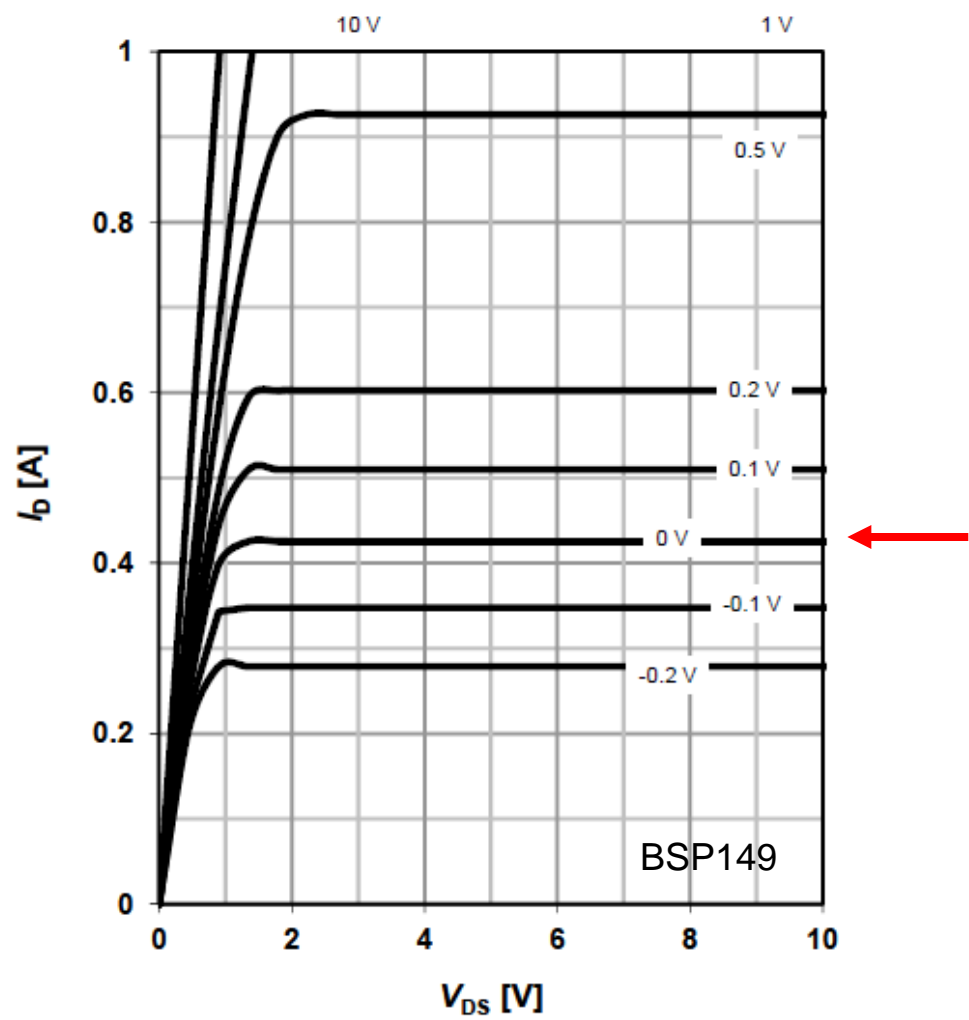


BSP149

MOS транзисторът с вграден канал пропуска ток при $U_{GS} = 0$ V защото каналът е създаден при производството му.

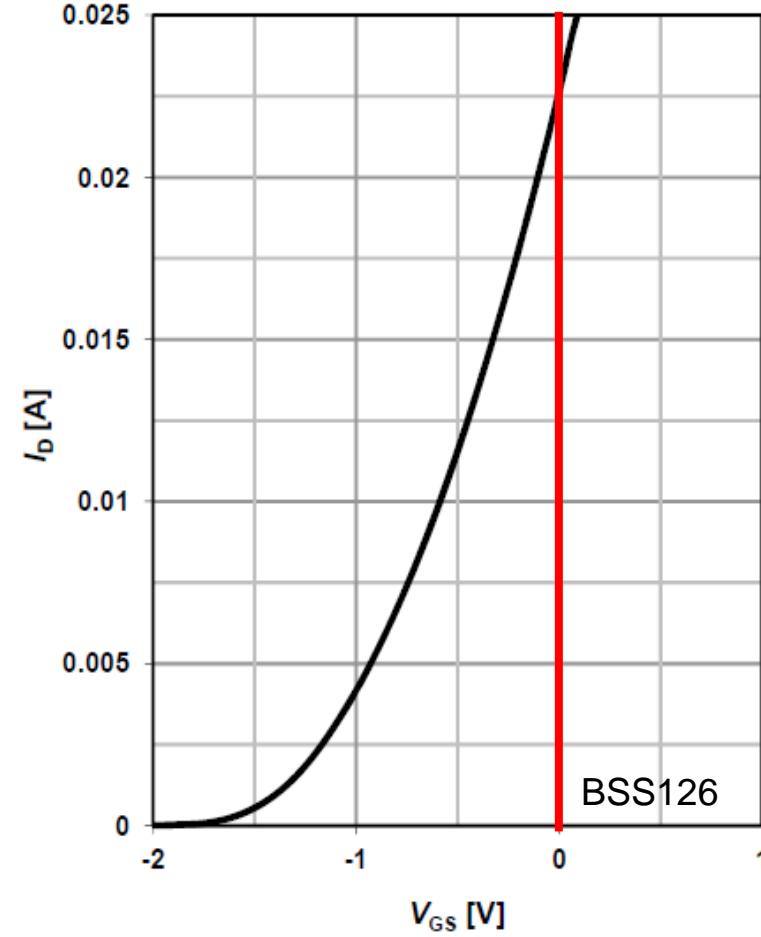
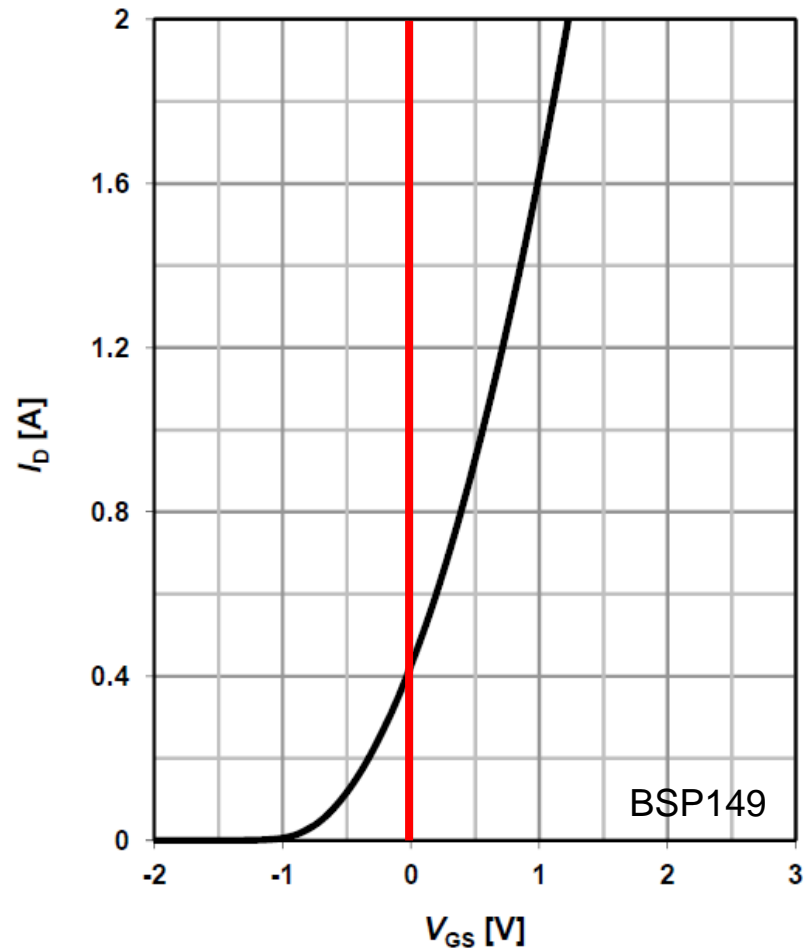
Количеството на токоносители в канала (проводимостта му) зависи от поляритета на приложеното напрежение на гейта.

MOSFET с вграден канал – изходни характеристики



Примери на изходни характеристики на n-канални MOS транзистори с вграден канал

MOSFET с вграден канал – предавателни характеристики



Примери на предавателни (transfer) характеристики на n-канални MOS транзистори с вграден канал

При $U_{GS}=0$ през транзисторът протича ток.

Параметри на MOS Транзисторите

Параметри – key performance parameters

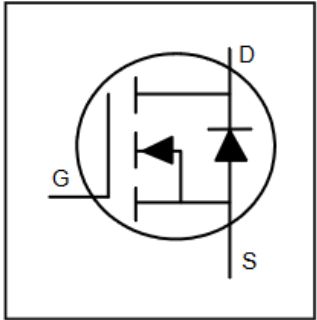
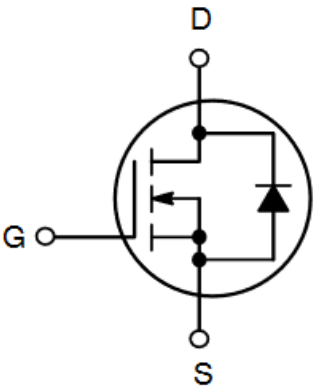
Най-важните параметри на дискретни MOS транзистори

- V_{DS} – максимално напрежение дрейн-сорс
- I_{Dmax} – максимален ток на дрейна
- $R_{DS(on)}$ – съпротивление дрейн-сорс в режим на насищане

Table 1 Key Performance Parameters

Parameter	Value	Unit
V_{DS}	40	V
$R_{DS(on),typ}$	0.5	mΩ
$R_{DS(on),max}$	0.65	mΩ
$I_D(Silicon\ Limited)$	564	A
$I_D(Package\ Limited)$	360	A
$Q_G(0V..10V)$	366	nC

V_{DSS}	$R_{DS(on)}\ MAX$	$I_D\ MAX$
600 V	99 mΩ @ 10 V	33 A



V_{DSS}	60V
$R_{DS(on)}\ typ.\ max$	1.15mΩ
	1.4mΩ
$I_D\ (Silicon\ Limited)$	338A①
$I_D\ (Package\ Limited)$	240A

Параметри – Absolute maximum ratings – Мощност и температура

Table 2 Maximum ratings

Parameter	Symbol	Values			Unit	Note / Test Condition
		Min.	Typ.	Max.		
Continuous drain current ¹⁾	I_D	-	-	110 85 78 19.4	A	$V_{GS}=10\text{ V}$, $T_C=25\text{ °C}$ $V_{GS}=10\text{ V}$, $T_C=100\text{ °C}$ $V_{GS}=6\text{ V}$, $T_C=100\text{ °C}$ $V_{GS}=10\text{ V}$, $T_A=25\text{ °C}$, $R_{thJA}=40\text{ °C/W}^{2)}$
Pulsed drain current ³⁾	$I_{D,pulse}$	-	-	440	A	$T_A=25\text{ °C}$
Avalanche energy, single pulse ⁴⁾	E_{AS}	-	-	115	mJ	$I_D=92\text{ A}$, $R_{GS}=25\text{ }\Omega$
Gate source voltage	V_{GS}	-20	-	20	V	-
Power dissipation	P_{tot}	-	-	150 3.8	W	$T_C=25\text{ °C}$ $T_A=25\text{ °C}$, $R_{thJA}=40\text{ °C/W}^{2)}$
Operating and storage temperature	T_j, T_{stg}	-55	-	175	°C	IEC climatic category; DIN IEC 68-1: 55/175/56

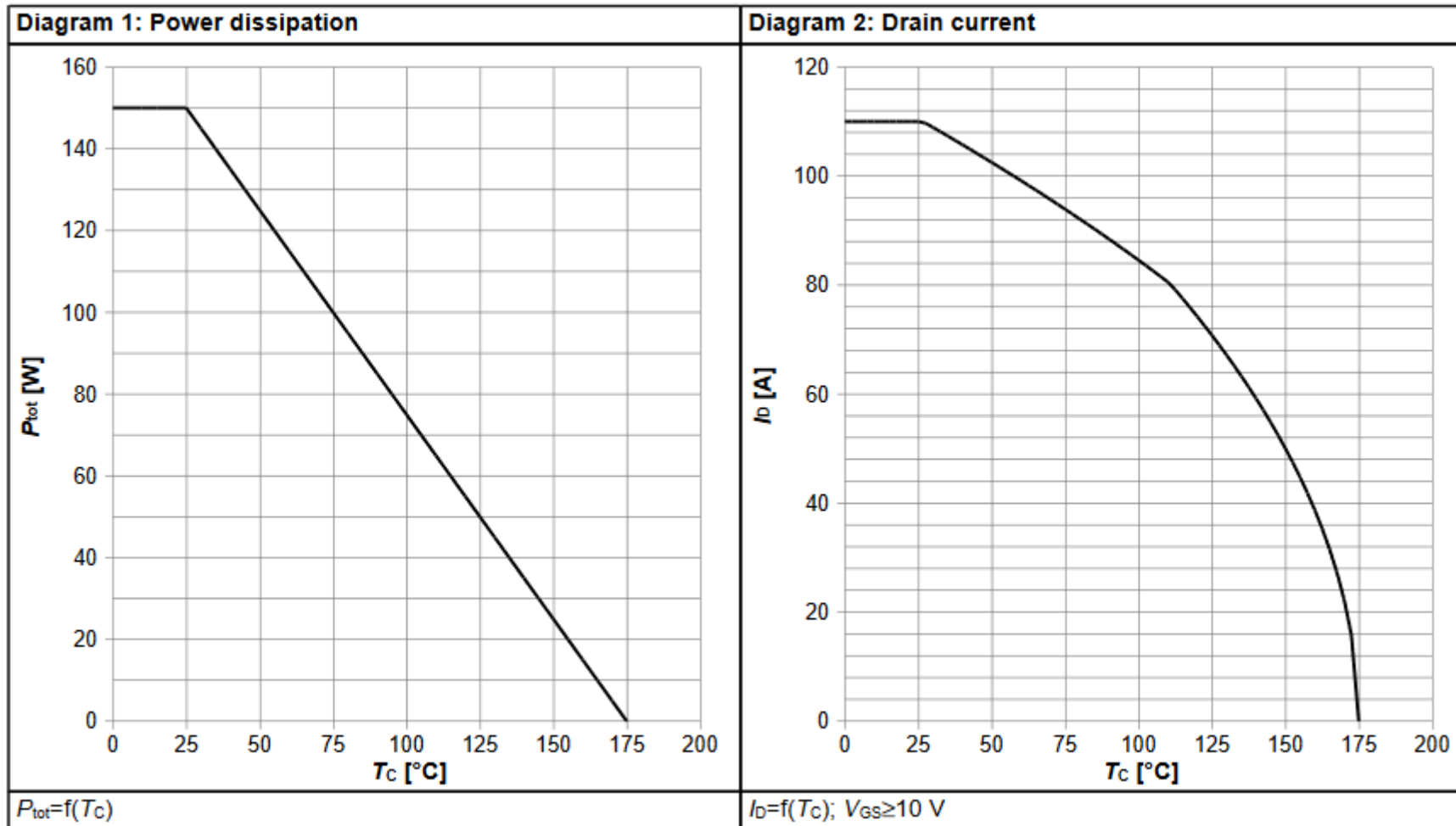
$$P_D = \frac{T_J - T_C}{R_{\theta JC}} \qquad P_D = \frac{T_J - T_A}{R_{\theta JA}}$$

T_J = Junction Temperature / температура на кристала
 T_C = Case Temperature / темп. на корпуса
 T_A = Ambient Temperature / околна температура
 $R_{\theta JC}$ = Junction to Case Thermal Resistance
 $R_{\theta JA}$ = Junction to Ambient Thermal Resistance

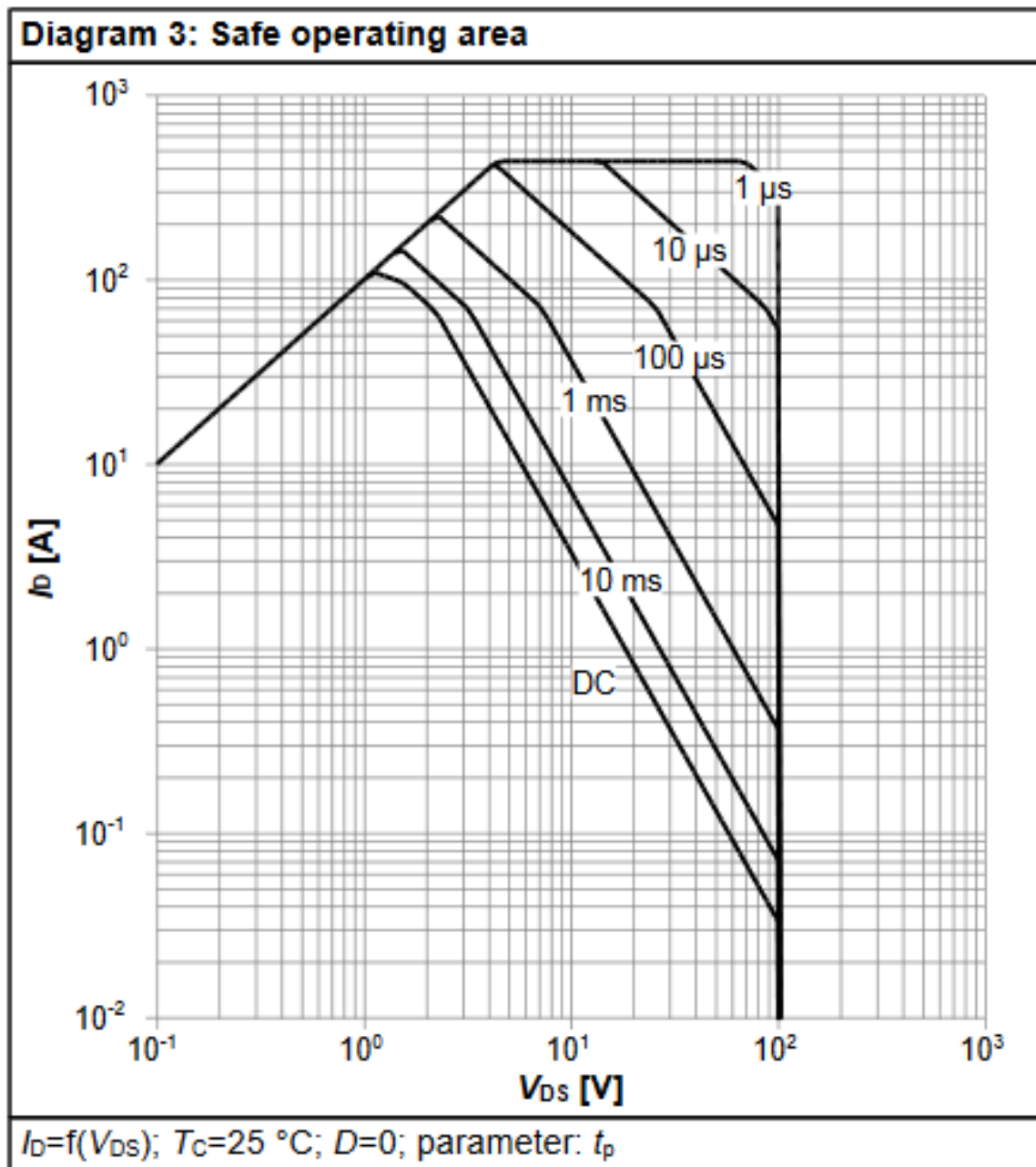
Table 3 Thermal characteristics

Parameter	Symbol	Values			Unit
		Min.	Typ.	Max.	
Thermal resistance, junction - case	R_{thJC}	-	-	1	°C/W
Thermal resistance, junction - ambient, 6 cm ² cooling area	R_{thJA}	-	-	40	°C/W
Thermal resistance, junction - ambient, minimal footprint ²⁾	R_{thJA}	-	-	62	°C/W

Температурна зависимост на максимално допустими параметри



Safe Operating Area (SOA)

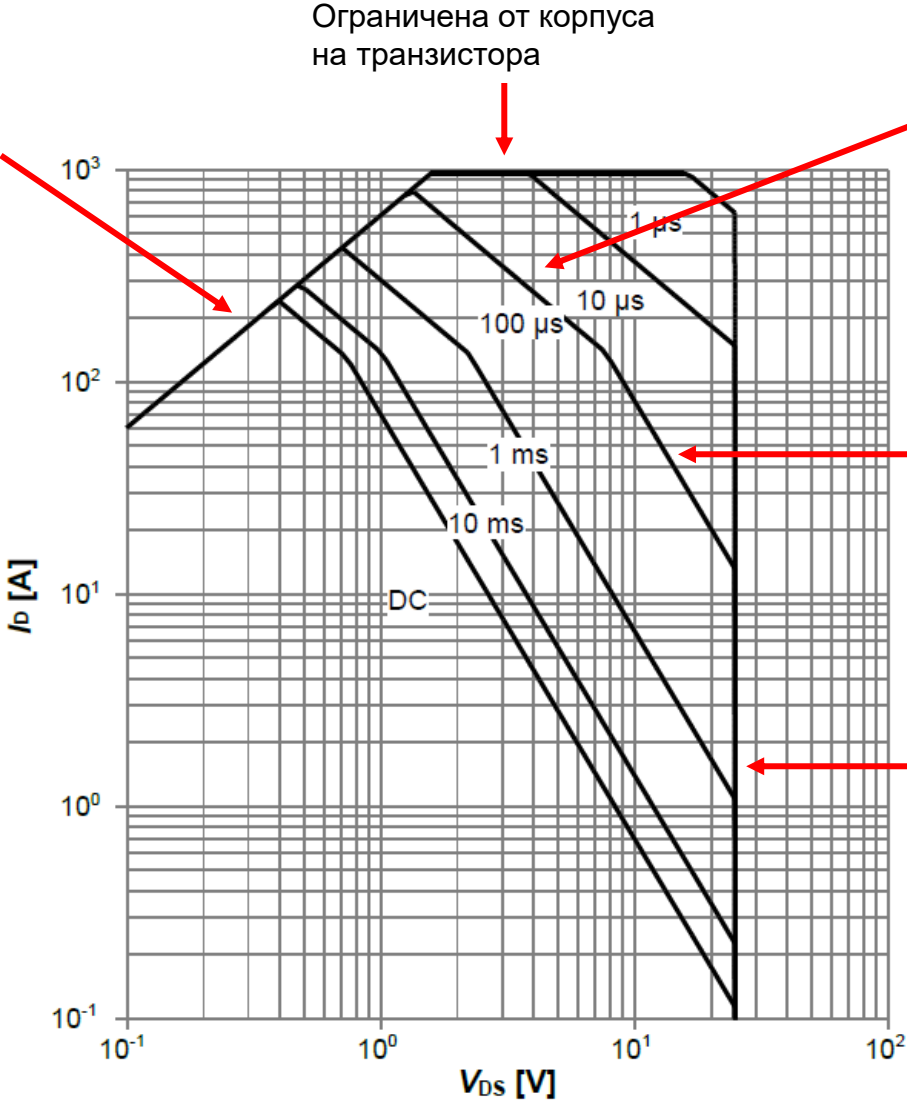


Работната точка на транзистора не трябва да напуска областта на безопасна работа (SOA)

Safe Operating Area (SOA)

Ограничена от Rds(on)

$$I_{DS} = \frac{V_{DS}}{R_{DS(on)}} (@V_{GS}=10V, T_j=150^{\circ}C)$$



Ограничена от максималната допустима мощност в термално равновесие

$$P_{dissipated} = P_{generated}$$
$$T_j = T_c + Z_{thJC} \cdot P_{dissipated}$$
$$I_{DS} = \frac{\Delta T_{max}}{Z_{thJC}(t_{pulse}) \cdot V_{DS}}$$

Намаляване на максималната допустима мощност поради термална нестабилност

Ограничена от напрежението на пробив дрейн – сорс Ubr(dss)

Параметри – $U_{GS(th)}$

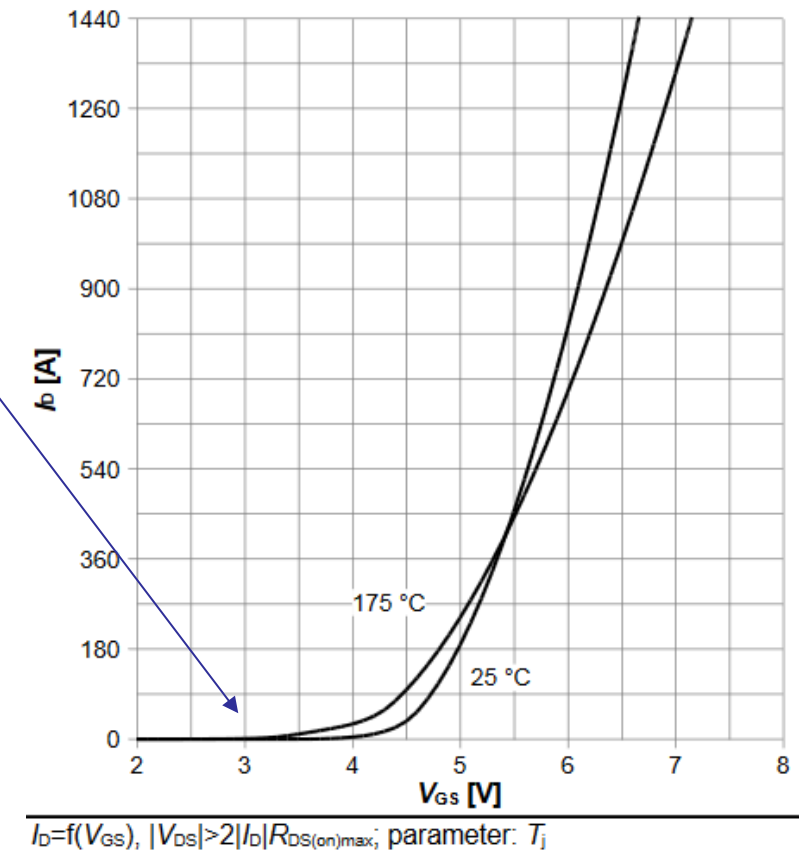
Прагово напрежение (gate threshold voltage) - $U_{GS(th)}$

Table 4 Static characteristics

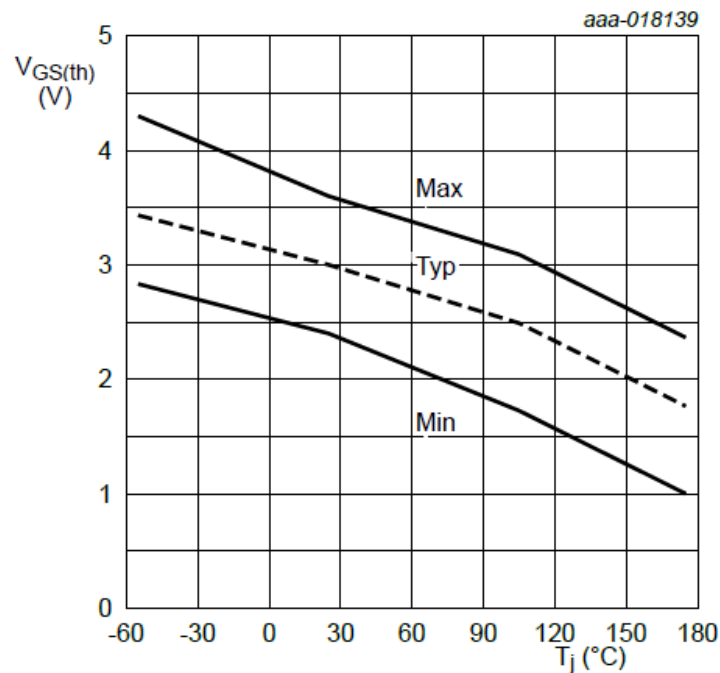
Parameter	Symbol	Values			Unit	Note / Test Condition
		Min.	Typ.	Max.		
Drain-source breakdown voltage	$V_{(BR)DSS}$	40	-	-	V	$V_{GS}=0\text{ V}$, $I_D=250\text{ }\mu\text{A}$
Breakdown voltage temperature coefficient	$dV_{(BR)DSS}/dT_j$	-	36	-	mV/°C	$I_D=5\text{ mA}$, referenced to 25 °C
Gate threshold voltage	$V_{GS(th)}$	2.2	-	3.7	V	$V_{DS}=V_{GS}$, $I_D=250\text{ }\mu\text{A}$
Zero gate voltage drain current	I_{DSS}	-	-	1 150	μA	$V_{DS}=40\text{ V}$, $V_{GS}=0\text{ V}$, $T_j=25\text{ }^\circ\text{C}$ $V_{DS}=40\text{ V}$, $V_{GS}=0\text{ V}$, $T_j=125\text{ }^\circ\text{C}$
Gate-source leakage current	I_{GSS}	-	-	100	nA	$V_{GS}=20\text{ V}$, $V_{DS}=0\text{ V}$
Drain-source on-state resistance	$R_{DS(on)}$	-	0.5 0.7	0.65 -	m Ω	$V_{GS}=10\text{ V}$, $I_D=100\text{ A}$ $V_{GS}=6\text{ V}$, $I_D=50\text{ A}$
Gate resistance ¹⁾	R_G	-	2.2	-	Ω	-
Transconductance	g_{fs}	-	320	-	S	$ V_{DS} \geq 2 I_D R_{DS(on)max}$, $I_D=100\text{ A}$

Прагвото напрежение, $U_{GS(th)}$, се дефинира като минималното напрежение на гейта, необходимо за създаване на инверсна област под гейта и образуване на проводящ канал между дрейна и сорса. $U_{GS(th)}$ обикновено се измерва при ток на дрейна 250 μA .

$U_{GS(th)}$ варира в известни граници за отделните транзистори от даден модел.

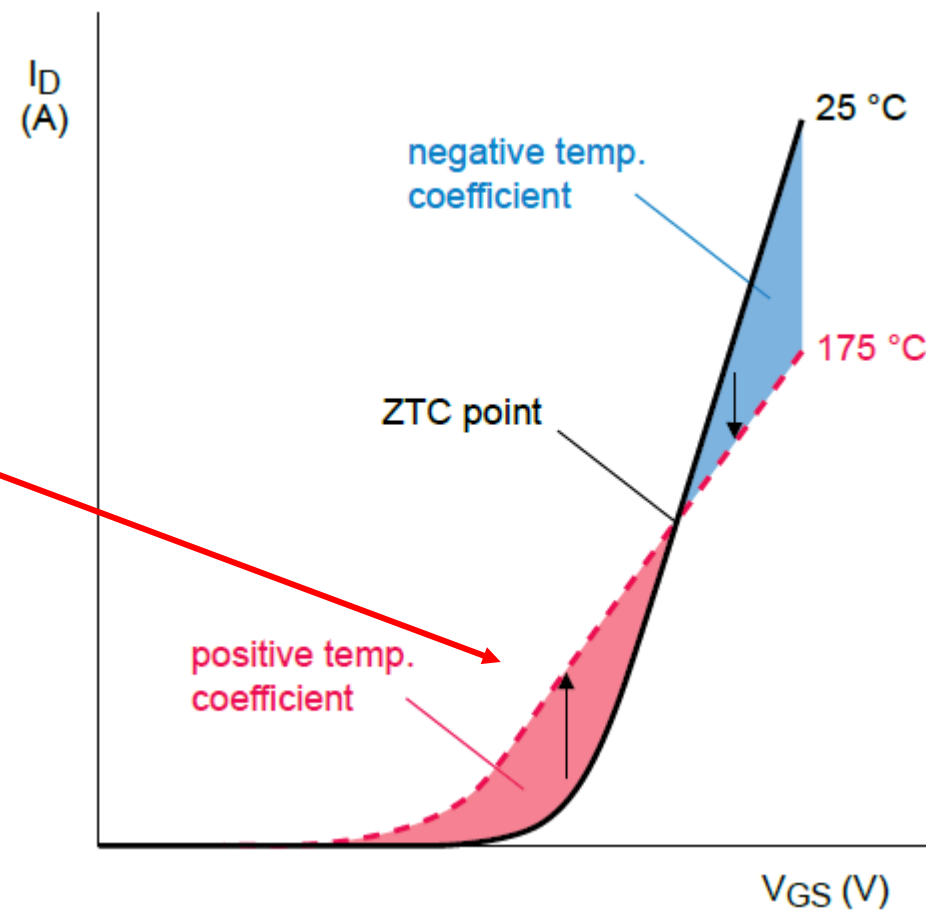


Температурна зависимост на $U_{GS(th)}$



$U_{GS(th)}$ намалява с увеличение на температурата, т.е. MOSFET ще се включи при по-ниско напрежение гейт-сорс.

Температурен коефициент на дрейновия ток: dI/dT

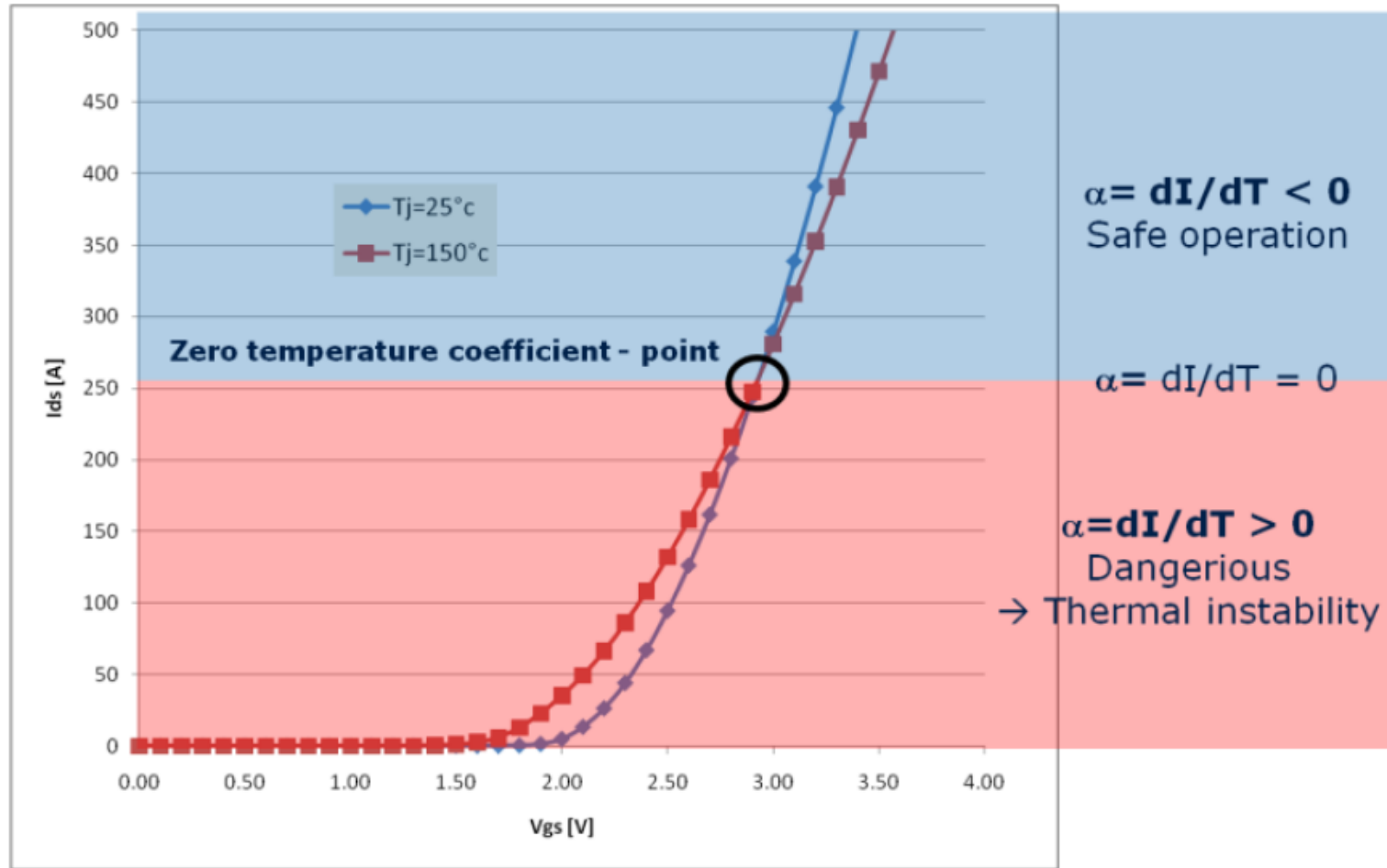


Фактори, които определят температурният коефициент на I_D :

- съпротивлението на канала нараства с температурата поради намаляване подвижността на токоносителите
- праговото напрежение намалява с температурата поради повишеното количество на токоносителите в канала.

Точката от графиката, в която двата фактора се компенсират взаимно, се нарича Zero Temperature Coefficient point

Термална нестабилност в MOSFET транзистори

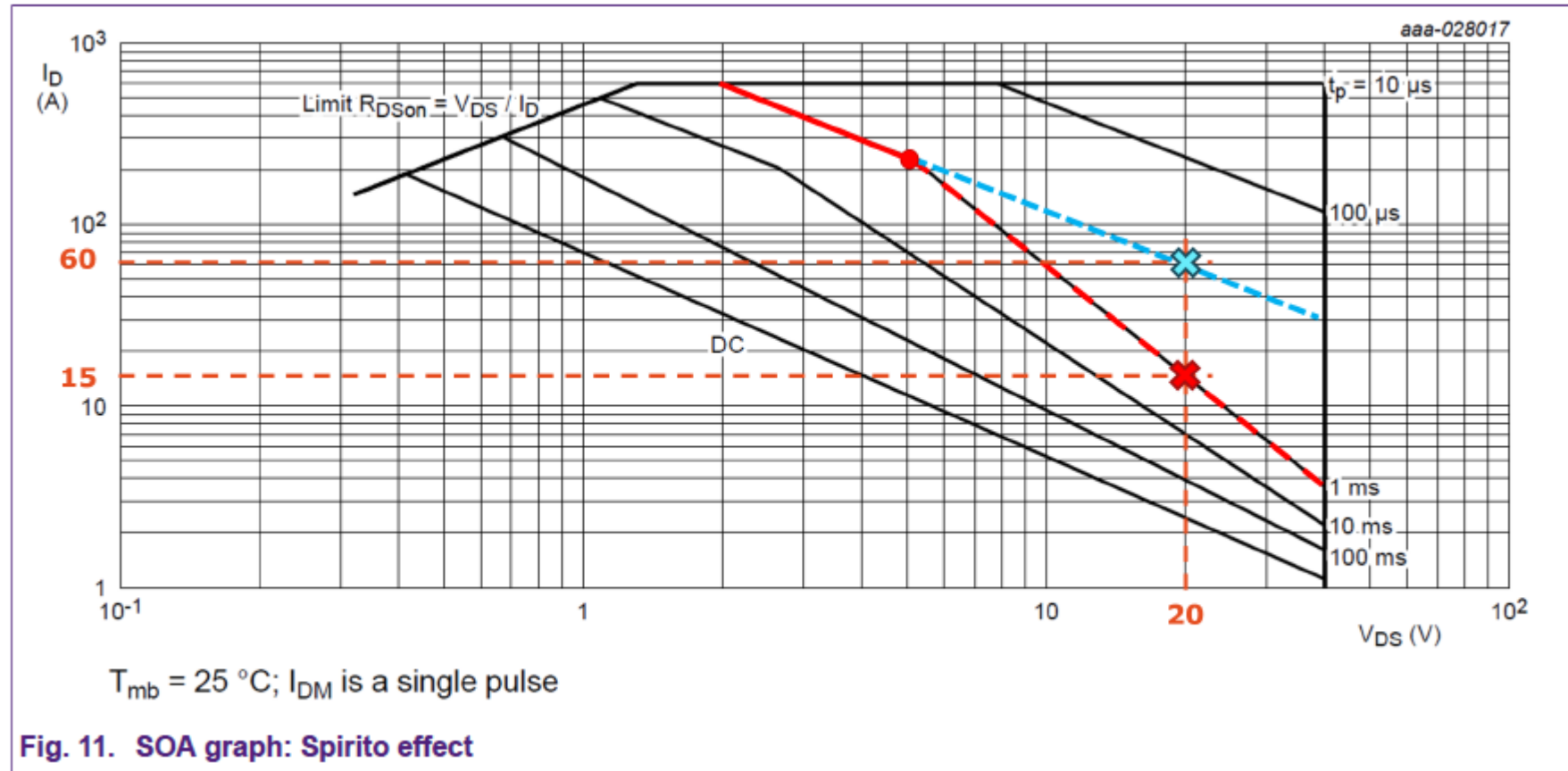


Област на термална нестабилност: Повишаването на температурата на транзистора води до нарастване на I_d и респективно на загубите ($P=I.U$). По-високите загуби предизвикват ново увеличение на температурата и се получава положителна обратна връзка ☹.

Влияние на термалната нестабилност върху SOA

Теоретичен максимален ток

Редукция заради
термална нестабилност



Параметри – Rds(on)

$R_{DS(on)}$ - (drain-source on-state resistance) – съпротивление между дрейна и сорса, когато транзисторът е „включен“.

Table 4 Static characteristics

Parameter	Symbol	Values			Unit	Note / Test Condition
		Min.	Typ.	Max.		
Drain-source breakdown voltage	$V_{(BR)DSS}$	40	-	-	V	$V_{GS}=0\text{ V}, I_D=250\text{ }\mu\text{A}$
Breakdown voltage temperature coefficient	$dV_{(BR)DSS}/dT_j$	-	36	-	mV/°C	$I_D=5\text{ mA}$, referenced to 25 °C
Gate threshold voltage	$V_{GS(th)}$	2.2	-	3.7	V	$V_{DS}=V_{GS}, I_D=250\text{ }\mu\text{A}$
Zero gate voltage drain current	I_{DSS}	-	-	1 150	μA	$V_{DS}=40\text{ V}, V_{GS}=0\text{ V}, T_j=25\text{ }^\circ\text{C}$ $V_{DS}=40\text{ V}, V_{GS}=0\text{ V}, T_j=125\text{ }^\circ\text{C}$
Gate-source leakage current	I_{GSS}	-	-	100	nA	$V_{GS}=20\text{ V}, V_{DS}=0\text{ V}$
Drain-source on-state resistance	$R_{DS(on)}$	-	0.5 0.7	0.65 -	m Ω	$V_{GS}=10\text{ V}, I_D=100\text{ A}$ $V_{GS}=6\text{ V}, I_D=50\text{ A}$
Gate resistance ¹⁾	R_G	-	2.2	-	Ω	-
Transconductance	g_{fs}	-	320	-	S	$ V_{DS} \geq 2 I_D R_{DS(on)max}, I_D=100\text{ A}$

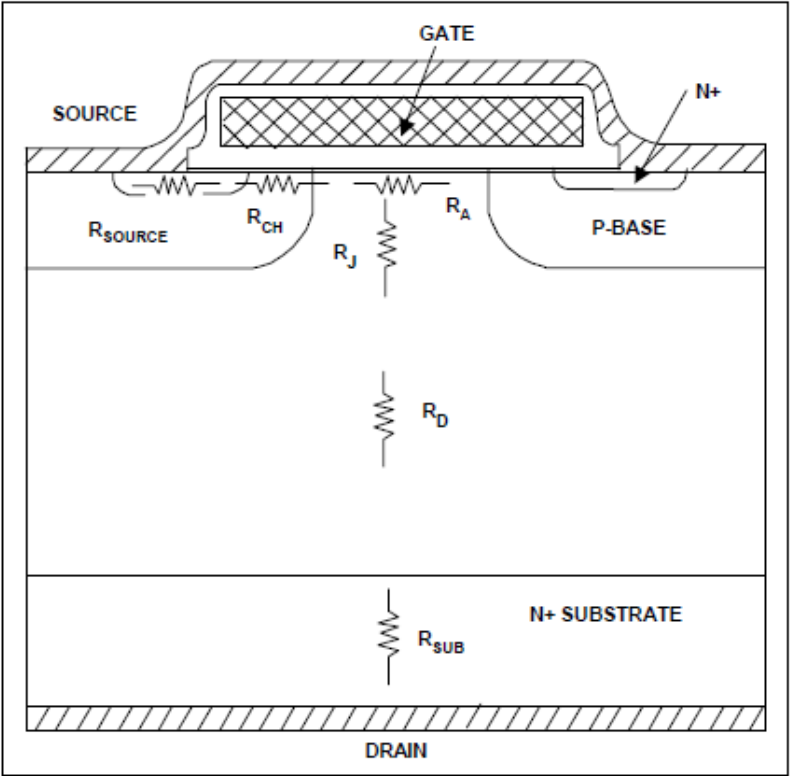
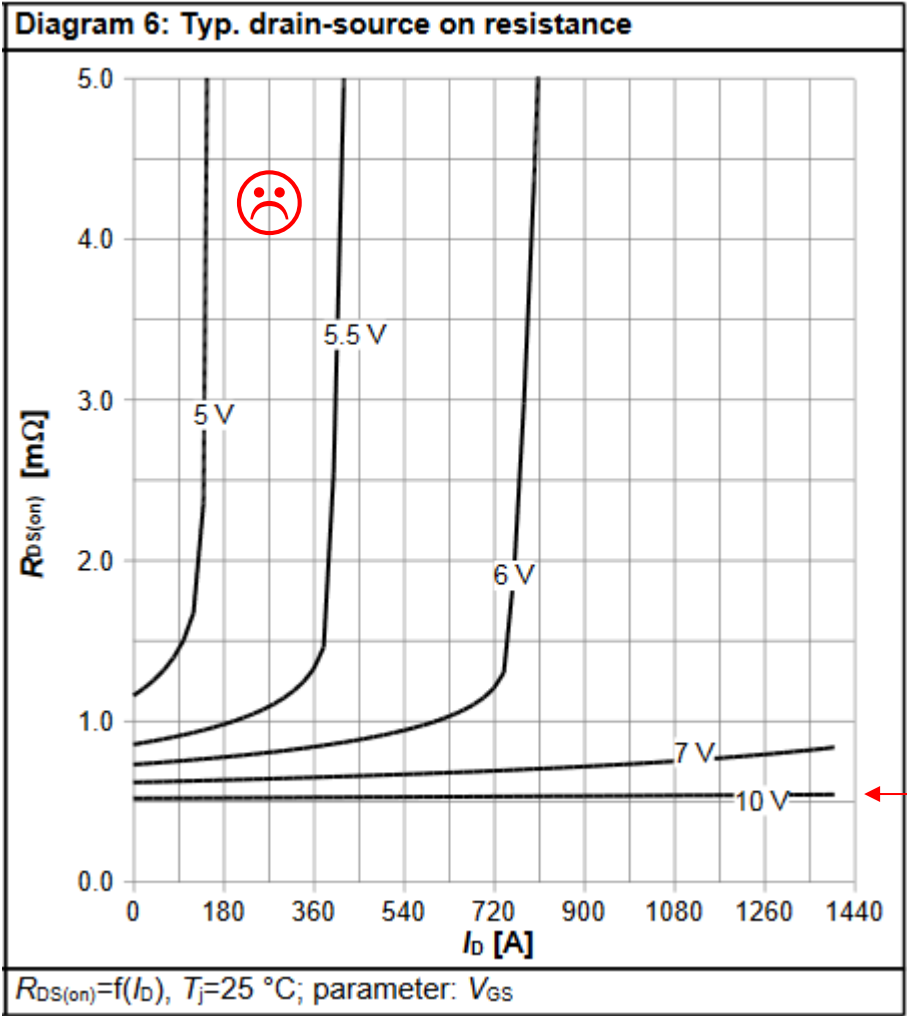
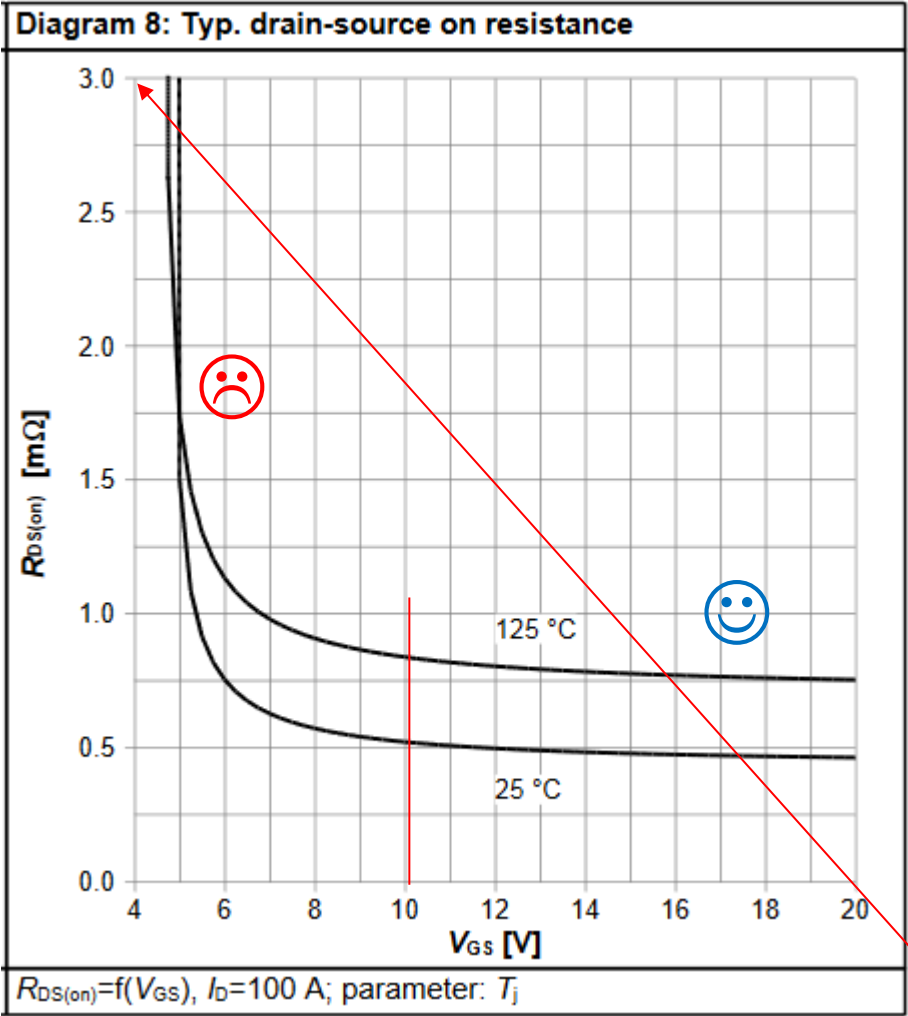


Figure 8. Origin of Internal Resistance in a Power MOSFET.

$$R_{DS(on)} = R_{source} + R_{ch} + R_A + R_J + R_D + R_{sub}$$

$$P_D = I_D \cdot R_{DS(on)}$$

Параметри – Rds(on) – Зависимост от Ugs и Id

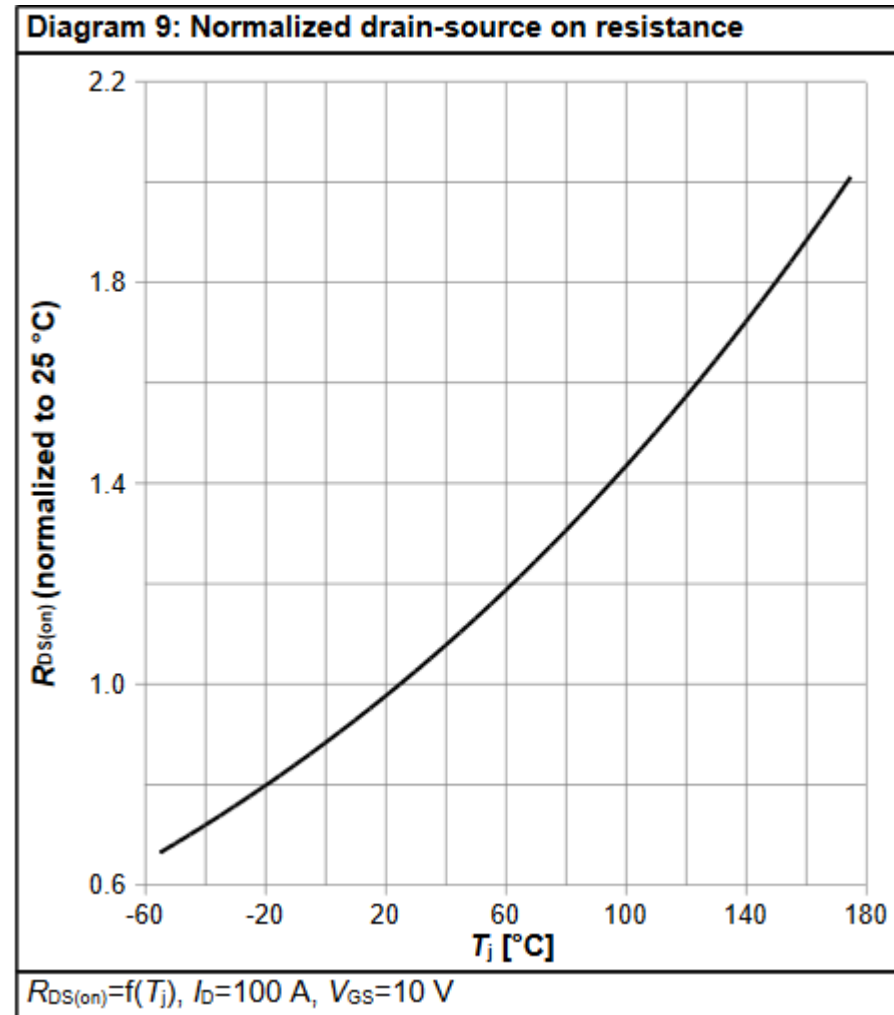


Большинството мощни MOSFET имат нужда от $U_{GS} > 10\text{V}$ за да работят добре като ключ.

За да може MOSFET да комутира голям ток с минимални загуби, $R_{ds(on)}$ да е малко, т.е. напрежението U_{gs} трябва да е достатъчно високо.

Gate threshold voltage	$V_{GS(th)}$	2.2	-	3.7	V	$V_{DS} = V_{GS}, I_D = 250\text{ }\mu\text{A}$
------------------------	--------------	-----	---	-----	---	---

Параметри – $R_{ds(on)}$ – Зависимост от температурата

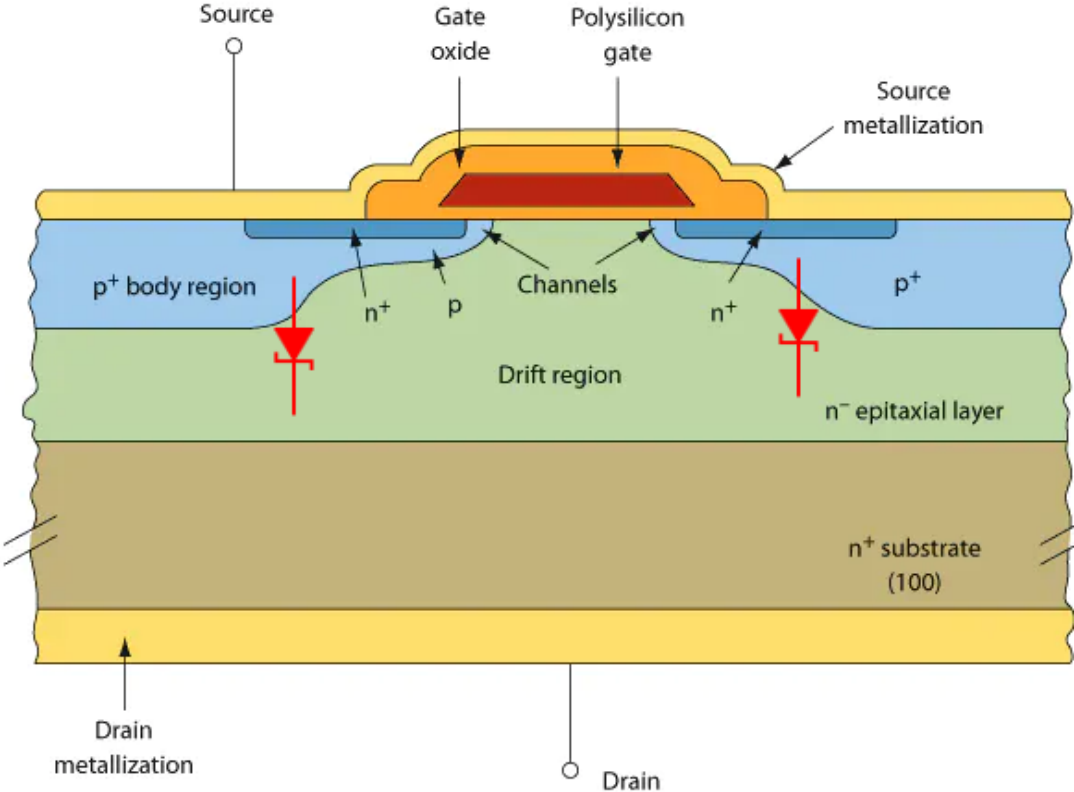


$R_{ds(on)}$ расте при повишаване на температурата (подвижността на токоносителите намалява), което води до намаляване на I_d и на разсейвана мощност $P = I_d^2 \cdot R_{ds(on)}$

Параметри – Drain-source breakdown voltage $V_{(BR)DSS}$

Table 4 Static characteristics

Parameter	Symbol	Values			Unit	Note / Test Condition
		Min.	Typ.	Max.		
Drain-source breakdown voltage	$V_{(BR)DSS}$	40	-	-	V	$V_{GS}=0\text{ V}$, $I_D=250\text{ }\mu\text{A}$
Breakdown voltage temperature coefficient	$dV_{(BR)DSS}/dT_j$	-	36	-	mV/°C	$I_D=5\text{ mA}$, referenced to 25 °C
Gate threshold voltage	$V_{GS(th)}$	2.2	-	3.7	V	$V_{DS}=V_{GS}$, $I_D=250\text{ }\mu\text{A}$
Zero gate voltage drain current	I_{DSS}	-	-	1 150	μA	$V_{DS}=40\text{ V}$, $V_{GS}=0\text{ V}$, $T_j=25\text{ }^\circ\text{C}$ $V_{DS}=40\text{ V}$, $V_{GS}=0\text{ V}$, $T_j=125\text{ }^\circ\text{C}$
Gate-source leakage current	I_{GSS}	-	-	100	nA	$V_{GS}=20\text{ V}$, $V_{DS}=0\text{ V}$
Drain-source on-state resistance	$R_{DS(on)}$	-	0.5 0.7	0.65 -	m Ω	$V_{GS}=10\text{ V}$, $I_D=100\text{ A}$ $V_{GS}=6\text{ V}$, $I_D=50\text{ A}$
Gate resistance ¹⁾	R_G	-	2.2	-	Ω	-
Transconductance	g_{fs}	-	320	-	S	$ V_{DS} \geq 2 I_D R_{DS(on)max}$, $I_D=100\text{ A}$



Максимално напрежение, което може да се приложи между дрейн и сорс.
Над това напрежение, транзисторът се поврежда и провежда ток неконтролируемо.

При висики стойности на UDS, в обеднените области на рп преходите се създават електрически полета с висок интензитет. Това ще доведе до лавинен пробив в обратно свързаните рп преходи, водещ до увеличен ток
Увеличеният обратен ток води до по-голяма разсейвана мощност ($P=U.I$) и съответно повишаване на температурата и в крайна сметка до разрушаване на транзистора.

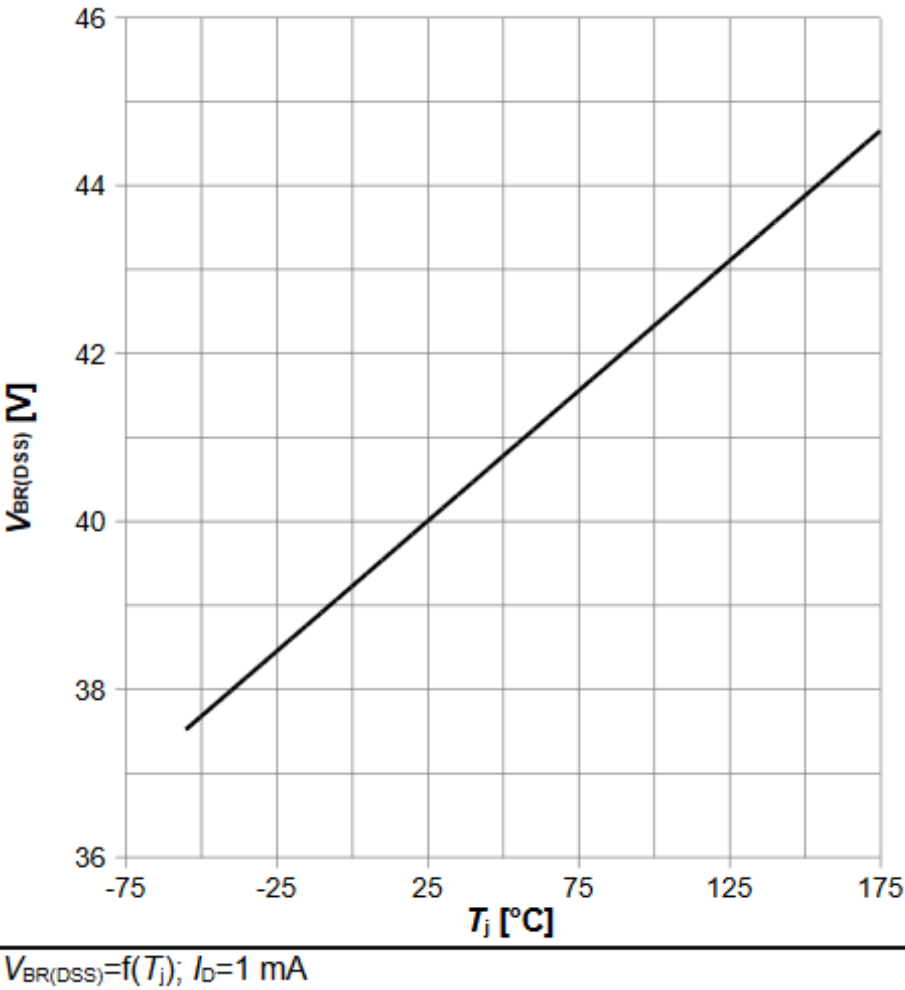
Когато MOSFET се използва като ключ, се получават индуктивни пикове на напрежението. За да не настъпи лавинен пробив, трябва да се избере транзистор с $V_{(BR)DSS}$ поне 20-30% по-високо от захранващото напрежение U_{DD} .

Параметри – Drain-source breakdown voltage $V_{(BR)DSS}$

Table 4 Static characteristics

Parameter	Symbol	Values			Unit	Note / Test Condition
		Min.	Typ.	Max.		
Drain-source breakdown voltage	$V_{(BR)DSS}$	40	-	-	V	$V_{GS}=0\text{ V}$, $I_D=250\text{ }\mu\text{A}$
Breakdown voltage temperature coefficient	$dV_{(BR)DSS}/dT_j$	-	36	-	mV/°C	$I_D=5\text{ mA}$, referenced to 25 °C
Gate threshold voltage	$V_{GS(th)}$	2.2	-	3.7	V	$V_{DS}=V_{GS}$, $I_D=250\text{ }\mu\text{A}$
Zero gate voltage drain current	I_{DSS}	-	-	1 150	μA	$V_{DS}=40\text{ V}$, $V_{GS}=0\text{ V}$, $T_j=25\text{ }^\circ\text{C}$ $V_{DS}=40\text{ V}$, $V_{GS}=0\text{ V}$, $T_j=125\text{ }^\circ\text{C}$
Gate-source leakage current	I_{GSS}	-	-	100	nA	$V_{GS}=20\text{ V}$, $V_{DS}=0\text{ V}$
Drain-source on-state resistance	$R_{DS(on)}$	-	0.5 0.7	0.65 -	m Ω	$V_{GS}=10\text{ V}$, $I_D=100\text{ A}$ $V_{GS}=6\text{ V}$, $I_D=50\text{ A}$
Gate resistance ¹⁾	R_G	-	2.2	-	Ω	-
Transconductance	g_{fs}	-	320	-	S	$ V_{DS} \geq 2 I_D R_{DS(on)max}$, $I_D=100\text{ A}$

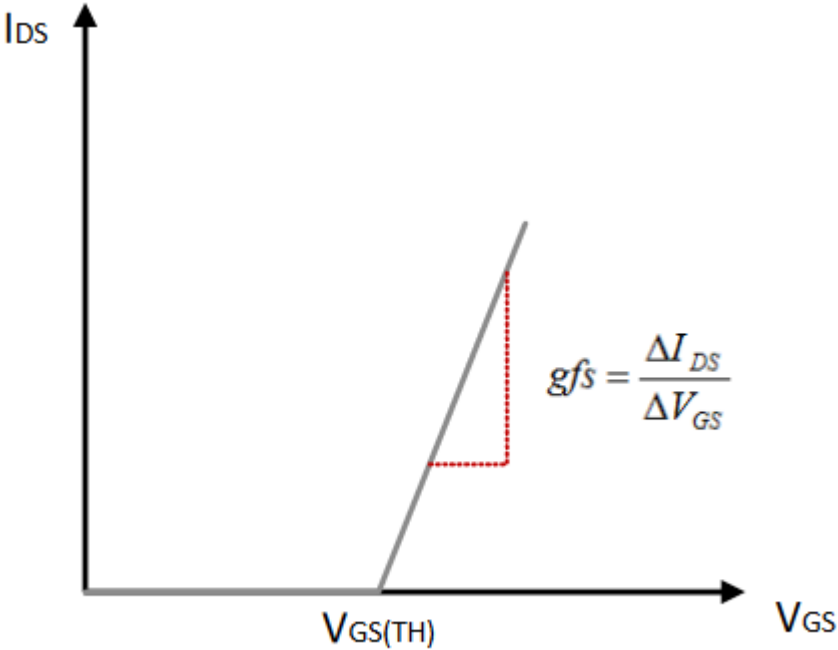
Както е показано на фигурата, $V_{(BR)DSS}$ има положителен температурен коефициент. MOSFET може да блокира повече напрежение, когато е горещ, отколкото когато е студен.



Параметри – Transconductance / стръмност на предавателната характеристика

Table 4 Static characteristics

Parameter	Symbol	Values			Unit	Note / Test Condition
		Min.	Typ.	Max.		
Drain-source breakdown voltage	$V_{(BR)DSS}$	40	-	-	V	$V_{GS}=0\text{ V}$, $I_D=250\text{ }\mu\text{A}$
Breakdown voltage temperature coefficient	$dV_{(BR)DSS}/dT_j$	-	36	-	mV/°C	$I_D=5\text{ mA}$, referenced to 25 °C
Gate threshold voltage	$V_{GS(th)}$	2.2	-	3.7	V	$V_{DS}=V_{GS}$, $I_D=250\text{ }\mu\text{A}$
Zero gate voltage drain current	I_{DSS}	-	-	1 150	μA	$V_{DS}=40\text{ V}$, $V_{GS}=0\text{ V}$, $T_j=25\text{ }^\circ\text{C}$ $V_{DS}=40\text{ V}$, $V_{GS}=0\text{ V}$, $T_j=125\text{ }^\circ\text{C}$
Gate-source leakage current	I_{GSS}	-	-	100	nA	$V_{GS}=20\text{ V}$, $V_{DS}=0\text{ V}$
Drain-source on-state resistance	$R_{DS(on)}$	-	0.5 0.7	0.65 -	m Ω	$V_{GS}=10\text{ V}$, $I_D=100\text{ A}$ $V_{GS}=6\text{ V}$, $I_D=50\text{ A}$
Gate resistance ¹⁾	R_G	-	2.2	-	Ω	-
Transconductance	g_{fs}	-	320	-	S	$ V_{DS} \geq 2 I_D R_{DS(on)max}$, $I_D=100\text{ A}$

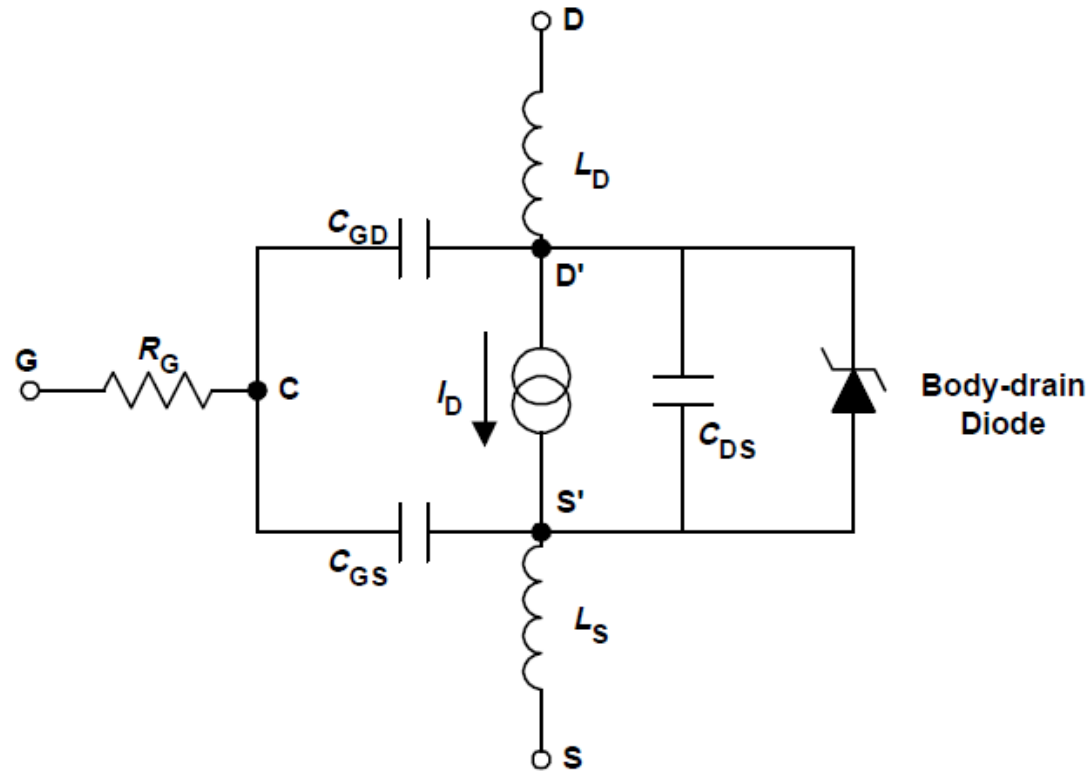


Отразява чувствителността на дрейновият ток към промените на напрежението гейт-сорс.

Параметри – Dynamic characteristics

Когато MOSFET се използва като ключ, основната му функция е да контролира дрейновия ток чрез напрежението на гейта.

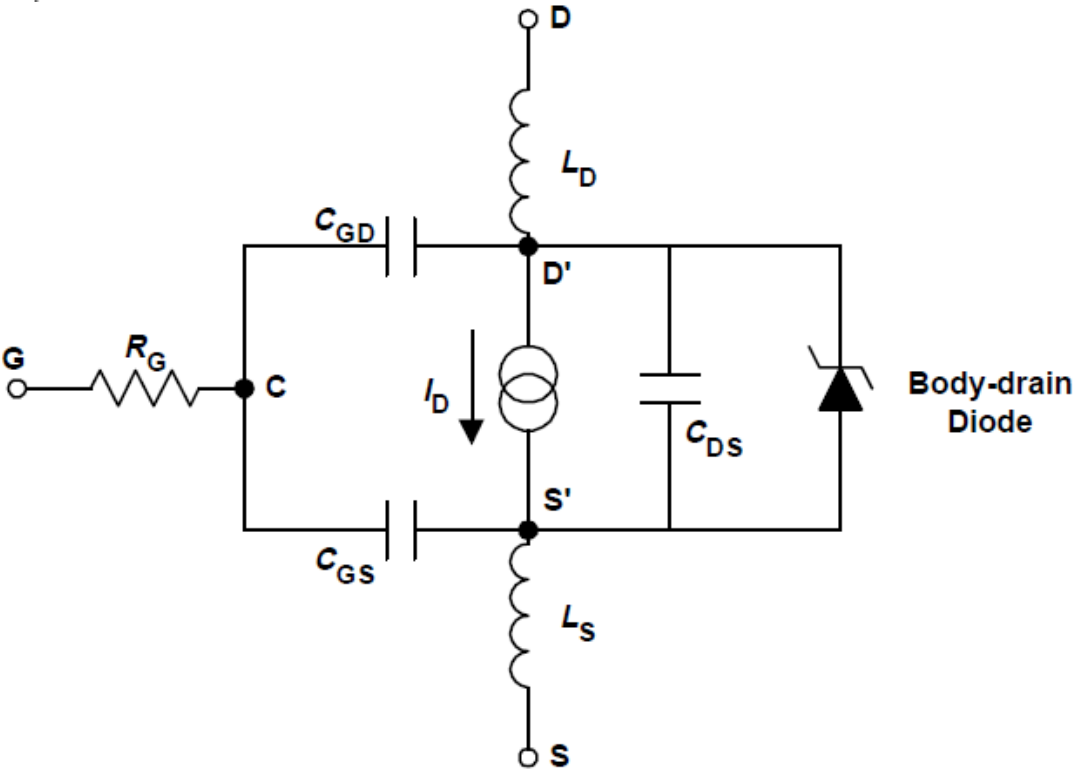
На фигурата се показана еквивалентна схема за анализ на превключването на MOSFET.



Параметри – Dynamic characteristics – капацитети

Table 5 Dynamic characteristics

Parameter	Symbol	Values			Unit	Note / Test Condition
		Min.	Typ.	Max.		
Input capacitance ¹⁾	C_{iss}	-	18000	-	pF	$V_{GS}=0\text{ V}, V_{DS}=20\text{ V}, f=1\text{ MHz}$
Output capacitance ¹⁾	C_{oss}	-	2900	-	pF	$V_{GS}=0\text{ V}, V_{DS}=20\text{ V}, f=1\text{ MHz}$
Reverse transfer capacitance ¹⁾	C_{rss}	-	2000	-	pF	$V_{GS}=0\text{ V}, V_{DS}=20\text{ V}, f=1\text{ MHz}$
Turn-on delay time	$t_{d(on)}$	-	23	-	ns	
Rise time	t_r	-	75	-	ns	
Turn-off delay time	$t_{d(off)}$	-	197	-	ns	
Fall time	t_f	-	114	-	ns	



$C_{iss} = C_{GS} + C_{GD}, C_{DS} \text{ shorted}$

$C_{rss} = C_{GD}$

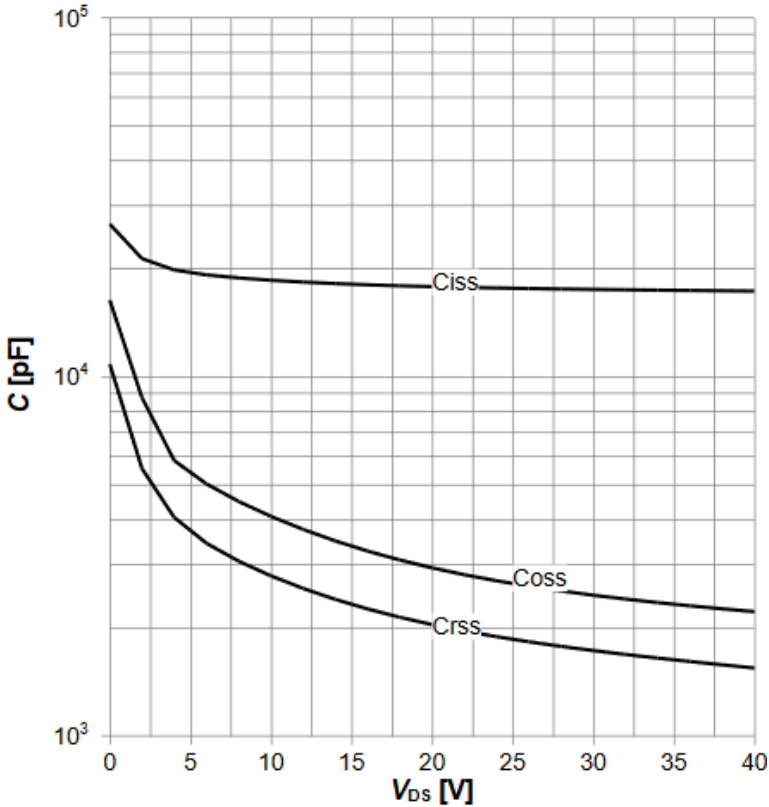
$C_{oss} = C_{DS} + C_{GD}$

Параметри – Dynamic characteristics – капацитети

Table 5 Dynamic characteristics

Parameter	Symbol	Values			Unit	Note / Test Condition
		Min.	Typ.	Max.		
Input capacitance ¹⁾	C_{iss}	-	18000	-	pF	$V_{GS}=0\text{ V}$, $V_{DS}=20\text{ V}$, $f=1\text{ MHz}$
Output capacitance ¹⁾	C_{oss}	-	2900	-	pF	$V_{GS}=0\text{ V}$, $V_{DS}=20\text{ V}$, $f=1\text{ MHz}$
Reverse transfer capacitance ¹⁾	C_{rss}	-	2000	-	pF	$V_{GS}=0\text{ V}$, $V_{DS}=20\text{ V}$, $f=1\text{ MHz}$

Капацитетите зависят от режима на работа на транзистора.



C=f(V_{DS}); V_{GS}=0 V; f=1 MHz

Параметри – Dynamic characteristics – закъснения

Закъснението при включване, $t_{d(on)}$, е времето, необходимо за зареждане на входния капацитет на MOSFET, преди да започне протичане на дрейнов ток.

$t_{d(off)}$ е времето, необходимо за разреждане на капацитета, преди транзистора започне да се „запушва“.

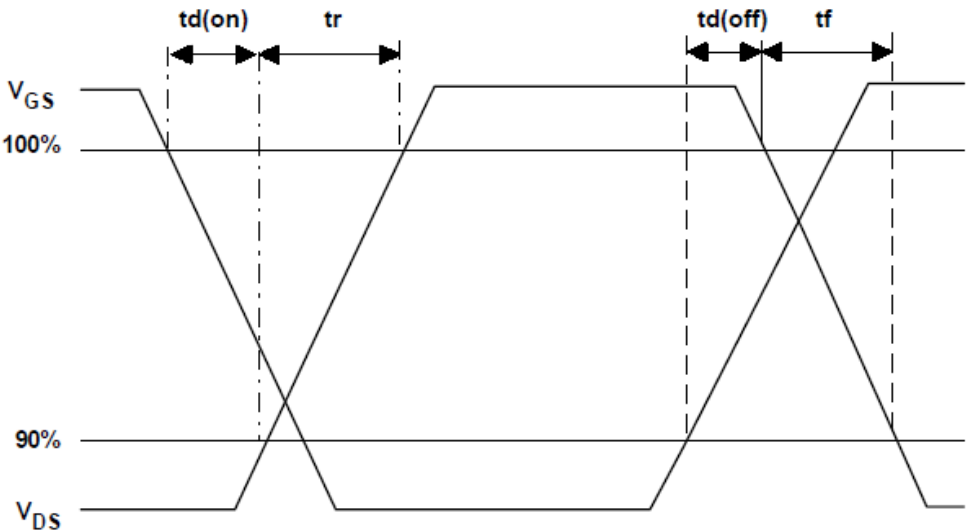


Table 5 Dynamic characteristics

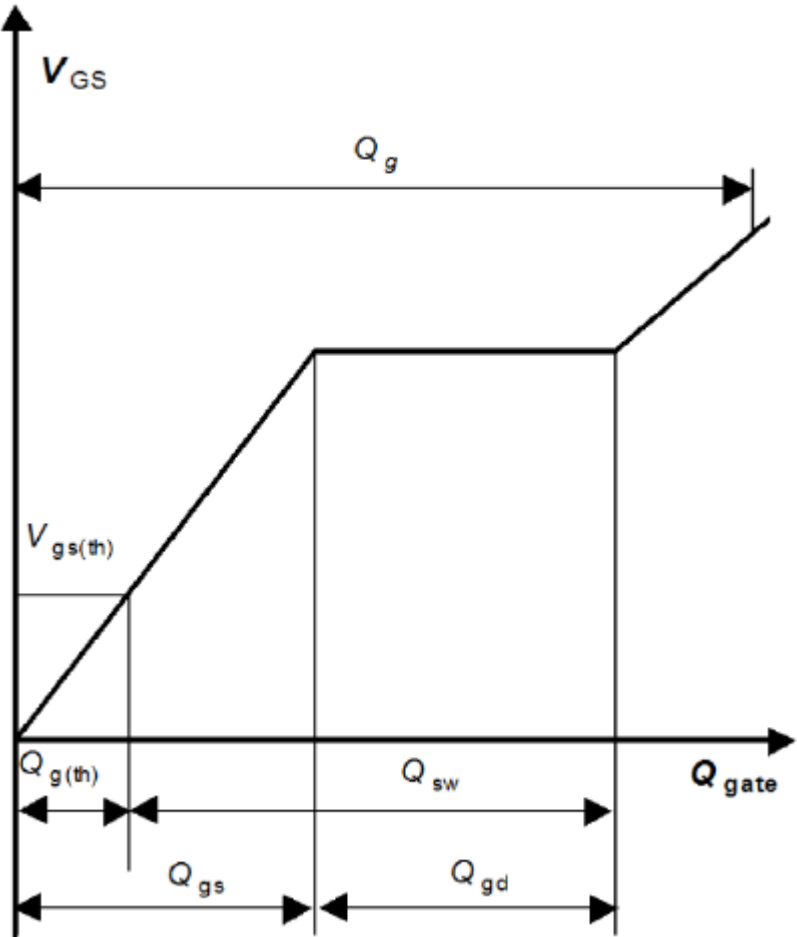
Parameter	Symbol	Values			Unit	Note / Test Condition
		Min.	Typ.	Max.		
Input capacitance ¹⁾	C_{iss}	-	18000	-	pF	$V_{GS}=0\text{ V}$, $V_{DS}=20\text{ V}$, $f=1\text{ MHz}$
Output capacitance ¹⁾	C_{oss}	-	2900	-	pF	$V_{GS}=0\text{ V}$, $V_{DS}=20\text{ V}$, $f=1\text{ MHz}$
Reverse transfer capacitance ¹⁾	C_{rss}	-	2000	-	pF	$V_{GS}=0\text{ V}$, $V_{DS}=20\text{ V}$, $f=1\text{ MHz}$
Turn-on delay time	$t_{d(on)}$	-	23	-	ns	$V_{DD}=20\text{ V}$, $V_{GS}=10\text{ V}$, $I_D=30\text{ A}$, $R_{G,ext}=2.7\text{ }\Omega$
Rise time	t_r	-	75	-	ns	$V_{DD}=20\text{ V}$, $V_{GS}=10\text{ V}$, $I_D=30\text{ A}$, $R_{G,ext}=2.7\text{ }\Omega$
Turn-off delay time	$t_{d(off)}$	-	197	-	ns	$V_{DD}=20\text{ V}$, $V_{GS}=10\text{ V}$, $I_D=30\text{ A}$, $R_{G,ext}=2.7\text{ }\Omega$
Fall time	t_f	-	114	-	ns	$V_{DD}=20\text{ V}$, $V_{GS}=10\text{ V}$, $I_D=30\text{ A}$, $R_{G,ext}=2.7\text{ }\Omega$

Параметри – заряди на гейта

Table 6 Gate charge characteristics¹⁾

Parameter	Symbol	Values			Unit
		Min.	Typ.	Max.	
Gate to source charge	Q_{gs}	-	85	-	nC
Gate charge at threshold	$Q_{g(th)}$	-	54	-	nC
Gate to drain charge ²⁾	Q_{gd}	-	121	-	nC
Switching charge	Q_{sw}	-	152	-	nC
Gate charge total ²⁾	Q_g	-	366	458	nC
Gate plateau voltage	$V_{plateau}$	-	4.8	-	V
Gate charge total, sync. FET	$Q_{g(sync)}$	-	245	-	nC
Output charge ¹⁾	Q_{oss}	-	101	-	nC

Total Gate Charge (Q_g) – количеството заряд, което трябва да се инжектира в гейта, за да се включи MOSFET.



Въпреки че стойностите на входния капацитет са полезни, те не дават точни резултати при сравняване на комутационни характеристики на два транзистора от различни производители. Влиянието на геометричните размери и стръмността g_{fs} правят подобни сравнения по-трудни. По-полезен параметър от гледна точка на схемното проектиране е зарядът на гейта, а не капацитетът.

Процес на включване на транзистора

t1: $U_{gs} = U_{th}$ - започва да тече дрейнов ток.

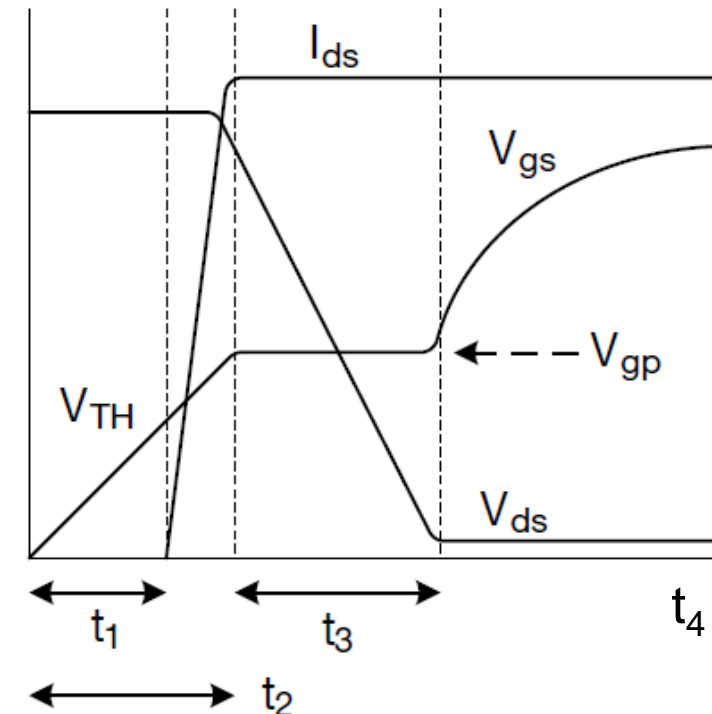
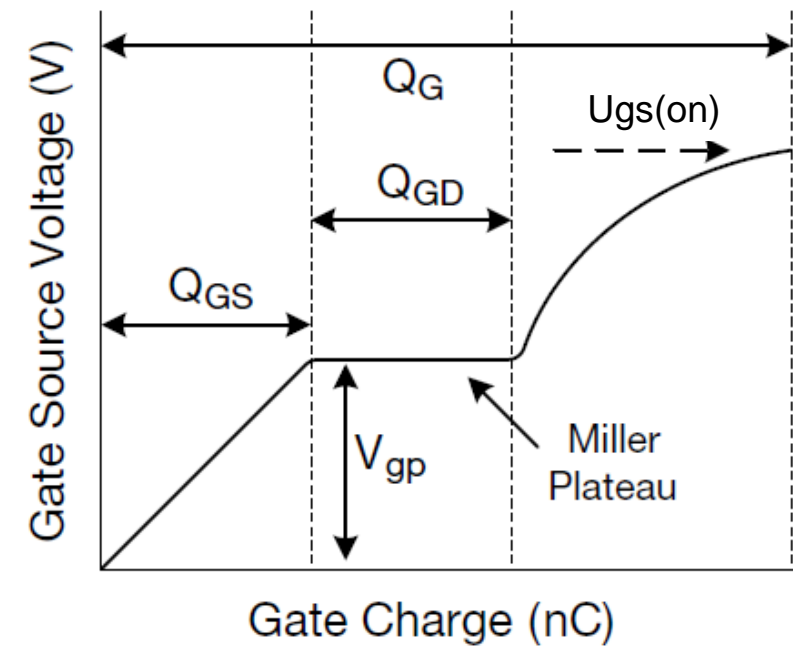
t2: C_{gs} е напълно зареден и токът на дрейна достига стойността I_d и остава постоянен, докато напрежението на дрейна започва да намалява.

t3: Дрейновият ток зарежда кондензатора C_{gd} , който свързва входа и изхода на ключа (т.нар. Милеров кондензатор). U_{gs} не расте докато C_{gd} не бъде зареден.

t4: След като и двата кондензатора C_{gs} и C_{gd} са напълно заредени, напрежението на гейта започва да се увеличава отново, докато достигне желаната стойност $U_{gs(on)}$.

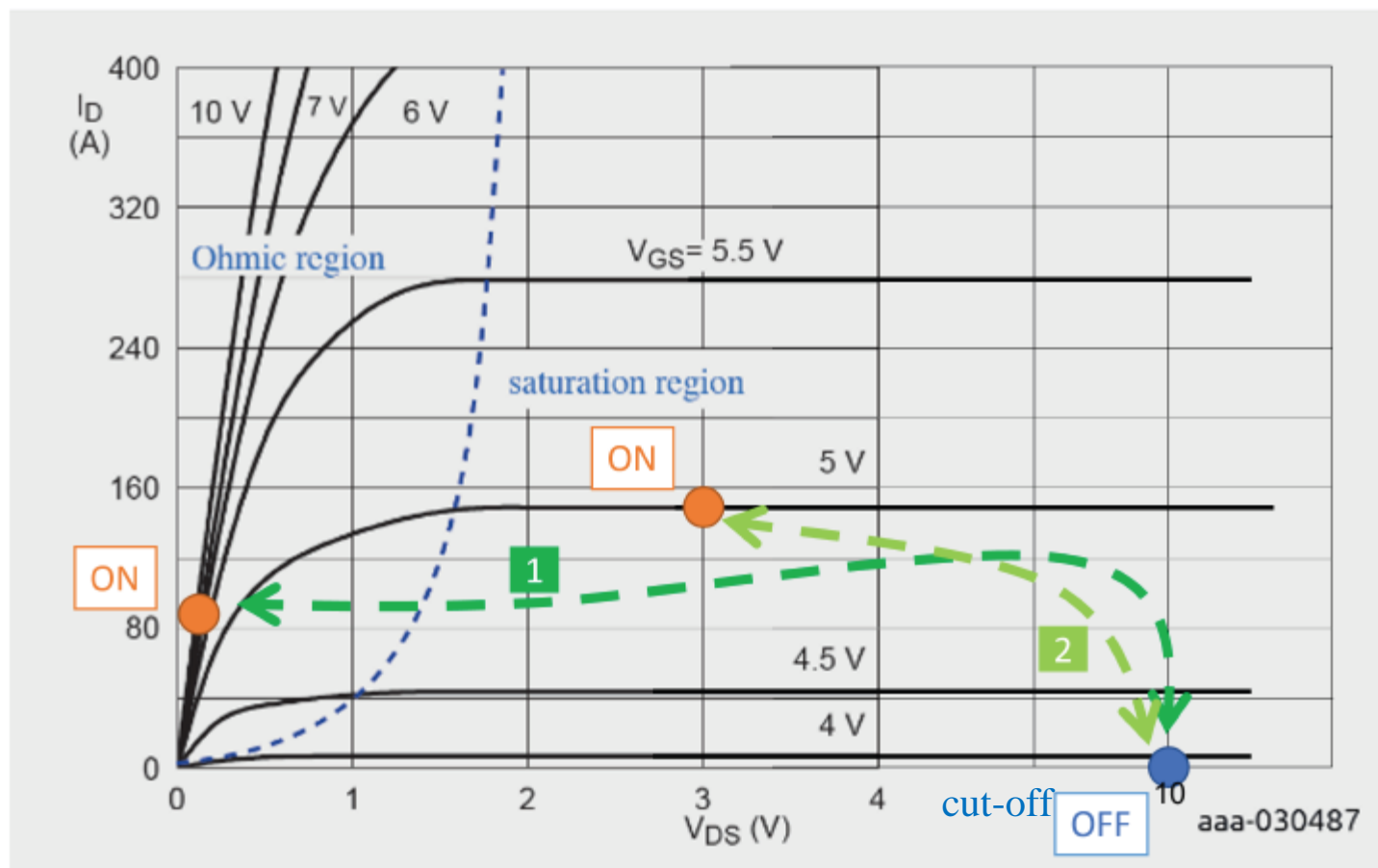
Зарядът на гейта ($Q_{gs} + Q_{gd}$), съответстващ на времето t3, е минималният заряд, необходим за включване на транзистора.

За да се минимизира $R_{ds(on)}$ е необходимо да се избере напрежение на гейта, по-високо от минимално необходимото. Затова при изчисленията се използва заряд на гейта Q_g .



Приложения на MOS Транзисторите

Ключов Режим и Линеен Режим



Режими

1 Ключов – работната точка се движи между омичната област и отсечка (cut off).

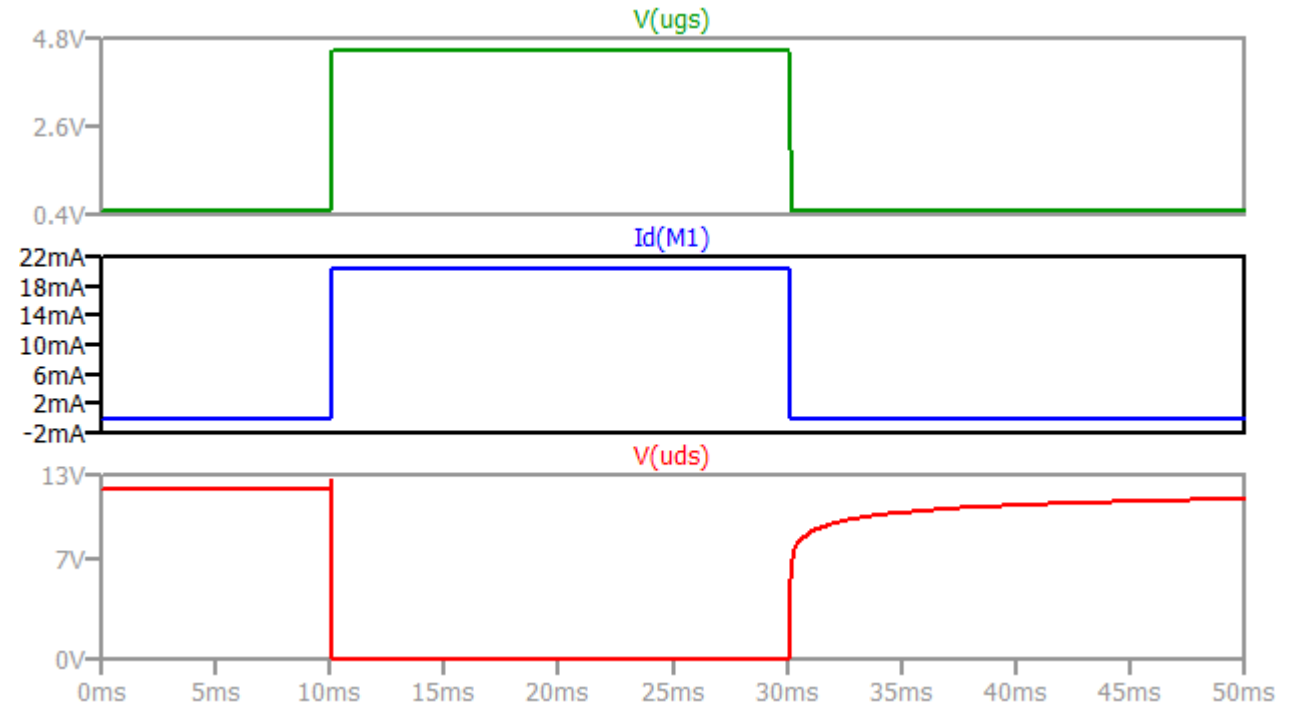
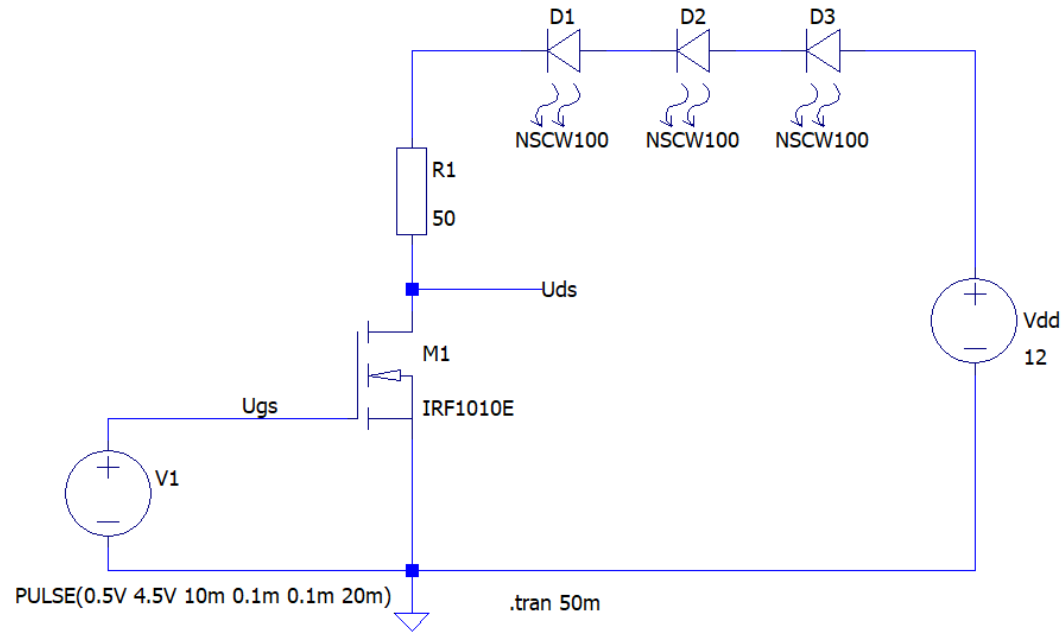
2 Линеен – работната точка е в областта на насищане.

[1] $R_{DS(on)}$ operation ON/OFF trajectory; [2] linear mode operation ON/OFF trajectory

Приложения на MOS Транзисторите
Ключов режим

MOSFET Ключ – Резистивен Товар

Управление на светодиоди (резистивен товар)



OFF

ON

OFF

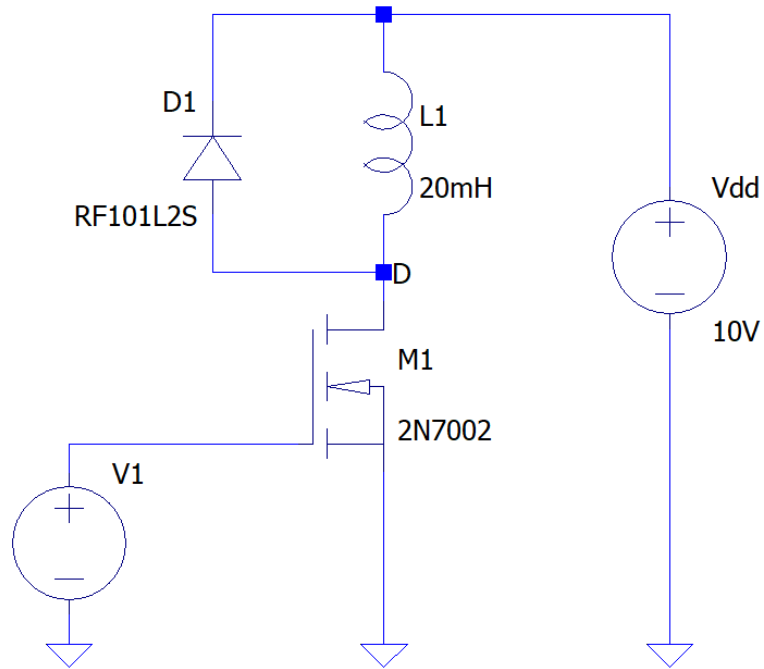
LED-DRV.asc

<https://github.com/vpt-tus/ppe>

MOSFET Ключ – Индуктивен Товар

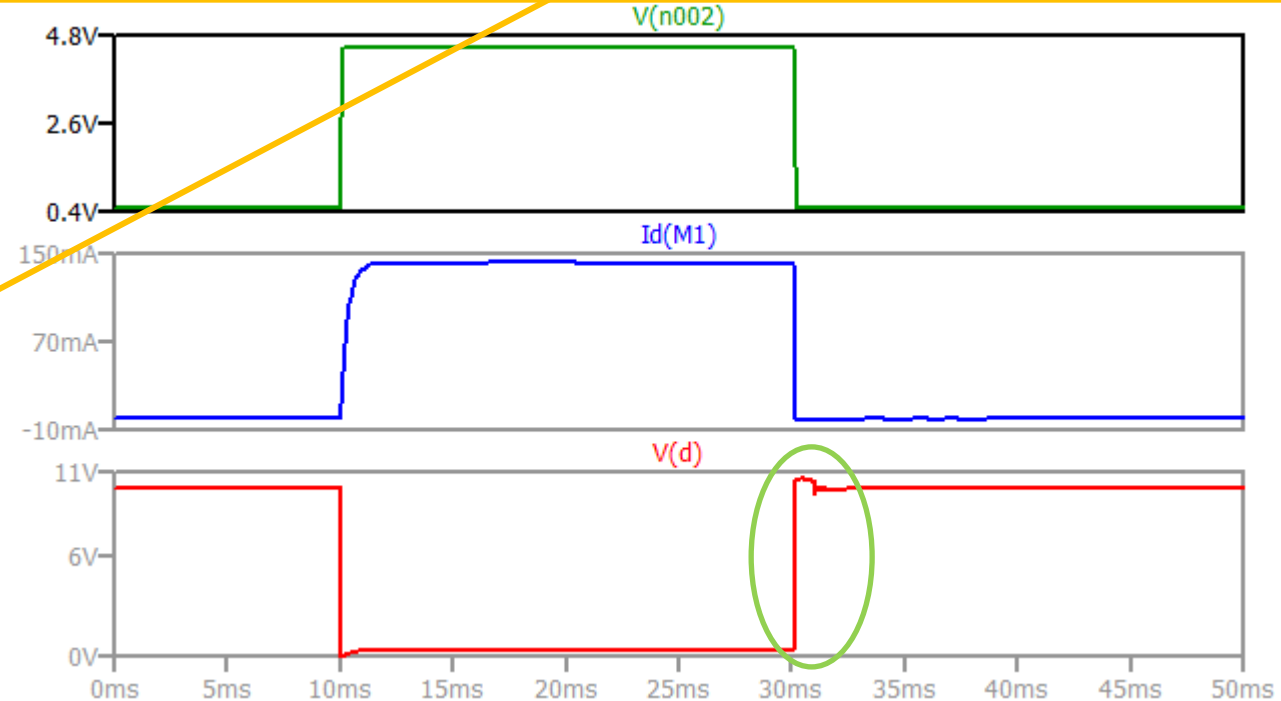
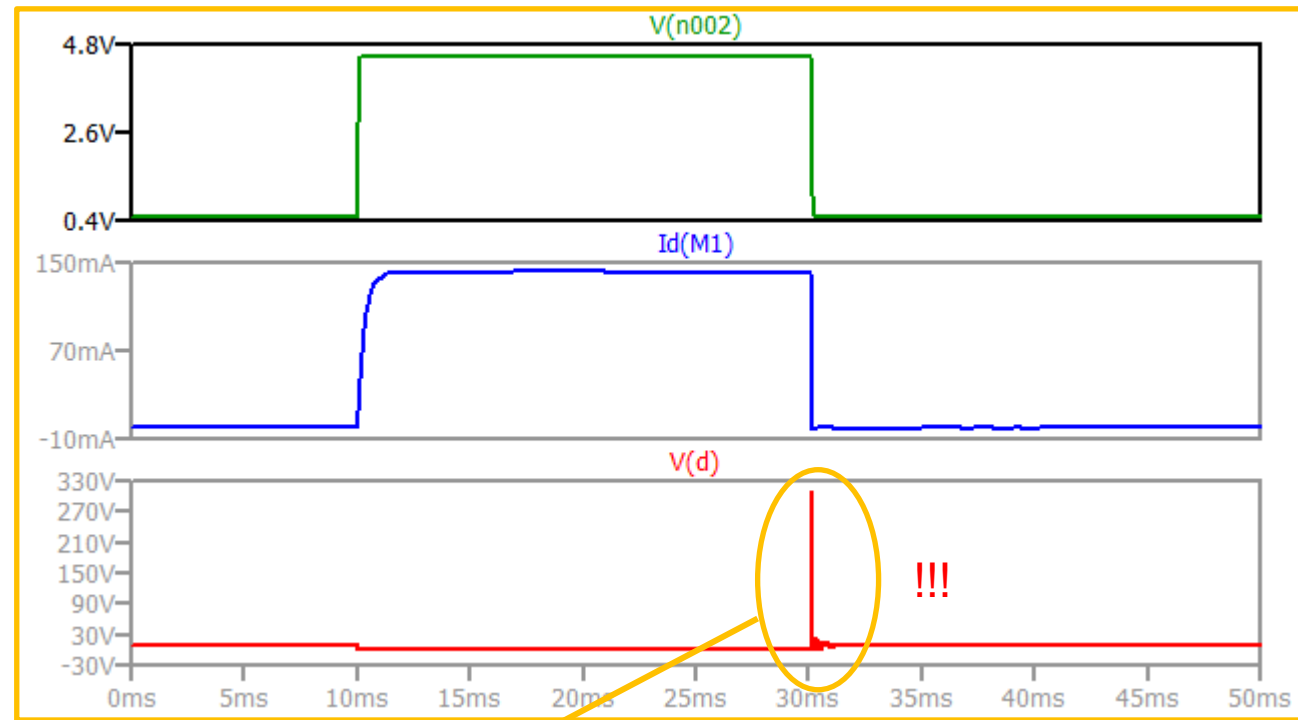
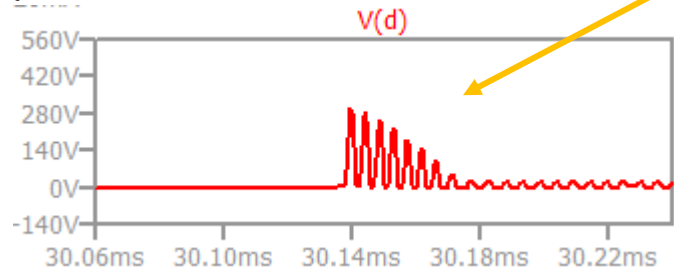
Без D1

Управление на индуктивен товар



Закон на Фарадей:
е.д.с е обратно
пропорционална на
промяната на
магнитния поток

PULSE(0.5V 4.5V 10m 0.1m 0.1m 20m)
.tran 50m

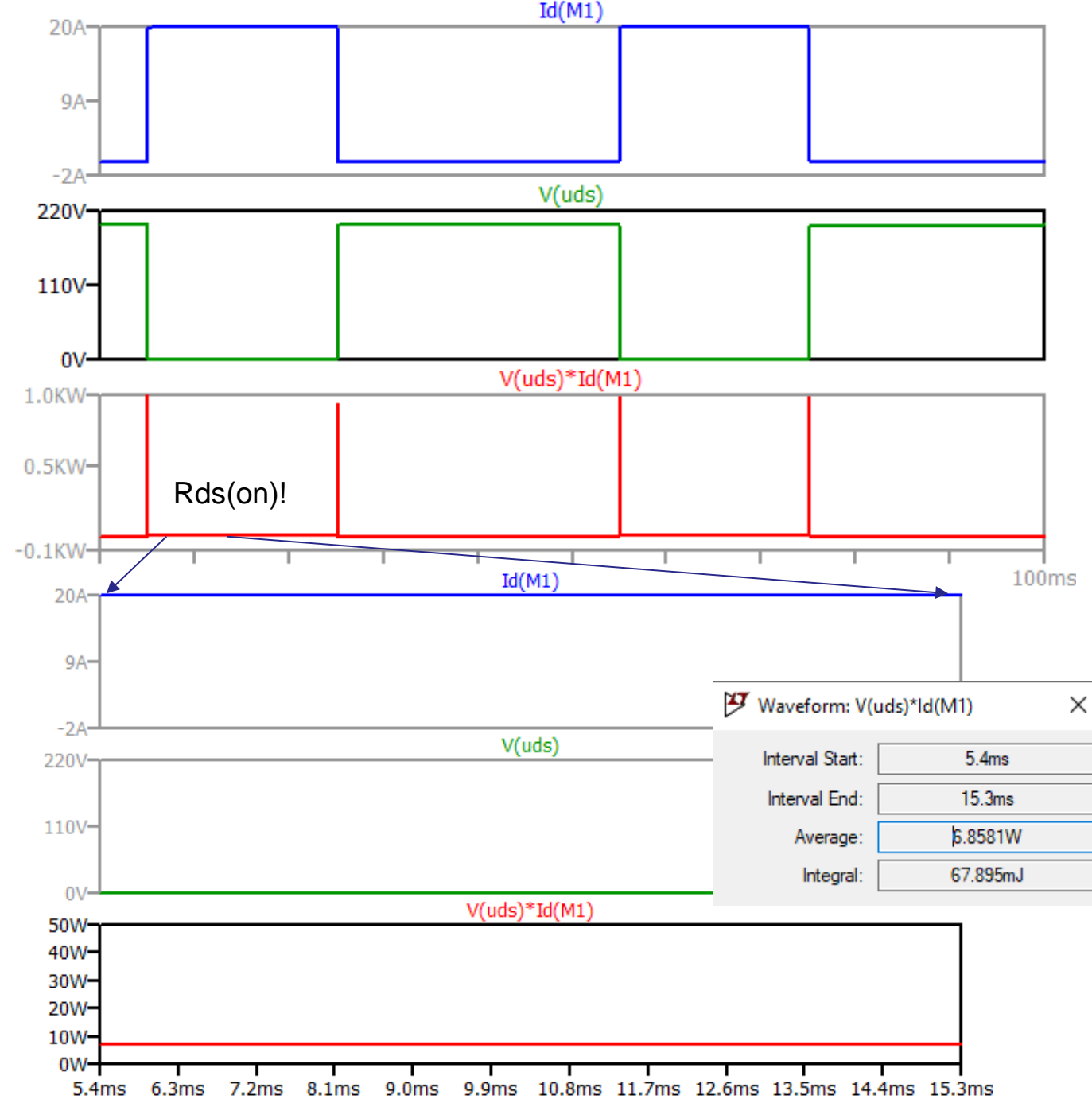
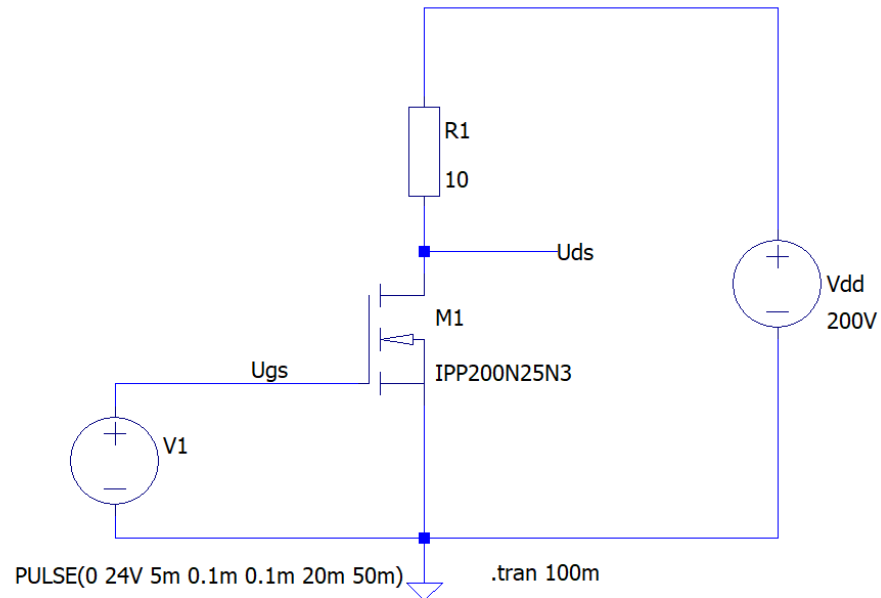


FET-switch-ind-2.asc

<https://github.com/vpt-tus/ppe>

MOSFET Ключ – Загуби

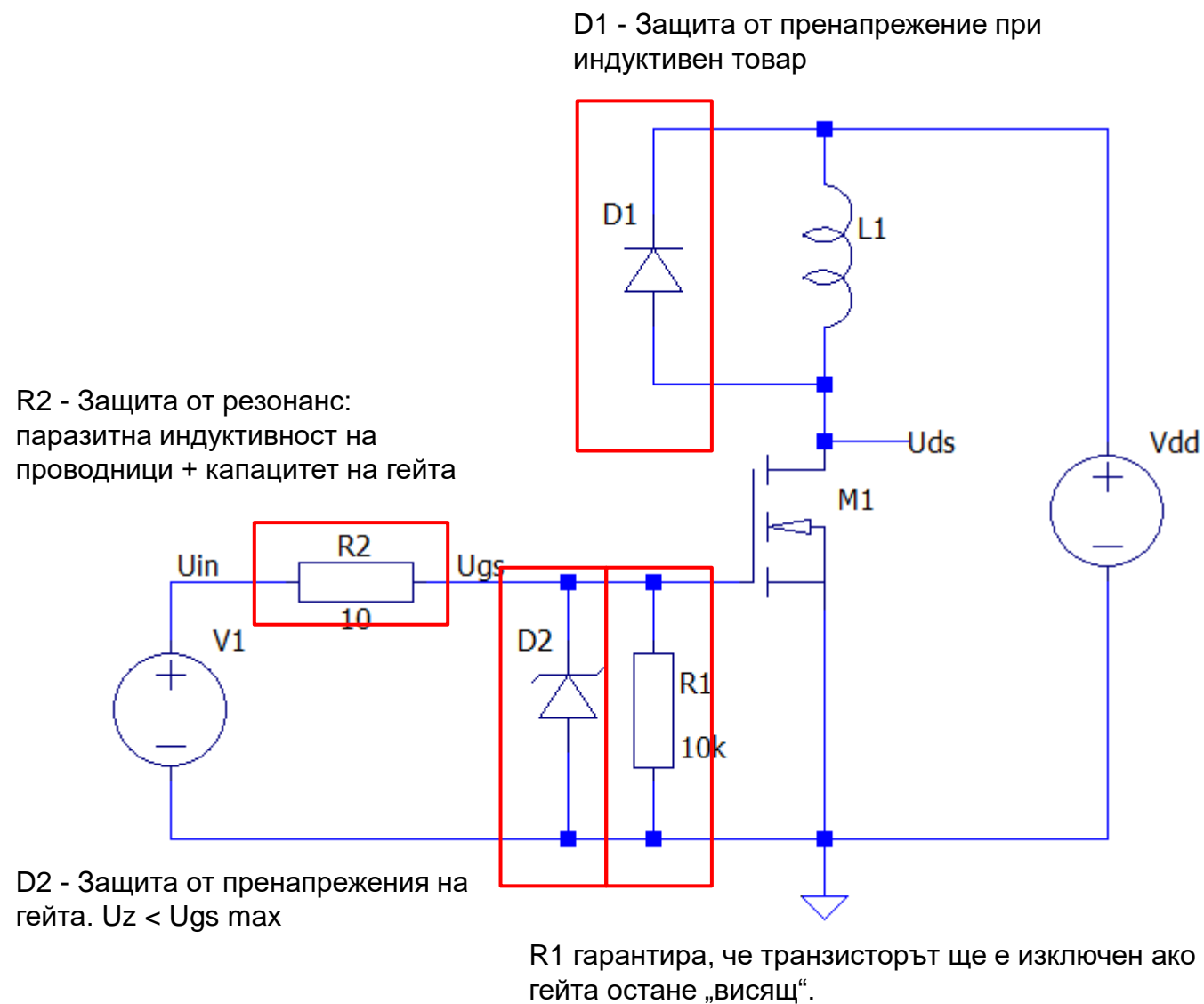
Разсейвана мощност



FET-switch-power.asc

<https://github.com/vpt-tus/ppe>

Практическа схема на MOSFET ключ

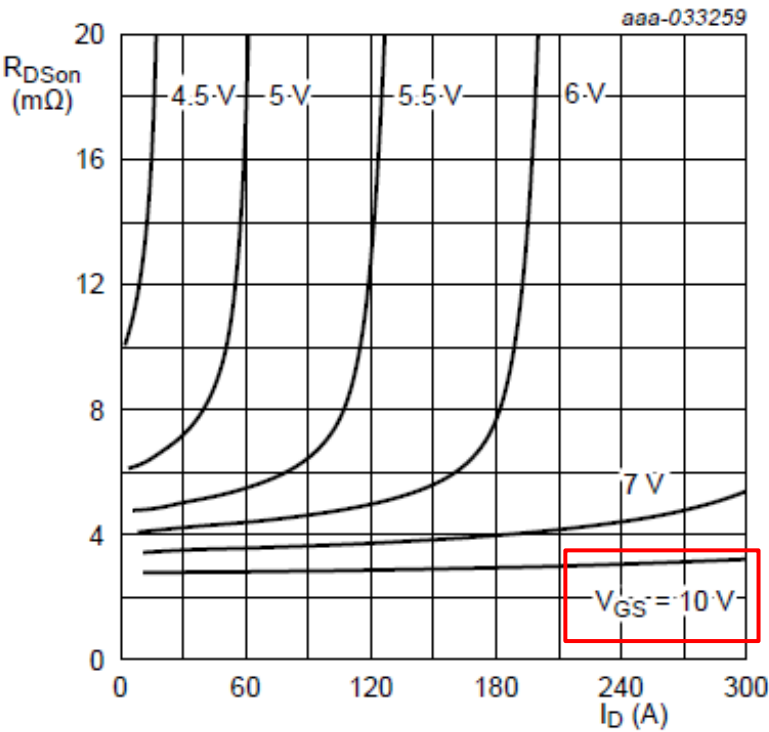
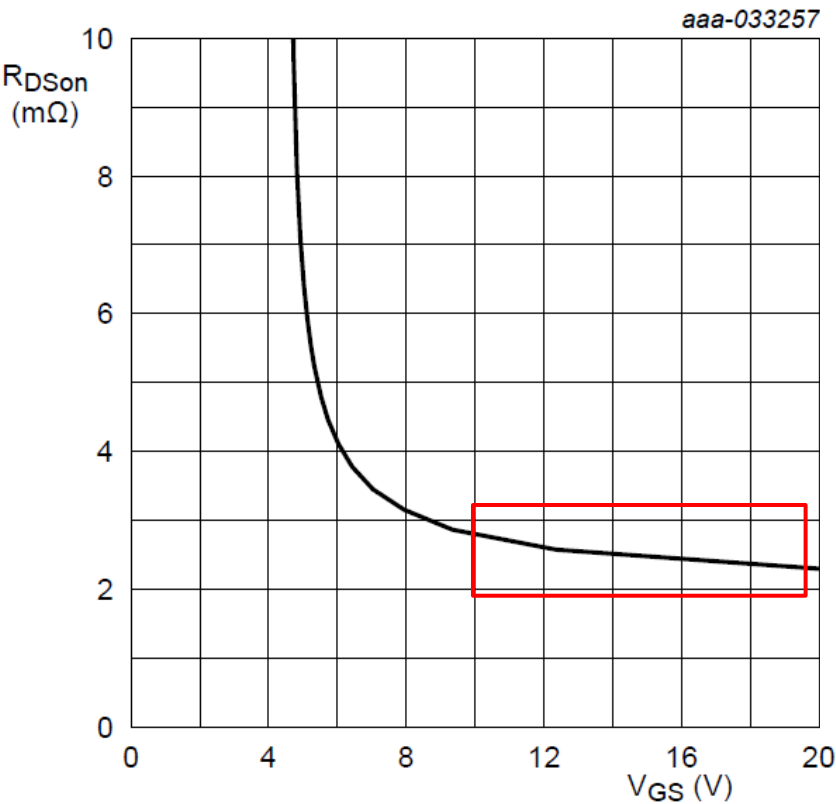
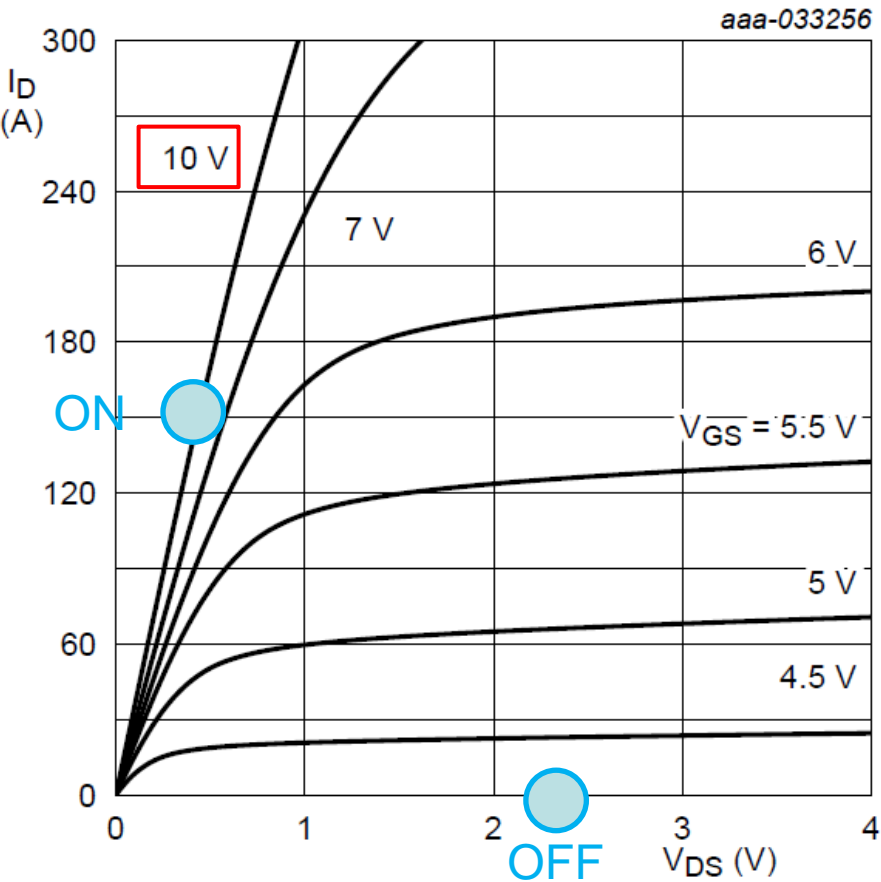


Избор на Ugs

Table 7. Characteristics

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
Static characteristics						
V _{(BR)DSS}	drain-source breakdown voltage	I _D = 250 μA; V _{GS} = 0 V; T _J = 25 °C	80	-	-	V
		I _D = 250 μA; V _{GS} = 0 V; T _J = -55 °C	72	-	-	V
V _{GS(th)}	gate-source threshold voltage	I _D = 1 mA; V _{DS} =V _{GS} ; T _J = 25 °C; Fig. 11	2	3	4	V
		I _D = 1 mA; V _{DS} =V _{GS} ; T _J = 175 °C	-	1.8	-	V
		I _D = 1 mA; V _{DS} =V _{GS} ; T _J = -55 °C	-	3.4	-	V

Ugs трябва да бъде
значително по-голямо от
Ugs(th) за минимални загуби
Id * Uds



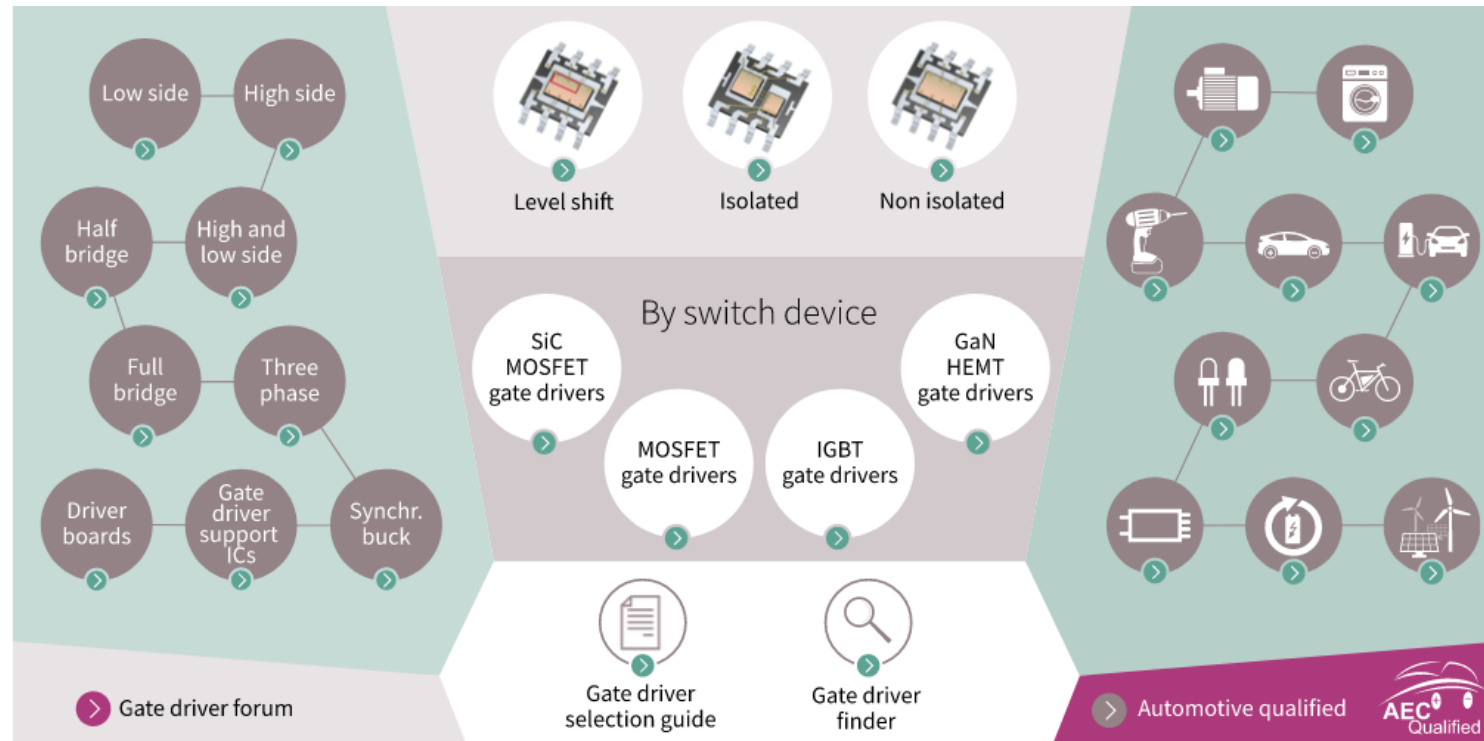
Схеми за управление на гейта (gate drivers)

Входният сигнал към схемата за управление на гейта обикновено е под формата на серия от импулси на логическо ниво от 3,3 или 5 V. Тези сигнали могат да произхождат от микроконтролер, FPGA или друга логическа интегрална схема, или компаратор.

Обикновено тези източници на сигнали не са способни да отдават или приемат достатъчен ток, за да включват и изключват мощен MOSFET за желаното време.

Поради това се добавя схема за управление на гейта, която изпълнява следните задачи:

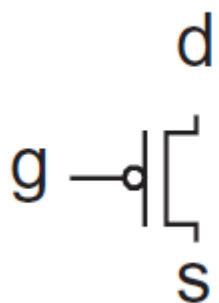
1. Увеличава напрежението до достатъчно високи стойности на U_{gs}
2. Осигурява достатъчно голям ток за зареждане или разреждане на входния капацитет на MOSFET.



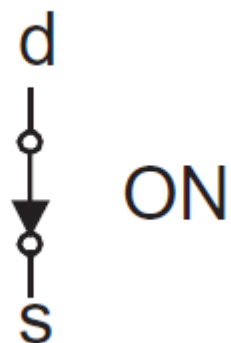
Приложения на MOS Транзисторите
Цифрови Интегрални Схеми

MOS транзистор като ключ

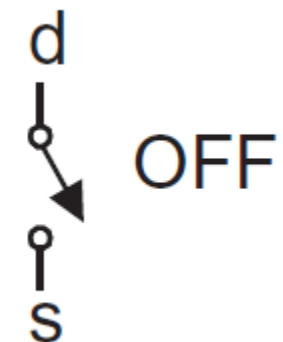
pMOS



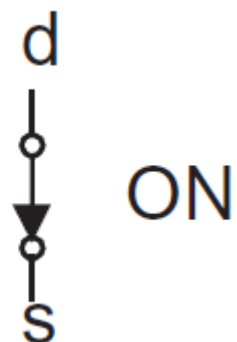
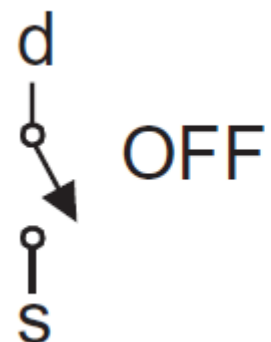
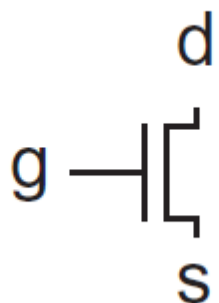
$g = 0$



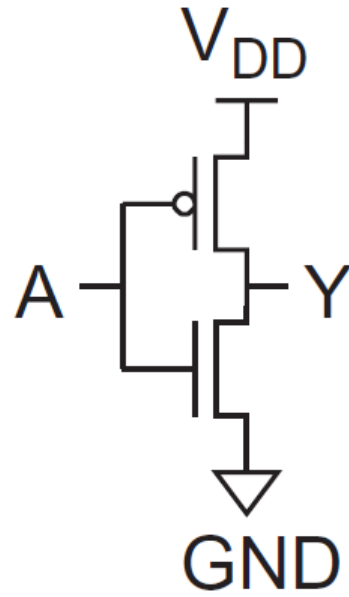
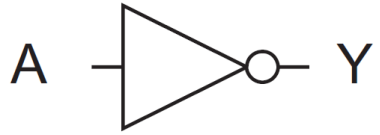
$g = 1$



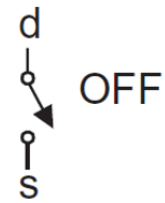
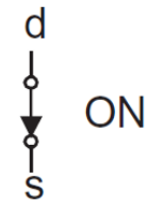
nMOS



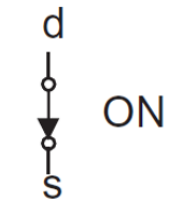
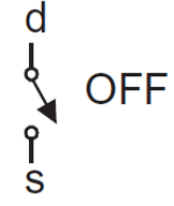
CMOS Inverter



$g = 0$

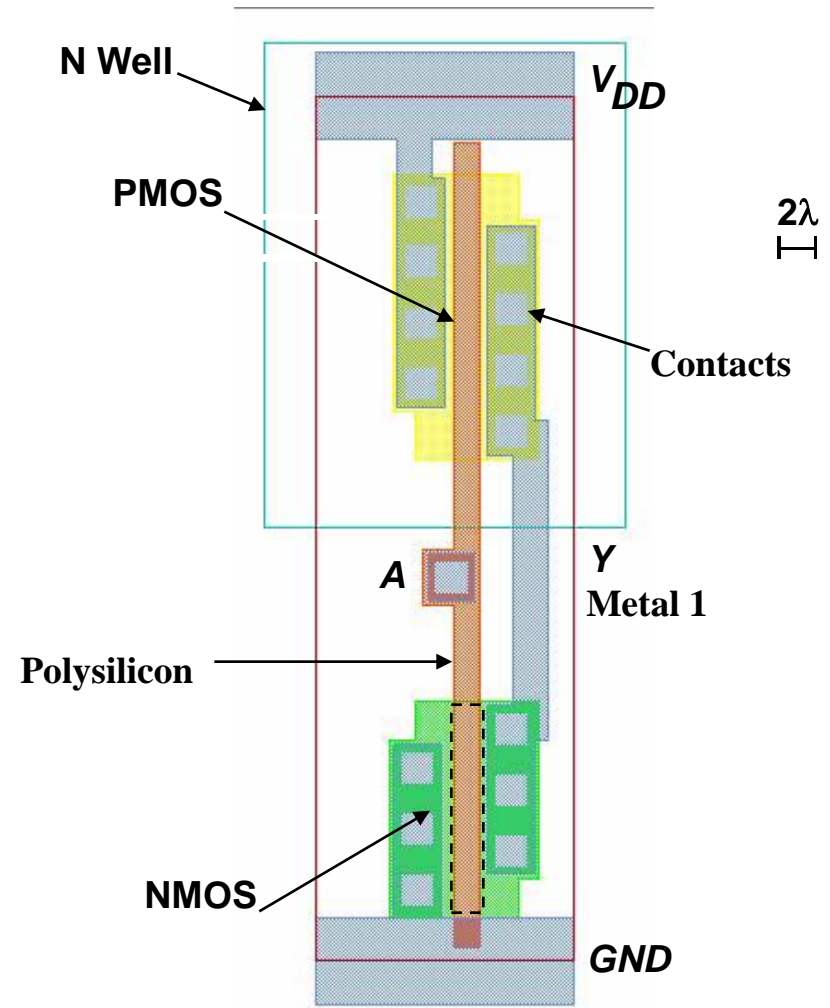
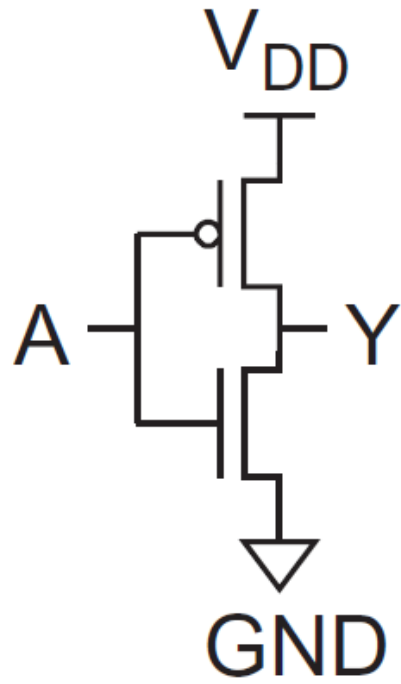


$g = 1$

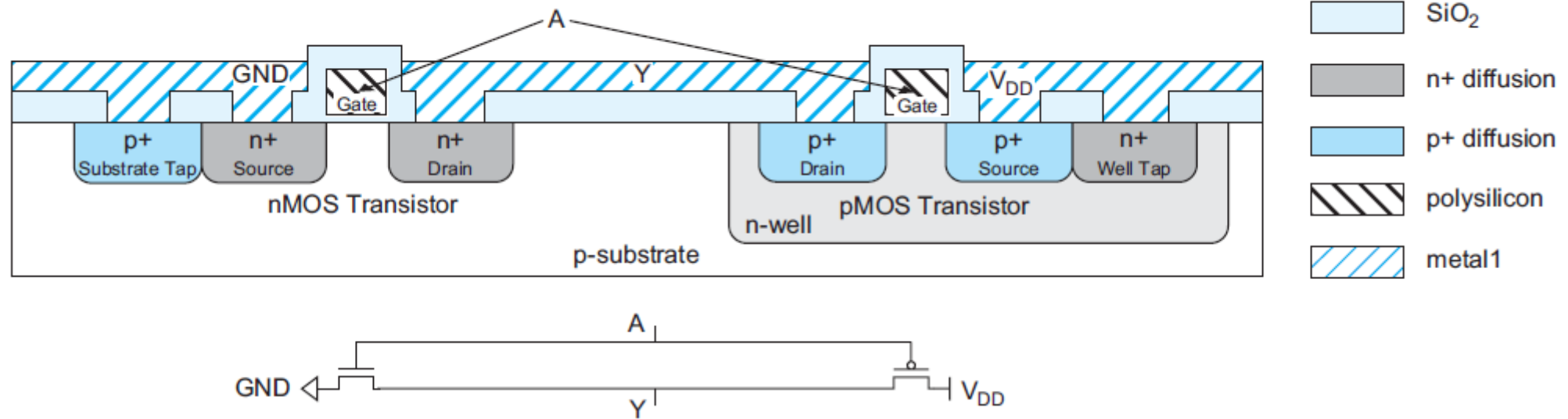


A	Y
0	1
1	0

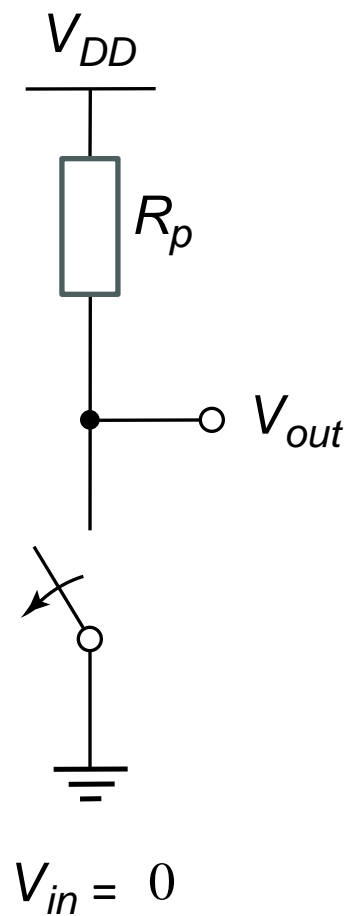
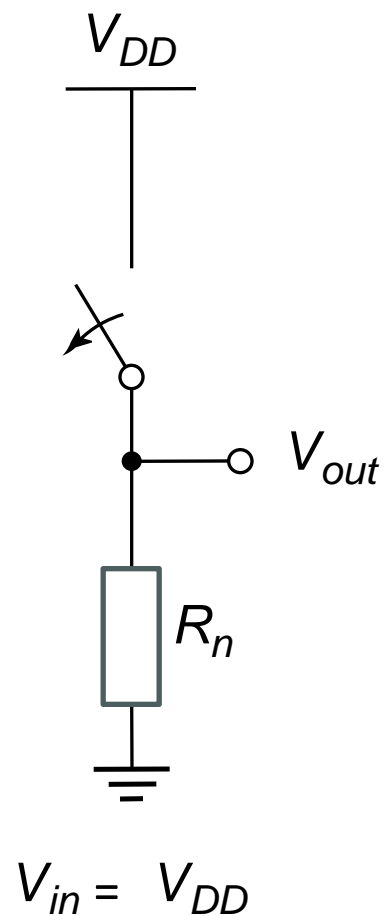
CMOS Inverter



CMOS Inverter

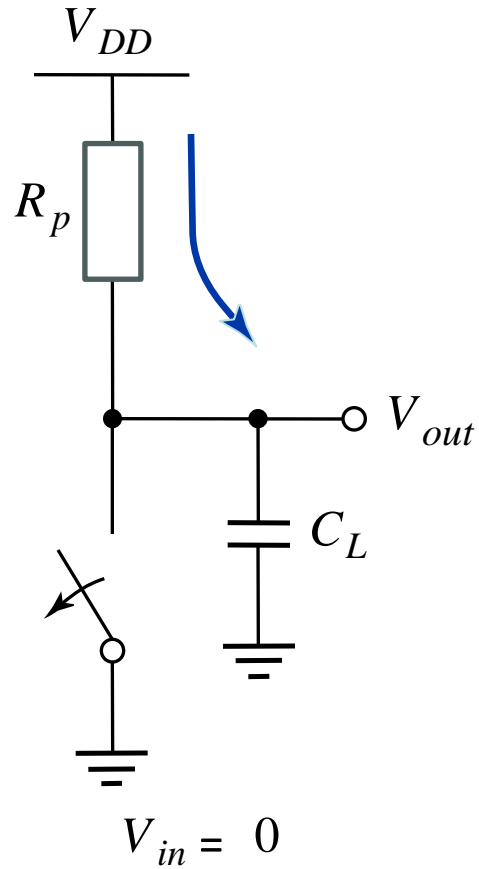


CMOS Inverter - First-Order DC Analysis

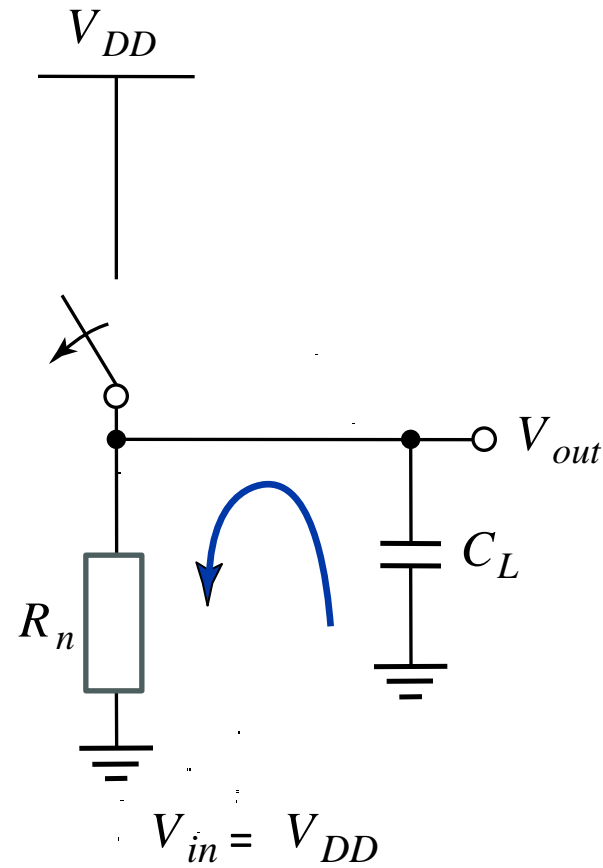


$$V_{OL} = 0$$
$$V_{OH} = V_{DD}$$

CMOS Inverter: Transient Response



(a) Low-to-high



(b) High-to-low

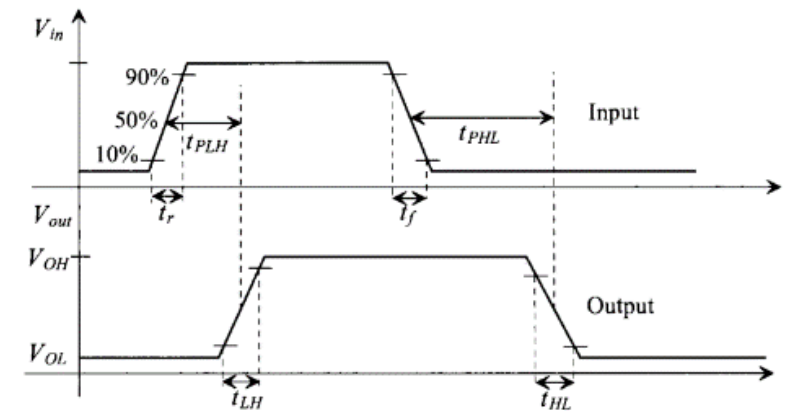
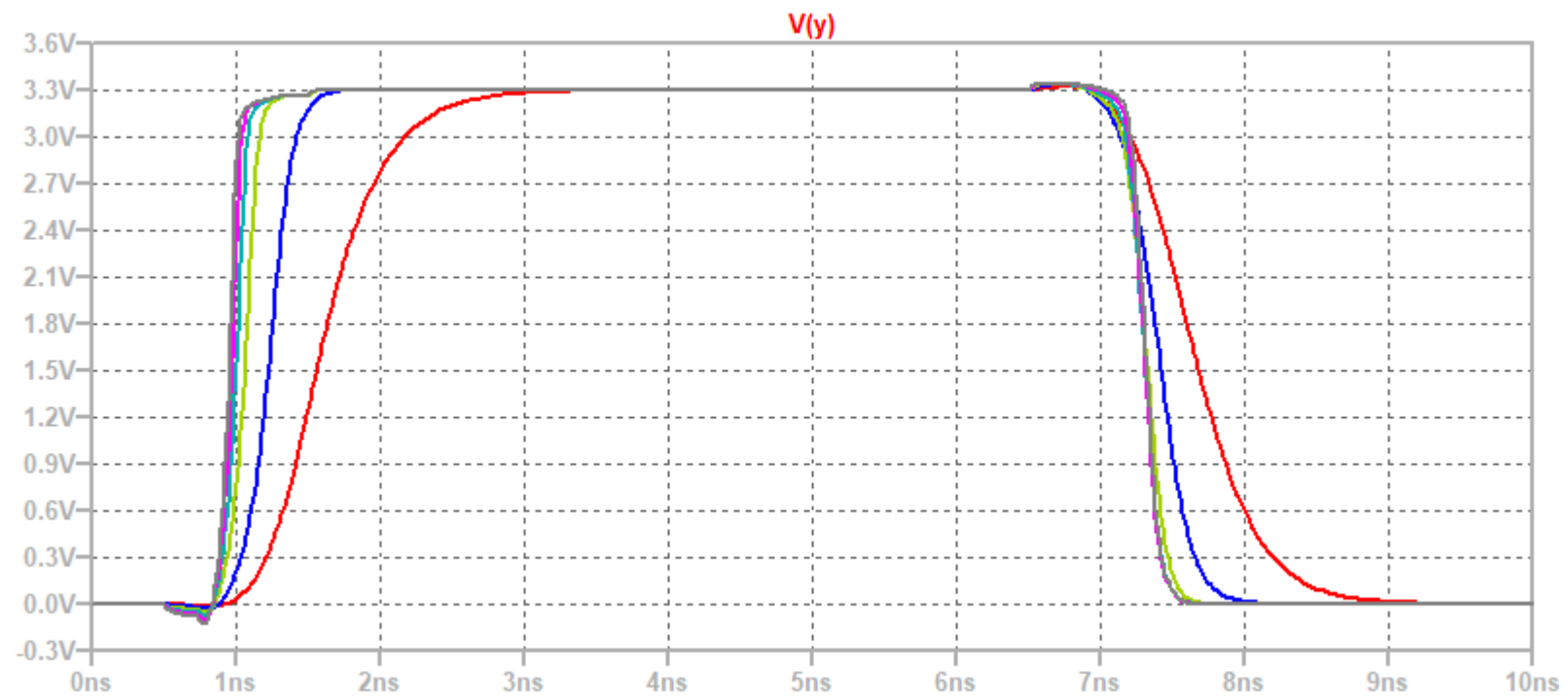
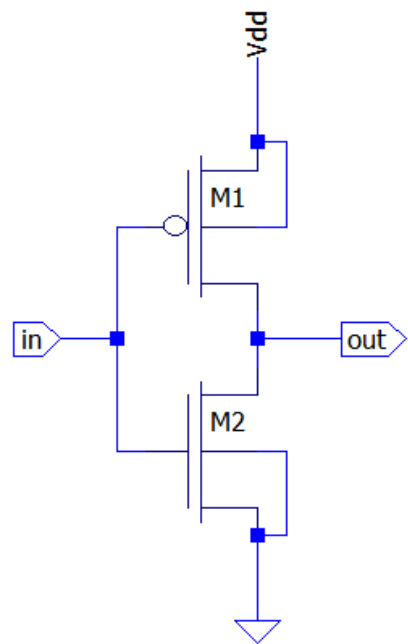


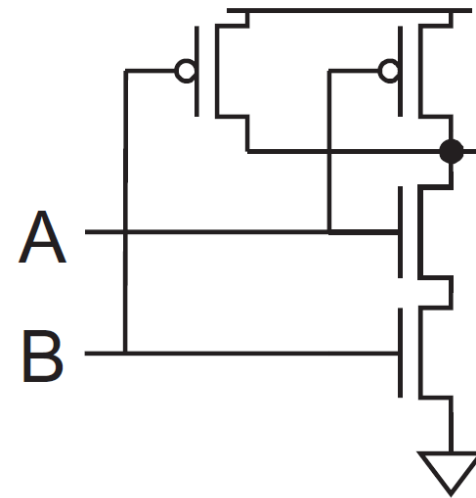
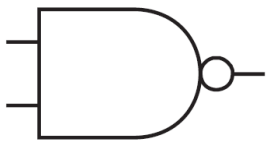
Figure 10.9 Definition of delays and transition times.

Инвертор – влияние на W върху бързодействието



CMOS Логически Елементи

NAND (NOT+AND)
И-НЕ



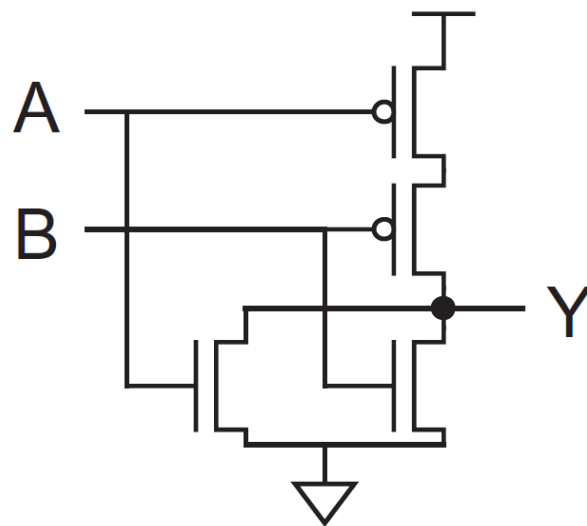
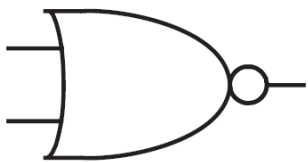
$$Y = \overline{A \cdot B}$$

$$Y = \neg(A \cdot B)$$

A	B	Pull-Down Network	Pull-Up Network	Y
0	0	OFF	ON	1
0	1	OFF	ON	1
1	0	OFF	ON	1
1	1	ON	OFF	0

CMOS Логически Елементи

NOR (NOT+OR)
ИЛИ-НЕ

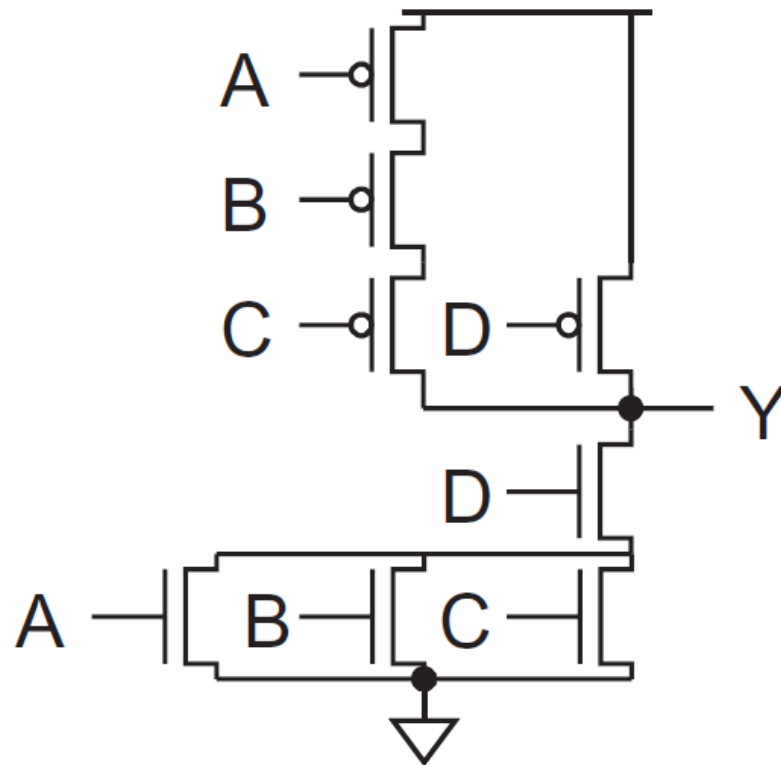


$$Y = \overline{A + B}$$

$$Y = \overline{A + B}$$

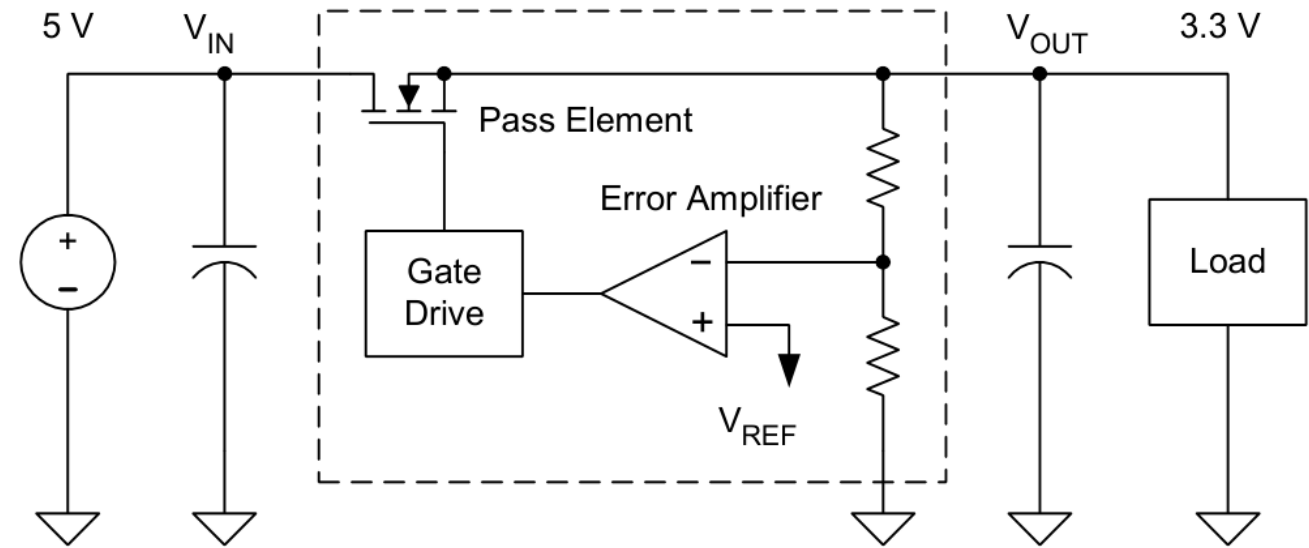
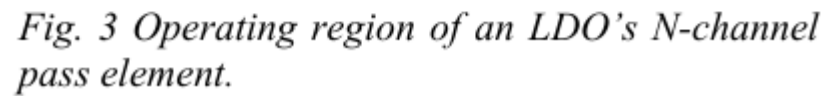
<i>A</i>	<i>B</i>	<i>Y</i>
0	0	1
0	1	0
1	0	0
1	1	0

CMOS Логически Елементи

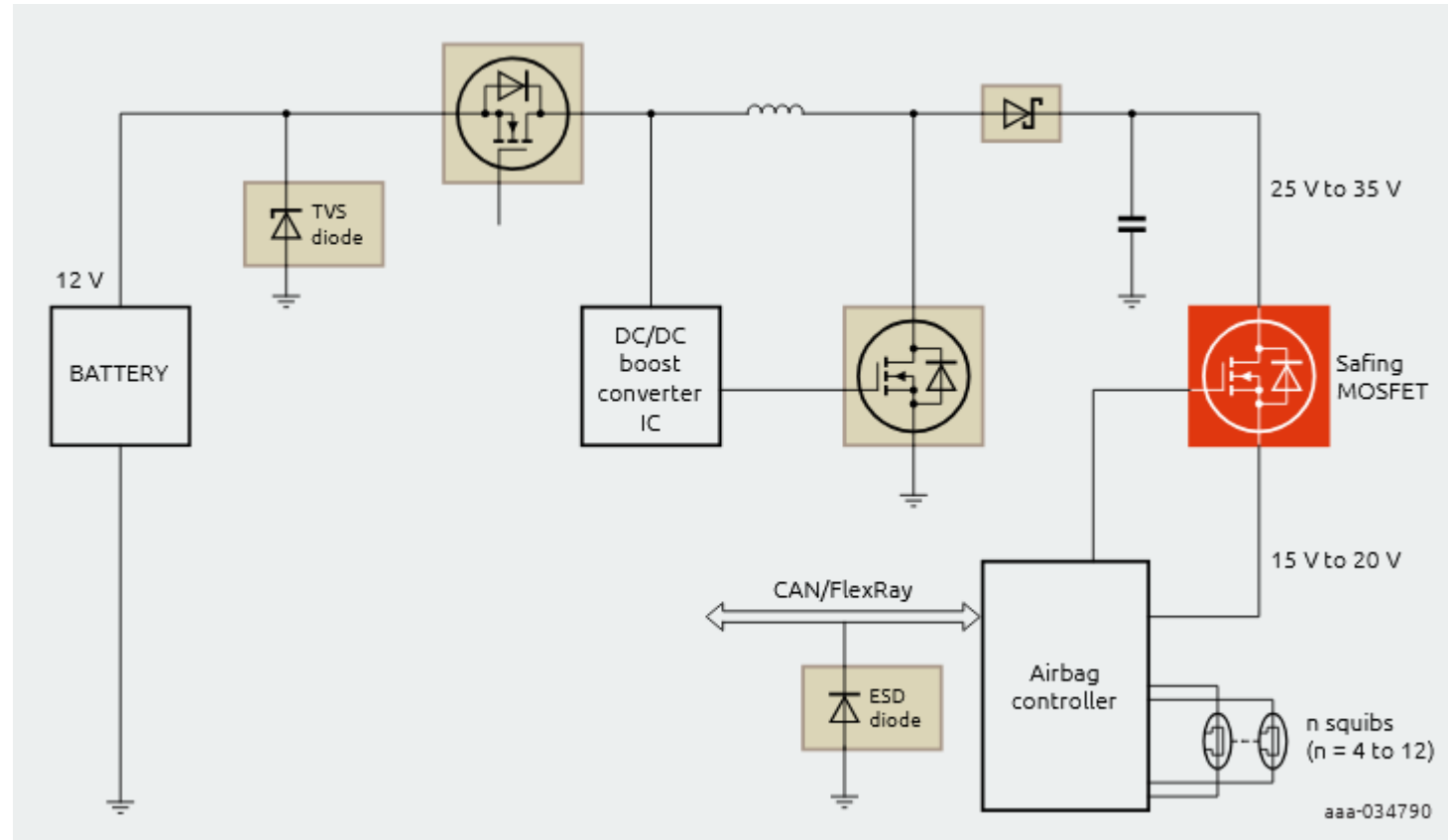


$$Y = \overline{(A + B + C).D}$$

Приложения на MOS Транзисторите
Линеен режим



airbag application



MOSFET is working in linear mode in order to control the voltage applied to the airbag squibs.

BUK9Y7R0-60EL

Single N-channel 60 V, 4.5 mOhm logic level MOSFET in LFPK56 using Enhanced SOA technology

7 April 2022

Product data sheet

1. General description

Single, logic level, N-channel MOSFET in LFPK56 using Application specific (ASFET) Enhanced SOA technology. This product has been designed and qualified to AEC-Q101 for use in linear mode in airbag applications.

Приложения – Линеен режим – Hot Swap

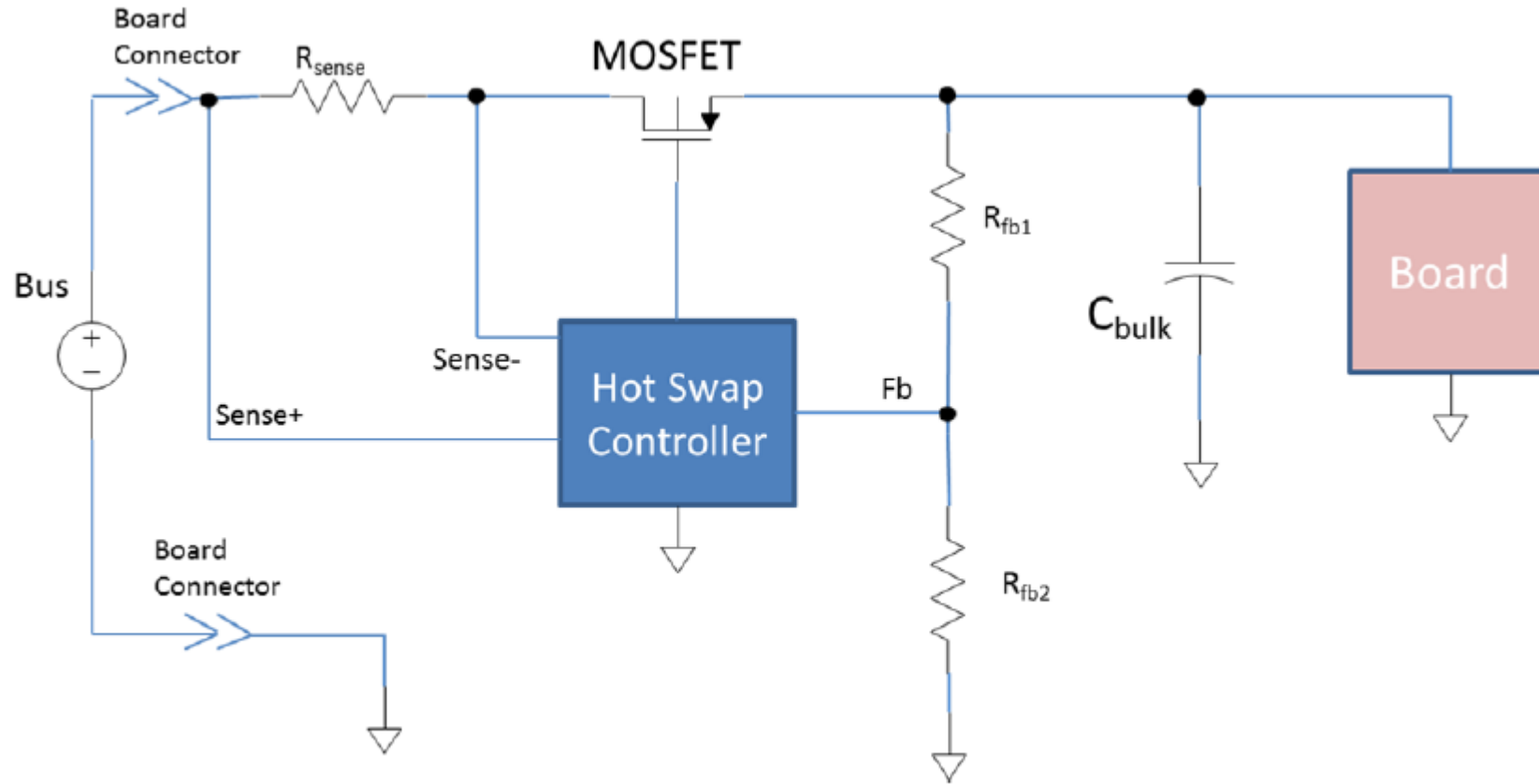
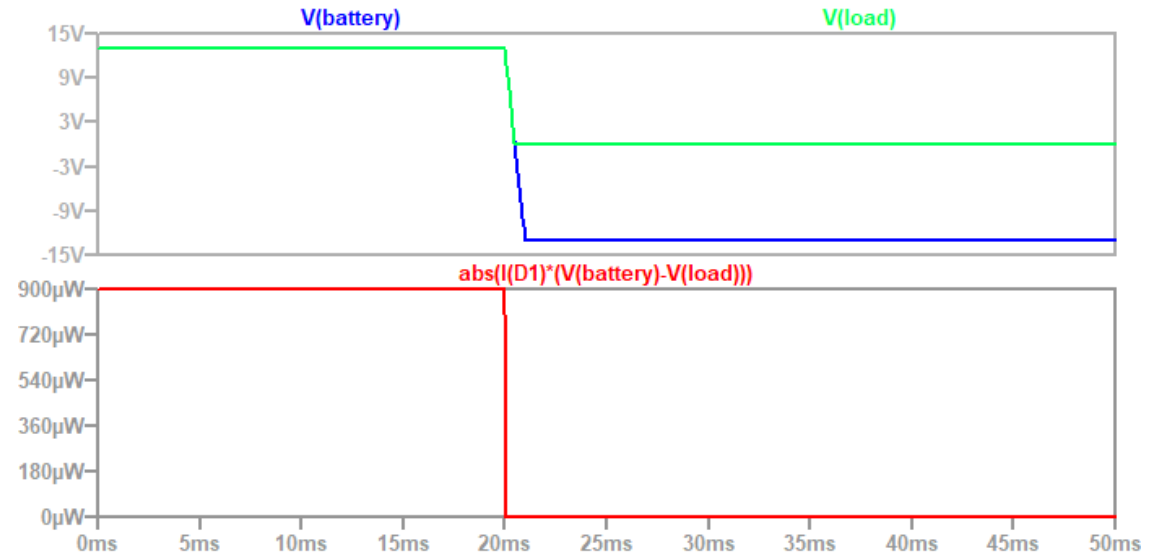
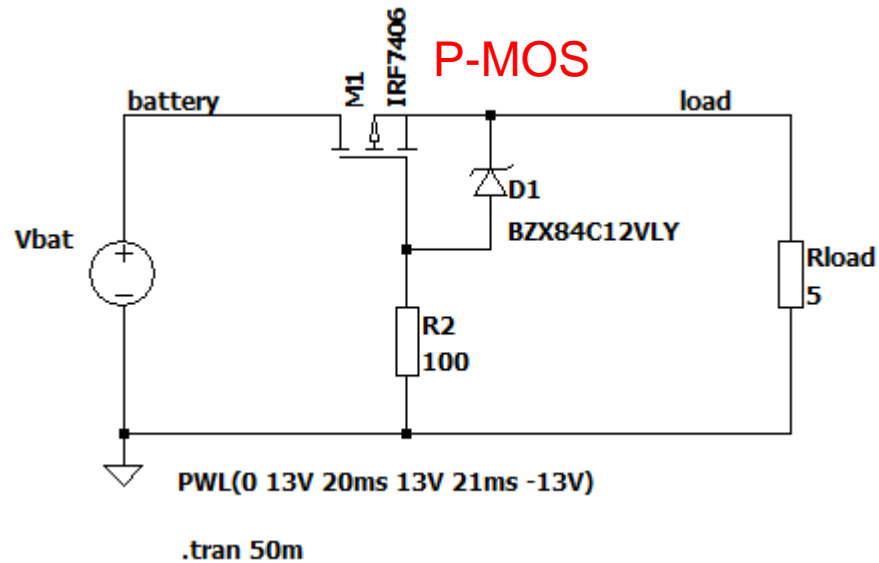
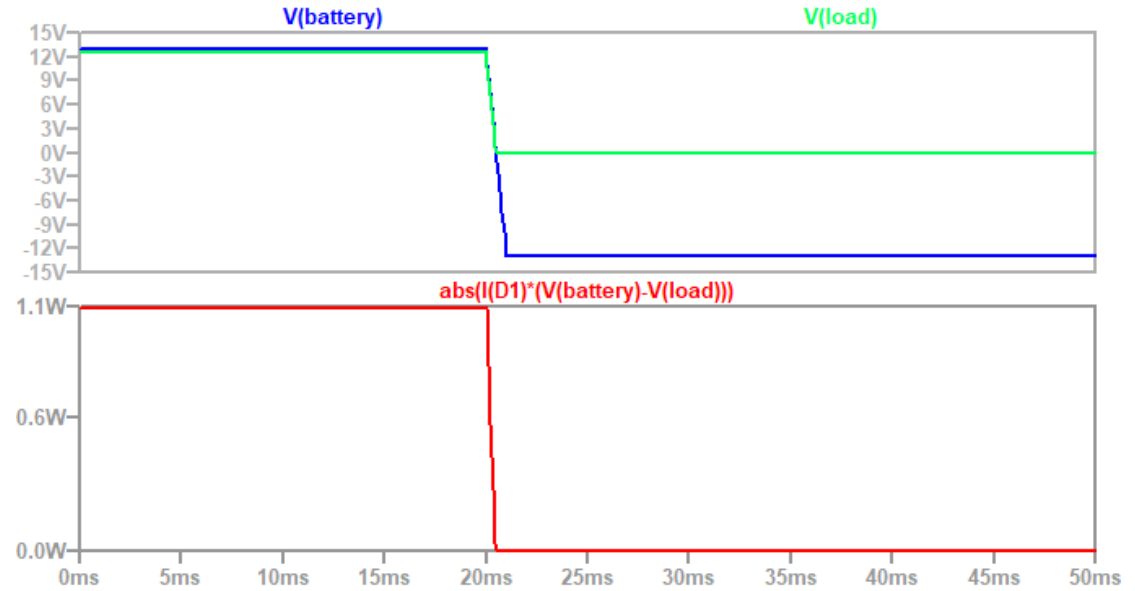
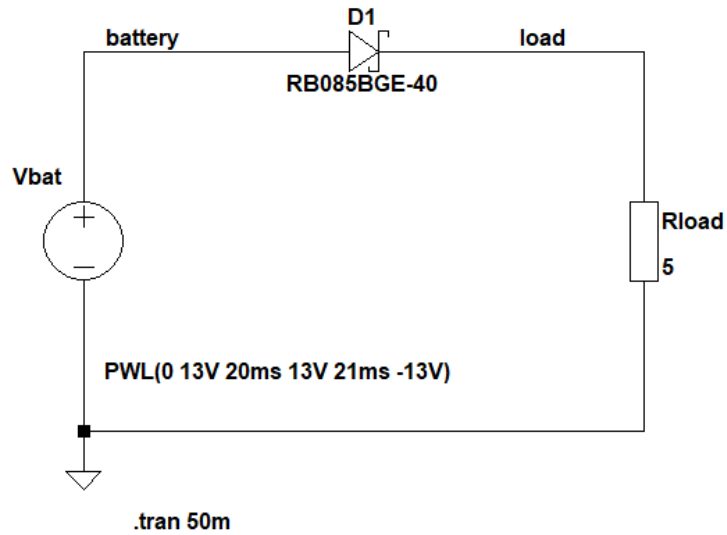


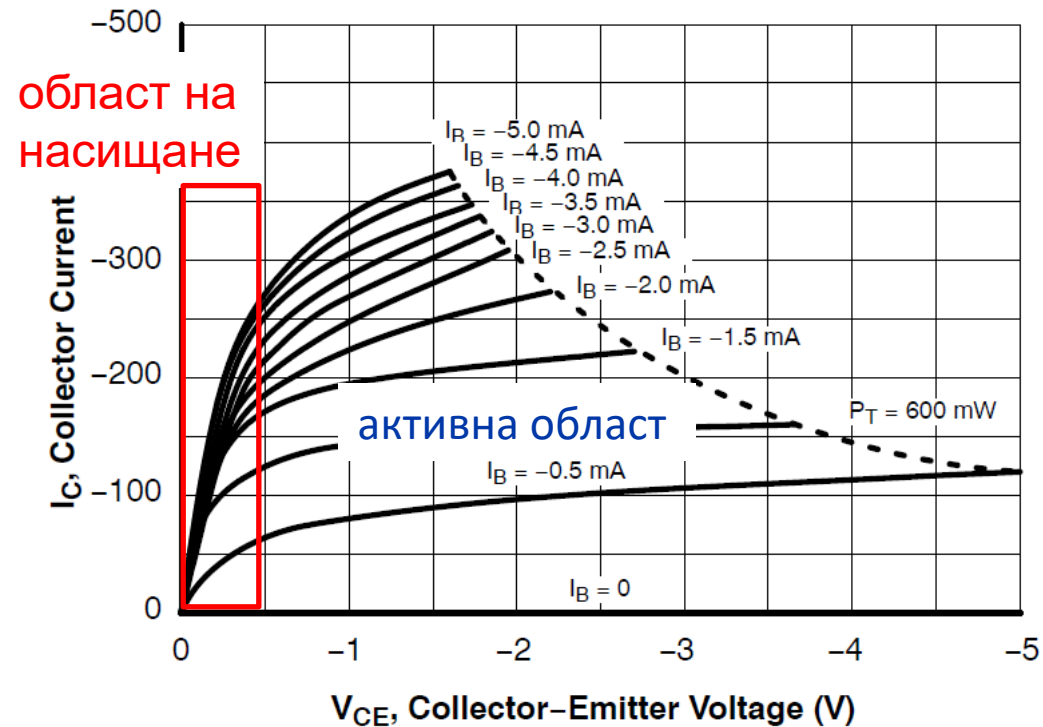
Figure 1 - Generic Hot Swap Circuit

In essence the Hot Swap circuit, which is between the board input rail and the rest of the board's circuitry, is an inrush current limiter that allows for charging of the bulk capacitance in a controlled manner. Also faults, such as over current and overvoltage are managed by Hot Swap circuits.

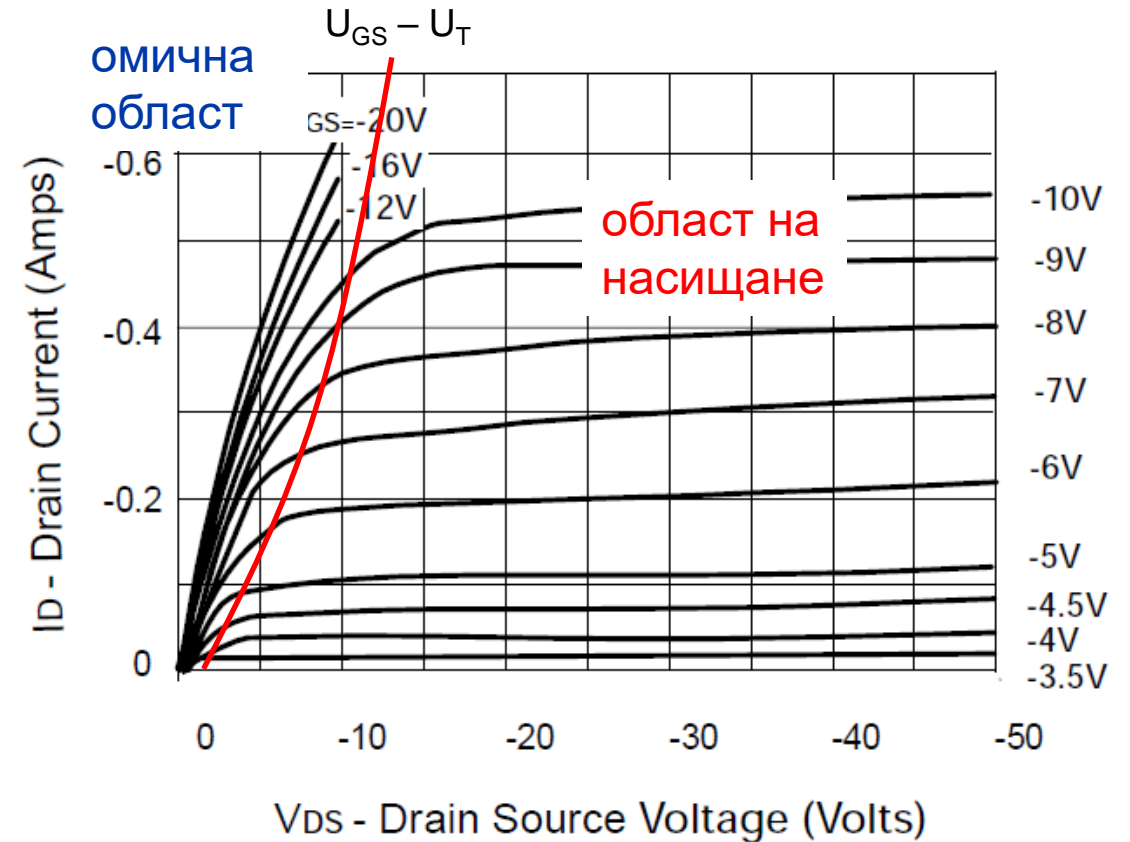
Други Приложения – Предпазване от обратно включване на автомобилен акумулатор



Различни значения на „насищане“ при биполярните и полевите транзистори



- I_C нараства слабо с увеличаване на I_B
- Транзистора е „наситен“ с токоносители
- Работна точка в тази област съответства на напълно затворен ключ



- I_D нараства слабо с увеличаване на U_{DS}
- Каналът е „прищипан“ или „наситен“ с по отношение на **тока**, който може да тече през него.
- Тази област се използва за усилване.