

实验报告

学号：姓名：

专业： 人工智能 班级：

实验名称：2 存储器实验

实验目的

1. 掌握静态随机存储器RAM工作特性及数据的读写方法。
2. 基于信号时序图，了解读写静态随机存储器的原理。
3. 掌握Cache的原理及其设计方法。
4. 熟悉FPGA应用设计及EDA软件的使用。

实验设备

PC机一台，TDX-CMX实验系统一套。

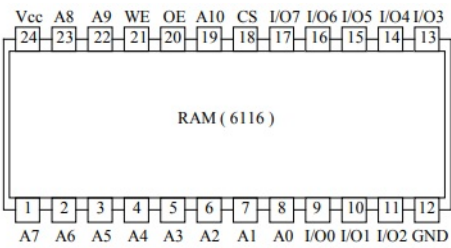
实验预习

2.1 静态随机存储器实验

- 1、阅读实验指导书，然后回答问题。

实验所用的静态存储器由一片 6116（ 2K×8Bit ）构成（位于 MEM 单元），6116 有三个控制线：CS（ 片选线 ），OE（ 读线 ），WE（ 写线 ），其功能如表 2-1-1 所示，当片选有效CS=（ 0 ）时，OE=（ 0 ） 时进行读操作，WE=（0 ） 时进行写操作，本实验将 CS 常接地。

- 2、根据SRAM 6116集成电路的管脚图回答问题。



- (1) 地址线的管脚号：（ 19 22-23 1-8 ）
- (2) 数据线的管脚号：（ 17-13 11-9 ）

(5) 写线管脚号: (21)

[illegible]

(2) 74LS245的作用: (三态门 控制输入, 链接至CPU内总线, 分时给出地址和数据)

(4) 信号SW_B的作用: (控制三态门高阻态或输入状态, 为0时将74LS245输入引脚的值从输出引脚输出, 发送到数据总线)

3、在实验连接图中，开关K7的作用是什么？H2指示灯、L7…L0指示灯和L15…L8指示灯分别表示什么含义？

特点：硬件电路简单 成本低 地址换算速度快 运行效率高 但是cache效率低

2. 读入数据后通过index找到对应主存块，判断tag位是否相同，相同则将主存的数据块映射到Cache指定行，否则从内存读入

3. K7 发出读信号

H2 cache是否失效

L7-L0Cache 送往 CPU 的数据

L15-L8当前主存数据

实验内容

2.1 静态随机存储器实验

（一）本机运行

1、给存储器的00H和01H地址单元写入数据（数值自定义）。

表 2-1 00H 存储单元写操作实验结果

写操作步骤		控制信号状态			
IN 单元置地址	地址信息	WR	RD	SW_B	LDAR
	(1)	(2)	(3)	(4)	(5)
地址写入 AR	地址信息	WR	RD	SW_B	LDAR
	(6)	(7)	(8)	(9)	(10)
IN 单元置数据	数据信息	WR	RD	SW_B	LDAR
	(11)	(12)	(13)	(14)	(15)
数据写入 MEM	数据信息	WR	RD	SW_B	LDAR
	(16)	(17)	(18)	(19)	(20)

(1)0000 0000 (2)1 (3)1 (4)0 (5)

0

(6)0000 0000 (7)0 (8)1 (9)0 (10)1

(11)0001 0001 (12)1 (13)1 (14)0 (15)

0

(16)0001 0001 (17) (18)1 (19)0 (20)0

表 2-2 01H 存储单元写操作实验结果

写操作步骤		控制信号状态			
IN 单元置地址	地址信息	WR	RD	SW_B	LDAR
	(1)	(2)	(3)	(4)	(5)
地址写入 AR	地址信息	WR	RD	SW_B	LDAR
	(6)	(7)	(8)	(9)	(10)
IN 单元置数据	数据信息	WR	RD	SW_B	LDAR
	(11)	(12)	(13)	(14)	(15)
数据写入 MEM	数据信息	WR	RD	SW_B	LDAR
	(16)	(17)	(18)	(19)	(20)

(1)0001 0000 (2)1 (3)1 (4)0 (5)0

(6)0001 0000 (7) 1 (8)1 (9)0 (10)

1

(11)0001 0010 (12)1 (13)1 (14)0 (15)

0

(16)0001 0010 (17)0 (18)1 (19)0 (20)

0

2、从存储器的00H和01H地址单元读出数据。

表 2-3 00H 存储单元读操作实验结果

读操作步骤		控制信号状态			
IN 单元置地址	地址信息	WR	RD	SW_B	LDAR
	(1)	(2)	(3)	(4)	(5)
地址写入 AR	地址信息	WR	RD	SW_B	LDAR
	(6)	(7)	(8)	(9)	(10)
关闭 IN 单元输出	数据信息	WR	RD	SW_B	LDAR
	(11)	(12)	(13)	(14)	(15)
读出 MEM 数据	数据信息	WR	RD	SW_B	LDAR
	(16)	(17)	(18)	(19)	(20)

(1) 0000 0000 (2)1 (3)1 (4) 0 (5)0

(6)0000 0000 (7)1 (8)1 (9)0 (10)

1

(11)0001 0001 (12)1 (13)1 (14)1 (15)

0

(16)0001 0001 (17)1 (18)0 (19)1 (20)

0

表 2-4 01H 存储单元读操作实验结果

读操作步骤		控制信号状态			
IN 单元置地址	地址信息	WR	RD	SW_B	LDAR
	(1)	(2)	(3)	(4)	(5)
地址写入 AR	地址信息	WR	RD	SW_B	LDAR
	(6)	(7)	(8)	(9)	(10)
关闭 IN 单元输出	数据信息	WR	RD	SW_B	LDAR
	(11)	(12)	(13)	(14)	(15)
读出 MEM 数据	数据信息	WR	RD	SW_B	LDAR
	(16)	(17)	(18)	(19)	(20)

(1)0001 0000 (2)1 (3)1 (4) 0 (5)0

(6)0001 0000 (7) 1 (8)1 (9) 0 (10)

1

(11)0001 0010 (12)1 (13) 1 (14)1 (15)0

(16)0001 0010 (17)1 (18) 0 (19) 1 (20)

(二) 联机运行

点击波形图按钮，打开选择观察信号窗口，或者选择联机软件的“【调试】-【时序观测图】”，选择想要观察的信号，如图2-1，点击确定。



将得到的时序图记录如下：

2.2 Cache映射机制模拟实验

将Cache的访问结果记录到表2-5中。

操作步骤		控制信号状态（用 0/1 表示）			
SD17...SD10 置地址	地址信息	K7 开关	H2 指示灯	L7...L0 指示灯	Cache 是否命中
	0000 0001	(1)	(2)	(3)	(4)
按动 KK 四次	地址信息	L15...L8 指示灯	H2 指示灯	L7...L0 指示灯	Cache 是否命中
	(5)	(6)	(7)	(8)	(9)
SD17...SD10 置地址	地址信息	K7 开关	H2 指示灯	L7...L0 指示灯	Cache 是否命中
	0000 0011	(10)	(11)	(12)	(13)
按动 KK 四次	地址信息	L15...L8 指示灯	H2 指示灯	L7...L0 指示灯	Cache 是否命中
	(14)	(15)	(16)	(17)	(18)
SD17...SD10 置地址	地址信息	K7 开关	H2 指示灯	L7...L0 指示灯	Cache 是否命中
	(19)	(20)	(21)	(22)	(23)
按动 KK 四次	地址信息	L15...L8 指示灯	H2 指示灯	L7...L0 指示灯	Cache 是否命中
	(24)	(25)	(26)	(27)	(28)

(1) 0 (2) 1 (3) 00000000 (4) 否 (5) 0
000 0001
(6) 0100 0100 (7) 0 (8) 0010 0010 (9
) 是 (10) 0
(11) 0 (12) 0100 0100 (13) 是 (14) 0000
0011 (15) 0100 0100
(16) 0 (17) 0100 0100 (18) 是 (19) 0000

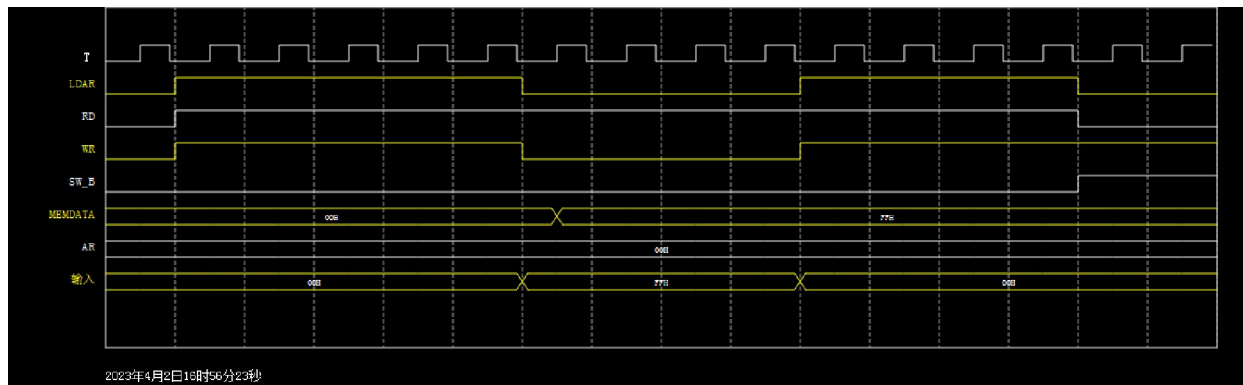
0111 (20)0

(21)1 (22)0000 0000 (23)否 (24)0000 0

111 (25)1000 1000

(26)0 (27) 1000 1000 (28)是

实验结果及分析



tdvdata

实验思考题

思考题：

1. 截取向存储器写入数据的时序图，观察数据何时被写入存储器，受哪些信号影响？

2. 实验指导书图2-2-4中的Cache table 模块其输入的地址线是A[7

..2]，为什么不包括地址线A[1]和A[0]？这两根地址线的作用是什么？

1. 观察上图，可以发现在最后一个机器周期的T2节拍后，RD有效的同时存储器输出1

1H，说明读存储器受RD信号影响。观察第二个机器周期的T2节拍后，地址寄存器LD

AR有效，同时SD10~SD17的模拟信号改为00H地址，但是地址寄存器AR的地

址直到T3时刻上升沿才发生改变，说明地址寄存器AR的写入受T3上升沿影响

2. Cache table是用来判断cache是否命中的模块，只需要比较tag位

(区号 E) 和cache地址位(块号B),而不需要比较块内地址，所以就不包括A[

1]和 A[0]。A[1]和A[0]是CPU 访问内存的地址的低二位，代表块内地

址。A[1]和 A[0]用于产生信号NA[1]和NA[0]，当cache命中,M

为1时，信号NA[1]=A[1],NA[0]=A[0]，NA[1]和NA[0]作

为访问cache存储体的块内地址位。当M为0时信号NA[1]和NA[0]与A[1

]和 A[0]无关，而是等于计数器产生的LA[1]和LA[0],与高位地址组合在一起成为访问主存的地址。A[0]和A[1]用于指示块内地址，不需要这两根线也能访问对应的cache块.

实验总结

了解了cache工作机理，第一个实验了解了cache读写数据的基本流程，第二个实验了解到cache未命中时从主存取数据一次取一块，而不是缺什么数据只取缺失的。

教师评语