

# 实验报告

学号：

姓名：

专业： 人工智能

班级：

## 实验名称： 1.2 阵列乘法器设计实验

### 实验目的

1. 了解运算器的组成结构。
2. 基于数据通路图，观测并分析运算器的工作原理。
3. 基于信号时序图，观测并分析运算器的工作原理。

### 实验设备

PC机一台，TDX-CMX实验系统一套。

### 实验预习

1. 画出4\*4阵列乘法器原理图，分析延迟与哪些因素有关。

答：（上传图片）

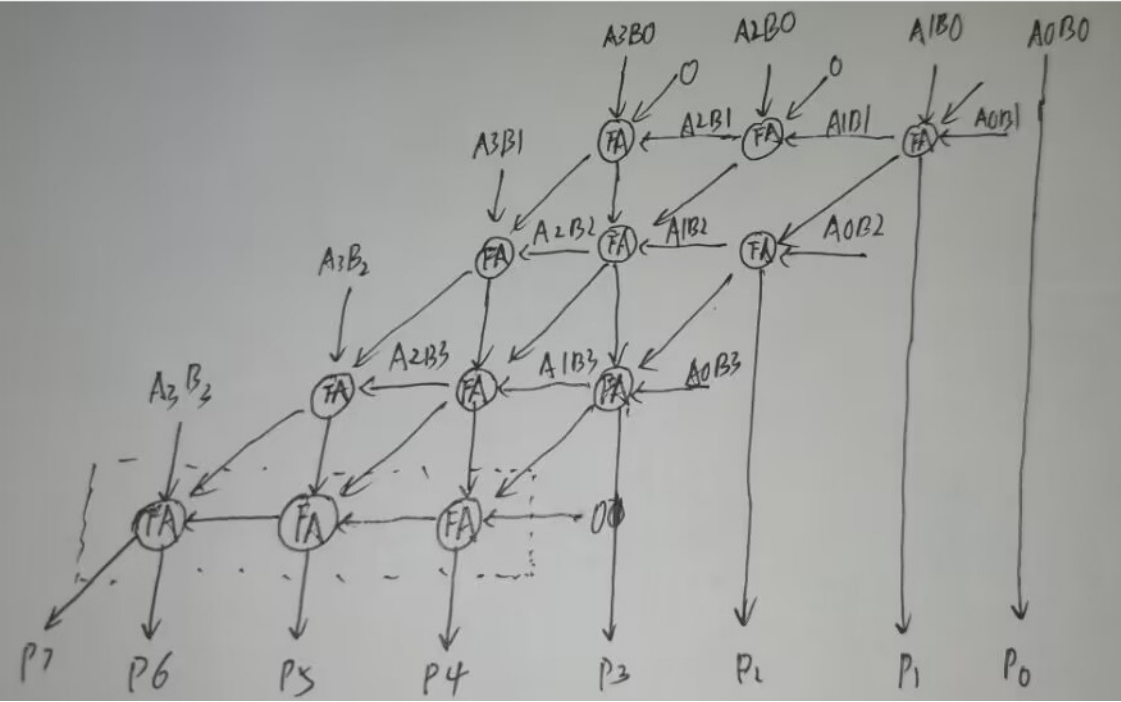
2. 简述Quartus环境下载sof文件到FPGA的操作流程。

答

从桌面上双击打开Quarts, 导入文件点击file, openproject找到文件所在的路径安装路径/FPGA/Multiply/Multiply, 导入后点击open program;添加硬件，选择USB, 点击左上角start, 等待烧录成功。

- （1）从桌面打开软件
- （2）导入文件
- （3）选择打开文件
- （4）导入后双击program device
- （5）点击Hardware setup添加硬件
- （6）选择USB
- （7）点击start烧录

(8) 查看左上角烧录成功



实验步骤

(1) 根据上述阵列乘法器的原理，使用Quartus软件编辑相应的电路原理图并进行编译，其在FPGA芯片中对应的引脚如图1所示，框外文字表示连线标号，框内文字表示该引脚的含义（本实验例程见‘安装路径FPGAMultiplyMultiply.qpf’工程）。

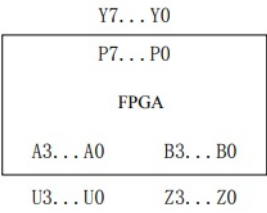


图1 FPGA引脚分配

(2) 关闭实验系统电源，按接线图连接实验电路。图中将用户需要连接的信号用圆圈标明。

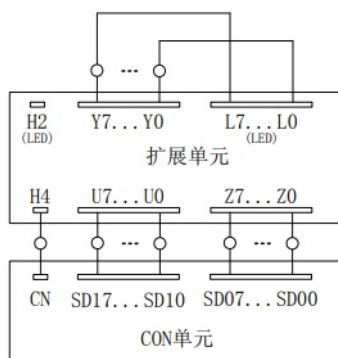


图2 阵列乘法器连接图

(3) 打开实验系统电源，将下载电缆插入扩展单元的E\_JTAG口，把生成的文件下载到扩展单元中去。

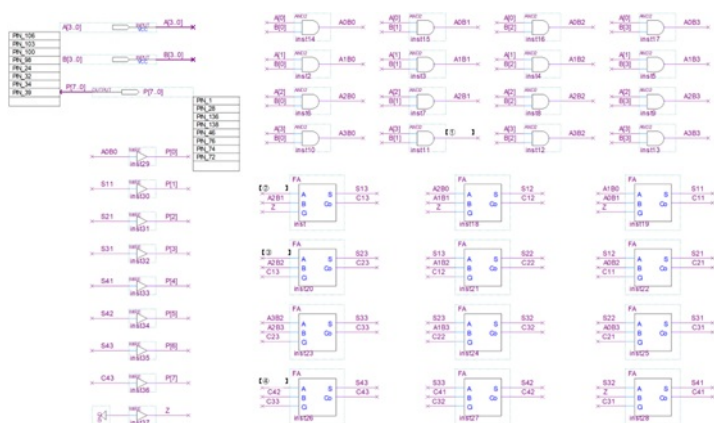
(4) 以CON单元中的SD10...SD13四个二进制开关为乘数A，SD03...SD00四个二进制开关为被乘数B，而相乘的结果在扩展单元的L7...L0八个LED灯显示。

(5) 给A和B 置不同的数，观察相乘的结果。 完成实验报告表格。  
记录被乘数、乘数和乘积：

SD17~SD10输入数据：（1000）SD07~SD00输入数据：（1010）

L7~L0：（01010000）

下面是该阵列乘法器实现逻辑图，补充括号内缺失的信号名称。



## 实验结果及分析

输入		输出
A3..A0	B3..B0	P7..P0
1000	1010	01010000
0100	1010	00101000
0100	0110	00011000

## 实验思考题

试比较教材中无符号原码一位乘（4位）与实验中阵列乘法器的时间延迟。

教材中的无符号原码一位乘(4位)需要进行四次加法和四次移位，每次都会有延迟。而阵列乘法器只有在四次进位时产生延迟。原码一位乘需要四次加运算, 四次右移运算。设每次加法的延迟是 $2.5t_y$ ，右移运算的延迟是 $t_x$  $T_1=10t_y+4t_x$ 。阵列乘法器前三行每行的延迟都是一位加法器的延迟 $2t_y$ , 最后一行的延迟是 $6t_y$ ， $T_2=3*2t_y+3*2t_y=12t_y$ , 因为右移运算的延迟显著大于一位加法运算，所以 $T_1>T_2$ 。

## 实验总结

本实验实现了FPGA考录功能，实现了阵列乘法器，可以实时输入数据并观察结果，正确计算两个四位二进制数的乘法。

## 教师评语