

Comparing features and specifications of the Cortex-A family

A quick summary of the Cortex-A9, Cortex-A53, and Cortex-A72 major features flavored with some standard values for comparison purpose.

Antoine Braut

Isep - 92130 Issy-les-moulineaux - France

Abstract

This article aim to provide a quick overview of three of the major microprocessor from ARM, the cortex-A9, Cortex-A53, and Cortex-A72. The overview will try to cover and explain the main features of each chip. On top of that, we will provide some references values to make comparison between the CPUs. Technologies of each features will be quickly presented.

Cet article à pour objectif de faire une revue de trois des principaux microprocesseurs de chez ARM, le cortex-A9, le cortex-A53 et le cortex-A72. Cette revue essaiera d'expliquer les principales caractéristiques et fonctionnalités de chaque puces. De plus, un tableau de valeurs de références sera dressé afin d'établir des éléments de comparaison. Les technologies employées par chacune des fonctionnalités seront présentées rapidement.

Index

Coprocesseur : Processeur secondaire spécialisé dans une fonction précise (cryptographie, calcul flottant ...)

Jeu d'instruction : Ensemble des commandes assembleur compréhensible par un processeur.

FPU (Floating Point Unit/Unité de calcul flottant) : Coprocesseur spécialisé dans les calculs de nombres à virgules.

DSP : Coprocesseur spécialisé dans les opérations de traitement de signal, tels que la FFT.

Trace : Méthode de debug non intrusive (qui ne bloque pas le processeur) permettant le suivi des instructions exécutées avec une sonde.

MMU (Memory Management Unit/Unité de gestion de la mémoire) : Système permettant de faire la translation entre une mémoire virtuelle et physique.

Pipeline : Architecture permettant de découper une instruction en plusieurs "étages" pouvant être effectués parallèlement.

PC (Programm Pointer) : Registre spécifique indiquant l'adresse physique où se trouve le code dans la mémoire.

SOC (System On Chip/Système sur puce) : Composant électronique rassemblant tous les composants nécessaires à un système au sein du même boîtier.

OS (Système d'exploitation) : Programme permettant de faire le lien entre le matériel hardware et les logiciels. Il est aussi responsable de l'ordonnancement des programmes.

1 Présentation des microprocesseurs et de la famille A d'ARM

Le processeur est un système électronique conçu pour effectuer des calculs et interagir avec de la mémoire. Il répond à des instructions codées en binaire et stockées dans la mémoire. Pour cela il suit en général les mêmes étapes (ici le Pipeline RISC classique) :

Fetch → Decode → Execute → Memory → Write Back

Le processeur récupère l'instruction en mémoire à l'adresse indiquée par le Program Counter (PC). Il va ensuite la décoder pour savoir quoi faire. Il va alors exécuter l'instruction, généralement en effectuant un calcul (Execute) ou en écrivant dans la mémoire (Memory), puis va écrire le résultat de son instruction dans un de ses registres. L'ensemble des instructions compréhensibles par un processeur est appelé jeu d'instructions. Selon leur jeu, les processeurs se rangent dans différentes catégories :

- CISC (Complex Instruction Set Computer) : Pour les processeurs avec un jeu comprenant beaucoup d'instructions.
- RISC (Reduced Instruction Set Computer) : Pour les processeurs avec un jeu plus réduit, permettant une exécution plus rapide.

Il existe aussi d'autres familles plus spécialisées avec des instructions pré-cablées comme les DSP, les GPU, les FPU...

Pour effectuer des calculs, le processeur possède une ALU (Arithmetic and Logic Unit/Unité Logique et Arithmétique). Pour communiquer avec la mémoire externe (RAM, Flash ...) et les périphériques (qui de son point de vue ne sont aussi que de la mémoire), le processeur possède un bus de données, de contrôles et d'adresses. Selon le processeur, l'architecture et le protocole de ces bus peut varier. On peut notamment citer le bus AMBA chez ARM, Avalon chez Altera, ou le PLB chez Xilinx. Une autre fonctionnalité importante des processeurs est l'unité de gestion de la mémoire (MMU). La MMU est un composant qui permet de créer une table

d'adresse virtuelle, et de faire des conversions entre adresses virtuelles et adresses physiques. Dans le cadre d'un système d'exploitation multi-processus, la MMU va permettre à chacun des processus d'avoir sa propre table mémoire virtuelle, indépendante de celle des autres processus. C'est la MMU qui se chargera de faire la translation entre l'adresse virtuelle et l'adresse physique dans la mémoire. Lorsque tous les composants d'un processeur sont réunis sur le même SOC (System On Chip/Système sur puce), on parle alors de microprocesseur. Les microprocesseurs se différencient des microcontrôleurs par leur nombre réduit de Pin et leur plus grande puissance de calcul, ainsi que de la présence d'une MMU. Les microprocesseurs sont donc plus spécialisés dans l'exécution de tâches demandant de hautes performances, tandis que les microcontrôleurs sont plus adaptés à la gestion de périphériques et aux systèmes "low-power" (à faible consommation énergétique). La famille des Cortex-A de chez ARM est une famille de microprocesseurs RISC conçus initialement pour le marché des smartphones et tablettes, bien qu'aujourd'hui elle soit plus largement utilisée dans l'industrie. Elle est composée de sous-familles. La famille des cortex-A, regroupant des microprocesseurs 32 bits basés autour de l'architecture ArmV7-A, et la famille des cortex-A50, regroupant des microprocesseurs 64bits basés sur l'architecture ArmV8-A. Cette famille succède à la famille des processeurs ARM11 (basée sur ArmV6). La principale caractéristique de la famille A, contrairement aux familles M(microcontrôleur) ou R(processeur temps réel) est la présence d'une MMU. Cette MMU permet au cortex-A d'utiliser un système d'exploitation complet comme Linux ou openBSD. La famille A introduit aussi, à partir de la 3ème génération, le principe de big.LITTLE. Cette architecture permet d'implémenter dans un même système plusieurs coeurs low-power(initialement cortex-A7), avec des coeurs haute performance (initialement cortex-A15). Avec ce type d'architecture il est possible de "désactiver" les coeurs haute performance lorsque la charge du système est basse, faisant ainsi baisser la consommation du système, et de rebasculer l'exécution en cours sur la

partie puissante du système lorsque la charge augmente. Il est alors possible d'obtenir une consommation moyenne plus faible sans pour autant sacrifier énormément de performances.

2 Spécificités techniques des différents coeurs

Dans cette partie, nous allons présenter les différentes spécificités techniques de chacun des processeurs. En plus de spécificités propres, ces trois coeurs partagent certaines caractéristiques. Le pipeline utilisé par ces processeurs est dit "superscalaire", c'est à dire qu'il est capable d'exécuter plusieurs opérations à la fois pour chaque étape (2 fetch, 2 decode ...). La mise en parallèle de plusieurs étapes permet d'augmenter les performances. De plus, ces pipelines superscalaires sont capables de déterminer si deux instructions sont dépendantes l'une de l'autre afin de ne pas rester bloqués si elles se parallélisent. En plus d'un pipeline superscalaire, les trois coeurs bénéficient d'un prédicteur de branchement (Branch Predictor) permettant l'augmentation des performances. Ce système permet d'anticiper une instruction de branchement (saut vers une partie du code ailleurs dans la mémoire) et de pré-remplir le pipeline avant la résolution du branchement. Si la prédiction est juste, l'exécution du branchement est plus rapide puisque le pipeline a déjà été chargé. Cependant, en cas d'échec de la prédiction, le pipeline doit être vidé puis rechargé, ce qui ralentit le processus. Heureusement, le prédicteur de branchement se trompe moins souvent qu'il n'a raison. La famille A partage aussi la même technologie de bus, le bus AMBA (Advanced Microcontroller Bus Architecture), cependant les Cortex-A53 et A72 utilisent d'autres protocoles de communication que le cortex-A9. Les trois coeurs sont tous accompagnés d'un coprocesseur de debug appelé Coresight afin d'améliorer le debug et la trace.

2.1 Cortex-A9

Le Cortex-A9 MPCore est le plus ancien des trois. Sorti en 2007, il fait partie de la 2ème génération des Armv7-A. Il supporte les jeux d'instructions ARM 32 bits, Thumb 32 bits, Thumb 16 bits, et Jazelle 8 bits. Le jeu

d'instructions Thumb est un jeu d'instructions allégé par rapport au jeu ARM afin d'optimiser l'empreinte mémoire des instructions. Jazelle DBX quant à lui est un jeu spécifique qui permet l'exécution de bytecode Java par le processeur. Le pipeline du cortex-A9 possède 8 étages et a la spécificité d'être *out-of-order*, c'est-à-dire que les instructions ne sont pas obligatoirement exécutées dans l'ordre où elles ont été écrites si le processeur pense que cela optimise son exécution. Le cortex-A9 utilise un protocole AXI (Advanced eXtensible Interface). Dans sa version standard, le SOC n'inclut pas d'autres coprocesseurs, il est cependant possible d'ajouter un FPU, VFPv3, et un DSP, NEON.

2.2 Cortex-A53

Le cortex-A53 est la version "améliorée" du cortex-A9. Premier coeur de la 4ème génération des Cortex-A, et premier coeur Armv8-A, il est sorti en 2014. Il a été conçu pour être un cortex-A9 avec une consommation énergétique beaucoup plus faible. Il fonctionne avec le cortex-A57 dans un couplage big.LITTLE. En tant que coeur Armv8-A, il supporte le jeu d'instructions ARM 64 bits, mais aussi ARM 32 bits pour assurer une rétro compatibilité, Thumb 32 bits, et Jazelle DBX. Comme le cortex-A9, il possède un pipeline de 8 étages, cependant son pipeline est dit *in-order*, c'est-à-dire que le processeur est obligé d'exécuter les instructions dans l'ordre où elles sont écrites. Son bus AMBA utilise les protocoles ACE et CHI. De la même manière que le A9, il peut inclure NEON et VFPv4 en option. Il est aussi possible de rajouter un cryptoprocèsseur, c'est-à-dire un coprocesseur spécialisé dans les opérations cryptographiques (hachage, chiffrement ...).

2.3 Cortex-A72

Sorti en 2015, le cortex-A72 est le plus puissant des trois. Venant en remplacement du cortex-A57 dans le couplage big.LITTLE avec le cortex-A53, il est conçu pour être un coeur haute performance. Comme le cortex-A53, il supporte les jeux d'instructions ARM 64 et 32 bits, THUMB 32 bits et Jazelle DBX. Il possède un pipeline *out-of-order* de 15 étages, ainsi qu'un prédicteur de branchement à 2

niveaux. Son bus AMBA utilise les protocoles ACE et CHI. Contrairement aux deux autres, il inclut par défaut une FPU, VFPv4 ainsi que NEON. Comme le cortex-A53, il peut aussi inclure un cryptoprocresseur.

3 Comparatif technique

Cette partie va présenter différentes valeurs de référence afin de proposer des éléments de comparaison entre les trois processeurs. Sans précision supplémentaire, les données proviennent directement de la documentation d'ARM.

3.1 Performance

Le tableau suivant donne les résultats de chacun des trois processeurs au benchmark de Dhrystone[4] :

Table 1: Résultat au benchmark Dhrystone

	Cortex-A9	Cortex-A53	Cortex-A72
Performance (Dmips/Mhz)	2.50	2.24	4.72

Il est intéressant de noter que les Cortex-A9 et A53 ont des performances similaires, le cortex-A53 offrant une amélioration au niveau des fonctionnalités plutôt que de la performance. Le cortex-A72 quant à lui offre une puissance deux fois plus élevée, apportant ainsi un vrai gain de performance. A noter tout de même que le benchmark Dhrystone datant des années 80, il est conseillé de nos jours de ne pas prendre ses résultats comme incontestables.

Le tableau suivant indique les fréquences d'horloge d'implémentations courantes existantes pour chacun des trois processeurs :

Table 2: Fréquences de l'horloge du processeur

Fréquences d'horloge	Cortex-A9	Cortex-A53	Cortex-A72
Minimum	800Mhz	1Ghz	1Ghz
Maximum	2Ghz	2.2Ghz(2.6Ghz)	2.5Ghz

Ces valeurs sont données à titre indicatif, l'implémentation du processeur pouvant faire varier ces valeurs. On peut noter que du point de vue de la vitesse d'horloge la différence entre le cortex-A9 et A72 et assez légère. Cette différence est encore plus faible entre les cortex-A53 et A72, le cortex-A72 étant

supposé être le processeur haute performance dans le couple A53/A72. On peut en déduire que le gain de performance du cortex-A72 n'est donc pas dû à une augmentation de sa fréquence d'horloge, mais plutôt à l'ajout de nouvelles fonctionnalités et l'augmentation d'autres paramètres tels que la taille des mémoires cache, ajout d'étape dans le pipeline, l'amélioration du prédicteur de branchement...

3.2 Consommation d'énergie

La consommation énergétique d'un coeur étant très variable, (impactée par la fréquence d'horloge, sa charge, son implémentation ...) il est compliqué d'établir un profil énergétique détaillé pour chacun des trois processeurs. On peut cependant supposer une comparaison les un par rapport aux autres en se basant sur leurs designs. L'ordre de la consommation doit être le suivant :

Cortex-A53 << Cortex-A9 < Cortex-A72

Le cortex-A9 est le moins puissant des trois, conçu pour être un coeur low power, il est logique de le retrouver en dessous du cortex-A72. Vient ensuite le cortex-A53 et le cortex-A72, les deux formant une paire big.LITTLE. Le cortex-A53 consomme moins que le A72 étant donné qu'il est le LITTLE de la paire, servant de coeur low-power. Le cortex-A53 étant une version "améliorée" du cortex-A9, conçu pour offrir les mêmes performances de calcul mais avec une consommation beaucoup plus faible, il se trouve logiquement en premier.

3.3 Cache mémoire

Le tableau suivant indique la taille des différents niveaux de mémoires cache des trois processeurs :

Table 3: Taille des caches de processeur

Cache	Cortex-A9	Cortex-A53	Cortex-A72
L1 Cache	16-64kB	8-64kB	32-64kB
L2 Cache	N/A	128kB-2MB	256kB-8MB
L3 Cache	N/A	N/A	N/A

Comme attendu, le cortex-A72 propose des caches mémoire de plus grandes tailles tandis que le cortex-A9 ne propose qu'un cache L1. Le niveau de cache L3 quant à lui n'est disponible

sur aucun des trois processeurs. Il est cependant disponible en option sur les CPU les plus haut de gamme de la famille des cortex-A tel que le cortex-A55 ou le cortex-A75. Le cortex-A9 est prévu pour pouvoir piloter un cache de niveau 2 externe sur son bus AMBA AXI.

3.4 Autres éléments de comparaison

Le tableau suivant regroupe un ensemble d'éléments de comparaison entre les différents processeurs :

Table 4: Autres éléments de comparaison

Eléments	Cortex-A9	Cortex-A53	Cortex-A72
Architecture	ArmV7-A	ArmV8-A	ArmV8-A
Jeu d'instructions	ARM32/Thumb2 Jazelle/ThumbEE	ARM64/Thumb2 Jazelle/ThumbEE	ARM64/Thumb2 Jazelle/ThumbEE
Etages de pipeline	8	8	15
Protocoles de bus	AXI	ACE/CHI	ACE/CHI
FPU et NEON	Optionel	Optionel	Inclus
CryptoProcesseur	Non	Optionel	Optionel
Trace	Optionel	Optionel	Inclus

4 References

[1] Cortex-A9 Technical Reference Manual
r4p1 - ARM - 15/06/12

[2] Cortex-A53 Technical Reference Manual
r0p4 - ARM - 13/06/18

[3] Cortex-A72 Technical Reference Manual
r0p3 - ARM - 01/12/16

[4] Weicker, Reinhold (October 1984). "Dhrystone: A Synthetic Systems Programming Benchmark". *Communications of the ACM*. 27 (10): 1013–30. doi:10.1145/358274.358283