



SZ901

4 路 AMD (Xilinx) FPGA 高速下载器

产品介绍

REV 1.0.0

珍惜每一次不期而遇

文档变更记录

[illegible]

手册版本

1.0 .0 首次发布

固件版本

初始版本: V1.02.06_20241214

目录

1 产品概述.....	4
1.1 产品简介.....	4
1.2 特点功能.....	4
1.3 应用场景.....	4
2 规则参数.....	5
2.1 技术参数	5
2.2 硬件参数	5
2.3 JTAG 接口定义	5
2.4 JTAG 转接板.....	5
3 软件安装.....	6
4 使用说明(基础)	7
4.1 前期准备	7
4.2 配置软件介.....	7
4.3 配置方法	8
4.3.1 MAC, IP 配置步骤.....	8
4.3.2 JTAG 速度配置步骤.....	8
4.3.3 JTAG 合并.....	8
4.3.4 固件更新	8
4 使用说明(高级)	9
5.1 端口合并	9
5.2 下载器串联.....	9
5.3 远程调试	10
5.4 程序固化软件/文件转换工具	10
6 下载器常规连接场景.....	16
7 下载器软件连接.....	18
7.1 Vivado.....	18
7.2 Vitis IDE	21
8 注意事项.....	22
9 配件.....	24
10 相关软件获取	25

1 产品概述



1.1 产品简介

SZ901 是一款基于 Xilinx Virtual Cable (XVC) 协议的高速 FPGA 网络下载器，支持多路 JTAG 调试和多种使用场景，适用于 Vivado 开发环境。

除了支持 AMD(Xilinx) 相关 FPGA，亦支持复旦微相关 FPGA 产品！

1.2 特点功能

- **高速调试**: JTAG 速度最高 53Mb/s，电压范围 1.2-3.3V
- **广泛兼容**: 7 系及以上 FPGA 和 SOC，以及复旦微相关 FPGA
- **多路扩展**: JTAG 串联，即一个开发环境识别多路 FPGA 设备
- **灵活使用**: 4 路 JTAG 独立或串联，支持有线、WiFi 和远程模式。
- **程序固化**: 专属程序固化方式，简单方便且速度远高于常规方式
- **外观设计**: 3D 外壳，提供多种配色选择。

1.3 应用场景

- 常规调试场景
- 远程调试场景
- 高低温试验调试场景
- 远距离调试调试场景
- 高处设备调试场景
- 多 FPGA 设备同时调试场景

2 规则参数

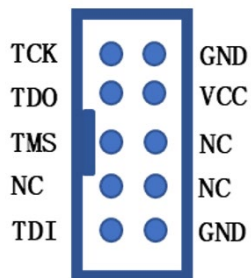
2.1 技术参数

名称	参数	备注
输入电源	DC 9-12V	DC 5.5x2.1mm
通信接口	网口	
JTAG 接口	JTAG 10PIN	2x5 (2.54mm)
JTAG 速度	最高 53Mb/s	
支持设备	7 系及以上 FPGA 和 SoC	

2.2 硬件参数

名称	数量	备注
DC 电源输入接口	1	
开关	1	
千兆网口	2	
JTAG	4	
主机尺寸	104x74x22mm	
主机重量	100g	
工作温度	0-50°C (推荐)	
功率	<3W	

2.3 JTAG 接口定义



引脚	功能	引脚	功能
1	TCK	2	GND
3	TDO	4	VCC
5	TMS	6	NC
7	NC	8	NC
9	TDI	10	GND

2.4 JTAG 转接板

支持多种转接板，如

2x5 转 1x6 (2.54mm)

2x5 转 2x7 (2.0mm)

3 软件安装

SZ901 提供一个软件安装包

存放位置: <https://github.com/Braves-Attempt/SZ901/releases>

此软件安装包安装完成后包含两个软件

- SZ901 配置工具
- SZ901 Flash Burn

SZ901 配置工具

此软件对 SZ901 参数功能进行配置

SZ901 Flash Burn

此软件主要进行 FLASH 烧写, 以及烧写文件格式转换

注意

部分软件使用 PYTHON 编写, 可能被杀毒软件误认为病毒, 介意者谨慎使用

4 使用说明(基础)

4.1 前期准备

SZ901 使用的是网络接口，因此要设置设备 IP 地址。设备的默认 IP 为 192.168.100.234。用户需修改本地电脑 IP，可以配置或修改主机参数，如 IP 地址，下载速度以及使用模式等！
注意事项：

- 局域网内主机 IP 不能和其它网络设备冲突。
- 可以使用 IPScanner，Advanced IP Scanner 等软件查看网络设备
- 单下载器时，不区分网口，但不允许同时连接双网口

4.2 配置软件介

软件界面

	分频数	速率MHz	备注: 分频数为160MHz的分频数
<input type="checkbox"/> JTAG0	4	40.00	端口 2540
<input type="checkbox"/> JTAG1	3	53.33	端口 2541 <input type="checkbox"/> JTAG1 合并
<input type="checkbox"/> JTAG2	4	40.00	端口 2542 <input type="checkbox"/> JTAG2 合并
<input type="checkbox"/> JTAG3	4	40.00	端口 2543 <input type="checkbox"/> JTAG3 合并

参数设置按钮

- 查找设备：查询网络中是否存在设备，不要求 IP 地址同网段
- 固件更新：更新设备固件
- 获取信息：获取设备参数信息
- 设置参数：设置修改的各项参数
- 更新参数：更新修改参数，保存到内部存储器。
- 设备重启：设备重启，一般用于更新完固件，无需断电重启

可配置参数：

- MAC 地址 : 设备 MAC 地址，根据设备 IP 生成，可修改
- IP 地址 : 设备 IP 地址
- JTAG0-3 : JTAG 速率设置
- JTAG1-3 合并 : JTAG 合并功能

4.3 配置方法

注意：连接多个下载器时，配置时，目标设备应选择对应下载器

4.3.1 MAC, IP 配置步骤

- 勾选 MAC 或 IP 前方方框，
- 修改对应内容
- 点击设置->更新参数，查找设备->获取信息
- 查看是否更新完成

4.3.2 JTAG 速度配置步骤

JTAG 速度设置，可以选择单路或者多路

- 勾选要修改 JTAGx
- 选择分频数，显示设置速率
- 点击设置->更新参数，查找设备->获取信息
- 查看是否更新完成

4.3.3 JTAG 合并

JTAG 合并功能是将相邻端口号合并，硬件分开连接，但 Vivado 能同时显示 FPGA 设备。

JTAG 合并支持相邻两个端口合并，支持 2 组，3 组，4 组合并。

合并原则：

- 合并端口号必须相邻
- 合并端口号以最小端口号为主
- 合并端口，硬件必须连接 FPGA
- 合并端口，速度应低于 10M

设置方式：

- 设置主 JTAG 端口号速度，小于 10M，这和外部 JTAG 线长度有关
- 勾选要合并所有 JTAGx
- 点击设置->更新参数，查找设备->获取信息
- 查看是否更新完成

4.3.4 固件更新

查看软件最新版本和当前版本是否一致，如有新版本，可以选择固件更新

- 点击固件更新
- 选择固件
- 确定，等待更新完毕
- 设备重启

4 使用说明(高级)

SZ901 包含多个特别功能，包含端口合并，设备串联，远程调试，程序固化，文件转换等

5.1 端口合并

在常规多 FPGA 设计中，FPGA 支持菊花链模式！

菊花链:是一种将多个 FPGA 芯片串联连接的技术，用于简化配置、编程和调试过程。它通过 JTAG 接口将多个 FPGA 芯片连接在一起，形成一个串行菊花链结构！

端口合并功能，即在外部的 FPGA 没有使用菊花链设计时，通过下载器将 JTAG 合并，模拟硬件菊花链结构。由于外部排线长度远高于 PCB 内部设计长度，速度达不到高速 JTAG 效果

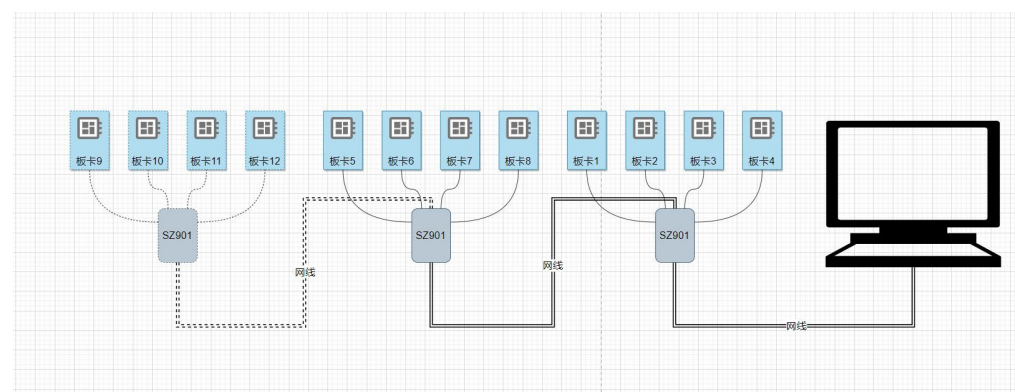
下载器合并效果如下：

Hardware	
Name	Status
localhost (1)	Connected
xilinx_tcf/Xilinx/192.168.100.234:2540 (2)	Open
xc7a100t_0 (1)	Programmed
XADC (System Monitor)	
xc7a100t_1 (1)	Programmed
XADC (System Monitor)	

此模式下，vivado 可以同时下载，查看或观测不同板卡 ila 信号。避免打开多个 Vivado 软件，最多支持同时 4 组 FPGA 设备！

5.2 下载器串联

下载器串联模式，是将多个下载器进行串联，适用于多 FPGA 设备模式。每个下载器支持 4 组 JTAG，通过串联模式，将有限扩展多组板卡调试。扩展数量与网络带宽和 JTAG 速率有关示例方式



此模式将减少走线长度，减少连接 PC 线路。

注意：此模式下载器 IP 地址不能相同！

5.3 远程调试

下载器使用的通信接口为网口，因此下载器理论支持 FPGA 板卡远程调试功能。

SZ901 下载器无服务器端，因此只支持点对点远程方式。

使用此模式时，与常规使用方式类似，只是 IP 地址设置不同，详细参考后续章节介绍

此模式有以下限定条件

- 下载器和板卡在同一地方
- 下载器连接互联网，且有公网 IP (IPv4), 路由器并做好端口转发设置
- 网络延时在 70ms 以内，越小越好

5.4 程序固化软件/文件转换工具

SZ901 下载器提供程序固化专属软件，该软件有以下特点

- 支持国产 flash，如兆易创新, 华邦
- 支持 vivado 非列表 flash
- 操作简单，无需打开 Vivado
- 烧写速度快，相比常规方式，最高能减少 3/4 以上烧写固化时间

软件界面（欢迎页）



软件界面（设置页面）



- 深色/浅色: 切换软件主题
- 查找设备: 查找在线设备，如知道在线设备 IP，此项仅作参考

软件界面（Flash 烧写）

欢迎	设置	Flash烧写	转换工具
JTAG0	JTAG1	JTAG2	JTAG3

烧写配置 (JTAG0)

Vivado路径: 

BIN文件: 

IP地址: 

端口:

系列:

型号:

Flash地址模式:

Flash基地址(十六进制):



烧写状态

状态: 就绪

总时间: N/A 烧写时间: N/A

Flash信息: N/A

操作日志

全部

- JTAG0-JTAG3 页面参数设置一致，分别代表不同 JTAG 端口
- Vivado 路径:设置 Vivado 路径
- BIN 文件:选择要烧写的 bin 文件
- IP 地址:设置设备 IP 地址，如果查找设备，可选择 IP
- 端口:端口设置，代表不同 JTAG 端口
- 系列:FPAG 系类
- 型号:FPGA 型号
- Flash 地址模式:根据 flash 容量选择，如 128Mbit 及以下，选择 3B。否则 4B
- Flash 基地址:flash 烧写起始地址，默认 0x0, 支持修改

- 开始烧写:上述参数设置后, 点击开始烧写
- 烧写状态:显示烧写时间和读取的 flash 信息
- 操作日志:log 日志

注意:

1, 请准确设置参数!

2, 烧写过程中可能出现没有发现 device 错误, 但后续能读正常取到, 此现象是因为命令速率比手动操作时间短。

3, 软件处于内测版本, 可能出现 bug, 请按照软件首页联系作者!

软件界面（转换工具/单文件）

转换工具支持单文件转换和多文件抓换

欢迎

设置

Flash烧写

转换工具

单文件

多文件

转换设置

转换类型: BIT 转 BIN

输入文件: 浏览...

输出文件: 浏览...

☐ 强制转换 (覆盖现有输出文件)

SPI 通用设置

SPI Flash 容量: 自动(不指定)

SPI 模式: SPI x1

开始转换

日志输出

转换类型：支持多种文件格式转换

输入文件：选择被转换文件

输出文件：选择转换后路径及命名文件

SPI 设置（注意事项）

如转换成 bin 文件，无需考虑设置 flash 芯片大小及起始地址，只设置 SPI 模式即可

如果抓换成 MCS 文件，需要设置 FLASH 芯片容量和烧写的起始地址

软件界面（转换工具/多文件）

此页面仅支持多 bit 文件转成单一 bin 文件，此功能适于用户切换不同程序功能启动。



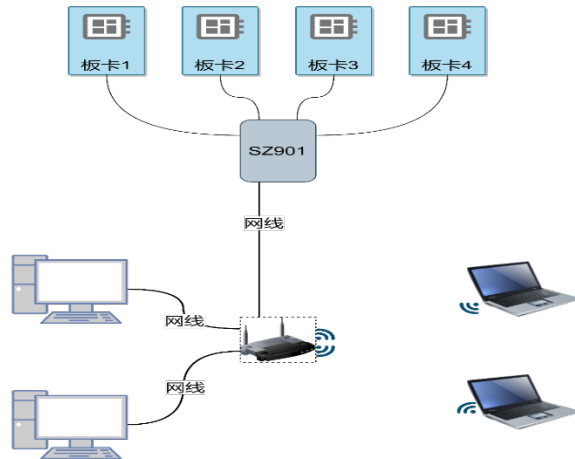
添加多 bit 文件时，注意事项如下

- 首个 bit 文件起始地址应为 0x0
- 第 2 个 bit 文件起始地址应大于第一个 bit 文件大小，后续 bit 文件依次类推
- 其它与单文件设置类似

6 下载器常规连接场景

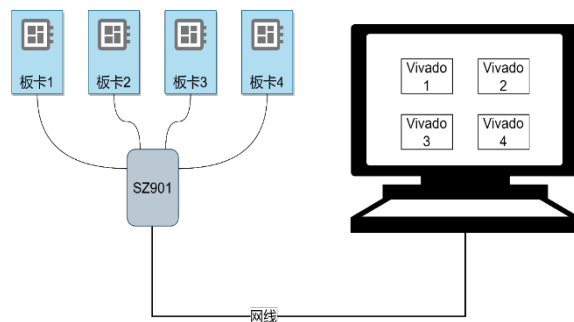
方式 1

有线/无线连接混合



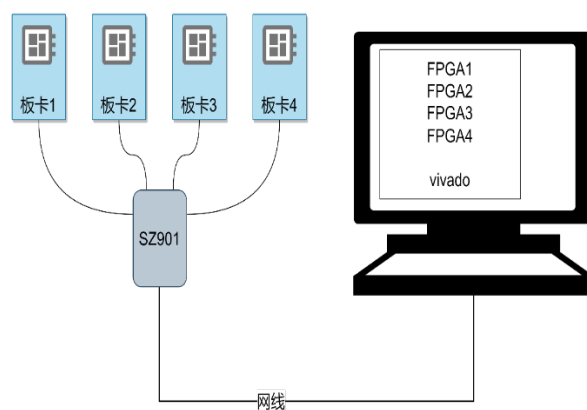
方式 2

同一设备，打开 4 组 Vivado



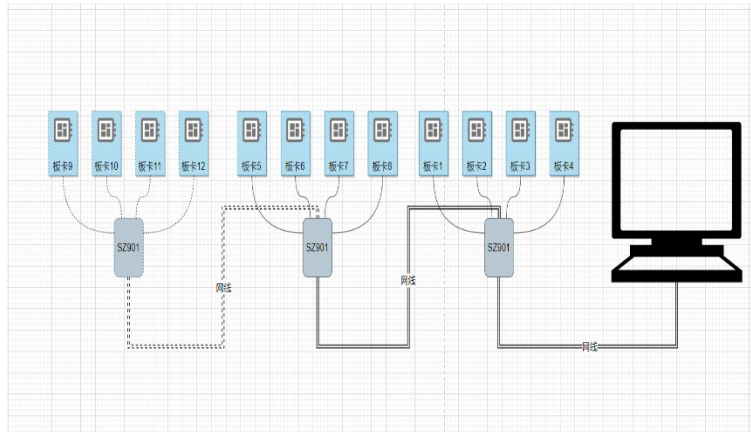
方式 3

JTAG 合并模式，一组 Vivado 打开 4 组 FPGA 设备



方式 4

多下载器串联模式，同时调试多台设备，受限于千兆网络带宽，理论同时连接调试 20+ 设备板卡



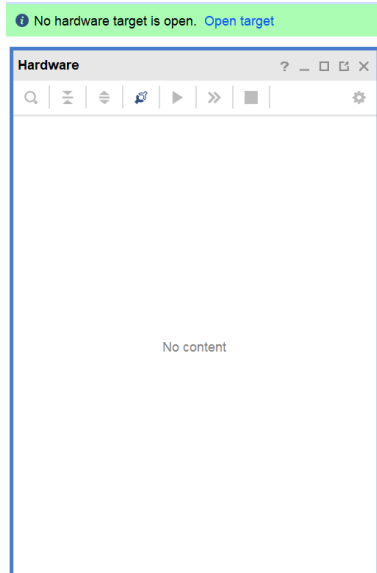
方式 5

远程调试，通过互联网远程连接，理论支持上述局域网方式，但受限网络延迟，可能无法全部满足！

7 下载器软件连接

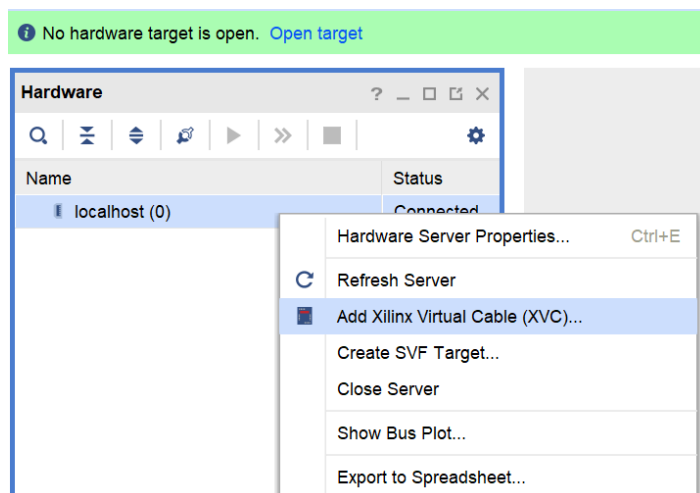
7.1 Vivado

此下载器与常规 usb 下载器稍有不同，下面介绍操作步骤
打开Vivado硬件管理界面（Open HwadwareManager）

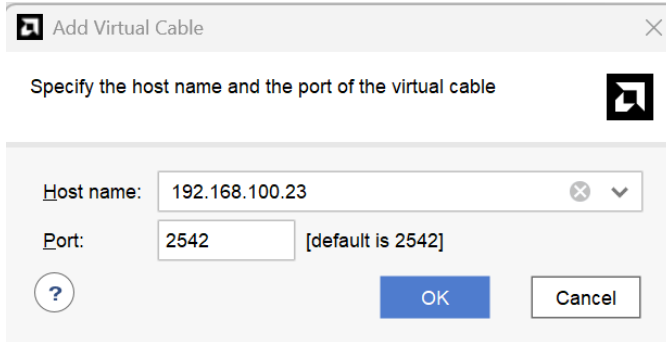


方法 1

- 1, open target -> Auto Connect 或状态栏图标
- 2, 右键 localhost, 选择 Add Xilinx Virtual Cabel (XVC)

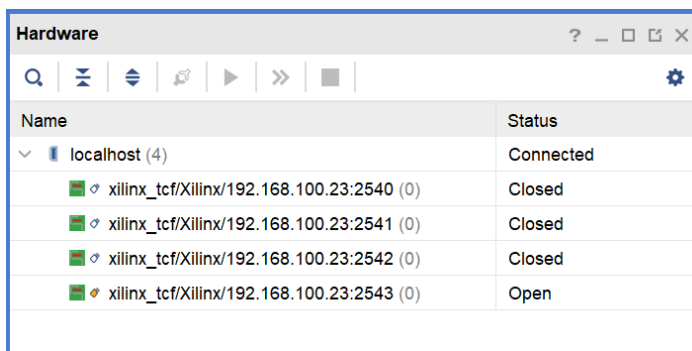


- 3, 设置设备 IP 地址及 JTAG 通道对应端口号并确认
远程模式时此处设置公网 IP



端口号设置可以为 2540, 2541, 2542, 2543
分别对应硬件 JTAG 0, 1, 2, 3

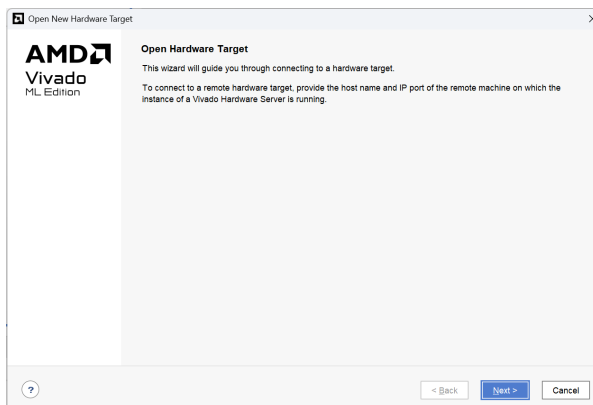
4, 重复 2, 3 步骤, 修改不同端口号, 可以打开其它 JTAG 端口



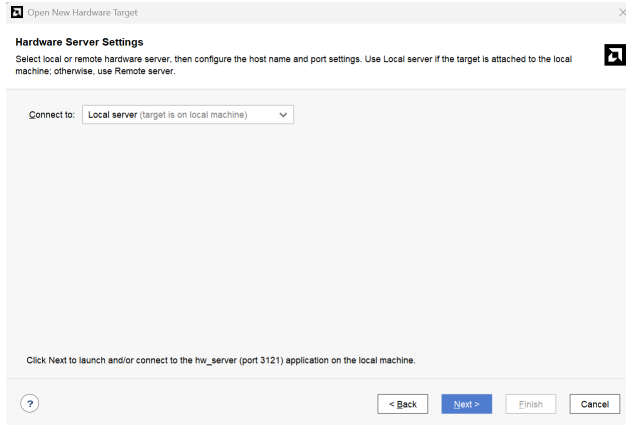
常规模式, 同一 vivado 仅支持一个 FPGA 连接, 可进行连接切换

方法 2

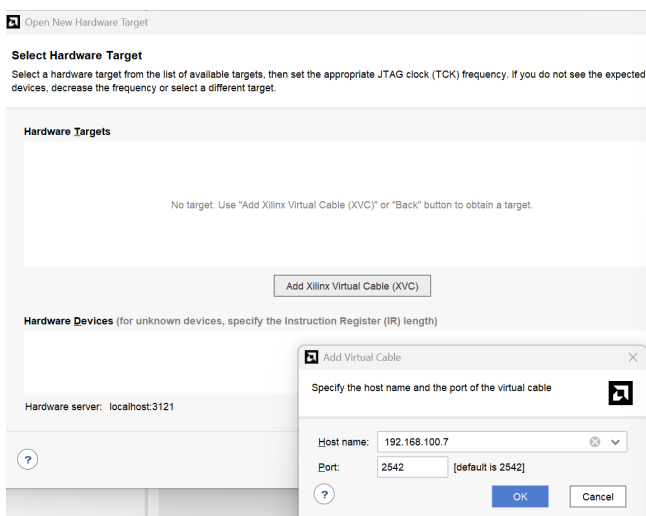
1, open target -> Open new target



2, Next



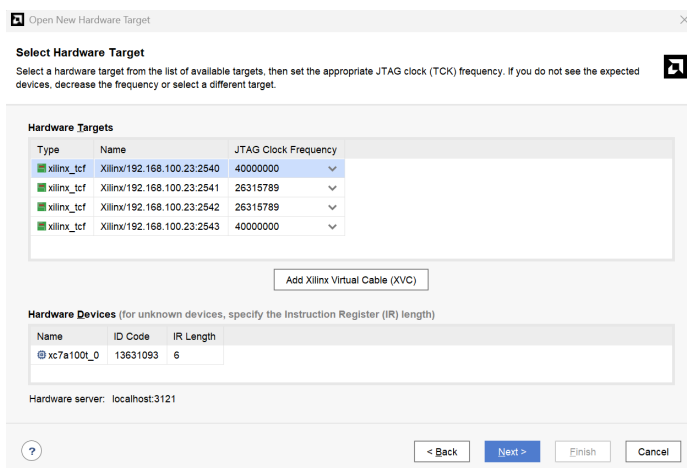
3, Next->Add XVC



端口号设置可以为 2540, 2541, 2542, 2543

分别对应硬件 JTAG 0, 1, 2, 3

4, 配置 IP 地址及端口号, 重复此步骤, 可打开多组 JTAG



注意:

此步骤可以查看 JTAG 时钟速率

此步骤如正常连接 FPGA, 则无法进行下一步操作

5, Next ->Finish

7.2 Vitis IDE

使用 IDE 调试时，与 usb 方式类似！

先通过 Vivado 连接到 FPGA，其它设置默认

8 注意事项

- 常规模式，同一 Vivado 软件仅支持一个端口，可切换使用
- 同一 PC，可以打开多个 Vivado，每个 Vivado 打开一个端口
- 多台 PC 调试时，单一 PC 避免连接未使用端口，以免干扰其它设备
- 若出现某一 PC 无法连接情况，已连接此端口 PC 需 close server，直接关闭软件可能无法后台关闭
- 如果设备所在网络出现相同 IP 地址的其它设备，可能出现设备不可用
- 如果下载过程出现错误，需降低端口 JTAG 速率或缩短排线
- 排线越短，支持速率越高。

9 配件

标配:

DC12V 电源*1

主机*1

配置软件*1

烧写固化软件*1

选配:

转接板(1X6 间距 2.54mm)

转接板(2X7 间距 2.00mm)

10 相关软件获取

相关软件/资料/IP/其它资源

Q 群:871128330

产品购买连接:

[SZ901 FPGA 下载器](#)

淘宝二维码

